



**【特許請求の範囲】****【請求項 1】**

入力電圧が入力される入力端子と、  
前記入力電圧に基づいた出力信号が出力される出力端子と、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第 1 のノードを充電する第 1 の P M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 1 の N M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に前記第 1 のノードを充電する第 2 の P M O S トランジスタと、  
前記第 1 のノードの電圧がローレベルの時に、前記第 2 の P M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 1 の遮断手段と、  
前記第 1 のノードの電圧がハイレベルの時に、前記第 1 のノードを充電する第 3 の P M O S トランジスタと、を備えることを特徴とする入力回路。

10

**【請求項 2】**

前記第 1 の遮断手段は、P M O S トランジスタで構成したことを特徴とする請求項 1 記載の入力回路。

**【請求項 3】**

前記第 1 のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路の出力信号である請求項 1 または 2 記載の入力回路。

20

**【請求項 4】**

入力電圧が入力される入力端子と、  
前記入力電圧に基づいた出力信号が出力される出力端子と、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第 1 のノードを充電する第 1 の P M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 1 の N M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 2 の N M O S トランジスタと、  
前記第 1 のノードの電圧がハイレベルの時に、前記第 2 の N M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 2 の遮断手段と、  
前記第 1 のノードの電圧がローレベルの時に、前記第 1 のノードを放電する第 3 の N M O S トランジスタと、を備えることを特徴とする入力回路。

30

**【請求項 5】**

前記第 2 の遮断手段は、N M O S トランジスタで構成したことを特徴とする請求項 4 記載の入力回路。

**【請求項 6】**

前記第 1 のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路の出力信号である請求項 4 または 5 記載の入力回路。

**【請求項 7】**

入力電圧が入力される入力端子と、  
前記入力電圧に基づいた出力信号が出力される出力端子と、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第 1 のノードを充電する第 1 の P M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 1 の N M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に前記第 1 のノードを充電する第 2 の P M O S トランジスタと、  
前記第 1 のノードの電圧がローレベルの時に、前記第 2 の P M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 1 の遮断手段と、

40

50

前記第 1 のノードの電圧がハイレベルの時に、前記第 1 のノードを充電する第 3 の P M O S トランジスタと、

ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第 1 のノードを充電する第 1 の P M O S トランジスタと、

ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 1 の N M O S トランジスタと、

ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 2 の N M O S トランジスタと、

前記第 1 のノードの電圧がハイレベルの時に、前記第 2 の N M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 2 の遮断手段と、

前記第 1 のノードの電圧がローレベルの時に、前記第 1 のノードを放電する第 3 の N M O S トランジスタと、を備えることを特徴とする入力回路。

【請求項 8】

前記第 1 の遮断手段は、P M O S トランジスタで構成し、

前記第 2 の遮断手段は、N M O S トランジスタで構成した、

ことを特徴とする請求項 4 記載の入力回路。

【請求項 9】

前記第 1 のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路の出力信号である請求項 7 または 8 記載の入力回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路における入力回路に関し、より詳しくは、ヒステリシス付き入力回路の電源電圧特性の改善に関する。

【背景技術】

【0002】

従来のヒステリシス特性を有する入力回路を説明する（特許文献 1 参照。）。

【0003】

図 1 4 は、従来のヒステリシス付き入力回路を示す回路図である。入力端子 4 0 1 の入力電圧  $V_{IN}$  がハイレベルからローレベルに移行する際は、ヒステリシス発生用の P M O S トランジスタ 8 0 3 はオフしている。従って、インバータ回路のしきい値電圧は P M O S トランジスタ 8 0 1 と N M O S トランジスタ 9 0 1 のオン抵抗の比で決まる。入力電圧  $V_{IN}$  がローレベルからハイレベルに移行する際は、ヒステリシス発生用の P M O S トランジスタ 8 0 3 がオンしている。このため、その分だけ P M O S トランジスタ 8 0 1 側のオン抵抗が、N M O S トランジスタ 9 0 1 側に比べ小さくなる。従って、インバータ回路のしきい値電圧は 2 個の P M O S トランジスタ 8 0 1 及び 8 0 3 と N M O S トランジスタ 9 0 1 のオン抵抗の比で決まる。よって、インバータ回路のしきい値は、入力電圧  $V_{IN}$  がローレベルからハイレベルに移行する時、入力電圧  $V_{IN}$  がハイレベルからローレベルに移行する時より上昇する。すなわち、インバータ回路のしきい値はヒステリシスを有する。

【0004】

また、図 1 5 は、従来のヒステリシス付き入力回路の他の例を示す回路図である。入力電圧  $V_{IN}$  がローレベルからハイレベルに移行する際、P M O S トランジスタ 8 0 4 がオン状態になると連動して、スイッチング用の P M O S トランジスタ 8 0 5 がオフ状態となるため、図 1 4 の回路より、スイッチング時の消費電流が低減できる。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 1 0 - 2 2 9 3 3 1 号公報

【発明の概要】

10

20

30

40

50

**【発明が解決しようとする課題】****【0006】**

しかしながら、従来の技術では、以下に述べるように、ヒステリシス電圧や応答速度に電源電圧依存性が現れる。

**【0007】**

先ず、図15のヒステリシス付き入力回路について説明する。低電源電圧条件下で入力電圧VINがローレベルからハイレベルに移行する時、入力電圧VINがローレベルから回路のしきい値電圧に近づく。そしてPMOSトランジスタ801及び804のゲート-ソース間電圧がトランジスタしきい値を下回る。この時、弱反転領域に入るため、高電源電圧時よりオン抵抗が大きくなる。そのため、低電源電圧条件下では、ヒステリシス電圧が小さくなってしまふ。また、低電源電圧時のヒステリシス電圧を大きくするため、PMOSトランジスタ801側のオン抵抗に対する、NMOSトランジスタ901側のオン抵抗の比を大きくすると、電源電圧が高い時回路のしきい値が高くなり、スイング幅の小さい入力信号を受け付けなくなる。そして、NMOSトランジスタ901のオン抵抗を大きくすることに付随し、低電源電圧での応答速度も低下してしまふ。

10

**【0008】**

次に、図14のヒステリシス付き入力回路について説明する。低電源電圧条件下で入力電圧がローレベルからハイレベルに移行する際、PMOSトランジスタ801のゲート-ソース間電圧がしきい値を下回り弱反転領域に入る。こうして、高電源電圧時よりオン抵抗が大きくなる。しかし、PMOSトランジスタ803のゲート-ソース間電圧は、回路の出力端子402がハイレベルに反転するまでは、電源電圧に等しくなっている。このため、入力電圧がローレベルからハイレベルに移行する際のPMOSトランジスタ803のオン抵抗は、電源電圧がトランジスタしきい値以上あれば、電源電圧にほとんど依存しない。そして、低電源電圧条件下では、PMOSトランジスタ803の電流駆動能力の影響が大きく見えるため、PMOSトランジスタ側のオン抵抗が小さくなる。こうして、低電源電圧条件下では、ヒステリシス電圧が大きくなる。前述したように、回路のしきい値が高くなると、スイング幅の小さい入力信号を受け付けなくなる。そして、低電源電圧条件下で回路しきい値が高くなりすぎないように設計すると、PMOSトランジスタ801が回路のしきい値付近で、強反転領域で動作するような電源電圧条件下では、ヒステリシス電圧が小さくなってしまふ。また、低電源電圧条件下では、PMOSトランジスタ側に対するNMOSトランジスタ901の電流駆動能力が小さいため、低電源電圧条件下での応答速度が低下してしまふ。

20

30

**【0009】**

本発明は、上記課題に鑑みてなされたものであり、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作するヒステリシス付き入力回路を提供する。

**【課題を解決するための手段】****【0010】**

従来の課題を解決するために、本発明のヒステリシス付き入力回路は以下のような構成とした。

40

**【0011】**

入力電圧が入力される入力端子と、入力電圧に基づいた出力信号が出力される出力端子と、入力電圧がローレベルの時に第1のノードを充電する第1のPMOSトランジスタと、入力電圧がハイレベルの時に第1のノードを放電する第1のNMOSトランジスタと、入力電圧がローレベルの時に第1のノードを充電する第2のPMOSトランジスタと、第1のノードの電圧がローレベルの時に第2のPMOSトランジスタの第1のノードへの充電経路を遮断する第1の遮断手段と、第1のノードの電圧がハイレベルの時に第1のノードを充電する第3のPMOSトランジスタと、を備えることを特徴とする入力回路。

**【0012】**

また、入力電圧が入力される入力端子と、入力電圧に基づいた出力信号が出力される出

50

力端子と、入力電圧がローレベルの時に第1のノードを充電する第1のPMOSトランジスタと、入力電圧がハイレベルの時に第1のノードを放電する第1のNMOSトランジスタと、入力電圧がハイレベルの時に第1のノードを放電する第2のNMOSトランジスタと、第1のノードの電圧がハイレベルの時に第2のNMOSトランジスタの第1のノードへの充電経路を遮断する第2の遮断手段と、第1のノードの電圧がローレベルの時に第1のノードを放電する第3のNMOSトランジスタと、を備えることを特徴とする入力回路。

【発明の効果】

【0013】

本発明では、論理回路や演算増幅回路等を使用することなく、幅広い電源電圧条件下で大きなヒステリシス電圧を確保できる。また、PMOSトランジスタ側のオン抵抗に対するNMOSトランジスタ側のオン抵抗比を従来技術より小さくすることができるので、従来技術と比較して低電源電圧動作での応答速度が低下を防止できる。さらに、従来回路より電源電圧依存性の小さいヒステリシス特性を得ることができるため、回路規模を大きくすることなく設計できる。

10

【0014】

以上より、本発明の回路は、従来技術と比較し、回路規模を増大させることなく、ヒステリシス電圧や応答速度の電源電圧依存性を緩和する効果がある。

【図面の簡単な説明】

【0015】

20

【図1】本実施形態の入力回路を示す回路図である。

【図2】第二の実施形態の入力回路を示す回路図である。

【図3】第三の実施形態の入力回路を示す回路図である。

【図4】第四の実施形態の入力回路を示す回路図である。

【図5】第五の実施形態の入力回路を示す回路図である。

【図6】第六の実施形態の入力回路を示す回路図である。

【図7】第七の実施形態の入力回路を示す回路図である。

【図8】第八の実施形態の入力回路を示す回路図である。

【図9】第九の実施形態の入力回路の第1の例を示す回路図ある。

【図10】第九の実施形態の入力回路の第2の例を示す回路図ある。

30

【図11】第九の実施形態の入力回路の第3の例を示す回路図ある。

【図12】第九の実施形態の入力回路の第4の例を示す回路図ある。

【図13】第十の実施形態の入力回路を示す回路図である。

【図14】従来の入力回路の第1の例を示す回路図である。

【図15】従来の入力回路の第2の例を示す回路図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施形態を、図面を参照して説明する。

【第一の実施形態】

【0017】

40

図1は、本実施形態のヒステリシス特性を有する入力回路である。

【0018】

本実施形態のヒステリシス特性を有する入力回路は、PMOSトランジスタ101～104と、NMOSトランジスタ201と、インバータ501と、第1の電源301（以下VDD）と、第1の電源より電圧の低い第2の電源302（以下VSS）と、入力端子401と、出力端子402を備える。

【0019】

PMOSトランジスタ101、102及び、104のソースはVDD、NMOSトランジスタ201のソースはVSSに接続する。PMOSトランジスタ101及び、NMOSトランジスタ201は共に、ゲートは入力端子401に、ドレインはノードN1にそれぞれ

50

れ接続する。インバータ501は、入力はノードN1、出力は出力端子402に接続する。PMOSトランジスタ102は、ゲートは入力端子401に接続し、ドレインはノードN2に接続する。PMOSトランジスタ103は、ゲートは出力端子402に接続し、ソースはノードN2に接続し、ドレインはノードN1に接続する。PMOSトランジスタ103は、ノードN1とノードN2の間に遮断手段として設けられている。PMOSトランジスタ104は、ゲートは出力端子402に接続し、ドレインはノードN1に接続する。PMOSトランジスタ101とNMOSトランジスタ201はインバータ回路を構成している。

#### 【0020】

なお、図示はしないが、PMOSトランジスタ101～104のバックゲートはVDDまたはソース電位より高い電位に接続し、NMOSトランジスタ201のバックゲートはVSSまたはソース電位より低い電位に接続する。

10

#### 【0021】

次に、本実施形態のヒステリシス特性を有する入力回路の動作について説明する。

#### 【0022】

入力端子401の入力電圧がハイレベルからローレベルに移行する時、出力端子402の電圧は、入力電圧が回路全体のしきい値を下回るまではハイレベルである。このため、PMOSトランジスタ103及び104はオフ状態である。次に、入力電圧がPMOSトランジスタ101及びNMOSトランジスタ201から成る回路のしきい値を下回ると、ノードN1がハイレベルに移行し、出力端子402がハイレベルからローレベルに移行する。つまり、回路全体のしきい値はPMOSトランジスタ101及びNMOSトランジスタ201から成る回路のしきい値で決まり、この値は、PMOSトランジスタ101とNMOSトランジスタ201のオン抵抗の比で決まる。

20

#### 【0023】

入力電圧がローレベルからハイレベルに移行する時、出力端子402の電圧は、入力電圧が回路全体のしきい値を超えるまではローレベルであり、PMOSトランジスタ103及び104はオン状態である。このため、入力がハイレベルからローレベルに移行する時と比較し、PMOSトランジスタ102及び、104の分だけPMOSトランジスタ101側のオン抵抗が小さくなる。こうして、回路全体のしきい値が上昇して、入力回路はヒステリシスを有する。

30

#### 【0024】

ここで、図1の回路図からPMOSトランジスタ104を除外して、PMOSトランジスタ101～103、NMOSトランジスタ201、インバータ501から成る構成で電源電圧依存性を考える。低電源電圧で入力電圧がローレベルからしきい値電圧に近づく時、PMOSトランジスタ101及び102は弱反転領域に入る。この時のPMOSトランジスタ101及び102のオン抵抗は、入力電圧がしきい値電圧付近であって強反転領域で動作する高電源電圧の時より大きくなる。このため、低電源電圧条件下では、ヒステリシス電圧が小さくなる。

#### 【0025】

次に、図1の回路図からPMOSトランジスタ102及び、103を除外して、PMOSトランジスタ101及び104、NMOSトランジスタ201、インバータ501から成る構成で電源電圧依存性を考える。前述したように、低電源電圧条件下では、入力電圧がローレベルから回路のしきい値電圧に近づく時、PMOSトランジスタ101及び104は弱反転領域に入り、高電源電圧条件下よりオン抵抗が大きくなる。ここで、PMOSトランジスタ104のゲート-ソース間電圧は、出力端子402がハイレベルに反転するまでは電源電圧に等しくなる。このため、PMOSトランジスタ104のオン抵抗は、電源電圧がPMOSトランジスタ104のトランジスタしきい値以上あれば電源電圧にほとんど依存しない。また、電源電圧が小さくなるほどPMOSトランジスタ104の電流駆動能力の影響が大きくなりPMOSトランジスタ側のオン抵抗が小さくなる。そのため、低電源電圧条件下では、ヒステリシス電圧が大きくなる。

40

50

## 【0026】

本実施形態の入力回路は2つの回路を設けることで、低電源電圧条件下ではPMOSトランジスタ101、104及び、インバータ501の回路が働きヒステリシス電圧を大きく保つことができ、高電源電圧条件下でもPMOSトランジスタ101～103及び、インバータ501の回路が働きヒステリシス電圧を大きく保つことができる。このようにしてヒステリシス電圧の電源電圧依存性を緩和することができる。このため、高電源電圧時にPMOSトランジスタ102の電流駆動能力を大きくする必要がなく、PMOSトランジスタ102の電流駆動能力を小さくできる。また、スイッチング時の消費電流も低減することができる。さらに、NMOSトランジスタ201に対するPMOSトランジスタ102の電流駆動能力の比をより小さく出来るため、低電源電圧時に、入力ローレベルからハイレベルの応答速度が低下しない。

10

## 【0027】

以上説明したように、第一の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することができる。

## 【第二の実施形態】

## 【0028】

図2は、第二の実施形態のヒステリシス特性を有する入力回路である。

## 【0029】

20

第二の実施形態のヒステリシス特性を有する入力回路は、PMOSトランジスタ101～104と、NMOSトランジスタ201と、インバータ501と、第1の電源301（以下VDD）と、第1の電源より電圧の低い第2の電源302（以下VSS）と、入力端子401と、出力端子402を備える。第二の実施形態は、以下の点で第一の実施形態と異なる。PMOSトランジスタ102は、ドレインはノードN1に接続し、ソースはN2に接続し、遮断手段であるPMOSトランジスタ103は、ドレインはノードN2に接続し、ソースはVDDに接続する。

## 【0030】

次に第二の実施形態のヒステリシス特性を有する入力回路について説明する。

## 【0031】

30

第二の実施形態は、第一の実施形態と比較してPMOSトランジスタ102とPMOSトランジスタ103を入れ替えた構成になっている。この場合も、第一の実施形態と同様の動作をし、同様の効果を得ることができる。

## 【0032】

従って、第二の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することができる。

## 【第三の実施形態】

## 【0033】

40

図3は、第三の実施形態のヒステリシス特性を有する入力回路である。

## 【0034】

第三の実施形態のヒステリシス特性を有する入力回路は、NMOSトランジスタ201～204と、PMOSトランジスタ101と、インバータ501と、第1の電源301（以下VDD）と、第1の電源より電圧の低い第2の電源302（以下VSS）と、入力端子401と、出力端子402を備える。

## 【0035】

NMOSトランジスタ201、202及び、204のソースはVSS、PMOSトランジスタ101のソースはVDDに接続する。PMOSトランジスタ101及び、NMOSトランジスタ201は共に、ゲートは入力端子401に、ドレインはノードN1にそれぞれ

50

れ接続する。インバータ501は、入力はノードN1に接続し、出力は出力端子402に接続する。NMOSトランジスタ202は、ゲートは入力端子401に接続し、ドレインはノードN3に接続する。NMOSトランジスタ203は、ゲートは出力端子402に接続し、ソースはノードN3に接続し、ドレインはノードN1に接続する。NMOSトランジスタ203は、ノードN1とノードN3の間に遮断手段として設けられている。NMOSトランジスタ204は、ゲートは出力端子402に接続し、ドレインはノードN1に接続する。

#### 【0036】

なお、図示はしないが、NMOSトランジスタ201～204のバックゲートはVSSまたはソース電位より低い電位に接続し、PMOSトランジスタ101のバックゲートはVSSまたはソース電位より高い電位に接続する。

10

#### 【0037】

次に第三の実施形態のヒステリシス特性を有する入力回路について説明する。

#### 【0038】

入力電圧がローレベルからハイレベルに移行する時、出力端子402の電圧は、入力電圧が回路全体のしきい値を下回るまではローレベルである。このため、NMOSトランジスタ203及び、204はオフ状態になる。次に、入力電圧がPMOSトランジスタ101及び、NMOSトランジスタ201から成る回路のしきい値を越えると、ノードN1がローレベルに移行し、出力端子402がローレベルからハイレベルに移行する。つまり、回路全体のしきい値はPMOSトランジスタ101及び、NMOSトランジスタ201から成る回路のしきい値で決まり、この値は、PMOSトランジスタ101とNMOSトランジスタ201のオン抵抗の比で決まる。

20

#### 【0039】

入力電圧がハイレベルからローレベルに移行する時、出力端子402の電圧は、入力電圧が回路全体のしきい値を下回るまではハイレベルである。このため、NMOSトランジスタ203及び、204はオン状態になる。このため、入力がローレベルからハイレベルに移行する際と比較し、NMOSトランジスタ202及び、204の分だけNMOSトランジスタ201側のオン抵抗が小さくなる。こうして、回路全体のしきい値が上昇して、入力回路はヒステリシスを有する。

#### 【0040】

ここで、図3の回路図からNMOSトランジスタ204を除外して、NMOSトランジスタ201～203、PMOSトランジスタ101、インバータ501から成る構成で電源電圧依存性を考える。低電源電圧で入力電圧がハイレベルからしきい値電圧に近づく時、NMOSトランジスタ201及び202は弱反転領域に入る。この時のNMOSトランジスタ201及び202のオン抵抗は、入力電圧がしきい値電圧付近であって強反転領域で動作する時より大きくなる。このため、低電源電圧条件下では、ヒステリシス電圧が小さくなる。

30

#### 【0041】

次に、図3の回路図からNMOSトランジスタ202及び、203を除外して、NMOSトランジスタ201及び204、PMOSトランジスタ101、インバータ501から成る構成で電源電圧依存性を考える。前述したように、NMOSトランジスタ201及び204は、低電源電圧条件下では、入力電圧がハイレベルから回路のしきい値電圧に近づく時、弱反転領域に入り、高電源電圧条件下よりオン抵抗が大きくなる。ここで、NMOSトランジスタ204のゲート-ソース間電圧は、出力端子402がローレベルに反転するまでは電源電圧に等しくなる。このため、NMOSトランジスタ204のオン抵抗は、電源電圧がNMOSトランジスタ204のトランジスタしきい値以上あれば電源電圧にほとんど依存しない。また、電源電圧が小さくなるほどNMOSトランジスタ104の電流駆動能力の影響が大きくなりNMOSトランジスタ側のオン抵抗が小さくなる。そのため、低電源電圧条件下では、ヒステリシス電圧が大きくなる。

40

#### 【0042】

50

本実施形態の入力回路は2つの回路を設けることで、低電源電圧条件下ではNMOSトランジスタ201、204及び、インバータ501の回路が働きヒステリシス電圧を大きく保つことができ、高電源電圧条件下でもNMOSトランジスタ201~203及び、インバータ501の回路が働きヒステリシス電圧を大きく保つことができる。このようにしてヒステリシス電圧の電源電圧依存性を緩和することができる。このため、高電源電圧時にNMOSトランジスタ202の電流駆動能力を大きくする必要がなく、NMOSトランジスタ202の電流駆動能力を小さくできる。このため、スイッチング時の消費電流を低減することができる。さらに、PMOSトランジスタ101に対するNMOSトランジスタ202の電流駆動能力の比をより小さく出来るため、低電源電圧時に、入力ローレベルからハイレベルの応答速度が低下しない。

10

#### 【0043】

以上説明したように、第三の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することができる。

#### 【第四の実施形態】

##### 【0044】

図4は、第四の実施形態のヒステリシス特性を有する入力回路である。

##### 【0045】

第四の実施形態のヒステリシス特性を有する入力回路は、NMOSトランジスタ201~204と、PMOSトランジスタ101と、インバータ501と、第1の電源301(以下VDD)と、第1の電源より電圧の低い第2の電源302(以下VSS)と、入力端子401と、出力端子402を備える。第四の実施形態は、以下の点で第三の実施形態と異なる。NMOSトランジスタ202は、ドレインはノードN1に接続し、ソースはN3に接続し、遮断手段であるNMOSトランジスタ203は、ドレインはノードN3に接続し、ソースはVSSに接続する。

20

##### 【0046】

次に第四の実施形態のヒステリシス特性を有する入力回路について説明する。

##### 【0047】

第四の実施形態は第三の実施形態と比較してNMOSトランジスタ202とNMOSトランジスタ203を入れ替えた構成になっている。この場合も、第三の実施形態と同様の動作をし、同様の効果を得ることができる。

30

##### 【0048】

従って、第四の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することができる。

#### 【第五の実施形態】

##### 【0049】

図5は、第五の実施形態のヒステリシス特性を有する入力回路である。

40

##### 【0050】

第五の実施形態のヒステリシス特性を有する入力回路は、NMOSトランジスタ201~204と、PMOSトランジスタ101~104と、インバータ501と、第1の電源301(以下VDD)と、第1の電源より電圧の低い第2の電源302(以下VSS)と、入力端子401と、出力端子402を備える。

##### 【0051】

NMOSトランジスタ201、202及び、204のソースはVSS、PMOSトランジスタ101、102及び、104のソースはVDDに接続する。PMOSトランジスタ101及び、NMOSトランジスタ201は共に、ゲートは入力端子401、ドレインはノードN1にそれぞれ接続する。インバータ501は、入力はノードN1、出力は出力端

50

子402に接続する。NMOSトランジスタ202は、ゲートは入力端子401に接続し、ドレインはノードN3に接続する。NMOSトランジスタ203は、ゲートは出力端子402に接続し、ソースはノードN3に接続し、ドレインはノードN1に接続する。NMOSトランジスタ204は、ゲートは出力端子402に接続し、ドレインはノードN1に接続する。PMOSトランジスタ102は、ゲートは入力端子401に接続し、ドレインはノードN2に接続する。PMOSトランジスタ103は、ゲートは出力端子402に接続し、ソースはノードN2に接続し、ドレインはノードN1に接続する。PMOSトランジスタ104は、ゲートは出力端子402に接続し、ドレインはノードN1に接続する。

【0052】

なお、図示はしないが、NMOSトランジスタ201~204のバックゲートはVSSまたはソース電位より低い電位に接続し、PMOSトランジスタ101~104のバックゲートはVSSまたはソース電位より高い電位に接続する。

10

【0053】

次に第五の実施形態のヒステリシス特性を有する入力回路について説明する。

【0054】

第五の実施形態のヒステリシス特性を有する入力回路は、第一の実施形態と、第三の実施形態を合わせた回路構成である。従って、低電源電圧時にヒステリシス電圧が小さくなる構成(PMOSトランジスタ101~103、NMOSトランジスタ201~203及び、インバータ501)と、低電源電圧時にヒステリシス電圧が大きくなる構成(PMOSトランジスタ101、104、NMOSトランジスタ201、204及び、インバータ501)が夫々2つ存在する。

20

【0055】

本実施形態の入力回路は2つの回路を設けることで、低電源電圧条件下ではPMOSトランジスタ101、104、NMOSトランジスタ201、204及び、インバータ501の回路が働きヒステリシス電圧を大きく保つことができ、高電源電圧条件下でもPMOSトランジスタ101~103、NMOSトランジスタ201~203及び、インバータ501の回路が働きヒステリシス電圧を大きく保つことができる。このようにしてヒステリシス電圧の電源電圧依存性を緩和することができる。このため、高電源電圧時にNMOSトランジスタ202、PMOSトランジスタ102の電流駆動能力を大きくする必要性がなく、PMOSトランジスタ102及びNMOSトランジスタ202の電流駆動能力を小さくできる。また、スイッチング時の消費電流も低減することができる。さらに、PMOSトランジスタ101に対するNMOSトランジスタ202の電流駆動能力の比及び、NMOSトランジスタ201に対するPMOSトランジスタ102の電流駆動能力の比をより小さく出来るため、低電源電圧時に、入力ローレベルからハイレベルの応答速度が低下しない。また、このような構成にすることでヒステリシス電圧を大きく取ることができる。

30

【0056】

以上より、第五の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減

40

【第六の実施形態】

【0057】

図6は、第六の実施形態のヒステリシス特性を有する入力回路である。

【0058】

第六の実施形態のヒステリシス特性を有する入力回路は、NMOSトランジスタ201~204と、PMOSトランジスタ101~104と、インバータ501と、第1の電源301(以下VDD)と、第1の電源より電圧の低い第2の電源302(以下VSS)と、入力端子401と、出力端子402を備える。第六の実施形態は、以下の点で第五の実施形態と異なる。NMOSトランジスタ202は、ドレインはノードN1に接続し、ソー

50

スはN3に接続し、NMOSトランジスタ203は、ドレインはノードN3に接続し、ソースはVSSに接続する。

【0059】

次に第六の実施形態のヒステリシス特性を有する入力回路について説明する。

【0060】

第六の実施形態は第五の実施形態と比較してNMOSトランジスタ202とNMOSトランジスタ203を入れ替えた構成になっている。この場合も、第五の実施形態と同様の動作をし、同様の効果を得ることができる。

【0061】

以上、第六の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することでき、ヒステリシス電圧を大きく取ることができる。

【第七の実施形態】

【0062】

図7は、第七の実施形態のヒステリシス特性を有する入力回路である。

【0063】

第七の実施形態のヒステリシス特性を有する入力回路は、NMOSトランジスタ201~204と、PMOSトランジスタ101~104と、インバータ501と、第1の電源301(以下VDD)と、第1の電源より電圧の低い第2の電源302(以下VSS)と、入力端子401と、出力端子402を備える。第七の実施形態は、以下の点で第五の実施形態と異なる。PMOSトランジスタ102は、ドレインはノードN1に接続し、ソースはN2に接続し、PMOSトランジスタ103は、ドレインはノードN2に接続し、ソースはVDDに接続する。

【0064】

次に第七の実施形態のヒステリシス特性を有する入力回路について説明する。

【0065】

第七の実施形態は第五の実施形態と比較してPMOSトランジスタ102とPMOSトランジスタ103を入れ替えた構成になっている。この場合も、第五の実施形態と同様の動作をし、同様の効果を得ることができる。

【0066】

以上、第七の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することでき、ヒステリシス電圧を大きく取ることができる。

【第八の実施形態】

【0067】

図8は、第八の実施形態のヒステリシス特性を有する入力回路である。

【0068】

第八の実施形態のヒステリシス特性を有する入力回路は、NMOSトランジスタ201~204と、PMOSトランジスタ101~104と、インバータ501と、第1の電源301(以下VDD)と、第1の電源より電圧の低い第2の電源302(以下VSS)と、入力端子401と、出力端子402を備える。第八の実施形態は、以下の点で第五の実施形態と異なる。PMOSトランジスタ102は、ドレインはノードN1に接続し、ソースはN2に接続し、PMOSトランジスタ103は、ドレインはノードN2に接続し、ソースはVDDに接続し、NMOSトランジスタ202は、ドレインはノードN1に接続し、ソースはN3に接続し、NMOSトランジスタ203は、ドレインはノードN3に接続し、ソースはVSSに接続する。

【0069】

次に第八の実施形態のヒステリシス特性を有する入力回路について説明する。

10

20

30

40

50

## 【 0 0 7 0 】

第八の実施形態は第五の実施形態と比較してPMOSトランジスタ102とPMOSトランジスタ103、NMOSトランジスタ202とNMOSトランジスタ203を入れ替えた構成になっている。この場合も、第五の実施形態と同様の動作をし、同様の効果を得ることができる。

## 【 0 0 7 1 】

以上、第八の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することでき、ヒステリシス電圧を大きく取ることができる。

10

## 【 第九の実施形態 】

## 【 0 0 7 2 】

図9は、第九の実施形態のヒステリシス特性を有する入力回路である。

## 【 0 0 7 3 】

第九の実施形態のヒステリシス特性を有する入力回路は、PMOSトランジスタ101～104と、NMOSトランジスタ201と、インバータ501と、第1の電源301（以下VDD）と、第1の電源より電圧の低い第2の電源302（以下VSS）と、入力端子401と、出力端子402と、スイッチング素子601と、701を備える。第一の実施形態との違いは、スイッチング素子601をPMOSトランジスタ101とVDDの間に追加し、ノードN1とVSSとの間にスイッチング素子701を追加した点である。

20

## 【 0 0 7 4 】

次に第九の実施形態のヒステリシス特性を有する入力回路について説明する。

## 【 0 0 7 5 】

第九の実施形態は、第一の実施形態の回路にスイッチング素子601、701を追加した構成になっている。このようにすることで、スイッチング素子に inputsするイネーブル信号によってイネーブルなら電氣的に遮断し、ディセーブルなら電氣的に接続するように制御できる。スイッチング素子はその他の動作には影響しない。このため、第一の実施形態と変わらず、第一の実施形態と同等の効果を得ることができる。また、このスイッチング素子は、図示はしないが第二から第八の実施形態に用いても同様の効果がある。

30

## 【 0 0 7 6 】

図10から図12は、スイッチング素子の挿入箇所を変更した本実施形態の他の例を示す回路図である。このように、スイッチング素子の挿入箇所を変更しても同様の効果がある。また、このスイッチング素子は、図示はしないが第二から第八の実施形態に用いても同様の効果がある。

## 【 0 0 7 7 】

以上、第九の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。また、回路規模を増大させることなく、スイッチング時の消費電流を低減することでき、ヒステリシス電圧を大きく取ることができる。

## 【 第十の実施形態 】

40

## 【 0 0 7 8 】

図13は、第十の実施形態のヒステリシス特性を有する入力回路である。

## 【 0 0 7 9 】

第十の実施形態のヒステリシス特性を有する入力回路は、PMOSトランジスタ101～104と、NMOSトランジスタ201と、インバータ501と、第1の電源301（以下VDD）と、第1の電源より電圧の低い第2の電源302（以下VSS）と、入力端子401と、出力端子402を備える。第十の実施形態は、以下の点で第一の実施形態と異なる。インバータ501の接続する位置を変更し、出力端子402とノードN1を接続し、出力端子402の論理を反転する。

## 【 0 0 8 0 】

50

次に第十の実施形態のヒステリシス特性を有する入力回路について説明する。

【0081】

第十の実施形態は第一の実施形態と比較して出力端子402とノードN1を接続した構成になっている。このため、出力端子402の論理が変わるだけでその他の動作に影響はしない。従って、第一の実施形態と反転した出力論理の入力回路であっても、第一の実施形態と同様の効果を得ることができる。また、図示はしないが第二から第九の実施形態に用いても同様の効果がある。

【0082】

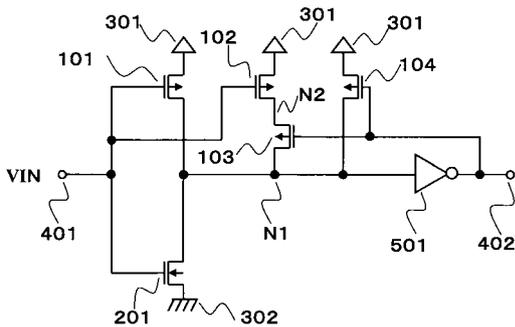
以上、第十の実施形態のヒステリシス特性を有す入力回路によれば、ヒステリシス電圧や応答速度の電源電圧依存性を緩和し、幅広い範囲の電源電圧条件下で動作することが可能となる。

【符号の説明】

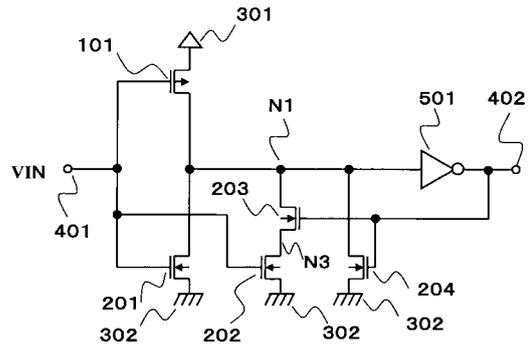
【0083】

- 301 第1の電源(VDD)
- 302 第2の電源(VSS)
- 401 入力端子
- 402 出力端子
- 501 インバータ回路
- 601~604、701~702 スイッチング素子

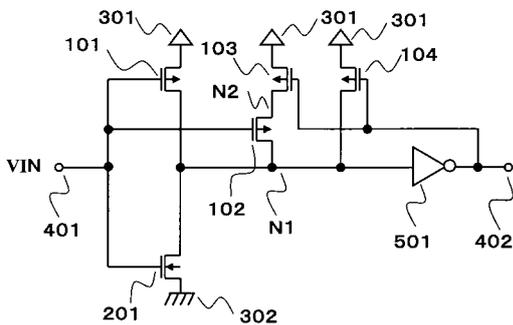
【図1】



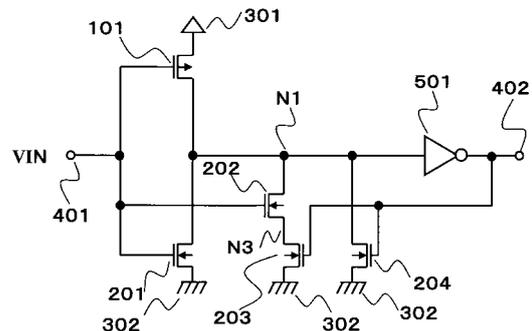
【図3】



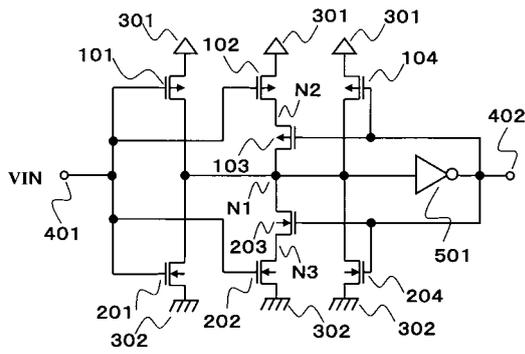
【図2】



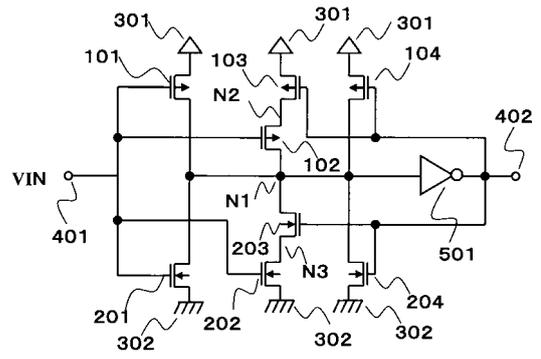
【図4】



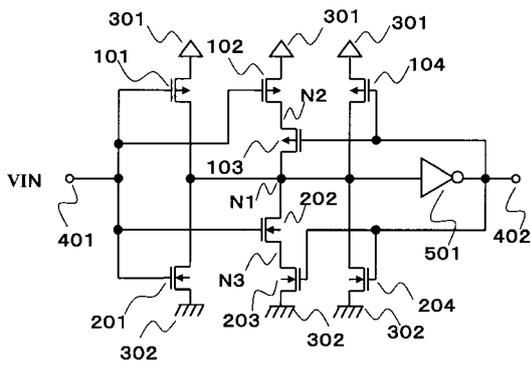
【 図 5 】



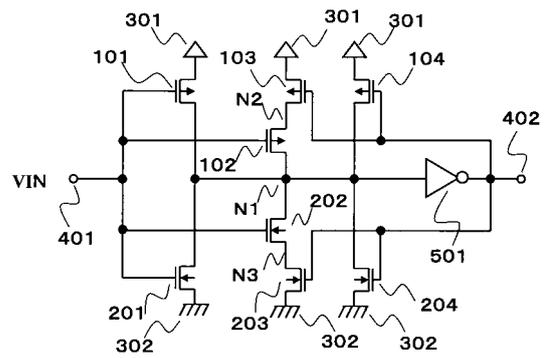
【 図 7 】



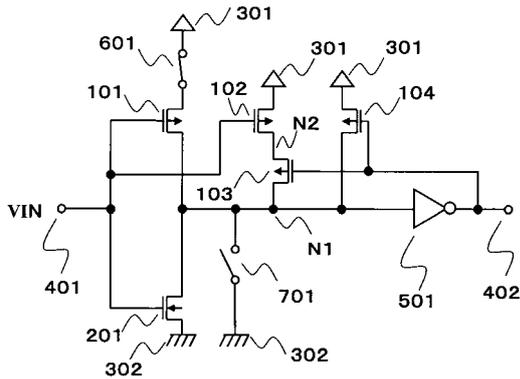
【 図 6 】



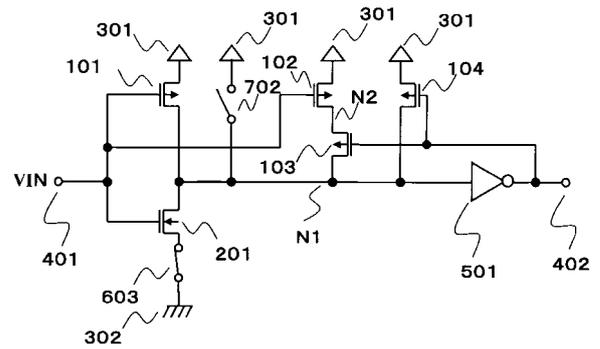
【 図 8 】



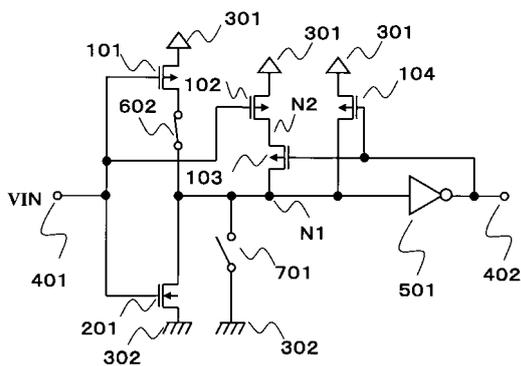
【 図 9 】



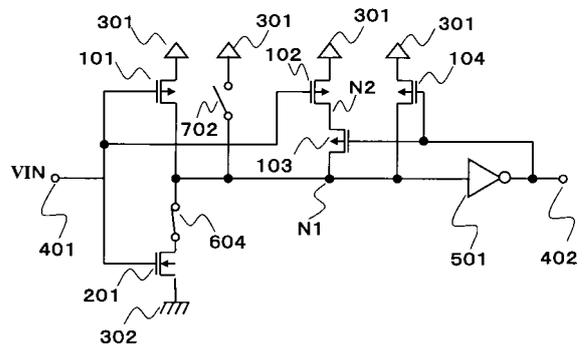
【 図 1 1 】



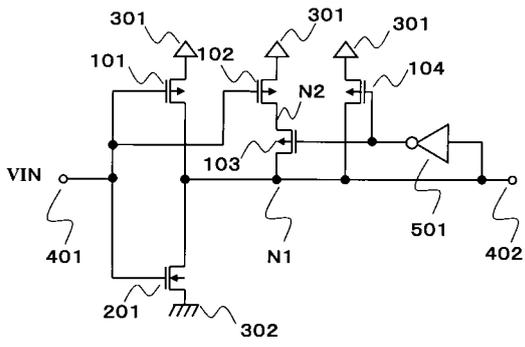
【 図 1 0 】



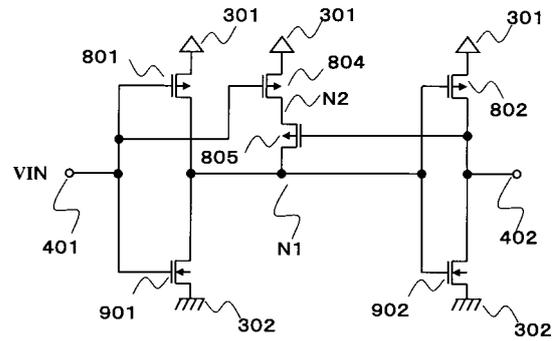
【 図 1 2 】



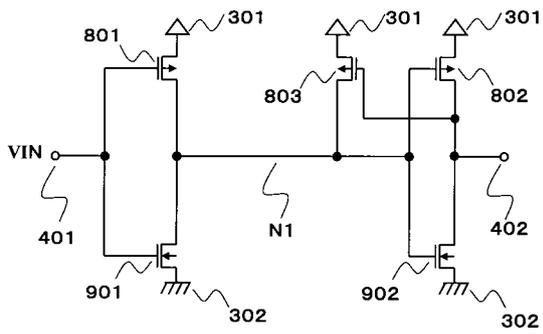
【 図 1 3 】



【 図 1 5 】



【 図 1 4 】



---

フロントページの続き

Fターム(参考) 5J055 AX11 BX47 CX27 DX22 DX56 DX62 DX72 DX73 DX83 EX01  
EX02 EX07 EY21 EZ07 EZ11 EZ12 EZ22 FX05 FX12 FX18  
FX20 FX37 GX01  
5J056 AA01 BB01 CC00 DD13 DD29 EE06 EE07 FF08 GG09