

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-112788

(P2012-112788A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	W 2 G 1 3 2
GO 1 R 31/3185 (2006.01)	HO 1 L 27/04	T 5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	E
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願2010-261719 (P2010-261719)  
 (22) 出願日 平成22年11月24日 (2010.11.24)

(71) 出願人 000002325  
 セイコーインスツル株式会社  
 千葉県千葉市美浜区中瀬1丁目8番地  
 (74) 代理人 100154863  
 弁理士 久原 健太郎  
 (74) 代理人 100142837  
 弁理士 内野 則彰  
 (74) 代理人 100123685  
 弁理士 木村 信行  
 (72) 発明者 杉浦 正一  
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内  
 (72) 発明者 五十嵐 敦史  
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内  
 最終頁に続く

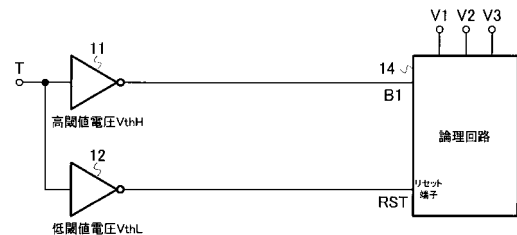
(54) 【発明の名称】 テストモード設定回路

(57) 【要約】

【課題】 端子数の少ないテストモード設定回路を提供する。

【解決手段】 半導体装置のテストモードを制御するテスト端子に、低閾値電圧のディテクタと高閾値電圧のディテクタを設け、低閾値電圧のディテクタによって論理回路のリセットを解除し、高閾値電圧のディテクタでテストモードを切替え制御するような構成にした。従って、テスト端子とリセット端子とテストモード制御端子が共通になり、端子の数を大幅に削減することが可能である。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体装置のテストモードを制御するテストモード設定回路であって、  
第一の閾値電圧を有し、入力端子がテスト端子に接続された第一ディテクタと、  
第二の閾値電圧を有し、入力端子が前記テスト端子に接続された第二ディテクタと、  
第一入力端子が前記第一ディテクタの出力端子に接続され、第二入力端子が前記第二ディテクタの出力端子に接続され、前記第一及び第二ディテクタの出力信号に基づき、前記半導体装置のテストモードを制御する論理回路と、を備え、  
前記論理回路は、前記テスト端子の電圧が第一電源の電圧から前記第一ディテクタの第一の閾値電圧を越えた時にリセットが解除され、前記半導体装置をテストモードに設定し、前記半導体装置がテストモードにおいて、前記テスト端子の電圧が前記第二ディテクタの第二の閾値電圧を越えた時に前記テストモードのモード設定を切替え制御する、ことを特徴とするテストモード設定回路。

10

**【請求項 2】**

前記第一ディテクタの出力端子と前記論理回路の第一入力端子の間に接続されたラッチを備え、  
前記ラッチは、前記テスト端子の電圧が第一電源の電圧から前記第一ディテクタの第一の閾値電圧を越えた時にリセットが解除され、さらに前記第二ディテクタの第二の閾値電圧を越えた時にセットされ、前記論理回路のリセットを解除することを特徴とする請求項 1 に記載のテストモード設定回路。

20

**【請求項 3】**

半導体装置のテストモードを制御するテストモード設定回路であって、  
第一の閾値電圧を有し、入力端子がテスト端子に接続された第一ディテクタと、  
第二の閾値電圧を有し、入力端子が前記テスト端子に接続された第二ディテクタと、  
クロック端子が前記第二ディテクタの出力端子に接続され、リセット端子が前記第一ディテクタの出力端子に接続され、前記クロック端子に入力された信号をカウントするカウンタと、  
リセット端子が前記第一ディテクタの出力端子に接続され、入力端子が前記カウンタの出力端子に接続され、前記第一ディテクタ及び前記カウンタの出力信号に基づき、前記半導体装置のテストモードを制御する論理回路と、を備え、  
前記カウンタ及び前記論理回路は、前記テスト端子の電圧が第一電源の電圧から前記第一ディテクタの第一の閾値電圧を越えた時にリセットが解除され、前記半導体装置をテストモードに設定し、前記半導体装置がテストモードにおいて、前記クロックは前記第二ディテクタの出力する信号に基づいた信号を出力し、前記論理回路は前記カウンタの出力する信号に基づいて前記テストモードのモード設定を切替え制御する、ことを特徴とするテストモード設定回路。

30

**【請求項 4】**

前記第一ディテクタの出力端子と前記カウンタ及び前記論理回路のリセット端子の間に接続されたラッチを備え、  
前記ラッチは、前記テスト端子の電圧が第一電源の電圧から前記第一ディテクタの第一の閾値電圧を越えた時にリセットが解除され、さらに前記第二ディテクタの第二の閾値電圧を越えた時にセットされ、前記カウンタ及び前記論理回路のリセットを解除することを特徴とする請求項 3 に記載のテストモード設定回路。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置のテストモード時に複数のモードを設定するテストモード設定回路に関する。

**【背景技術】****【0002】**

50

従来のテストモード設定回路について説明する。図9は、従来のテストモード設定回路を示す図である。ここで、テスト信号TESTが入力されるテスト端子以外は、通常の状態で使用される端子である。

【0003】

テスト信号TESTがハイレベルに制御されると、半導体装置は通常モードからテストモードに移行する。その後、入力信号INPUT1～INPUT3がラッチ31～33にそれぞれ入力される。入力信号INPUT1～INPUT3は、テストモード時の複数のモードを設定するための信号である。ここで、リセット信号RESETがハイレベルになると、ラッチ31～33はリセット解除され、ラッチ31～33はラッチ動作を行う。つまり、ラッチ31～33は、入力信号INPUT1～INPUT3をそれぞれラッチして出力する。3ビットのラッチ31～33の出力信号に基づき、デコーダ34は7ビットのテストモード信号TM1～TM7を出力する。なお、ラッチ31～33の出力信号が全てローレベルであると、テストモード信号TM1～TM7も全てローレベルに制御される（例えば、特許文献1参照）。

10

【0004】

上述のように、従来のテストモード設定回路は、通常の状態で使用されるリセット端子や入力端子を共通に使用することで、テスト用に端子を必要としないので、製造コストを下げることが出来る。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2003-185706号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、従来のテストモード設定回路では、テストモードを設定するために、テスト端子、リセット端子、及び複数の入力端子を必要とする。半導体装置によっては、通常状態で必要とする端子数がそれほど多くない場合がある。例えば、電源端子と、入力端子と、出力端子の4端子の半導体装置などである。このような半導体装置では、従来のテストモード設定回路では、端子数が足りないため、テストモードを設定するために端子を追加する必要がある。

30

【0007】

本発明は、上記課題に鑑みてなされ、端子数の少ないテストモード設定回路を提供する。

【課題を解決するための手段】

【0008】

本発明のテストモード設定回路は、上記課題を解決するため、半導体装置のテストモードを制御するテストモード設定回路であって、第一の閾値電圧を有し、入力端子がテスト端子に接続された第一ディテクタと、第二の閾値電圧を有し、入力端子が前記テスト端子に接続された第二ディテクタと、第一入力端子が前記第一ディテクタの出力端子に接続され、第二入力端子が前記第二ディテクタの出力端子に接続され、前記第一及び第二ディテクタの出力信号に基づき、前記半導体装置のテストモードを制御する論理回路と、を備え、前記論理回路は、前記テスト端子の電圧が第一電源の電圧から前記第一ディテクタの第一の閾値電圧を越えた時にリセットが解除され、前記半導体装置をテストモードに設定し、前記半導体装置がテストモードにおいて、前記テスト端子の電圧が前記第二ディテクタの第二の閾値電圧を越えた時に前記テストモードのモード設定を切替え制御する、ことを特徴とするテストモード設定回路、を提供する。

40

【発明の効果】

【0009】

本発明のテストモード設定回路によれば、半導体装置のテストモードを制御するテスト

50

端子に、低閾値電圧のディテクタと高閾値電圧のディテクタを設け、低閾値電圧のディテクタによって論理回路のリセットを解除し、高閾値電圧のディテクタでテストモードを切替え制御するようにしたので、テスト端子とリセット端子とテストモード制御端子が共通になり、端子の数を大幅に削減することが可能である。

【図面の簡単な説明】

【0010】

【図1】第一実施形態のテストモード設定回路を示す回路図である。

【図2】第一実施形態のテストモード設定回路の各ノードの電圧を示すタイムチャートである。

【図3】第二実施形態のテストモード設定回路を示す回路図である。

10

【図4】第二実施形態のテストモード設定回路の各ノードの電圧を示すタイムチャートである。

【図5】第三実施形態のテストモード設定回路を示す回路図である。

【図6】第三実施形態のテストモード設定回路の各ノードの電圧を示すタイムチャートである。

【図7】第四実施形態のテストモード設定回路を示す回路図である。

【図8】第四実施形態のテストモード設定回路の各ノードの電圧を示すタイムチャートである。

【図9】従来のテストモード設定回路を示す回路図である。

【発明を実施するための形態】

20

【0011】

以下、本発明の実施形態を、図面を参照して説明する。

【0012】

< 第一実施形態 >

図1は、第一実施形態のテストモード設定回路を示す回路図である。

【0013】

第一実施形態のテストモード設定回路は、高閾値インバータ11、低閾値インバータ12、論理回路14、テスト端子、及び、第一～第三出力端子を備える。

【0014】

高閾値インバータ11の入力端子は、テストモード設定回路のテスト端子に接続され、出力端子は、論理回路14の第一入力端子に接続される。低閾値インバータ12の入力端子は、テストモード設定回路のテスト端子に接続され、出力端子は、論理回路14のリセット端子に接続される。論理回路14の第一～第三出力端子は、テストモード設定回路の第一～第三出力端子にそれぞれ接続される。

30

【0015】

ここで、半導体装置が通常モードで動作する場合、テスト端子へのテスト信号Tは低閾値電圧 $V_{thL}$ よりも低い電圧に制御される。半導体装置がテストモードにおいてモード設定する場合、テスト信号Tの振幅は、電源電圧VDDと、高閾値電圧 $V_{thH}$ と低閾値電圧 $V_{thL}$ との間の電圧と、の間で制御される。高閾値インバータ11は、高閾値電圧 $V_{thH}$ を有する。低閾値インバータ12は、高閾値電圧 $V_{thH}$ よりも低い低閾値電圧 $V_{thL}$ を有する。論理回路14は、信号B1及びリセット信号RSTに基づき、半導体装置のモードを設定する。

40

【0016】

次に、テストモード設定回路の動作について説明する。図2は、第一実施形態のテストモード設定回路の各ノードの電圧を示すタイムチャートである。

ここで、ハイレベルの信号を「1」とし、ローレベルの信号を「0」とする。

【0017】

テスト信号Tが、テストモード設定回路のテスト端子に入力されている。半導体装置が通常モードで動作する場合、テスト信号Tは低閾値インバータ12の低閾値電圧 $V_{thL}$ よりも低い電圧に制御される。半導体装置がテストモードで動作する場合、テスト信号T

50

は電源電圧  $V_{DD}$  と中間電圧 ( $V_{DD}/2$ ) との間の振幅に制御される。

【0018】

[通常モード時の動作] テスト信号  $T$  は、低閾値電圧  $V_{thL}$  よりも低い電圧に制御される。よって、高閾値インバータ  $11$  により、信号  $B1$  はハイレベルであり、低閾値インバータ  $12$  により、リセット信号  $RST$  もハイレベルである。ここで、(リセット信号  $RST$ ) = (「1」) の場合、論理回路  $14$  は (信号  $V1$ 、信号  $V2$ 、信号  $V3$ ) = (「0」、「0」、「1」) になるよう動作する。ローレベルの信号  $V1 \sim V2$  及びハイレベルの信号  $V3$  により、半導体装置は通常モードで動作する。

【0019】

[テストモード時の動作] テスト信号  $T$  が低閾値電圧  $V_{thL}$  よりも高くなると、リセット信号  $RST$  が立ち下がり、半導体装置は通常モードからテストモードに移行する。テスト信号  $T$  が高閾値インバータ  $11$  の高閾値電圧  $V_{thH}$  よりも高くなると、信号  $B1$  はローレベルになる。テスト信号  $T$  が高閾値電圧  $V_{thH}$  よりも低くなると、信号  $B1$  はハイレベルになる。ここで、(信号  $B1$ 、リセット信号  $RST$ ) = (「0」、「0」) の場合、論理回路  $14$  は (信号  $V1$ 、信号  $V2$ 、信号  $V3$ ) = (「1」、「0」、「0」) になるよう動作する。ハイレベルの信号  $V1$  及びローレベルの信号  $V2 \sim V3$  により、半導体装置はモード  $1$  のテストモードで動作するよう設定される。この時、例えば半導体装置の外部接続端子の電圧がテストされる。

10

【0020】

また、(信号  $B1$ 、リセット信号  $RST$ ) = (「1」、「0」) の場合、論理回路  $14$  は (信号  $V1$ 、信号  $V2$ 、信号  $V3$ ) = (「0」、「1」、「0」) になるよう動作する。ローレベルの信号  $V1$  とハイレベルの信号  $V2$  とローレベルの信号  $V3$  とにより、半導体装置はモード  $2$  のテストモードで動作するよう設定される。

20

【0021】

テストモード時の動作において、モード  $1 \sim 2$  は、交互に繰り返し設定される。例えば、半導体装置は、外部から印加される印加電圧と設定電圧とを比較し、比較結果に基づき、出力電圧を反転させるディテクタ  $IC$  であるとする。ここで、設定電圧が徐々に高くなるよう制御され、テストモード時の  $3$  回目のモード  $1$  で、設定電圧が印加電圧になるよう制御される。この時、ディテクタ  $IC$  の出力電圧が反転すれば、ディテクタ  $IC$  の動作は正常であると判断される。

30

【0022】

上述のような第一実施形態のテストモード設定回路によれば、半導体装置が通常モードで動作する場合、テスト端子へのテスト信号  $T$  は低閾値電圧  $V_{thL}$  よりも低い電圧に制御され、このテスト信号  $T$  がリセット信号として使用されるので、リセット信号入力用のリセット端子は不要になる。

【0023】

また、半導体装置がテストモードで動作する場合、テスト信号  $T$  が高閾値電圧  $V_{thH}$  の上下で制御されることによってテストモードを設定することができるので、モード設定のための入力端子も不要になる。

【0024】

なお、各信号におけるハイレベルまたはローレベルの論理は、適宜設計される。例えば、半導体装置が通常モードで動作する場合、テスト信号  $T$  は高閾値インバータ  $11$  の高閾値電圧  $V_{thH}$  よりも高い電圧に制御され、テストモードで動作する場合、接地電圧  $V_{SS}$  と中間電圧 ( $V_{DD}/2$ ) との間の振幅で制御されても良い。

40

【0025】

また、テストモードでのテスト信号  $T$  の振幅の下限を中間電圧 ( $V_{DD}/2$ ) として説明したが、高閾値電圧  $V_{thH}$  と低閾値電圧  $V_{thL}$  の間の電圧であれば良い。

【0026】

また、テスト端子に高閾値インバータ  $11$  と低閾値インバータ  $12$  を用いて説明したが、高閾値電圧を有する高閾値ディテクタと低閾値電圧を有する低閾値ディテクタであれば

50

、これに限定されるものではない。例えば、閾値電圧を設定するための基準電圧回路とコンパレータで構成されてもよい。つまり、高閾値インバータ 11 は高閾値ディテクタの一例であり、低閾値インバータ 12 は低閾値ディテクタの一例である。

【0027】

< 第二実施形態 >

図 3 は、第二実施形態のテストモード設定回路を示す回路図である。

【0028】

第二実施形態のテストモード設定回路は、高閾値インバータ 11、低閾値インバータ 12、論理回路 14、インバータ 15、ラッチ 16、インバータ 17、テスト端子、及び、第一～第三出力端子を備える。

10

【0029】

インバータ 15 の入力端子は、高閾値インバータ 11 の出力端子に接続される。ラッチ 16 のセット端子はインバータ 15 の出力端子に接続され、リセット端子は低閾値インバータ 12 の出力端子に接続され、出力端子はインバータ 17 の入力端子に接続される。インバータ 17 の出力端子は、論理回路 14 のリセット端子に接続される。

【0030】

ここで、テスト信号 T が低閾値電圧  $V_{thL}$  よりも高くなると、ラッチ 16 はリセット解除される。その後、テスト信号 T が高閾値電圧  $V_{thH}$  よりも高くなると、ラッチ 16 はセットされることによって半導体装置をテストモードに移行させる。

【0031】

次に、テストモード設定回路の動作について説明する。図 4 は、各電圧を示すタイムチャートである。

20

【0032】

リセット信号 RST の立ち下りのタイミングは、第一実施形態では、テスト信号 T が低閾値電圧  $V_{thL}$  よりも高くなる時である。しかし、第二実施形態では、テスト信号 T が高閾値電圧  $V_{thH}$  よりも高くなる時である。つまり、テスト信号 T が高閾値電圧  $V_{thH}$  よりも高くなると、リセット信号 RST が立ち下り、半導体装置は通常モードからテストモードに移行する。具体的には、テスト信号 T が低閾値電圧  $V_{thL}$  よりも高くなると、低閾値インバータ 12 の出力信号がローレベルになり、ラッチ 16 がリセット解除される。その後、テスト信号 T が高閾値電圧  $V_{thH}$  よりも高くなると、高閾値インバータ 11 の出力信号がローレベルになり、インバータ 15 の出力信号がハイレベルになり、ラッチ 16 はセットされる。すると、ラッチ 16 の出力信号はハイレベルになり、リセット信号 RST がローレベルになる。

30

【0033】

ここで、(リセット信号 RST) = (「1」) の場合、第一実施形態と同様に、論理回路 14 は (信号 V1、信号 V2、信号 V3) = (「0」、「0」、「1」) になるよう動作している。よって、リセット信号 RST の立ち下りのタイミングの変更に伴い、信号 V1～V3 の波形も変更される。

【0034】

上述のような第二実施形態のテストモード設定回路によれば、テスト信号 T が低閾値電圧  $V_{thL}$  でなくて高閾値電圧  $V_{thH}$  よりも高くなると、リセット信号 RST が立ち下り、半導体装置は通常モードからテストモードに移行する。すると、高閾値電圧  $V_{thH}$  は低閾値電圧  $V_{thL}$  よりも高いので、半導体装置はテストモードに移行しにくくなる。よって、テスト信号 T へのノイズなどにより、半導体装置が誤ってテストモードに移行しにくくなるので、半導体装置が誤動作しにくくなる。

40

【0035】

< 第三実施形態 >

図 5 は、第三実施形態のテストモード設定回路を示す回路図である。

【0036】

第三実施形態のテストモード設定回路は、高閾値インバータ 21、低閾値インバータ 2

50

2、カウンタ23、及び、論理回路24を備える。

【0037】

高閾値インバータ21の入力端子は、テストモード設定回路のテスト端子に接続され、出力端子は、カウンタ23のクロック端子に接続される。低閾値インバータ22の入力端子は、テストモード設定回路のテスト端子に接続され、出力端子は、カウンタ23及び論理回路24のリセット端子に接続される。論理回路24の第一～第二入力端子は、カウンタ23の第一～第二出力端子にそれぞれ接続され、第一～第五出力端子は、テストモード設定回路の第一～第五出力端子にそれぞれ接続される。

【0038】

ここで、半導体装置が通常モードで動作する場合、テスト端子へのテスト信号Tは低閾値電圧 $V_{thL}$ よりも低い電圧に制御される。半導体装置がテストモードで動作する場合、テスト信号Tは電源電圧VDDと中間電圧( $V_{DD}/2$ )との間の振幅に制御される。高閾値インバータ21は、高閾値電圧 $V_{thH}$ を有する。低閾値インバータ22は、高閾値電圧 $V_{thH}$ よりも低い低閾値電圧 $V_{thL}$ を有する。カウンタ23は、クロック端子へのクロック信号CLKをカウントする。論理回路24は、リセット信号RST及び信号B1～B2に基づき、半導体装置のモードを設定する。

【0039】

次に、テストモード設定回路の動作について説明する。図6は、第三実施形態のテストモード設定回路の各ノードの電圧を示すタイムチャートである。

【0040】

[通常モード時の動作] テスト信号Tは、低閾値電圧 $V_{thL}$ よりも低い電圧に制御される。よって、高閾値インバータ21により、クロック信号CLKはハイレベルであり、低閾値インバータ22により、リセット信号RSTもハイレベルである。ここで、(リセット信号RST) = (「1」)の場合、カウンタ23は(信号B1、信号B2) = (「1」、「1」)になるよう動作する。また、論理回路24は(信号V1、信号V2、信号V3、信号V4、信号V5) = (「0」、「0」、「0」、「0」、「1」)になるよう動作する。ローレベルの信号V1～V4及びハイレベルの信号V5により、半導体装置は通常モードで動作する。

【0041】

[テストモード時の動作] テスト信号Tが低閾値電圧 $V_{thL}$ よりも高くなると、リセット信号RSTが立ち下がり、半導体装置は通常モードからテストモードに移行する。テスト信号Tが高閾値インバータ11の高閾値電圧 $V_{thH}$ よりも高くなると、クロック信号CLKはローレベルになる。テスト信号Tが高閾値電圧 $V_{thH}$ よりも低くなると、クロック信号CLKはハイレベルになる。カウンタ23は、このクロック信号CLKをそのまま信号B1として出力する。また、カウンタ23は、このクロック信号CLKを分周して信号B2として出力する。ここで、(信号B2、信号B1、リセット信号RST) = (「0」、「0」、「0」)の場合、論理回路24は(信号V1、信号V2、信号V3、信号V4、信号V5) = (「1」、「0」、「0」、「0」、「0」)になるよう動作する。ハイレベルの信号V1及びローレベルの信号V2～V5により、半導体装置はモード1のテストモードで動作するよう設定される。この時、半導体装置の外部接続端子の電圧がテストされることにより、このモード1のテストモード時の半導体装置がテストされる。

【0042】

また、(信号B2、信号B1、リセット信号RST) = (「0」、「1」、「0」)の場合、論理回路24は(信号V1、信号V2、信号V3、信号V4、信号V5) = (「0」、「1」、「0」、「0」、「0」)になるよう動作する。ローレベルの信号V1とハイレベルの信号V2とローレベルの信号V3～V5とにより、半導体装置はモード2のテストモードで動作するよう設定される。

【0043】

また、(信号B2、信号B1、リセット信号RST) = (「1」、「0」、「0」)の場合、論理回路24は(信号V1、信号V2、信号V3、信号V4、信号V5) = (「0

10

20

30

40

50

」、「0」、「1」、「0」、「0」)になるよう動作する。ローレベルの信号V1～V2とハイレベルの信号V3とローレベルの信号V4～V5とにより、半導体装置はモード3のテストモードで動作するよう設定される。

【0044】

また、(信号B2、信号B1、リセット信号RST)=(「1」、「1」、「0」)の場合、論理回路24は(信号V1、信号V2、信号V3、信号V4、信号V5)=(「0」、「0」、「0」、「1」、「0」)になるよう動作する。ローレベルの信号V1～V3とハイレベルの信号V4とローレベルの信号V5とにより、半導体装置はモード4のテストモードで動作するよう設定される。

【0045】

このようにすると、テストモード時に、第一～第二実施形態では、2つのモードが設定されたが、第三実施形態では、3つ以上のモードが設定されることができる。

【0046】

なお、図5では、論理回路24を制御する信号B1～B2が2ビット用意されることにより、テストモード時のモードが4つ用意される。しかし、図示しないが、論理回路24を制御する信号が3ビット用意されることにより、テストモード時のモードが8つ用意されても良い。

【0047】

また、図6では、信号B1と信号B1が分周されて生成された信号B2とから、テストモード時のモードが4つ用意される。この時、信号B1の半周期で、テストモード時における1つのモードが設定される。しかし、図示しないが、信号B2と信号B2が分周されて生成された信号B3とから、テストモード時のモードが4つ用意されても良い。この時、信号B2の半周期つまり信号B1の1周期で、テストモード時における1つのモードが設定される。このようにすると、テストモード時の各モードにおいて、テスト信号Tが電源電圧VDDになる時が存在するようになる。よって、テスト信号Tが中間電圧(VDD/2)でなくて電源電圧VDDになる時に、半導体装置はテストされることができるようになるので、安定したテストが実施される。

【0048】

<第四実施形態>

図7は、第四実施形態のテストモード設定回路を示す回路図である。

【0049】

第四実施形態のテストモード設定回路は、第三実施形態のテストモード設定回路に、インバータ25、ラッチ26、及び、インバータ27を追加されている。

【0050】

インバータ25の入力端子は、高閾値インバータ21の出力端子に接続される。ラッチ26のセット端子はインバータ25の出力端子に接続され、リセット端子は低閾値インバータ22の出力端子に接続され、出力端子はインバータ27の入力端子に接続される。インバータ27の出力端子は、カウンタ23及び論理回路24のリセット端子に接続される。

【0051】

次に、テストモード設定回路の動作について説明する。図8は、第四実施形態のテストモード設定回路の各ノードの電圧を示すタイムチャートである。

【0052】

リセット信号RSTの立ち下がりのタイミングは、第三実施形態では、テスト信号Tが低閾値電圧V<sub>thL</sub>よりも高くなる時である。しかし、第四実施形態では、テスト信号Tが高閾値電圧V<sub>thH</sub>よりも高くなる時である。つまり、テスト信号Tが高閾値電圧V<sub>thH</sub>よりも高くなると、リセット信号RSTが立ち下がり、半導体装置は通常モードからテストモードに移行する。

【0053】

ここで、(リセット信号RST)=(「1」)の場合、第三実施形態と同様に、論理回

10

20

30

40

50



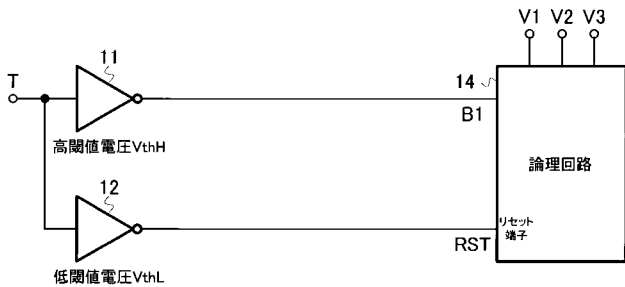
路 2 4 は ( 信号 V 1、信号 V 2、信号 V 3、信号 V 4、信号 V 5 ) = ( 「 0 」、 「 0 」、 「 0 」、 「 0 」、 「 1 」 ) になるよう動作している。よって、リセット信号 R S T の立ち下がりのタイミングの変更に伴い、信号 V 1 ~ V 5 の波形も変更される。

【符号の説明】

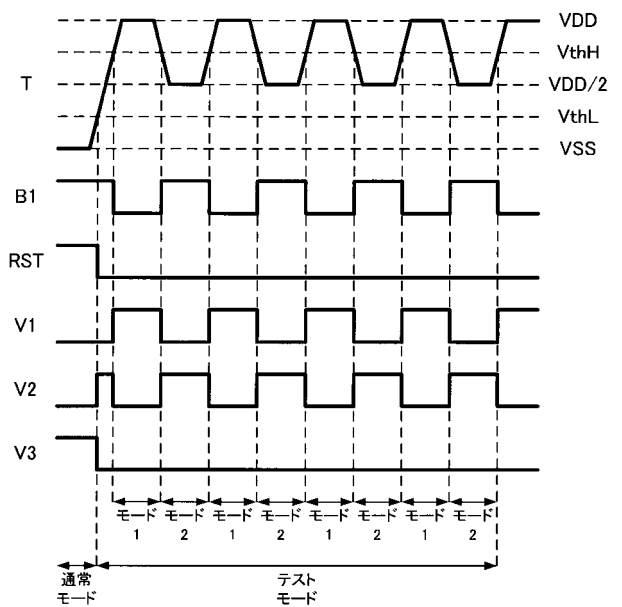
【 0 0 5 4 】

- 1 1、2 1 高閾値インバータ
- 1 2、2 2 低閾値インバータ
- 1 4、2 4 論理回路
- 1 6、2 6、3 1、3 2、3 3 ラッチ
- 2 3 カウンタ
- 3 4 デコーダ

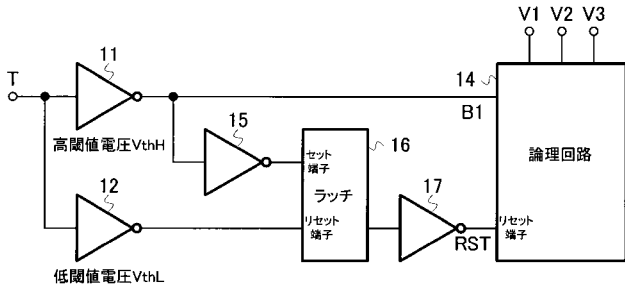
【 図 1 】



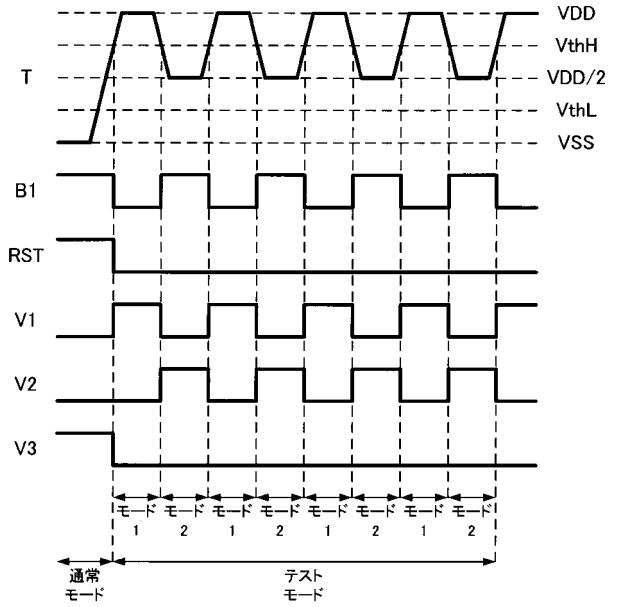
【 図 2 】



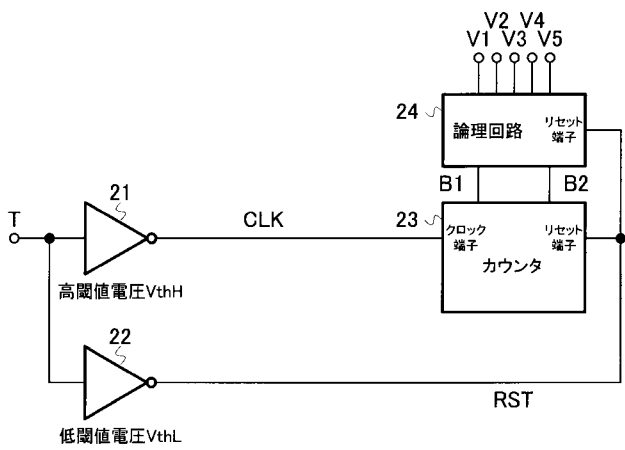
【 図 3 】



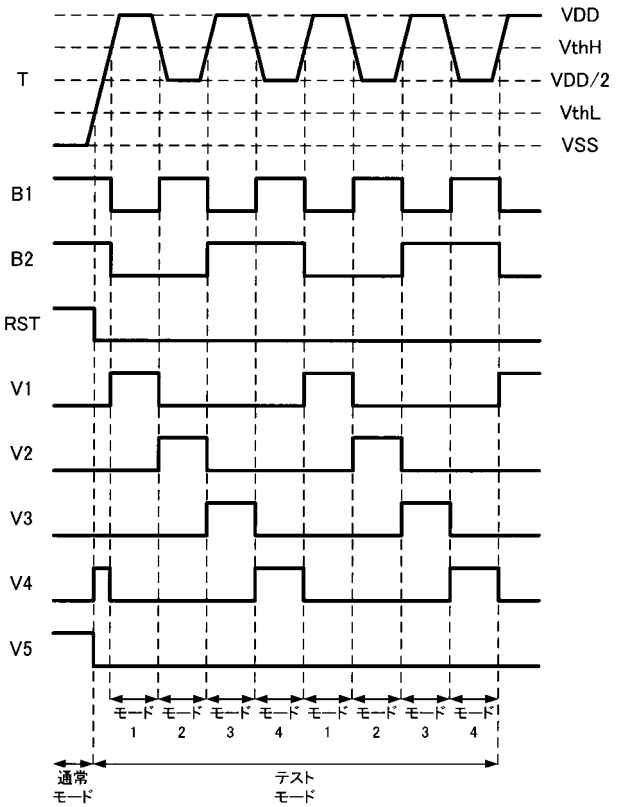
【 図 4 】



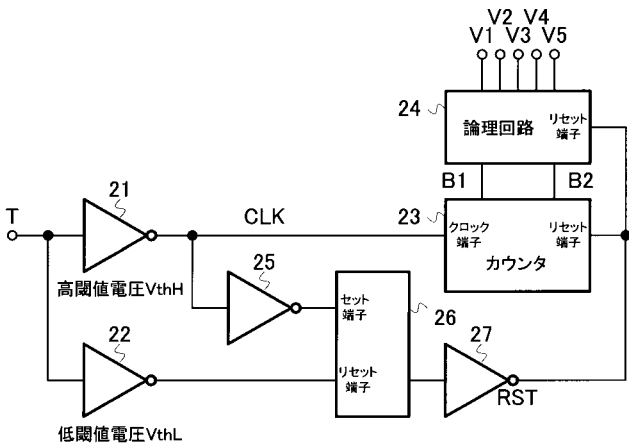
【 図 5 】



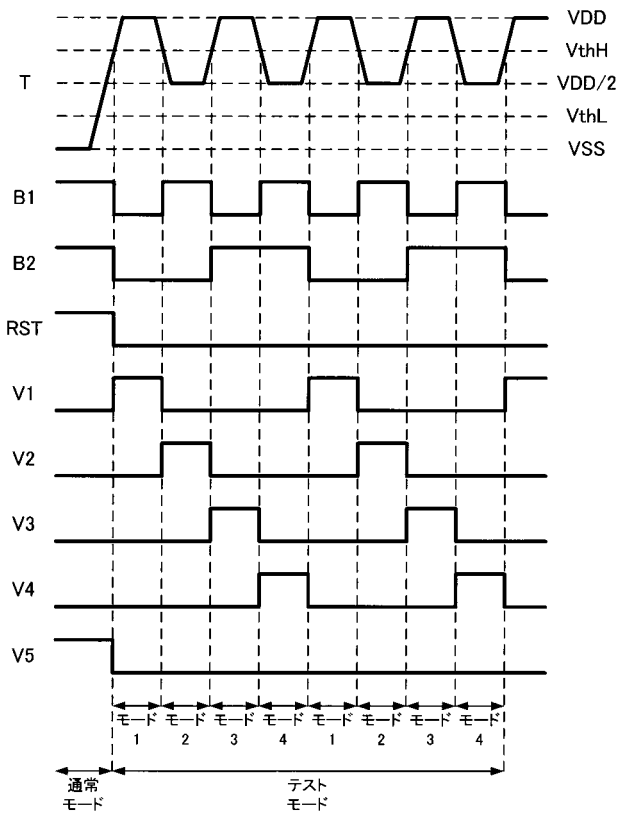
【 図 6 】



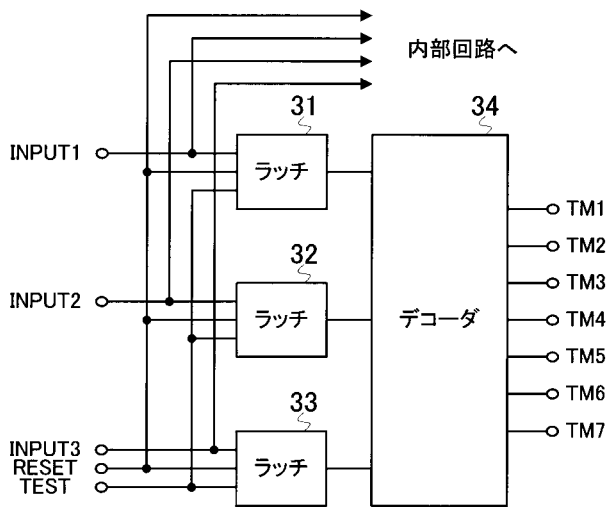
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

Fターム(参考) 2G132 AA00 AK07 AK15 AL05  
5F038 BE02 BE05 DF01 DF16 DT02 DT04 DT12 DT15 DT18 EZ20