



(12)发明专利

(10)授权公告号 CN 103685086 B

(45)授权公告日 2017.05.24

(21)申请号 201210330012.1

CN 1561579 A,2005.01.05,

(22)申请日 2012.09.07

审查员 刘金鑫

(65)同一申请的已公布的文献号

申请公布号 CN 103685086 A

(43)申请公布日 2014.03.26

(73)专利权人 北京信威通信技术股份有限公司

地址 100193 北京市海淀区东北旺西路8号

中关村软件园7号楼信威大厦

(72)发明人 王松 詹志勇

(51)Int.Cl.

H04L 25/02(2006.01)

(56)对比文件

EP 1903729A2 ,2008.03.26,

CN 101150324 A,2008.03.26,

CN 1602012 A,2005.03.30,

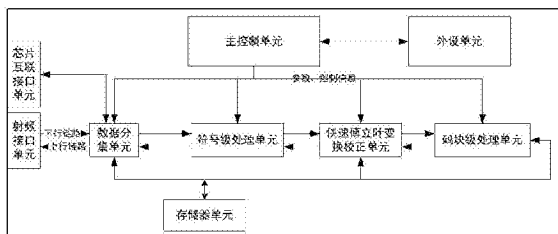
权利要求书2页 说明书8页 附图3页

(54)发明名称

一种支持多芯片架构的基带信号处理器及其处理方法

(57)摘要

本发明提出一种支持多芯片架构的基带信号处理器,包括:主控制单元;射频接口单元;数据分集单元,用于各个基带信号处理器之间的数据交换、控制参数、反馈参数的收集打包和拆包分发;芯片互联接口单元,用于基带信号处理器间的高速数据交换和必要的握手信号的交互;符号级处理单元;FFT校正单元,基于FFT的时间抽取算法,对分块处理的FFT数据进行校正,获得高阶快速傅立叶变换结果;码块级处理单元;存储器单元。本发明还提出一种用于上述基带信号处理器的处理方法。本发明在传统基带信号处理器的结构上增加部分处理单元,可以在增加很少处理资源和处理开销的代价下,采用多芯片架构的方式来构建高带宽的基带信号处理器。



1. 一种支持多芯片架构的基带信号处理器,其特征在于,所述基带信号处理器包括:

1.1, 主控制单元,用于控制调度基带信号处理器中的各个单元,通信协议消息处理,以及控制外设单元;

1.2, 射频接口单元,与数据分集单元相连,用于和外部的射频设备进行通信,向射频设备提供需要发送的基带采样数据,接收射频设备输出的基带采样数据;

1.3, 数据分集单元,与芯片互联接口单元、射频接口单元和符号级处理单元相连,用于各个基带信号处理器之间的交换数据、控制参数、反馈参数的收集打包和拆包分发,所述交换数据包括射频接口单元和符号级处理单元之间的基带采样数据,符号级处理单元和快速傅立叶变换校正单元之间的时域、频域数据,以及码块级处理单元的输入输出数据;所述交换数据在各个基带信号处理器之间被交换;

1.4, 芯片互联接口单元,与所述数据分集单元相连,用于基带信号处理器间的高速数据交换和必要的握手信号的交互;

1.5, 符号级处理单元,与所述数据分集单元和快速傅立叶变换校正单元相连,用于完成基带符号级的处理,所述处理包括上行链路的载波映射、多天线发送处理、反快速傅立叶变换、增益控制、成形滤波,以及下行链路去直流、频偏纠正、快速傅立叶变换、多天线接收处理、载波解映射;

1.6, 快速傅立叶变换校正单元,连接于所述符号级处理单元和码块级处理单元之间,用于基于FFT的时间抽取算法,对分块处理的快速傅立叶变换数据进行校正,获得高阶快速傅立叶变换结果;

1.7, 码块级处理单元,与所述快速傅立叶变换校正单元相连,用于完成信道数据块的处理,所述处理包括上行链路的加扰、信道编码、调制映射、码扩、扩频、信道合成,以及下行链路的信道估计、信道检测、频偏纠正、调制解映射、信道译码、解扰;

1.8, 存储器单元,用作数据分集单元、符号级处理单元、快速傅立叶变换校正单元、码块级处理单元之间的数据交换缓存。

2. 一种权利要求1所述的基带信号处理器,其特征在于:所述基带信号处理器具备主设备和从设备两种工作模式。

3. 一种权利要求2所述的基带信号处理器,其特征在于:所述芯片互联接口单元采用基于双倍数率的并行总线接口。

4. 一种权利要求2所述的基带信号处理器,其特征在于:所述芯片互联接口单元采用高速互联接口,配合交互握手信号,实现芯片间高速互联。

5. 一种权利要求1所述的基带信号处理器,其特征在于:所述基带信号处理器还包括外部存储器接口,用于所述存储器单元的外部扩展。

6. 一种用于权利要求1所述的基带信号处理器的处理方法,其特征在于:

对于下行链路,包括以下步骤:

a.1, 基带信号处理器主设备接收来自射频设备的基带采样数据,去循环前缀后,基于FFT的时间抽取算法对所述基带采样数据做分块,将高阶FFT变换分解为多个低阶FFT变换,再分发到各个基带信号处理器做低阶FFT变换;或者各个基带信号处理器都能接收到来自射频设备的基带采样数据,各个基带信号处理器按照基于FFT的时间抽取算法抽选出需要本处理器处理的基带采样数据进行低阶FFT变换;

a.2,各个基带信号处理器收集分块处理的低阶FFT变换数据,基于FFT的时间抽取算法,对分块处理的低阶FFT变化数据作校正,获得高阶FFT变化结果;再对高阶FFT变化结果抽选出需要本处理器处理的频域数据进行子载波解映射、信道估计、信道检测、频偏纠正、调制解映射、信道译码和解扰,最终输出物理层的载荷数据;

a.3,各个基带信号处理器对物理层载荷数据进行初步解析,将控制消息和业务数据分类,再提交给基带信号处理器主设备,基带信号处理器主设备汇总全部物理层业务数据,并进行通信协议消息处理,完成下行链路处理;

对于上行链路,包括以下步骤:

b.1,各个基带信号处理器接收基带信号处理器主设备分发的需要处理的物理层载荷数据,进行加扰、信道编码、调制映射、码扩、扩频和信道映射,获得物理层频域数据;

b.2,基带信号处理器主设备收集各个基带信号处理器的物理层频域数据,基于FFT的时间抽取算法做分块,再分发到各个基带信号处理器做低阶IFFT变换;

b.3,基带信号处理器主设备汇总分块处理的低阶IFFT变换数据,基于FFT的时间抽取算法作校正,获得高阶IFFT变换结果,再完成加循环前缀、频偏时域预校正、增益控制和成形滤波,发送基带采样数据给射频设备;

其中,所述各个基带信号处理器包括所述基带信号处理器主设备和基带信号处理器从设备。

7.根据权利要求6所述的方法,其特征在于步骤a.1,所述低阶FFT变换包括,做低阶FFT变换之前,针对每个采样点做直流和频偏时域校正处理。

8.根据权利要求6所述的方法,其特征在于,基带信号处理器主设备和基带信号处理器从设备,通过数据分集单元对控制参数和反馈参数进行打包传输交互,协同完成基带信号处理。

一种支持多芯片架构的基带信号处理器及其处理方法

技术领域

[0001] 本发明涉及无线通信领域,尤其涉及一种支持多芯片架构的基带信号处理器及其处理方法。

背景技术

[0002] 目前现有的基带信号处理器基本都是单芯片解决方案,一旦通信系统带宽超出了单个基带信号处理器的处理能力,原有的基带信号处理器将无法处理,大大缩短了基带通信处理器的产品生命周期。

[0003] 此外下一代的无线宽带通信系统的带宽越来越宽,符合4G标准的无线宽带通信系统已经规划到100MHz的带宽,以及随着MIMO技术的应用,假如仍然采用基带信号处理器的单芯片解决方案,其代价将越来越高昂,也越来越不实用,毕竟使用最高带宽的通信终端是极少场景。

发明内容

[0004] 为了解决上述难题,本发明提出了一种支持多芯片架构的基带信号处理器,对于当前或未来一定时期内的主流通信带宽和速率的通信系统,本发明的基带通信处理器使用单芯片方案即可;对于特殊的高带宽通信系统,本发明基带通信处理器采用多芯片方案来实现超出单个基带通信处理器的处理能力。

[0005] 本发明提出的支持多芯片架构的基带信号处理器,其组成结构如图1所示,包括以下部分:

[0006] 1.1,主控制单元,用于控制调度基带信号处理器中的各个单元,通信协议消息处理,以及控制外设单元;

[0007] 1.2,射频接口单元,用于和外部的射频设备进行通信,向射频设备提供需要发送的基带采样数据,接收射频设备输出的基带采样数据;

[0008] 1.3,数据分集单元,按照主控制单元的配置,在基带协同处理需要大量数据交换的节点,提供各个处理器之间数据交换的收集打包和拆包分发,上述数据交换有三个关键节点:射频接口单元和符号级处理单元之间的基带采样数据交换节点,符号级处理单元和快速傅立叶变换校正单元之间的时域、频域数据交换节点,码块级处理单元的输入输出数据交换节点;数据分集单元也提供各个处理器之间的控制参数和反馈参数的收集打包和拆包分发;

[0009] 1.4,芯片互联接口单元,用于基带信号处理器间的高速数据交换和必要的握手信号的交互,主要包括接受主控制单元的控制,从数据分集单元接收外发的数据包,或者向数据分集单元提供接收自其他基带信号处理器发出的数据包;还用于向其他基带信号处理器发出数据请求信号,或者记录其他基带信号处理器发出的数据请求,向主控制器单元或数据分集单元反馈等;

[0010] 1.5,符号级处理单元,用于完成基带符号级的处理,所述处理包括上行链路的载

波映射、多天线发送处理、反快速傅立叶变换、增益控制、成形滤波等,以及下行链路的去直流、频偏纠正、快速傅立叶变换、多天线接收处理、载波解映射等;

[0011] 1.6,快速傅立叶变换(FFT)校正单元,按照主控制单元的配置,基于FFT的时间抽取(DIT)算法,对分块处理的快速傅立叶变换数据进行校正,获得高阶快速傅立叶变换结果,实现超出单个基带信号处理器FFT处理能力的高阶快速傅立叶变换;

[0012] 1.7,码块级处理单元,用于完成信道数据块的处理,所述处理包括上行链路的加扰、信道编码、调制映射、码扩、扩频、信道合成等,以及下行链路的信道估计、信道检测、频偏纠正、调制解映射、信道译码、解扰等;

[0013] 1.8,存储器单元,用作数据分集单元、符号级处理单元、快速傅立叶变换(FFT)校正单元、码块级处理单元之间的数据交换缓存。

[0014] 优选的,上述基带信号处理器具备主设备和从设备两种工作模式。进一步的,所述芯片互联接口单元采用用于芯片间互联的高速总线,按照主控制单元的配置,提供主从模式,支持双工或半双工通信。所述通常高速总线可以使用基于双倍数率的并行总线接口,也可以使用现有标准高速互联接口,配合交互握手信号,实现芯片间高速互联。

[0015] 优选的,上述基带信号处理器还包括外部存储器接口,用于所述存储器单元的外部扩展。

[0016] 基于上述基带信号处理器,本发明还提出一种在多个基带信号处理器间协作实现的基带处理方法,该方法为:

[0017] 对于下行链路,包括以下步骤:

[0018] a.1,基带信号处理器主设备接收来自射频设备的基带采样数据,去CP(循环前缀)后,基于FFT的时间抽取算法对所述基带采样数据做分块,将高阶FFT变换分解为多个低阶FFT变换,再分发到各个基带信号处理器(包括基带处理器主设备)实现低阶FFT变换以及符号级处理阶段的其他处理,比如去直流、频偏时域校正,这些处理在FFT变换之前,针对每个采样点都需要处理,不会影响FFT变换的校正结果;或者假如各个基带信号处理器都能接收到来自射频设备的基带采样数据,则各个基带信号处理器基于FFT的时间抽取算法抽选出需要本处理器处理的基带采样数据进行低阶FFT变换以及上述符号级处理阶段的其他处理;

[0019] a.2,各个基带信号处理器(包括基带处理器主设备)收集上述分块处理的低阶FFT变化数据,基于FFT的时间抽取(DIT)算法,对分块处理的低阶FFT变化数据作校正,获得高阶FFT变化结果,再对高阶FFT变化结果抽选出需要本处理器处理的频域数据完成子载波解映射、信道估计、信道检测、频偏纠正、调制解映射、信道译码、解扰,最终输出物理层的载荷数据;

[0020] a.3,各个基带信号处理器将物理层载荷数据进行初步解析,将控制消息和业务数据分类,通过数据分集单元和芯片互联接口单元提交给基带信号处理器主设备,基带处理器主设备汇总全部物理层业务数据,并进行通信协议消息处理,完成下行链路处理;

[0021] 对于上行链路,包括以下步骤:

[0022] b.1,各个基带信号处理器接收基带信号处理器主设备分发的需要处理的物理层载荷数据,进行加扰、信道编码、调制映射、码扩、扩频和信道映射,获得物理层频域数据;

[0023] b.2,基带处理器主设备收集各个基带信号处理器(包括基带处理器主设备)物理

层频域数据,基于FFT的时间抽取(DIT)算法做分块,将高阶IFFT变换分解为多个低阶IFFT变换,分发到各个基带信号处理器(包括基带处理器主设备)做低阶IFFT变换,由于IFFT是FFT的逆运算,反快速傅立叶变换可以利用快速傅立叶变换的结构实现;

[0024] b.3,基带信号处理器主设备汇总分块处理的低阶IFFT变换数据,基于FFT的时间抽取算法作校正,获得高阶IFFT变换结果,再完成加循环前缀、频偏时域预校正、增益控制和成形滤波,发送基带采样数据给射频设备。

[0025] 本发明提出的支持多芯片架构的基带信号处理器中的符号级处理单元、码块级处理单元、射频接口单元、主控制单元和存储器单元是普通基带信号处理器中常见的必要组成单元。数据分集单元、芯片互联接口单元和FFT校正单元是本发明在普通基带信号处理器上增加的核心硬件单元,基于上述核心硬件单元,使用本发明提出的基带信号处理方法,可以实现基于多芯片架构的通信基带处理器,即构建超出单个基带信号处理器处理能力的高带宽无线通信系统基带处理器。

[0026] 本发明可以应用于以LTE,LTE-A为代表的OFDM系统,但不仅限于OFDM系统,而是能够应用于需要进行基带信号处理的所有情形。本发明的实现也不仅限于某种固定形式,所述基带信号处理器可以安置在通信网络的网元或通信终端中,也可以内嵌在处理器芯片中;基带信号处理方法可以通过运行于基带信号处理器上的软件代码来实现,也可以通过其它硬件设备来实现。

[0027] 与现有技术相比,本发明的优点在于:本发明在传统的基带信号处理器的结构上增加部分处理单元,提高了基带信号处理器的扩展能力,可以在增加很少处理资源和处理开销的代价下,采用多芯片架构的方式来构建超出单个传统基带信号处理器处理能力的高带宽基带信号处理器。

附图说明

[0028] 图1是本发明提出的基带信号处理器的组成结构示意图;

[0029] 图2是本发明实施例一的双芯片架构基带信号处理器的典型应用图;

[0030] 图3是本发明实施例一的快速傅立叶变换校正单元的结构示意图;

[0031] 图4是本发明实施例一的芯片互联接口单元的互联信号图;

[0032] 图5是本发明实施例二的芯片互联接口单元的互联实现示意图。

具体实施方式

[0033] 下面结合附图,通过具体实施例对本发明做进一步详细说明。

[0034] 本发明的基带信号处理器的组成结构如图1所示,其中符号级处理单元、码块级处理单元、射频接口单元、主控制单元和存储器单元是普通基带信号处理器中常见的必要组成单元,数据分集单元、芯片互联接口单元和FFT校正单元是本发明在普通基带信号处理器上增加的核心硬件单元。对于一般的通信带宽和速率的通信系统,基于上述常见的必要组成单元,采用单芯片方案即可满足带宽要求;对于特殊的高带宽通信系统,则可以基于上述核心硬件单元,采用多芯片方案来构建一个高带宽无线通信系统基带处理器,其处理能力超出了单个基带通信处理器的处理能力,可以很好的满足高带宽要求。

[0035] 实施例一:双芯片架构的基带信号处理器的应用

[0036] 假设本发明的单个基带信号处理器内部实现4096点的FFT,能支持20MHz带宽的无线宽带通信系统,本实施例以支持40MHz带宽的无线宽带通信系统为例,采用如图2所示的双芯片架构,两个基带信号处理器采用一主一从模式协作,可以满足40MHz的带宽要求。

[0037] 下面重点描述本实施例的单个基带信号处理器在普通基带信号处理器上增加的三个核心硬件单元:数据分集单元、芯片互联接口单元和快速傅立叶变换校正单元。

[0038] 数据分集单元:

[0039] 数据分集单元按照主控制单元的配置,在基带协同处理需要大量数据交换的三个关键节点,提供处理器间交换数据的收集打包和拆包分发。上述三个关键节点是射频接口单元和符号级处理单元之间的基带采样数据交换节点,符号级处理单元和快速傅立叶变换校正单元之间的时域、频域数据交换节点,码块级处理单元的输入输出数据交换节点。数据分集单元对于交换数据采用打包传输的方式进行,数据包包括包参数描述字段、包数据长度字段、包数据载荷字段。采用较短的数据载荷长度(比如32byte),有利于缩短数据交互的延迟。数据包还包括用于控制作用的类型,参数配置、控制命令和响应信息等都以数据包的形式在基带信号处理器间进行交互,在基带信号处理器主设备的总控下,完成通信基带处理。对于只需要基带信号处理器主设备转发的数据包,数据分集单元按照包内描述字段自动进行直接转发,以减小主控制单元的处理负荷。

[0040] 快速傅立叶变换(FFT)校正单元:

[0041] FFT校正单元按照主控制单元的配置,基于FFT的时间抽取(DIT)算法,对分块处理的快速傅立叶变换数据进行校正,获得高阶快速傅立叶变换结果,实现超出单个基带信号处理器FFT处理能力的高带宽无线通信系统的高阶快速傅立叶变换。

[0042] 本实施例的FFT校正单元结构如图3所示,图中C代表Cordic算子或复数乘法器,应用于FFT数据流的相位因子旋转,sum代表求和加法器,mux提供数据的旁路通路。输入 X_i 为第i组通过第i个基带处理器的FFT流水线计算出来的频域值,本实施例为双芯片场景,则 $i=0$ 或 1 ,该数据通过芯片互联接口单元和数据分集单元送入了各个协作基带信号处理器作为校正数据源; X_{oi} 为校正后的第i路输出。

[0043] 芯片互联接口单元:

[0044] 为了应对高速率无线数据通信协作处理,芯片互联接口单元需要满足一定的通信速率要求。假设本实施例的双芯片架构应用中净荷开销需要1.62Gbps,算上协作控制等其它开销,则芯片互联接口单元需要提供约1.95Gbps的通信速率。满足此要求的芯片互联接口单元可以有多种实现方式,本实施例采用16位数据宽度的66MHz时钟频率的基于双倍数据率(DDR)的并行总线接口,可以提供2.112Gbps通信速率,实际实现中为了提供通信冗余,通常采用133MHz的DDR模式。

[0045] 本实施例的芯片互联接口单元的DDR模式的互联信号图如图4所示,时钟信号和反馈时钟信号用于提供数据收发同步,分别由基带信号处理器主设备提供,基带信号处理器从设备反馈;复位清除信号用于通信状态初始化,以及无用或错误数据清除,由基带信号处理器主设备提供;从设备选择信号,用于基带信号处理器主设备选择与多个基带信号处理器从设备的任意一个做通信,由基带信号处理器主设备控制;读/写控制信号,用于控制交互数据流向,由基带信号处理器主设备控制;数据请求信号,用于基带信号处理器从设备的数据交互请求,由基带信号处理器从设备提供;数据总线,用于数据的双向传输,宽度取决

于要求的通信速率,配合从设备选择信号来避免总线冲突;主从设备设定信号,用于设置芯片互联接口单元的工作模式选择,是主设备模式还是从设备模式。

[0046] 本实施例的芯片互联接口单元实现的是芯片间的半双工通信,将一套双向数据总线改为两套单向数据总线,即可实现芯片间的双工通信。

[0047] 实施例二:芯片互联接口单元的另一种实施方案

[0048] 在实施例一的基础上,本实施例的芯片互联接口单元采用另外一种实施方案来实现。本实施例采用的是现有或未来成熟的高速互联接口,配合部分握手信号,实现芯片间高速互联。

[0049] 现有满足上述通信速率要求的高速互联接口有如下列描述的几种:DigRF V4、USB3.0、FireWire IEEE 1394-2008和基于DDR模式的Arteris公司的C2C技术。在双芯片互联典型应用下,上述高速互联接口配合如图5所示的交互握手信号可以实现双芯片间数据高速交换,这些交互握手信号功能与实施例一中的描述相同。对于更多芯片的互联应用场景,将取决于现有或未来成熟的高速互联接口是否支持多设备总线共享。

[0050] 实施例一和实施例二只是双芯片形式的多芯片架构基带信号处理器实现,可以推广到更多芯片的实现形式。此外,本发明的实现形式也不局限于多芯片实现形式,可以和多芯片封装(MCP)技术结合,将多个芯片晶体(Chip DIE)按照本发明提出的多芯片协作形式封装在一个芯片内部,对外以单芯片的形式实现更高带宽无线通信系统的基带处理器。

[0051] 下面将举例详细描述本发明提出的基带信号处理方法。

[0052] 实施例三:40MHz SISO系统的下行链路的基带信号处理方法

[0053] 本实施例以40MHz SISO系统为例,采用实施例一的双芯片架构基带信号处理器。外部射频芯片承担无线信号收发功能,向基带信号处理器输出时域采样数据,并且接收基带信号处理器发出的时域发送采样数据。本实施例采用常用的射频芯片,只面向一个基带信号处理器,即可以同时输出时域采样数据给两个基带信号处理器,但只接收来自基带信号处理器主设备的时域发送采样数据,以避免接口总线冲突。如果有可以面向多个基带信号处理器接口的射频芯片,则多个基带信号处理器可以同时面向射频芯片进行数据收发。本实施例中基带处理器主设备还采用通过外部存储器接口接入片外存储器,对存储器单元进行了外部扩展,以满足大容量的数据交换缓存需求。

[0054] 本实施例的下行链路的基带信号处理方法包括以下步骤:

[0055] 步骤3.1:基带信号处理器主设备的射频接口单元接收40MHz SISO系统的下行链路采样序列,去CP后, $x(n)$, $0 \leq n \leq 8191$,完成符号级处理阶段的预处理,比如去直流、频偏时域校正等送入数据分集单元;数据分集单元对采样序列 $x(n)$,基于FFT的时间抽取(DIT)算法,按输入时间顺序分拆为2个长度为4096点的子序列,每组子序列为每隔1个采样取一点, $0, 2, 4, 6, 8, \dots, 8190$ 为第一组, $1, 3, 5, 7, 9, \dots, 8191$ 为第二组,再通过芯片互联接口单元将其中一组送入基带信号处理器从设备,基带信号处理器从设备将子序列送入符号级处理单元做4096点FFT变换;基带信号处理器主设备处理另外的一组子序列。

[0056] 步骤3.2:各个基带信号处理器的FFT校正单元收集上述分块处理的低阶FFT变化数据,基于FFT的时间抽取(DIT)算法,对分块处理的低阶FFT变化数据作校正,获得高阶FFT变化结果,再完成子载波解映射得到信道数据,对信道数据只提取需要本基带信号处理器处理的频带的部分,然后提交给码块级处理单元,在码块级处理单元完成信道估计、信道检

测、频偏纠正、调制解映射、信道译码、解扰,最终输出物理层的载荷信息。本实施例具体为:

[0057] 基带信号处理器主设备中,其FFT校正单元从符号级处理单元获得经过FFT处理的一组子序列的FFT变换结果,再从通过芯片互联接口单元和数据分集单元获得基带信号处理器从设备的另一组子序列的FFT变换结果,根据按时间抽选的(DIT)的基-2FFT算法可得 X_{0i} ,

$$[0058] \quad X_{0_0}(k) = X(k) = X_0(k) + X_1(k) W_{8192}^k, 0 \leq k \leq 4095$$

$$[0059] \quad X_{0_1}(k) = X(4096+k) = X_0(k) - X_1(k) W_{8192}^k, 0 \leq k \leq 4095$$

[0060] $X(k)$ 为8192点FFT变换结果,由 $X_{0_0}(k)$ 和 $X_{0_1}(k)$ 组成。

[0061] 经过FFT校正单元调整后,8192点的FFT变换结果在频域分为连续2组通过 X_{0i} 并行输出,每组4096点。基带信号处理器主设备的FFT校正单元选取需要处理的连续频域子载波数据,进行子载波解映射,再送入码块级处理单元进行码块级处理,最终解析出物理层载荷数据。

[0062] 基带信号处理器从设备中,其FFT校正单元同理可以获得8192点的FFT变换结果,选取另一部分连续频域子载波数据,进行载波解映射,再送入码块级处理单元进行码块级处理,最终解析出物理层载荷数据。

[0063] 步骤3.3:各个基带信号处理器将物理层载荷数据进行初步解析,将控制消息和业务数据分类,通过数据分集单元和芯片互联接口单元提交给基带信号处理器主设备,基带处理器主设备的主控制单元通过芯片互联接口单元和数据分集单元汇总全部物理层业务数据,进行通信协议消息处理,完成通信基带下行链路处理。

[0064] 实施例四:40MHz SISO系统的上行链路的基带信号处理方法

[0065] 本实施例以40MHz SISO系统为例,芯片连接应用与实施例三相同,仍采用实施例一的双芯片架构基带信号处理器,其上行链路的基带信号处理方法包括以下步骤:

[0066] 步骤4.1:基带信号处理器从设备接收基带信号处理器主设备分发的需要处理的其中20MHz带宽的物理层载荷数据,进行加扰、信道编码、调制映射、码扩、扩频和信道映射,获得物理层频域数据;基带信号处理器主设备进行另外20MHz带宽的物理层载荷数据处理。

[0067] 步骤4.2:基带处理器主设备接收基带处理器从设备提供的物理层频域数据,进行子载波映射后,基于FFT的时间抽取(DIT)算法将8192点FFT分拆为2个4096点的FFT;将子载波按顺序分拆为2个长度为4096点的子序列,每组子序列为每隔1个采样取一点,0,2,4,6,8,……,8190为第一组,1,3,5,7,9,……,8191为第二组,再通过数据分集单元和芯片互联接口单元,将其中一组送入基带信号处理器从设备,基带处理器主设备处理另外一组;各个基带信号处理器(包括基带处理器主设备)做低阶4096点IFFT变换,由于IFFT是FFT的逆运算,反快速傅立叶变换可以利用快速傅立叶变换的结构实现,例如一种常规已知的方法,原理参照如下公式:

$$[0068] \quad x(n) = \frac{1}{N} \left[\sum_{k=0}^{N-1} X^*(k) W_N^{nk} \right]^* = \frac{1}{N} \{FFT[X^*(k)]\}^*$$

[0069] 首先将频域数据取共轭送入信号处理器,最后再对输出时域结果取共轭,并乘以 $1/N$ (当 N 为2的指数,右移 $\log_2 N$ 位),即可实现IFFT变换结果。

[0070] 步骤4.3:基带信号处理器主设备汇总分组处理的低阶IFFT变换数据,基于FFT的时间抽取算法作校正,校正算法参照实施例三的步骤3.2,获得高阶IFFT变换结果,再完成加CP、频偏时域预校正、增益控制和成形滤波,发送基带时域采样数据给射频设备,完成通信基带上行链路处理。

[0071] 实施例五:40MHz 2×2 MIMO系统的下行链路的基带信号处理方法

[0072] 本实施例以40MHz 2×2 系统为例,采用实施例一的双芯片架构基带信号处理器。其上行链路的基带信号处理方法包括以下步骤:

[0073] 步骤5.1:基带信号处理器主设备的射频接口单元接收40MHz 2×2 MIMO系统的双天线下行链路采样序列,去CP后,每组序列 $x(n)$, $0 \leq n \leq 8191$,共2组,需要分两次处理;首先完成符号级处理阶段的预处理,比如去直流、频偏时域校正等送入数据分集单元;数据分集单元对每组采样序列 $x(n)$ 基于FFT的时间抽取(DIT)算法,按输入时间顺序分拆为2个长度为4096点的子序列,每组子序列为每隔1个采样取一点, $0, 2, 4, 6, 8, \dots, 8190$ 为第一组, $1, 3, 5, 7, 9, \dots, 8191$ 为第二组,再通过芯片互联接口单元将其中一组送入基带信号处理器从设备,基带信号处理器从设备将子序列送入符号级处理单元做4096点FFT变换;基带信号处理器主设备处理另外的一组子序列;总共2组天线采样序列,需要处理2次。

[0074] 步骤5.2:各个基带信号处理器的FFT校正单元收集上述分块处理的低阶FFT变化数据,基于FFT的时间抽取(DIT)算法,对分块处理的低阶FFT变化数据作校正,校正算法参照实施例三的步骤3.2,获得高阶FFT变化结果,再完成子载波解映射得到信道数据;总共2组天线采样序列,需要处理2次;然后对信道数据只提取需要本基带信号处理器处理的频带的部分,然后提交给码块级处理单元,在码块级处理单元完成双天线数据分层、信道估计、信道检测、频偏纠正、调制解映射、信道译码、解扰,最终输出物理层的载荷信息。

[0075] 步骤5.3:各个基带信号处理器将物理层载荷数据进行初步解析,将控制消息和业务数据分类,通过数据分集单元和芯片互联接口单元提交给基带信号处理器主设备,基带处理器主设备的主控制单元通过芯片互联接口单元和数据分集单元汇总物理层业务数据,并进行通信协议消息处理,完成通信基带下行链路处理。

[0076] 实施例六:40MHz 2×2 MIMO系统的上行链路的基带信号处理方法

[0077] 本实施例以40MHz 2×2 MIMO系统为例,芯片连接应用与实施例五相同,仍采用实施例一的双芯片架构基带信号处理器,其上行链路的基带信号处理方法包括以下步骤:

[0078] 步骤6.1:基带信号处理器从设备接收基带信号处理器主设备分发的需要处理的其中20MHz带宽的物理层载荷数据,进行加扰、信道编码、调制映射、码扩、扩频和信道映射,获得物理层频域数据;基带信号处理器主设备进行另外20MHz带宽的物理层载荷数据处理; 2×2 MIMO系统,上述处理需要进行2轮;完成后进行多天线分层编码。

[0079] 步骤6.2:基带处理器主设备接收基带处理器从设备提供的物理层频域数据,进行子载波映射后,对于每组天线8192点数据,基于FFT的时间抽取(DIT)算法将8192点FFT分拆为2个4096点的FFT;将子载波按顺序分拆为2个长度为4096点的子序列,每组子序列为每隔1个采样取一点, $0, 2, 4, 6, 8, \dots, 8190$ 为第一组, $1, 3, 5, 7, 9, \dots, 8191$ 为第二组,再通过数据分集单元和芯片互联接口单元,将其中一组子序列送入基带信号处理器从设备,基带处理器主设备处理另外一组子序列;各个基带信号处理器(包括基带处理器主设备)做低阶4096点IFFT变换,由于IFFT是FFT的逆运算,反快速傅立叶变换可以利用快速傅立叶变换的

结构实现(参考步骤4.2);总共2组天线发送序列,需要处理2次。

[0080] 步骤6.3:基带信号处理器主设备汇总分组处理的低阶IFFT变换数据,对于每组天线数据,基于FFT的时间抽取算法作校正,校正算法参照实施例三的步骤2,获得高阶IFFT变换结果,再完成加CP、频偏时域预校正、增益控制和成形滤波,发送基带时域采样数据给射频设备;总共2组天线发送序列,需要处理2次;最终完成通信基带上行链路处理。

[0081] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

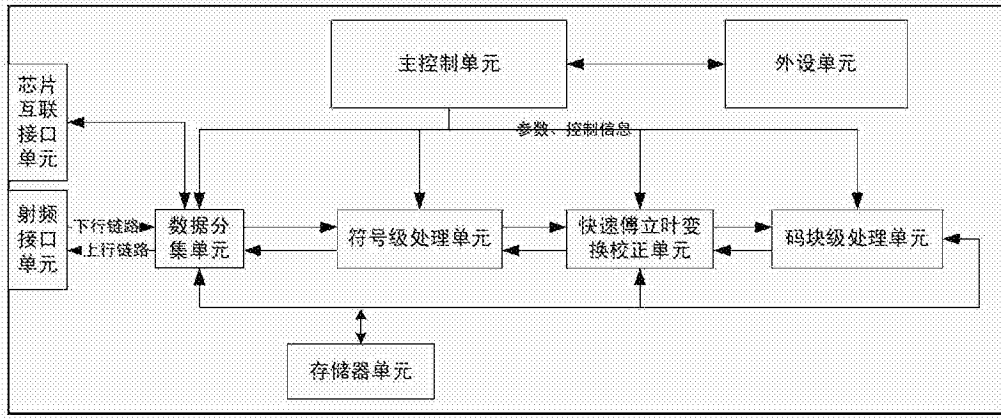


图1

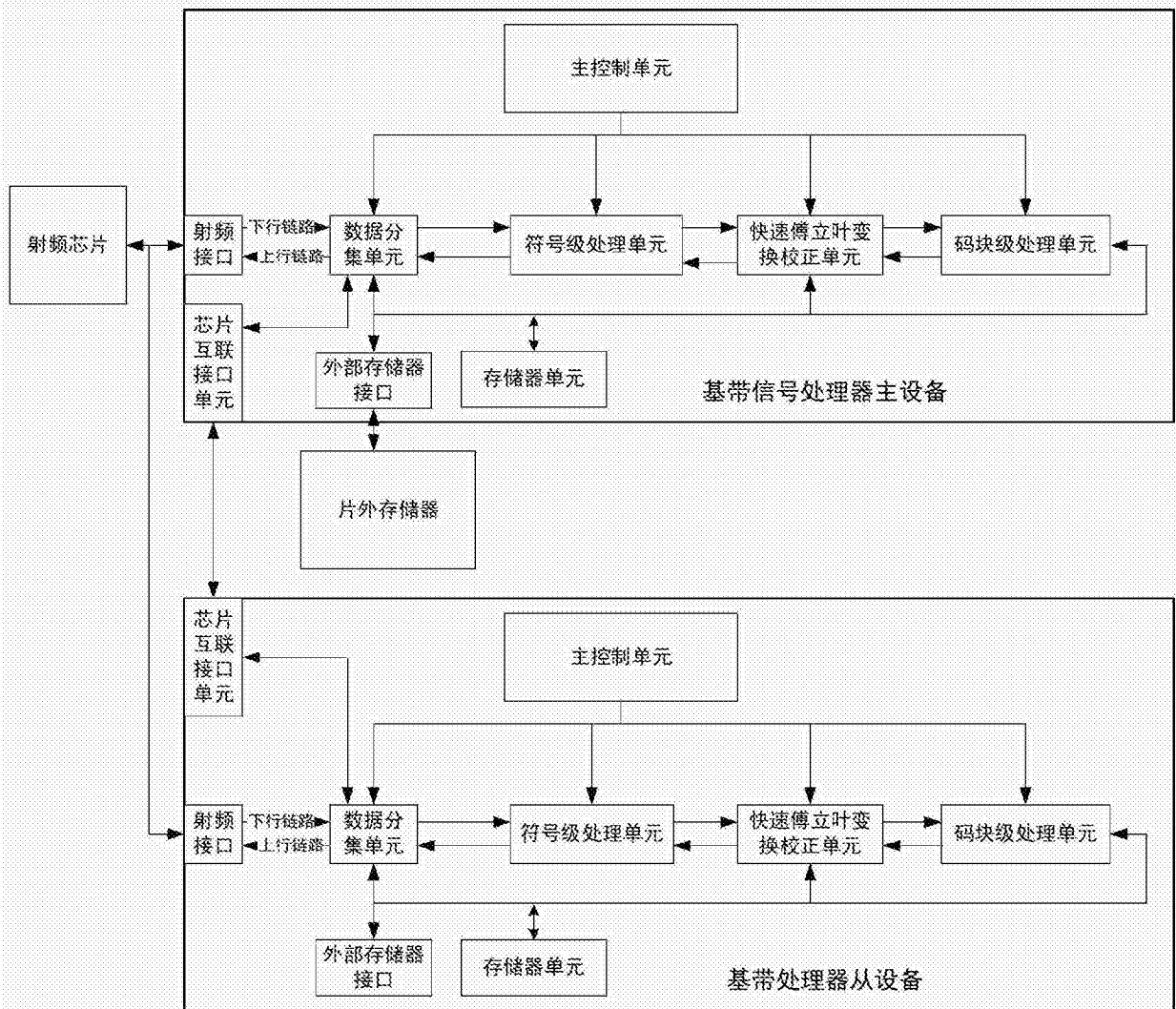


图2

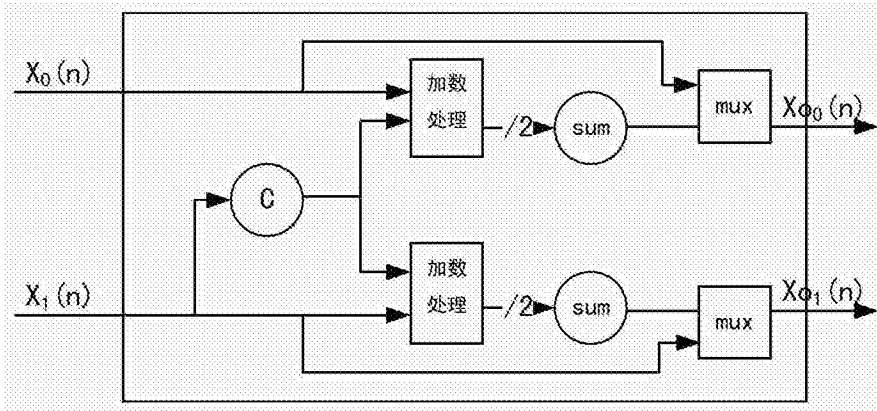


图3

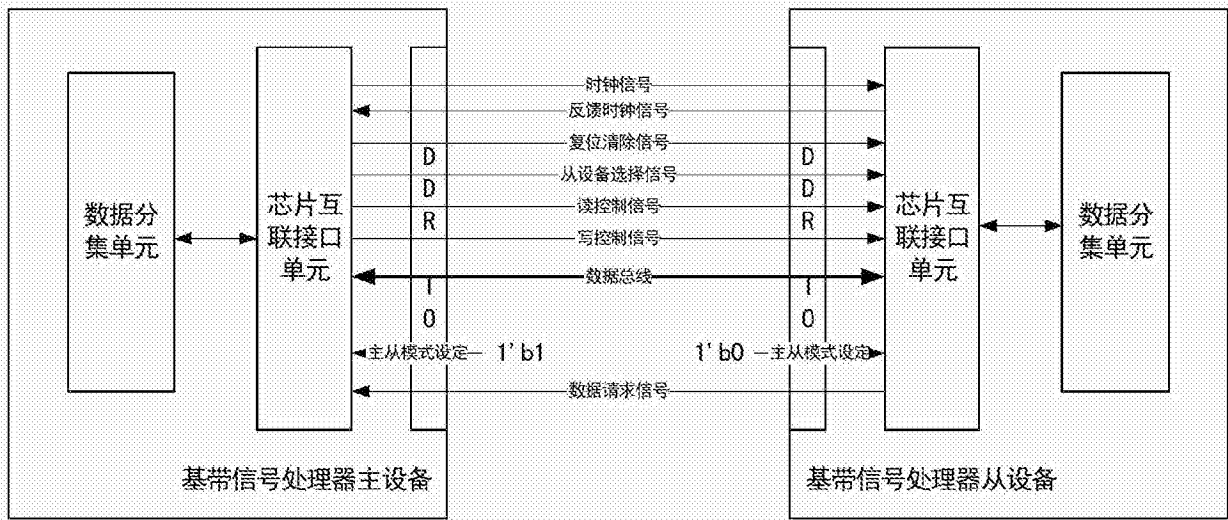


图4

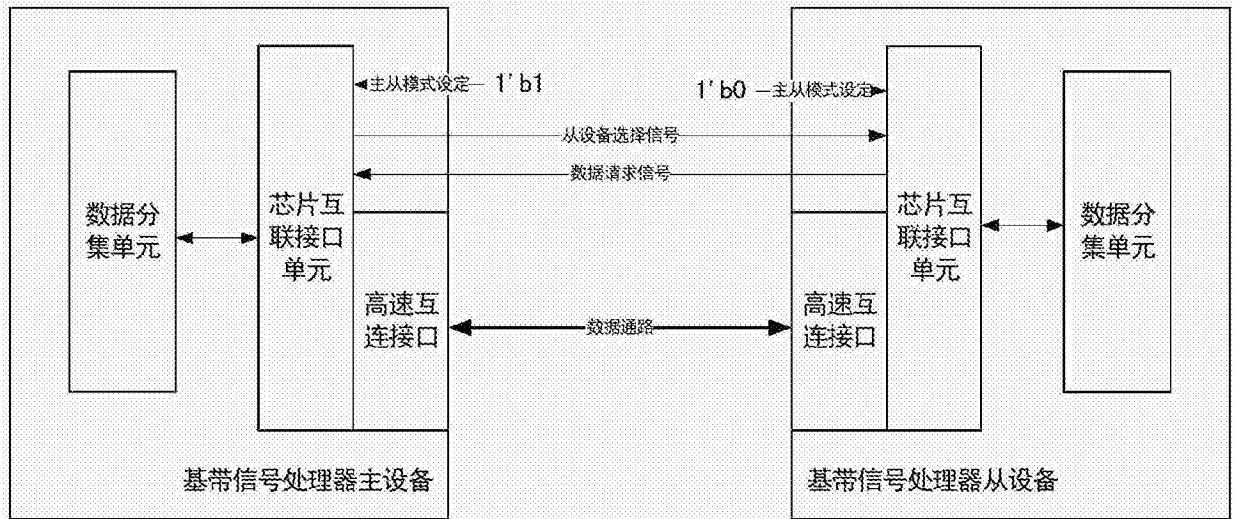


图5