

公告本

402812

申請日期	86.3.27
案號	86103968
類別	化學 27 112

A4
C4

402812

(以上各欄由本局填註)

發明型專利說明書

一、發明 名稱	中文	蕭克萊二極體結構之唯讀記憶體元件及其製造方法
	英文	
二、發明 創作人	姓名	溫榮茂
	國籍	中華民國
	住、居所	新竹市高峰路 2 巷 86-4 號 5 樓
三、申請人	姓名 (名稱)	聯華電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區工業東三路三號
	代表 姓名	曹興誠

經濟部中央標準局員工消費合作社印製

裝
訂
線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

則第二型為 N 型；若其第一型為 N 型，則第二型為 P 型。

依照本發明一較佳實施例之一種唯讀記憶體元件，其部份上視示意圖如第 4A 圖所示，其部份等效電路圖如第 4B 圖所示。由字元線 38a 與位元線 25 交錯之處即為一記憶單元，若記憶單元中含有接觸窗 36，如圖中有 X 記號者，即為導通之記憶單元 100；而記憶單元中未含有接觸窗 36 者，則為關閉之記憶單元 102。

其操作機制係以第一型為 P 型、第二型為 N 型為例，其會構成兩個寄生雙載子電晶體 (Parasitic Bipolar Transistor) 電路圖如第 5 圖所示。當對字元線 38a 施予一正電壓時，此時電晶體 Q1 中 V_{24-23} 與電晶體 Q2 中 V_{22-21} 產生順向偏壓，使蕭克萊二極體結構開啓，使電流從濃的第一型雜質層 24 流向濃的第二型雜質層 21，經由濃的第二型雜質層 21 之接觸窗 30 流至導線區 39，可在導線區 39 上讀取電流。若對字元線不施予電壓，則蕭克萊二極體結構將關閉，則在導線區 39 上無法測到電流。由上述之操作機制得知，其操作時之電流是由字元線 38a 經由開啓記憶單元之接觸窗 36 垂直向下開啓蕭克萊二極體結構，再從濃的第二型雜質層 21 經由位元線接觸窗 30 垂直向上流向位元線接觸窗 30 上的導線區 39，而在導線區 39 上測到電流。第 6 圖示依照本發明一較佳實施例，一種蕭克萊二極體結構唯讀記憶體，其對字元線所施加之電壓與讀取到之電流之關係圖。

雖然本發明已以一較佳實施例揭露如上，然其並非用

經濟部中央標準局員工消費合作社印製

五、發明說明 ()

本發明是有關於一種唯讀記憶體元件及其製造方法，且特別是有關於一種以蕭克萊二極體(Shockly Diode)結構作為記憶單元之唯讀記憶體元件及其製造方法。

唯讀記憶體已被廣泛應用於迷你電腦，微處理器系統等一類的數位設備中，其可用來儲存一些系統資料，例如 BIOS 等常駐程式。由於唯讀記憶體(簡稱 ROM)的製程非常複雜，而且需要很多耗費時間的步驟及材料的處理，因此，客戶通常是先將程式資料交給記憶體製造工廠，再由工廠將其編碼在唯讀記憶體中以製成成品。

大部份的唯讀記憶體元件，除了在程式化(Programmed)階段所存入的資料不同之外，其餘的結構均相同。因此，唯讀記憶體可先製作到程式化之前的步驟，並將此可程式化的半成品庫存起來，待客戶送來特定程式的訂單之後，即可迅速製作光罩以進行程式化，再出貨給客戶。故上述的後程式化光罩式唯讀記憶體已成為業界慣用的方法。

一般常用的唯讀記憶體係利用通道電晶體當作記憶單元(Memory Cell)，並於程式化階段，選擇性的植入雜質到指定通道區，藉以改變臨限電壓(Threshold Voltage)而達到控制記憶單元導通(ON)或關閉(OFF)的目的。為了清楚起見，一種習知的唯讀記憶體結構如第 1A 至 1C 圖所示。第 1A 圖係顯示其部份上視示意圖，第 1B 圖係顯示其部份前視示意圖，而第 1C 圖係顯示其部份側視剖面示意圖。習知的唯讀記憶體結構包括一基底 10，例如是一 P 型矽基底，在基底 10 上形成複數個位元線(Bit Line, BL)11、氧化

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明（二）

層 12 與複數個字元線(Word Line, WL)13。根據此唯讀記憶體結構，第 1A 圖中虛線框起來的部份 14 就形成一記憶單元。而記憶單元即以通道 16 的離子植入與否，來儲存二階式位元數據“0”或“1”。

習知的唯讀記憶體製造方法，如第 1C 圖所示。首先，在基底 10 上植入 N 型雜質，例如是砷離子，形成複數個等距分佈的位元線 11，而位元線 11 之間則構成通道區 16。其次，以氧化程序，在位元線 11 與通道區 16 表面形成氧化層 12。接著，形成一電導體層，例如是高濃度摻雜之複晶矽層，並經微影與蝕刻定義圖案，形成跨位元線 11 的字元線 13，構成通道電晶體，完成傳統唯讀記憶體的半成品製造。接著進行程式化的步驟，形成一罩幕層 15，露出欲編碼的通道區 16，再植入 P 型雜質，例如是硼離子，完成編碼佈植(Code Implant)的程序。而在唯讀記憶體程式化過程中，可依不同的電晶體特性來決定不同的摻雜源。

上述習知的唯讀記憶體，係以通道電晶體作為唯讀記憶體之記憶單元，其中通道電晶體的製程步驟繁複，且編碼佈植的步驟必須在通道電晶體形成前完成，使其製程受限。

另外，金氧半電晶體元件所使用的元件面積較大，在縮小化時會導致擊穿(Punch Through)現象，使元件積集度受限，無法有效提昇。

因此本發明的主要目的就是在提供一種蕭克萊二極體結構之唯讀記憶體元件及其製造方法，以直立狀的蕭克

五、發明說明(3)

萊二極體結構作為唯讀記憶體之記憶單元，可使元件使用面積減少。

本發明的另一目的就是在提供一種蕭克萊二極體結構之唯讀記憶體元件及其製造方法，以在記憶單元中是否形成一接觸窗來定義導通或關閉之記憶單元，達到編碼的目的。

本發明的又一目的就是在提供一種蕭克萊二極體結構之唯讀記憶體元件及其製造方法，由於蕭克萊二極體結構之記憶單元關閉時，其反向電流低，故可適用較寬之電流環境。

本發明一種蕭克萊二極體結構唯讀記憶體元件之製造方法，包括下列步驟：

(a)提供一平面，在該平面上以磊晶製程依序形成一濃的第二型雜質層、一淡的第一型雜質層、一淡的第二型雜質層、以及一濃的第一型雜質層，以達成該蕭克萊二極體結構電流增益大於1；

(b)定義上述該濃的第二型雜質層、該淡的第一型雜質層、該淡的第二型雜質層、以及該濃的第一型雜質層的圖案，形成沿一第一方向複數條約平行相間的位元線；

(c)在上述各層表面形成一第一絕緣層；

(d)定義該第一絕緣層、該濃的第一型雜質層、該淡的第二型雜質層與該淡的第一型雜質層的圖案，形成複數個第一接觸窗，並露出該濃的第二型雜質層；

(e)在該些第一接觸窗側壁形成複數個間隙壁；

五、發明說明(4)

(f)以該第一絕緣層與該些間隙壁為罩幕，利用一第二型離子經由該些第一接觸窗對該濃的第二型雜質層進行摻雜，形成複數個第二型雜質擴散區；

(g)定義該第一絕緣層的圖案，在該絕緣層中形成複數個第二接觸窗，露出部份該濃的第一型雜質層；

(h)在該第一絕緣層表面形成一電導體層，並使該電導體層填滿該些第二接觸窗與該些第一接觸窗；以及

(i)定義該電導體層之圖案，在該些第一接觸窗上形成複數個導線區，在其餘位置則形成沿一第二方向複數條字元線，該第一方向與該第二方向以一角度相交。

而本發明一種蕭克萊二極體結構唯讀記憶體元件之結構，包括：

一平面；

複數條位元線，位於該平面上以一第一方向延伸，該些位元線由該平面向上依序包括一濃的第二型雜質層、一淡的第一型雜質層、一淡的第二型雜質層、以及一濃的第一型雜質層；

一第一絕緣層，位於該平面與該位元線表面；

複數個位元線槽溝，位於兩側邊緣之該些位元線中，該些位元線槽溝深度足以露出該濃的第二型雜質層；

複數個間隙壁，位於該些位元線槽溝之側壁；

複數個第二型雜質擴散區，位於該些位元線槽溝底部之該濃的第二型雜質層中；

複數個接觸窗，位於該第一絕緣層中，並露出部份之

五、發明說明()

該些濃的第一型雜質層；

複數個導線區，位於該些位元線槽溝上方，並填滿該些位元線槽溝，用以連接該濃的第二型雜質層；以及

複數條字元線，位於該第一絕緣層表面，並填滿該些接觸窗，該些字元線約相互平行相間且沿一第二方向延伸，且該第一方向與該第一方向以一角度相交，該些字元線與該些位元線交錯形成複數個記憶單元，該些記憶單元中包含有該些接觸窗者，為導通之記憶單元，該些記憶單元中未包含有該些接觸窗者，為關閉之記憶單元。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖是一種習知的唯讀記憶體結構的部份上視示意圖；

第 1B 圖是一種習知的唯讀記憶體結構的前視剖面示意圖；

第 1C 圖是一種習知的唯讀記憶體結構的側視剖面示意圖；

第 2A-2I 圖是依照本發明一較實施例，一種蕭克萊二極體結構之唯讀記憶體元件之製造剖面流程圖；

第 3 圖是依照本發明一較實施例，一種蕭克萊二極體結構之唯讀記憶體元件之立體示意圖；

第 4A 圖是依照本發明一較實施例，一種蕭克萊二極

五、發明說明 (b)

體結構之唯讀記憶體元件之部份上視示意圖；

第 4B 圖是依照本發明一較實施例，一種蕭克萊二極體結構之唯讀記憶體元件之等效電路圖；

第 5 圖是依照本發明一較實施例，一種蕭克萊二極體結構之唯讀記憶體元件，其記憶單元之電路圖；以及

第 6 圖是依照本發明一較實施例，一種蕭克萊二極體結構之唯讀記憶體元件，字元線電壓與電流之關係圖。

實施例

請參照第 2A 至 2I 圖，其繪示依照本發明一較實施例，一種蕭克萊二極體結構之唯讀記憶體元件之製造剖面流程圖。首先，請參照第 2A 與 2B 圖，提供一平面 20，例如是一第一型基底或是一絕緣層，而絕緣層例如是二氧化矽或氮化矽層，在本實施例中係以絕緣層為例，在平面 20 上以磊晶製程的方式，依序形成一濃的第二型雜質層 21，其濃度約為 $10^{20}/\text{cm}^3$ 、一淡的第一型雜質層 22，其濃度約為 $10^{17}/\text{cm}^3$ 、一淡的第二型雜質層 23，其濃度約為 $10^{16}/\text{cm}^3$ 、以及一濃的第一型雜質層 24，其濃度約為 $10^{20}/\text{cm}^3$ 。接著，以微影與蝕刻製程定義上述濃的第二型雜質層 21、淡的第一型雜質層 22、淡的第二型雜質層 23、以及濃的第一型雜質層 24，形成複數條約平行相間的位元線 25，且由上述各雜質層所組成之位元線 25，造成其電流增益大於 1，得到如第 2B 圖所示之結構。

本發明之蕭克萊二極體結構之唯讀記憶體元件，其係在唯讀記憶體陣列位元線 25 中形成槽溝，以連接位元線 25

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

之濃的第二型雜質層 21，故從第 2C 圖起由兩個剖面圖做說明，其左圖為第 2B 圖沿 I-I' 之剖面示意圖，用以描述連接位元線 25 之濃的第二型雜質層 21 之導線區的製造，而其右圖為第 2B 圖沿 II-II' 之剖面示意圖，用以描述記憶陣列的製造。

接著，請參照第 2C 圖，在上述各層表面形成一絕緣層 27，例如是以化學氣相沈積法所形成之二氧化矽層或氮化矽層再經由旋塗式玻璃法或化學機械研磨法所形成之平坦化絕緣層。之後先進行位元線 25 的導線區製作，在絕緣層 27 表面形成一光阻層 28，並定義光阻層 28 之圖案，露出之位元線 25 中之濃的第二型雜質層 21 上方之該絕緣層 27。利用光阻層 28 為罩幕，以非等向性蝕刻去除絕緣層 27、以及濃的第一型雜質層 24、淡的第二型雜質層 23 與淡的第一型雜質層 22 而達到濃的第二型雜質層 21，形成複數個濃的第二型雜質層 21 之接觸窗 30，以露出濃的第二型雜質層 21。之後將光阻層 28 去除，得到如第 2D 圖所示之結構。

然後，請參照第 2E 圖，在絕緣層 27、露出之該濃的第二型雜質層 21 表面、以及該些位元線接觸窗 30 側壁形成一絕緣層 32，絕緣層 32 例如是以化學氣相沈積法所形成之二氧化矽層或氮化矽層。以非等向性回蝕刻去除濃的第二型雜質層 21 之上的絕緣層 32，在濃的第二型雜質層 21 之接觸窗 30 周圍形成間隙壁 33，得到如第 2F 圖所示之結構。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

接著，請參照第 2G 圖，以絕緣層 27 與間隙壁 33 為罩幕，利用第二型離子經由濃的第二型雜質層 21 之接觸窗 30 對露出之濃的第二型雜質層 21 進行摻雜，形成第二型雜質擴散區 34。

之後，進行記憶陣列部份的製造，請參照第 2H 圖，首先進行編碼步驟，並以接觸窗的形成作為編碼的定義。定義絕緣層 27 的圖案，在絕緣層 27 中形成複數個濃的第一型雜質層 24 的接觸窗 36，以露出部份的濃的第一型雜質層 24。當在濃的第一型雜質層 24 上方有接觸窗 36 者為導通之記憶單元 100，其邏輯儲存值為“1”，其上方沒有接觸窗 36 之濃的第一型雜質層 24，則為關閉之記憶單元 102，其邏輯儲存值為“0”。

然後，請參照第 2I 圖，在絕緣層 27 表面形成一電導體層 38，並使電導體層 38 填滿接觸窗 36 與濃的第二型雜質層 21 之接觸窗 30，電導體層 38 例如是高雜質濃度之複晶矽或金屬層。接著定義電導體層 38 的圖案，在記憶陣列部份形成複數條平行相間的字元線 38a 以及在濃的第二型雜質層 21 之接觸窗 30 上形成導線區 39，字元線 38a 與位元線 25 以一角度相交，例如約是垂直相交。字元線 38a 與位元線 25 交錯之處即構成一記憶單元。至此，完成本發明一較佳實施例，一種蕭克萊二極體結構之唯讀記憶體元件的製造，其立體示意圖如第 3 圖所示。後續製程與習知技藝相同，且與本發明無關，在此不多贅述。

上述之本發明一較佳實施例中，若其第一型為 P 型，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

則第二型為 N 型；若其第一型為 N 型，則第二型為 P 型。

依照本發明一較佳實施例之一種唯讀記憶體元件，其部份上視示意圖如第 4A 圖所示，其部份等效電路圖如第 4B 圖所示。由字元線 38a 與位元線 25 交錯之處即為一記憶單元，若記憶單元中含有接觸窗 36，如圖中有 X 記號者，即為導通之記憶單元 100；而記憶單元中未含有接觸窗 36 者，則為關閉之記憶單元 102。

其操作機制係以第一型為 P 型、第二型為 N 型為例，其會構成兩個寄生雙載子電晶體 (Parasitic Bipolar Transistor) 電路圖如第 5 圖所示。當對字元線 38a 施予一正電壓時，此時電晶體 Q1 中 V_{24-23} 與電晶體 Q2 中 V_{22-21} 產生順向偏壓，使蕭克萊二極體結構開啓，使電流從濃的第一型雜質層 24 流向濃的第二型雜質層 21，經由濃的第二型雜質層 21 之接觸窗 30 流至導線區 39，可在導線區 39 上讀取電流。若對字元線不施予電壓，則蕭克萊二極體結構將關閉，則在導線區 39 上無法測到電流。由上述之操作機制得知，其操作時之電流是由字元線 38a 經由開啓記憶單元之接觸窗 36 垂直向下開啓蕭克萊二極體結構，再從濃的第二型雜質層 21 經由位元線接觸窗 30 垂直向上流向位元線接觸窗 30 上的導線區 39，而在導線區 39 上測到電流。第 6 圖示依照本發明一較佳實施例，一種蕭克萊二極體結構唯讀記憶體，其對字元線所施加之電壓與讀取到之電流之關係圖。

雖然本發明已以一較佳實施例揭露如上，然其並非用

經濟部中央標準局員工消費合作社印製

五、發明說明(10)

以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

402812

四、中文發明摘要(發明之名稱: 蕭克萊二極體結構之唯讀記憶體元
件及其製造方法)

一種蕭克萊二極體結構之唯讀記憶體元件及其製造方法，其特點在以蕭克萊二極體結構作為唯讀記憶體之記憶單元，得以提供記憶體較大電流，並以定義接觸窗作為唯讀記憶體之編碼，取代傳統唯讀記憶體以通道電晶體為記憶單元，並需經過離子植入進行編碼佈植，使導通電流受限。且以蕭克萊二極體結構作為唯讀記憶體之記憶單元，各記憶單元以絕緣層相隔，可減少元件使用的面積，增加積集度。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種蕭克萊二極體結構唯讀記憶體元件之製造方法，包括下列步驟：

(a) 提供一平面，在該平面上以磊晶製程依序形成一濃的第二型雜質層、一淡的第一型雜質層、一淡的第二型雜質層、以及一濃的第一型雜質層；

(b) 定義上述該濃的第二型雜質層、該淡的第一型雜質層、該淡的第二型雜質層、以及該濃的第一型雜質層的圖案，形成沿一第一方向複數條相間的位元線；

(c) 在上述各層表面形成一第一絕緣層；

(d) 定義該第一絕緣層、該濃的第一型雜質層、該淡的第二型雜質層與該淡的第一型雜質層的圖案，形成複數個第一接觸窗，並露出該濃的第二型雜質層；

(e) 在該些第一接觸窗側壁形成複數個間隙壁；

(f) 以該第一絕緣層與該些間隙壁為罩幕，利用一第二型離子經由該些第一接觸窗對該濃的第二型雜質層進行摻雜，形成複數個第二型雜質擴散區；

(g) 定義該第一絕緣層的圖案，在該絕緣層中形成複數個第二接觸窗，露出部份該濃的第一型雜質層；

(h) 在該第一絕緣層表面形成一電導體層，並使該電導體層填滿該些第二接觸窗與該些第一接觸窗；以及

(i) 定義該電導體層之圖案，在該些第一接觸窗上形成複數個導線區，在其餘位置則形成沿一第二方向複數條字元線，該第一方向與該第二方向以一角度相交。

2. 如申請專利範圍第 1 項所述之製造方法，其中該第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

線

六、申請專利範圍

一型為 P 型，該第二型為 N 型，該第二型離子為 N 型離子。

3.如申請專利範圍第 1 項所述之製造方法，其中該第一型為 N 型，該第二型為 P 型，該第二型離子為 P 型離子。

4.如申請專利範圍第 1 項所述之製造方法，其中該步驟(a)中之該平面為二氧化矽層。

5.如申請專利範圍第 4 項所述之製造方法，其中該步驟(a)中之該平面為氮化矽層。

6.如申請專利範圍第 1 項所述之製造方法，其中該步驟(a)中之該平面係為一第一型矽基底。

7.如申請專利範圍第 1 項所述之製造方法，其中該步驟(a)中之該濃的第二型雜質層其濃度約為 $10^{20}/\text{cm}^3$ 。

8.如申請專利範圍第 1 項所述之製造方法，其中該步驟(a)中之該淡的第一型雜質層其濃度約為 $10^{17}/\text{cm}^3$ 。

9.如申請專利範圍第 1 項所述之製造方法，其中該步驟(a)中之該淡的第二型雜質層其濃度約為 $10^{16}/\text{cm}^3$ 。

10.如申請專利範圍第 1 項所述之製造方法，其中該步驟(a)中之該濃的第一型雜質層其濃度約為 $10^{20}/\text{cm}^3$ 。

11.如申請專利範圍第 1 項所述之製造方法，其中該步驟(c)中之該第一絕緣層係為以化學氣相沈積法形成之二氧化矽層，再經由平坦化步驟。

12.如申請專利範圍第 11 項所述之製造方法，其中該步驟(c)中之該第一絕緣層所進行之平坦化步驟為化學機械研磨法。

13.如申請專利範圍第 11 項所述之製造方法，其中該

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

步驟(c)中之該第一絕緣層所進行之平坦化步驟為旋塗式玻璃法。

14.如申請專利範圍第1項所述之製造方法，其中該步驟(c)中之該第一絕緣層係為以化學氣相沈積法形成之氮化矽層，再經由平坦化步驟。

15.如申請專利範圍第14項所述之製造方法，其中該步驟(c)中之該第一絕緣層所進行之平坦化步驟為化學機械研磨法。

16.如申請專利範圍第14項所述之製造方法，其中該步驟(c)中之該第一絕緣層所進行之平坦化步驟為旋塗式玻璃法。

17.如申請專利範圍第1項所述之製造方法，其中該步驟(e)中之該些間隙壁係為二氧化矽層。

18.如申請專利範圍第1項所述之製造方法，其中該步驟(e)中之該些間隙壁係為氮化矽層。

19.如申請專利範圍第1項所述之製造方法，其中該步驟(h)中之該電導體層係為高雜質濃度之複晶矽層。

20.如申請專利範圍第1項所述之製造方法，其中該步驟(h)中之該電導體層係為金屬層。

21.如申請專利範圍第1項所述之製造方法，其中該步驟(k)中之該第一方向與該第二方向係為垂直相交。

22.一種蕭克萊二極體結構唯讀記憶體元件之結構，包括：

一平面；

(請先閱讀背面之注意事項再填寫本頁)

頁

訂

線

六、申請專利範圍

複數條位元線，位於該平面上以一第一方向延伸，該些位元線由該平面向上依序包括一濃的第二型雜質層、一淡的第一型雜質層、一淡的第二型雜質層、以及一濃的第一型雜質層；

一第一絕緣層，位於該平面與該位元線表面；

複數個第一接觸窗，位於該些位元線中，該些第一接觸窗深度足以露出該濃的第二型雜質層；

複數個間隙壁，位於該些第一接觸窗之側壁；

複數個第二型雜質擴散區，位於該些第一接觸窗底部之該濃的第二型雜質層中；

複數個第二接觸窗，位於該第一絕緣層中，並露出部份之該些濃的第一型雜質層；

複數個導線區，位於該些第一接觸窗上方，並填滿該些第一接觸窗，用以連接該濃的第二型雜質層；以及

複數條字元線，位於該第一絕緣層表面，並填滿該些第二接觸窗，該些字元線沿一第二方向延伸，且該第一方向與該第一方向以一角度相交，該些字元線與該些位元線交錯形成複數個記憶單元，該些記憶單元中包含有該些接第二接觸窗者，為導通之記憶單元，該些記憶單元中未包含有該些第二接觸窗者，為關閉之記憶單元。

23.如申請專利範圍第 22 項所述之結構，其中該第一型為 P 型，該第二型為 N 型。

24.如申請專利範圍第 22 項所述之結構，其中該第一型為 N 型，該第二型為 P 型。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

25.如申請專利範圍第 22 項所述之結構，其中該平面為二氧化矽層。

26.如申請專利範圍第 22 項所述之結構，其中該平面為氮化矽層。

27.如申請專利範圍第 22 項所述之結構，其中該平面係為一第一型矽基底。

28.如申請專利範圍第 22 項所述之結構，其中該濃的第二型雜質層其濃度約為 $10^{20}/\text{cm}^3$ 。

29.如申請專利範圍第 22 項所述之結構，其中該淡的第一型雜質層其濃度約為 $10^{17}/\text{cm}^3$ 。

30.如申請專利範圍第 22 項所述之結構，其中該淡的第二型雜質層其濃度約為 $10^{16}/\text{cm}^3$ 。

31.如申請專利範圍第 22 項所述之結構，其中該濃的第一型雜質層其濃度約為 $10^{20}/\text{cm}^3$ 。

32.如申請專利範圍第 22 項所述之結構，其中該位元線其電流增益大於 1。

33.如申請專利範圍第 22 項所述之結構，其中該第一絕緣層為經平坦化後之二氧化矽層。

34.如申請專利範圍第 22 項所述之結構，其中該第一絕緣層為經平坦化後之氮化矽層。

35.如申請專利範圍第 22 項所述之結構，其中該些間隙壁為二氧化矽。

36.如申請專利範圍第 22 項所述之結構，其中該些間隙壁為氮化矽。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

37.如申請專利範圍第 22 項所述之結構，其中該些字元線為高雜質濃度之複晶矽層。

38.如申請專利範圍第 22 項所述之結構，其中該些字元線為金屬層。

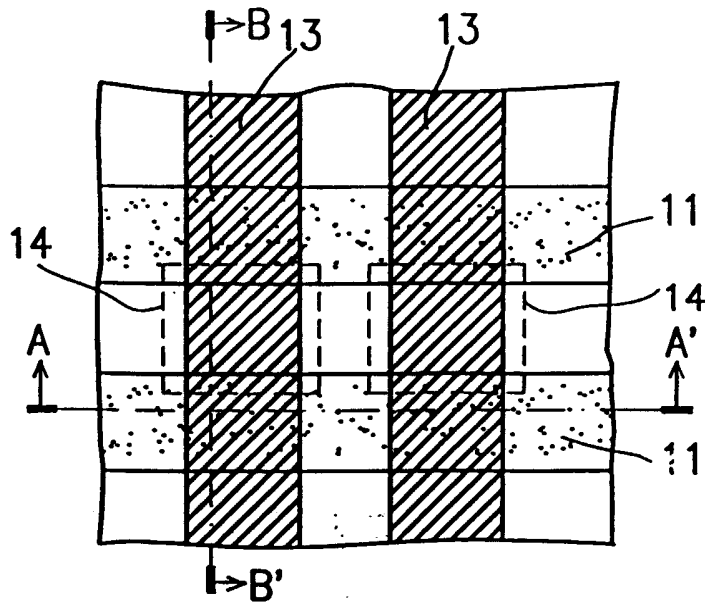
39.如申請專利範圍第 22 項所述之結構，其中該第一方向與該第二方向係為垂直相交。

(請先閱讀背面之注意事項再填寫本頁)

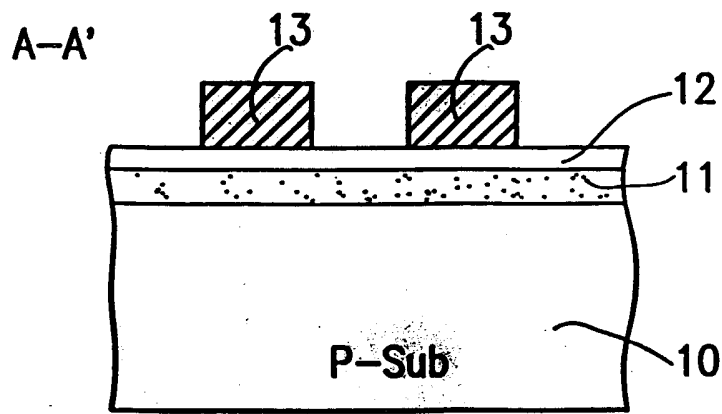
頁

訂

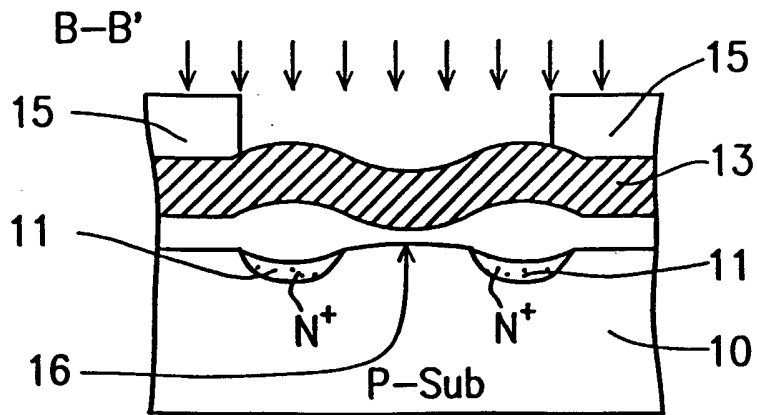
線



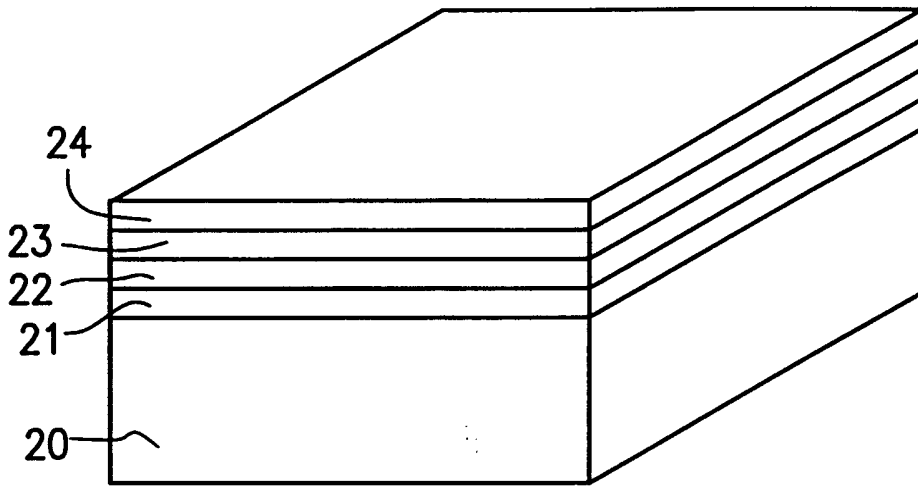
第1A圖



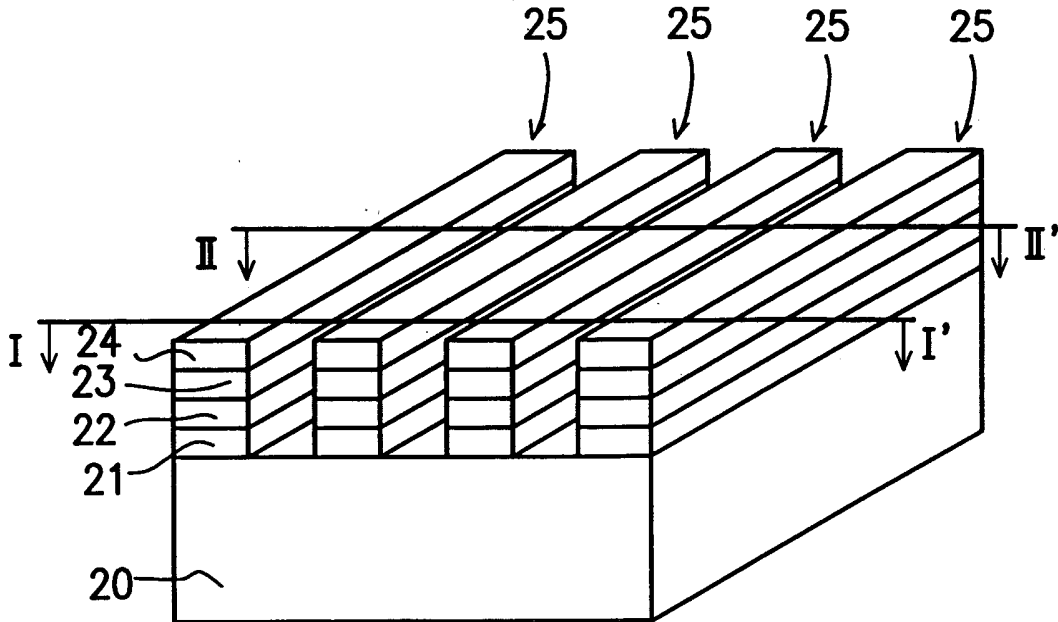
第1B圖



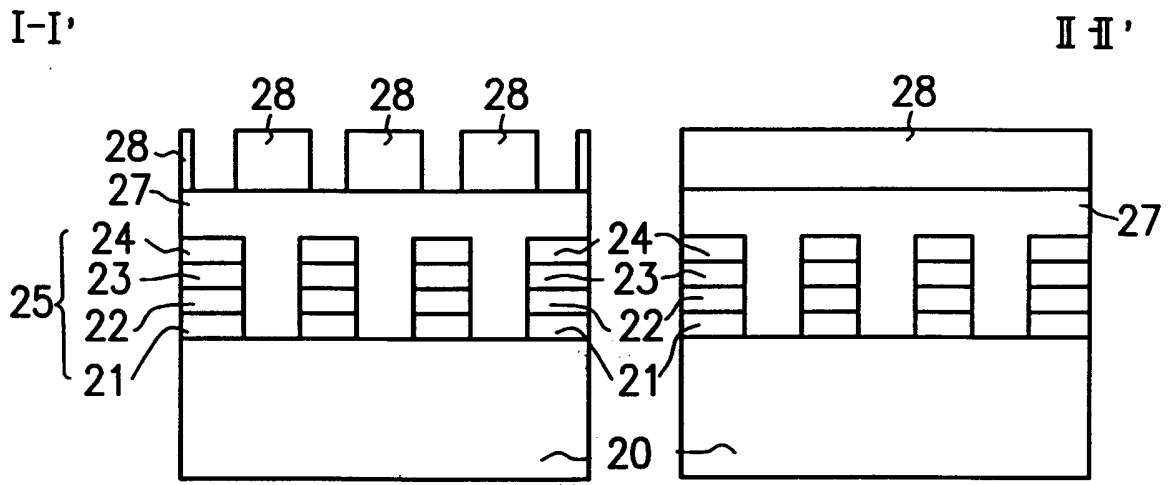
第1C圖



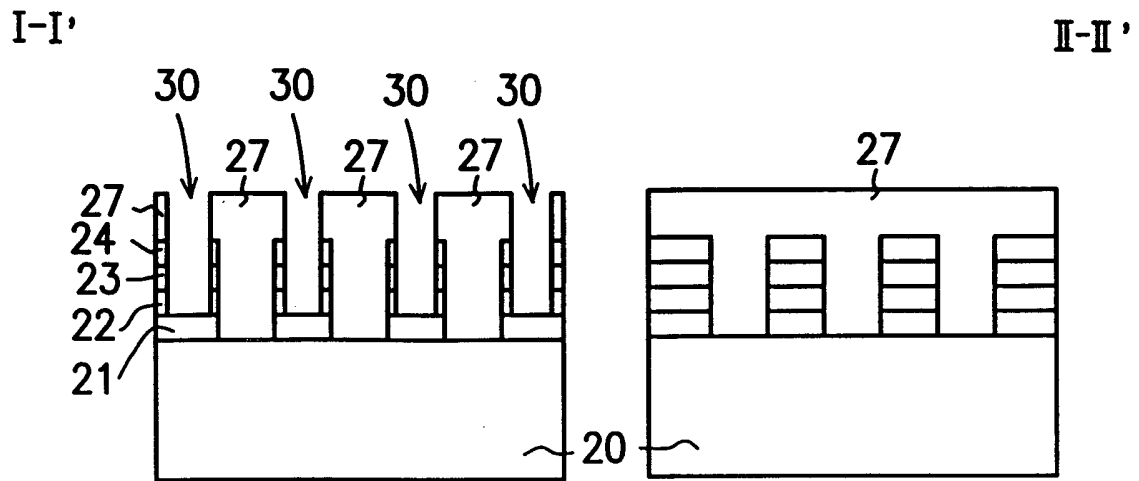
第2A圖



第2B圖



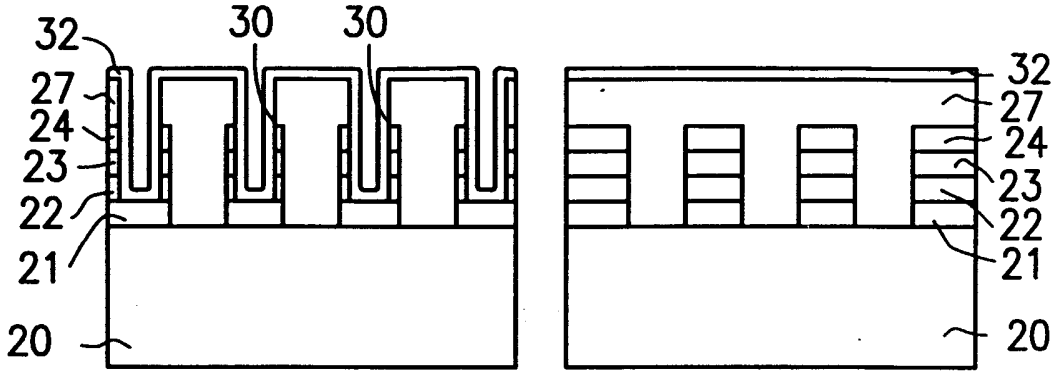
第 2C 圖



第 2D 圖

I-I'

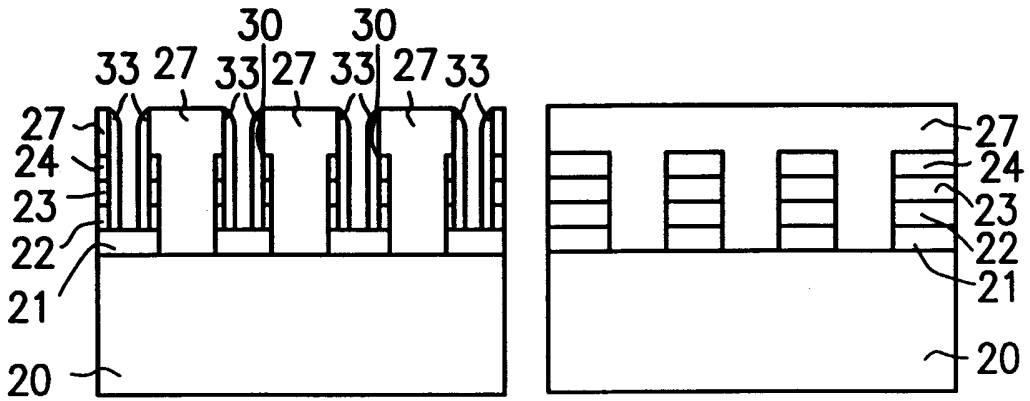
II-II'



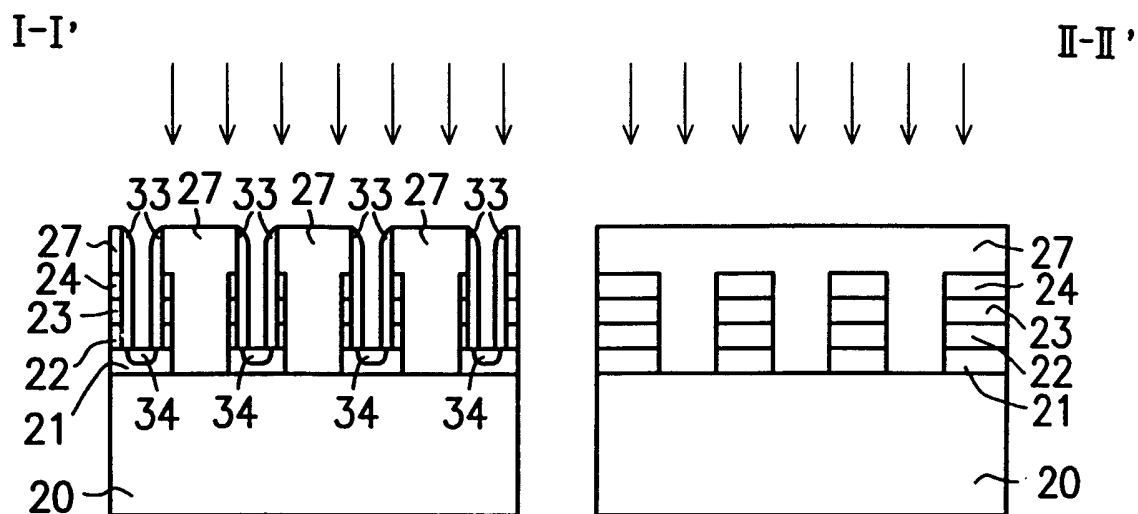
第2E圖

I-I'

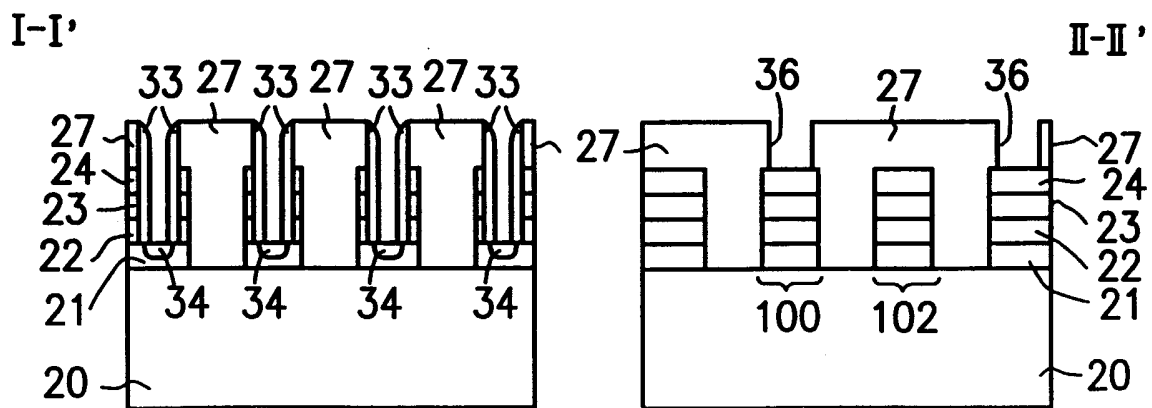
II-II'



第2F圖

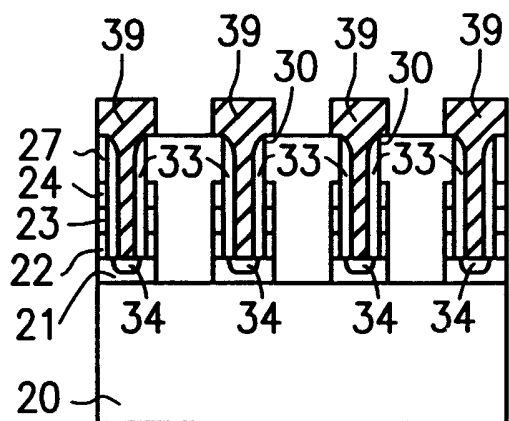


第2G圖

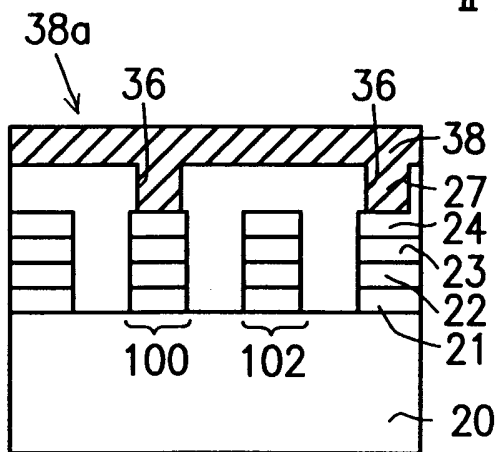


第2H圖

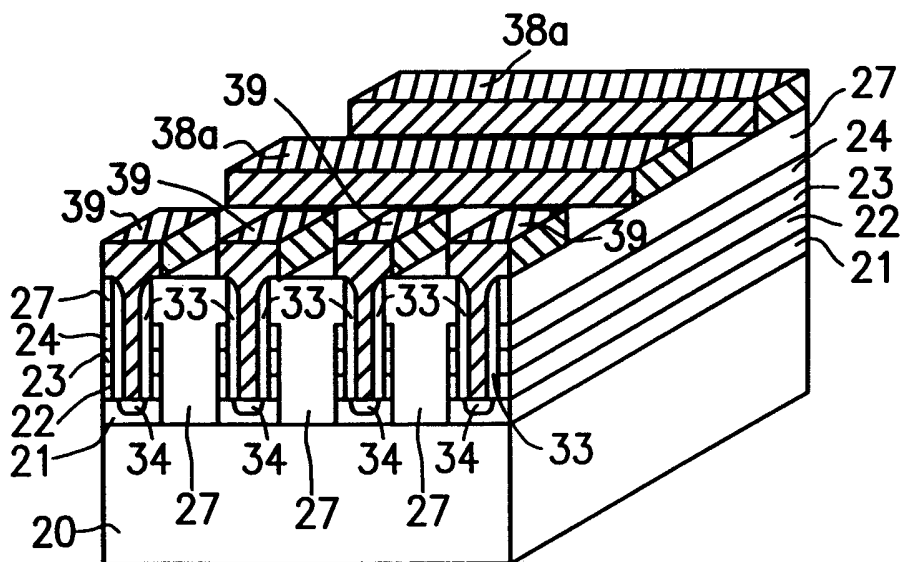
I-I'



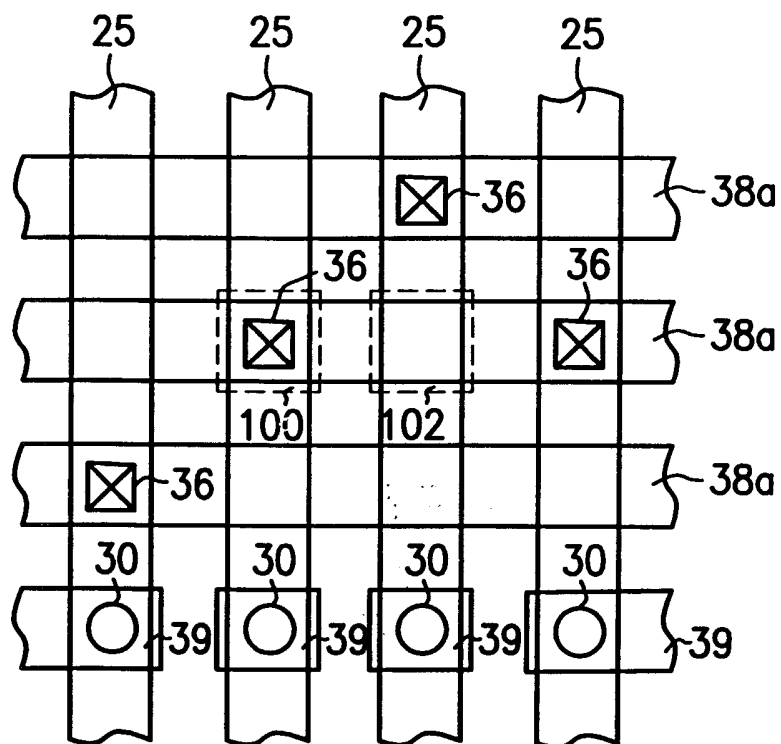
II-II'



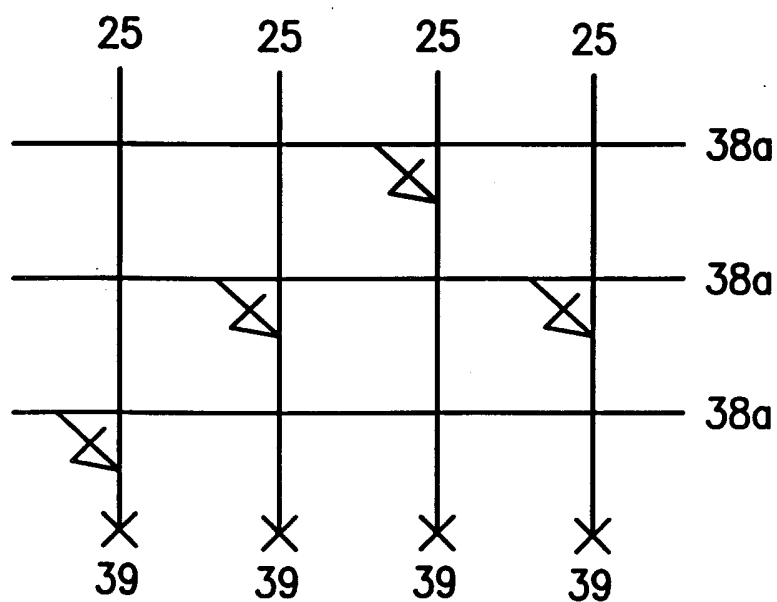
第 21 圖



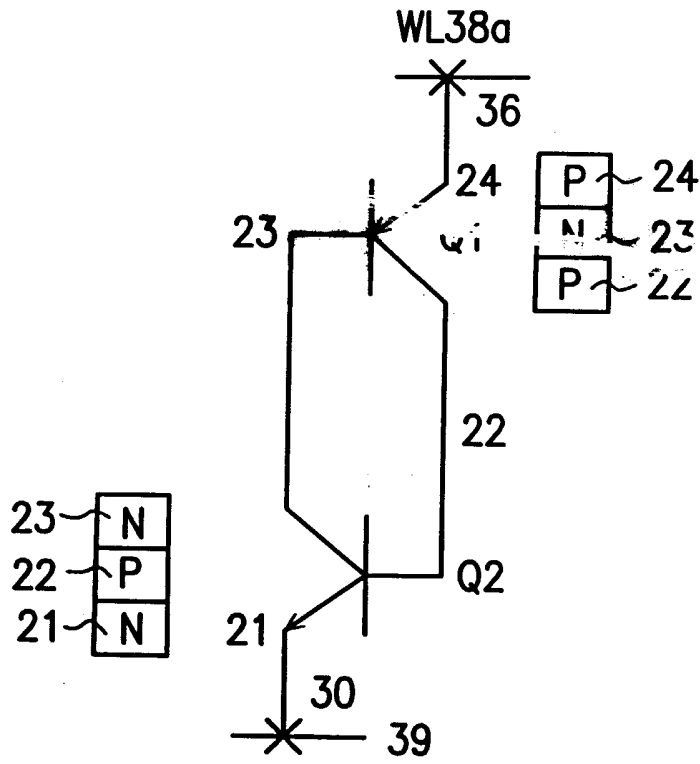
第 3 圖



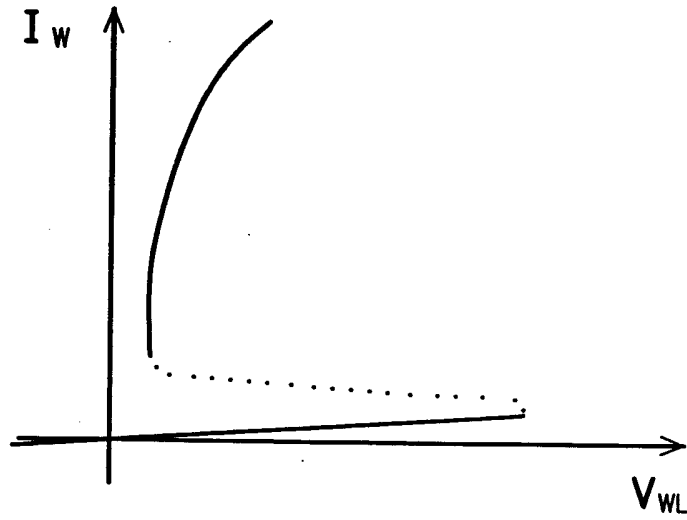
第4A圖



第4B圖



第 5 圖



第 6 圖