



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I813406 B

(45) 公告日：中華民國 112 (2023) 年 08 月 21 日

(21) 申請案號：111128856

(22) 申請日：中華民國 111 (2022) 年 08 月 02 日

(51) Int. Cl. : H01L23/28 (2006.01)

H01L21/56 (2006.01)

(71) 申請人：啟碁科技股份有限公司 (中華民國) WISTRON NEWEB CORPORATION (TW)
新竹縣園區二路 20 號

(72) 發明人：謝國化 HSIEH, KUO-HUA (TW)；詹朝傑 CHAN, CHAO-CHIEH (TW)；董煜達
DONG, YU-DA (TW)；鄭淳仁 CHENG, CHUN-JEN (TW)

(74) 代理人：張耀暉；莊志強

(56) 參考文獻：

TW 201541605A

TW 201743417A

TW 201943031A

TW 202002190A

TW 202121620A

TW 202203336A

US 2017/0170367A1

US 2019/0043794A1

US 2021/0272898A1

US 2022/0140207A1

審查人員：李景松

申請專利範圍項數：17 項 圖式數：17 共 44 頁

(54) 名稱

封裝結構及其製造方法

(57) 摘要

本發明公開一種封裝結構及其製造方法。封裝結構包括基板、半導體封裝體、第一膠體及第二膠體。基板具有第一板面及第二板面，第二區域位於第一板面且環繞第一區域。半導體封裝體具有上表面、下表面及側表面，半導體封裝體設置在第一板面上且位於第一區域中，且通過設置在下表面的多個接腳電性連接於基板。第一膠體形成在第一板面上，且在第二區域以及第一區域鄰近第二區域的部分之中。第二膠體形成在側表面與第一膠體之間。其中，第二膠體同時接觸側表面及第一膠體，且第一膠體與第二膠體共同形成橋墩膠體，其連接側表面的至少一部分。

A package structure and a method for manufacturing the same are provided. The package structure includes a substrate, a semiconductor package, a first colloid and a second colloid. The substrate has a first board surface and a second board surface, and a second region is located on the first board surface and surrounds a first area. The semiconductor package has an upper surface, a lower surface and a side surface, the semiconductor package is disposed on the first board surface and in the first region, and is electrically connected to the substrate through a plurality of pins disposed on the lower surface. The first colloid is formed on the first board surface in the second area, and in a portion of the first area adjacent to the second area. The second colloid is formed between the side surface and the first colloid. The second colloid contacts both the side surface and the first colloid, and the first colloid and the second colloid together form a bridge pier colloid, which is connected to at least a part of the side surface.

指定代表圖：

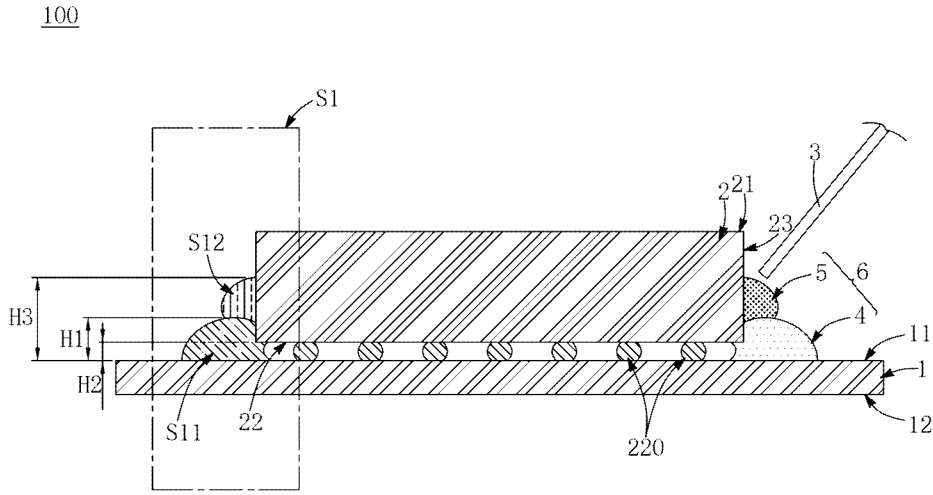


圖5B

符號簡單說明：

100:封裝結構

1:基板

11:第一板面

12:第二板面

2:半導體封裝體

21:上表面

22:下表面

220:接腳

23:側表面

3:針筒

4:第一膠體

5:第二膠體

6:橋墩膠體

S1:假想平面

S11:第一截面積

S12:第二截面積

H1、H2、H3:高度



I813406

【發明摘要】

【中文發明名稱】封裝結構及其製造方法

【英文發明名稱】PACKAGE STRUCTURE AND METHOD FOR FABRICATING THE SAME

【中文】

本發明公開一種封裝結構及其製造方法。封裝結構包括基板、半導體封裝體、第一膠體及第二膠體。基板具有第一板面及第二板面，第二區域位於第一板面且環繞第一區域。半導體封裝體具有上表面、下表面及側表面，半導體封裝體設置在第一板面上且位於第一區域中，且通過設置在下表面的多個接腳電性連接於基板。第一膠體形成在第一板面上，且在第二區域以及第一區域鄰近第二區域的部分之中。第二膠體形成在側表面與第一膠體之間。其中，第二膠體同時接觸側表面及第一膠體，且第一膠體與第二膠體共同形成橋墩膠體，其連接側表面的至少一部分。

【英文】

A package structure and a method for manufacturing the same are provided. The package structure includes a substrate, a semiconductor package, a first colloid and a second colloid. The substrate has a first board surface and a second board surface, and a second region is located on the first board surface and surrounds a first area. The semiconductor package has an upper surface, a lower surface and a side surface, the semiconductor package is disposed on the first board surface and in the first region, and is electrically connected to the substrate through a plurality of pins disposed on the lower surface. The first colloid is formed on the first board surface in the second area, and in a portion of the first area adjacent to the second area. The second colloid is formed between the side

surface and the first colloid. The second colloid contacts both the side surface and the first colloid, and the first colloid and the second colloid together form a bridge pier colloid, which is connected to at least a part of the side surface.

【指定代表圖】圖5B。

【代表圖之符號簡單說明】

100：封裝結構

1：基板

11：第一板面

12：第二板面

2：半導體封裝體

21：上表面

22：下表面

220：接腳

23：側表面

3：針筒

4：第一膠體

5：第二膠體

6：橋墩膠體

S1：假想平面

S11：第一截面積

S12：第二截面積

H1、H2、H3：高度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】封裝結構及其製造方法

【英文發明名稱】PACKAGE STRUCTURE AND METHOD FOR FABRICATING THE SAME

【技術領域】

【0001】本發明涉及一種封裝結構及其製造方法，特別是涉及一種可有效控制在側面點膠製程中產生的元件底部滲入量的封裝結構及其製造方法。

【先前技術】

【0002】在傳統半導體元件或系統的封裝製程中，為保護錫球接點之可靠性，必須使用底部填膠(underfill dispensing)或側面填膠(side-fill dispensing)等製程。

【0003】此外，為了滿足客戶需求或相關產業標準(例如，JEDEC J-STD-020 Moisture/Reflow Sensitivity Classification for Nonhermetic Surface Mount Devices)，封裝元件產品須確保能通過至少3次回溫製程(reflow process)及包含多項可靠性測試及失效類檢驗的驗證標準(例如，針對多晶片模組的AEC-Q104驗證標準)，採用底部填膠的元件底部需確保完全潔淨與乾燥，且於填充過程需確保「完全填充」，進而延伸清洗(chemical or water cleaning)、烘烤(baking)、表面調質(Plasma treatment)與壓力烘烤(pressure curing)等製程需求與費用，且前述各製程的變異都會影響後續產品在回溫製程與產品可靠度的表現。

【0004】雖可以側面填膠方式取代需要完全填充的底部填膠方式，然而，在側面點膠過程中，過多的元件底部滲入量(underneath penetration)會造

成膠體包覆錫球或焊點，致使該錫球或焊點在後續迴焊(SMT reflow)製程中，高溫熔融的錫球、焊點中的氣泡(void)或助焊劑(flux)揮發等熱膨脹無法排除而影響錫球或焊點型態，甚至因而造成錫球變形、焊點斷路、元件本體或印刷電路板/基板與膠體的介面分層(delamination)等缺陷。

【0005】故，如何通過封裝結構與製程的改良，以低成本的方式精確控制封裝膠體的形態，同時確保封裝後的成品可滿足回溫製程需求，已成為該項事業所欲解決的重要課題之一。

【發明內容】

【0006】本發明所要解決的技術問題在於，針對現有技術的不足提供一種可有效控制在側面點膠製程中產生的元件底部滲入量的封裝結構及其製造方法。

【0007】為了解決上述的技術問題，本發明所採用的其中一技術方案是提供一種封裝結構，其包括基板、半導體封裝體、第一膠體及第二膠體。基板具有一第一板面及一第二板面，其中，一第一區域位於該第一板面，一第二區域位於該第一板面且環繞該第一區域。半導體封裝體，具有一上表面、一下表面，以及在該上表面及下表面之間的一側表面，該半導體封裝體設置在該第一板面上且位於該第一區域中，且通過設置在該下表面的多個接腳電性連接於該基板。第一膠體，形成在該第一板面上，且在該第二區域以及該第一區域鄰近該第二區域的一部分之中。第二膠體，形成在該側表面與該第一膠體之間。其中，該第二膠體同時接觸該側表面及該第一膠體，且該第一膠體與該第二膠體共同形成一橋墩膠體，且該橋墩膠體連接該側表面的至少一部分。

【0008】為了解決上述的技術問題，本發明所採用的另外一技術方案是

提供一種封裝結構的製造方法，其包括：提供一基板，其中，該基板具有一第一板面及一第二板面，且一第一區域位於該第一板面，一第二區域環繞該第一區域；將一半導體封裝體設置並固定在該第一板面上且在該第一區域中，同時將設置在該半導體封裝體的多個接腳電性連接於該基板，其中，該半導體封裝體具有一下表面及與該下表面相對的一上表面，以及在該上表面及下表面之間的一側表面，該些接腳設置在該下表面；通過一第一點膠步驟將一第一膠體形成在該第一板面上，且在該第二區域以及該第一區域鄰近該第二區域的一部分之中；以及通過一第二點膠步驟將一第二膠體形成在該側表面與該第一膠體之間並同時接觸該側表面及該第一膠體，使該第一膠體與該第二膠體共同形成一橋墩膠體，且該橋墩膠體連接該側表面的至少一部分。

【0009】本發明的其中一有益效果在於，本發明所提供的封裝結構及其製造方法，通過2段或多段點膠可精準控制側面橋墩膠體的膠高(fillet height)、膠寬(fillet width)，以對半導體封裝體的邊緣進行強固，進而可避免焊點(solder joint)龜裂(Crack)或斷路(Open)等異常以提升產品可靠度。

【0010】此外，在本發明所提供的封裝結構及其製造方法中，通過2段或多段點膠形成的橋墩體結構可精準控制元件底部滲入量(underneath penetration)，進而避免錫球變形、焊點斷路、元件本體或印刷電路板/基板與膠體的介面分層(delamination)等缺陷。也因此，可省卻傳統底部點膠或側面點膠所需的模組清洗、烘烤與表面調質等製程，大幅降低整體生產成本。

【0011】為使能更進一步瞭解本發明的特徵及技術內容，請參閱以下有關本發明的詳細說明與圖式，然而所提供的圖式僅用於提供參考與說明，並非用來對本發明加以限制。

【圖式簡單說明】

【0012】圖1為本發明實施例的封裝結構的製造方法的流程圖。

【0013】圖2為本發明實施例的基板的俯視示意圖。

【0014】圖3為本發明實施例的基板、半導體封裝體及第一膠體的側視示意圖。

【0015】圖4A及圖4B為本發明實施例的步驟S104的俯視示意圖及側視示意圖，圖4C為本發明實施例的步驟S104的另一側視示意圖。

【0016】圖5A及圖5B為本發明實施例的步驟S106的俯視示意圖及側視示意圖，圖5C為本發明實施例的步驟S106的另一側視示意圖，圖5D為本發明實施例的步驟S106的又一側視示意圖。

【0017】圖6為本發明實施例的封裝結構的另一側視示意圖。

【0018】圖7A及圖7B為本發明實施例的步驟S108的俯視示意圖及側視示意圖。

【0019】圖8至圖17顯示本發明實施例的第一膠體及第二膠體的多個實施態樣。

【實施方式】

【0020】以下是通過特定的具體實施例來說明本發明所公開有關“封裝結構及其製造方法”的實施方式，本領域技術人員可由本說明書所公開的內容瞭解本發明的優點與效果。本發明可通過其他不同的具體實施例加以施行或應用，本說明書中的各項細節也可基於不同觀點與應用，在不背離本發明的構思下進行各種修改與變更。另外，本發明的附圖僅為簡單示意說明，並非依實際尺寸的描繪，事先聲明。以下的實施方式將進一步詳細說明本發明的相關技術內容，但所公開的內容並非用以限制本發明的保護範圍。另外，本文中所使用的術語“或”，應視實際情況可能包括相關聯的列出項目中的任一個

或者多個的組合。

【0021】圖1為本發明實施例的封裝結構的製造方法的流程圖。參閱圖1，本發明實施例提供一種封裝結構的製造方法，其包括下列步驟：

【0022】步驟S100：提供基板。可參閱圖2及圖3，圖2為本發明實施例的基板的俯視示意圖，圖3為本發明實施例的基板、半導體封裝體及第一膠體的側視示意圖。如圖2及圖3所示，基板1具有第一板面11及第二板面12，且第一區域A1位於第一板面11，第二區域A2環繞第一區域A1。

【0023】步驟S102：將半導體封裝體設置並固定在第一板面上且在第一區域中，同時將設置在半導體封裝體的多個接腳電性連接於基板。

【0024】如圖3所示，半導體封裝體2可為積體電路(integrated circuit, IC)晶片，其係一種將數百至數百萬個或更多個組件整合於一起的晶片。半導體封裝體2具有上表面21、與上表面21相對的下表面22，以及在上表面21及下表面22之間的側表面23。多個接腳220設置在下表面22，且可以格狀排列的方式覆滿引腳的封裝法，在運作時即可將電子訊號從積體電路上傳導至其所在的印刷電路板(PCB)。需要說明的是，可參考圖2，下表面22分為內側區域A4及圍繞內側區域A4的外側區域A5，該些接腳220設置在內側區域A4中，且內側區域A4及外側區域A5係以虛線框的形式呈現在圖2的俯視示意圖中。

【0025】在圖2中，半導體封裝體2是設置在基板1的第一板面11上，且位於第一區域A1中，更精確來說，可設置在第一板面11上預先規劃的第三區域A3中。此外，半導體封裝體2與基板1可利用覆晶(flip-chip, FC)或晶圓級封裝(Wafer Level Package, WLP)或無釘腳表面塑料封裝(Quad Flat No-Lead, QFN / Dual Flat No-Lead, DFN)形式進行結合，以使半導體封裝體2通過該些接腳220電性連接於基板1，且該些接腳220可通過焊接的方式連接於半導體封裝體2及基板1。舉例而言，該些接腳220是通過球柵陣列封裝方式電性連接於該基

板，也就是以多個焊球按陣列方式於下表面22製造出球形觸點以作為接腳220。在其他的實施例中，也可以於下表面22採用多個QFN底部引腳(BTC, bottom terminal component)的封裝方式作為該些接腳220。

【0026】步驟S104：通過第一點膠步驟將第一膠體形成在第一板面上，且在第二區域以及第一區域鄰近第二區域的一部分之中。

【0027】一般而言，在封裝製程中，會通過點膠製程來確保錫球接點之可靠性，例如可使用底部填膠(underfill dispensing)或側面填膠(side-fill dispensing)的製程。其中，可藉由點膠機控制流體黏度、流體溫度、針筒內液體的高度及壓力、針尖內徑和長度、點膠量及形狀，來決定所形成膠體的形貌。

【0028】可參考圖4A、圖4B及圖4C，圖4A及圖4B為本發明實施例的步驟S104的俯視示意圖及側視示意圖，圖4C為本發明實施例的步驟S104的另一側視示意圖。如圖4A及圖4B所示，可通過針筒3將第一膠體4沿著半導體封裝體2的側表面23設置在第一板面11上，且在如圖4A所示的第二區域A2中，以及第一區域A1鄰近第二區域A2的一部分之中。

【0029】從圖4A的俯視圖來看，在本發明的實施例中，採用可有效控制側面點膠底部滲入量的方式，也就是利用由外到內的分段點膠方法，讓第一膠體4的膠量，在膠型形成基礎膠寬前不致或微量滲入半導體封裝體2的底部。舉例而言，第一膠體4於初始狀態下可不接觸到半導體封裝體2的側表面23，而後續在形態穩定後可同時接觸側表面23的一部分及下表面22的一部分，例如，第一膠體4可接觸下表面22的外側區域A5，但本發明不以此為限。需注意的是，第一膠體4的初始狀態或是形態穩定下的高度H1都至少高於下表面22的高度H2，但不論是在初始狀態或是形態穩定後，第一膠體4都不接觸任何的接腳220。

【0030】 在一些實施例中，接腳220可能設置在非常靠近半導體封裝體2的側表面23的位置，如圖4C所示。在此情況下，若以現有方式進行點膠容易導致膠體與接腳220接觸。因此，對於此類接腳220的配置，第一膠體4可針對性的設置在距離半導體封裝體2的側表面23較遠處，使第一膠體4於初始狀態下不接觸到半導體封裝體2的側表面23，且在形態穩定後也不接觸側表面23及下表面22。

【0031】 此外，在本發明的實施例中，亦選用具有特定特性的膠材，請參考下表一：

膠材特性	建議範圍
黏度(Viscosity)25°C (Pa·s)	≥30
觸變性(Thixotrophy)	≥1
玻璃轉化溫度Tg (°C)	≥120
熱膨脹係數(coefficient of thermal expansion, CTE)	≤130
模量係數(Modulus) 25°C(Gpa)	6~15

【0032】 步驟S106：通過第二點膠步驟將第二膠體形成在側表面與第一膠體之間並同時接觸側表面及第一膠體，使第一膠體與第二膠體共同形成橋墩膠體，且橋墩膠體連接側表面的至少一部分。

【0033】 可參考圖5A、圖5B及圖5C，圖5A及圖5B為本發明實施例的步驟S106的俯視示意圖及側視示意圖，圖5C為本發明實施例的步驟S106的另一側視示意圖。如圖5A及圖5B所示，可通過針筒3將第二膠體5沿著半導體封裝體2的側表面23設置在第一膠體4上，且在如圖5A所示的第二區域A2中，便形成了封裝結構100。

【0034】 從圖5A的俯視圖來看，在封裝結構100中，相對於第一點膠步

驟，第二點膠步驟的點膠位置更靠近半導體封裝體2的側表面23。而從圖5B的側視圖來看，第二點膠步驟的點膠位置的高度更高於第一點膠步驟的點膠位置的高度。這種方式，也就是先前提到所謂由外到內的分段點膠方法，且藉由將第二膠體5形成在半導體封裝體2與第一膠體4之間，或者也可以視為將第二點膠步驟的點膠位置設定在第一點膠步驟的點膠位置及半導體封裝體2的側表面之間，透過靠近半導體封裝體2邊緣處點膠並接續以第一膠體4及第二膠體5來堆疊整體膠型的高度，可精確控制半導體封裝體2邊緣的最終膠合的橋墩膠體6的高度、膠寬與滲入元件膠量，達成所需的側面膠體的形貌。

【0035】 此外，除了上述的位置差異以外，第二點膠步驟使用的膠量可以與第一點膠步驟所使用的膠量相當或更少。更詳細而言，此處的膠量差異並非指使用在半導體封裝體2的全部的側表面(例如半導體封裝體2的4個側表面)上所使用的總膠量差異。如圖5A及5B所示，一假想平面S1同時與第一板面11及上表面21垂直，且從第一區域A1跨越至第二區域A2。由圖5B明顯可知，第一膠體4在假想平面S1中的第一截面積S11大於第二膠體5在假想平面S1中的第二截面積S12。此外，在本實施例中，所形成的橋墩膠體6的最高點位於側表面23上，且橋墩膠體6連接側表面23的至少一部分。而在其他實施例中，半導體封裝體2的下表面22的高度H2較低、或接腳220及其焊點離側表面23較遠的情況下，第一膠體4可接觸側表面23及下表面22。例如，以非球柵陣列形式(無錫球)形成的接腳220，如雙列直插封裝或四側引腳扁平封裝等情形。

【0036】 而參考圖5C所示，可接續在圖4C所設置的第一膠體4上方(亦即，第一膠體4與側表面23之間)的位置進一步設置第二膠體5，進而形成橋墩膠體6。需要說明的是，由於在圖5C的實施例中，僅通過第二膠體5來搭接第一膠體4與側表面23，因此，第二膠體5在設置後將會朝下方(即重力方向)流動，使得橋墩膠體6於狀態穩定後接觸下表面22的一部分，或不與下表面22

接觸，進而將橋墩膠體6面對接腳220的內側面61控制在外側區域A5於上板面11的垂直投影的外側邊緣處，進而可避免橋墩膠體6的最終形貌與接腳220接觸。而在其他實施例中，半導體封裝體2的下表面22的高度H2較高、或接腳220及其焊點離側表面23較近的情況下，第一膠體4不接觸側表面23及下表面22。

【0037】在圖5A至5C的實施例中，接腳220係以球柵陣列的形式呈現，然而，由於焊球（例如，錫球）在物理特性上是不具材料剛度的，若膠體與接腳220接觸，在後續回焊的製程中因膠體、PCB基板和BGA封裝在熱膨脹係數差異產生彎曲（熱應力），或延展並震動（機械應力）下就可能導致焊點斷裂。因此，在接腳220以球柵陣列封裝方式電性連接基板1時，需確保第一膠體4及第二膠體5皆不接觸接腳220，同時也需要確保後續形成的橋墩膠體6也不接觸任何接腳220，進而避免導致焊點斷裂。

【0038】請參考圖5D，圖5D為本發明實施例的步驟S106的又一側視示意圖。在圖5D的實施例中，接腳220係以QFN的形式呈現，在此情形下，由於接腳220具有較高的結構穩定性，物理特性上能提供足夠的材料剛度，因此，只要精確控制膠體的底部滲入量，例如，控制膠體完全不滲入以接觸下表面22，或僅些微滲入而接觸未設置接腳220的下表面22，在第一膠體4或第二膠體5均不完整包覆接腳220的前提下，第一膠體4、第二膠體5或後續形成的橋墩膠體6可接觸接腳220的一部份，特別是針對最靠近側表面23的接腳220。

【0039】需要說明的是，第二膠體5可採用與第一膠體4具有相同或類似膠材特性的膠體，且亦如上表一所示。也因此，在第一膠體4與第二膠體5具有相似膠材特性的情況下，橋墩膠體6可具有較為明顯的分層形態，因此可看出橋墩膠體6是由兩道膠體形成。亦可參考圖6，其為本發明實施例的封裝結構的另一側視示意圖。如圖6所示，在封裝結構100中，在第一膠體4與第二膠體5採用的膠材特性的相似度更高、膠量較多且兩膠體點膠位置較接近時，所

形成的橋墩膠體6可能沒有明顯的分層形態。

【0040】 在一些實施例中，橋墩膠體6的高度H3介於第一板面11的高度及上表面21的高度之間，也就是說，將第一板面11視為地面，可將封裝完成的半導體封裝體2相對於第一板面11的高度稱為封裝體高度H4，則橋墩膠體6的高度H3介於地面與封裝體高度H4之間。在本發明的較佳實施例中，橋墩膠體6的高度H3介於封裝體高度H4的25%至100%之間。更詳細而言，若將橋墩膠體6的高度H3控制在上述範圍內，仍可確保所形成的橋墩膠體6具有較少的底部滲入量。

【0041】 特別是，針對尚有二次、三次回焊(reflow)需求的封裝結構，本發明實施例採用的橋式點膠法可避免過多的底部滲入量造成膠體包覆錫球或焊點，致使該錫球或焊點在後續回焊製程中，高溫熔融的錫球、焊點中的氣泡(void)或助焊劑(flux)揮發等熱膨脹無法排除而影響錫球或焊點型態，甚至因而造成錫球變形、焊點斷路、元件本體或PCB/substrate與膠體的介面分層(delamination)等缺陷。

【0042】 可選的，封裝結構的製造方法可進入步驟S108：通過第三點膠步驟將第三膠體形成在側表面與第二膠體之間，並同時接觸側表面及第二膠體，使第一膠體、第二膠體及第三膠體共同形成橋墩膠體。

【0043】 可參考圖7A及圖7B，圖7A及圖7B為本發明實施例的步驟S108的俯視示意圖及側視示意圖。如圖7A及圖7B所示，第三膠體7可採用與第一膠體4及第二膠體5具有相同或類似膠材特性的膠體，如上表一所示。相對於第一及第二點膠步驟，第三點膠步驟中的點膠位置更靠近半導體封裝體2的側表面23，且第三點膠步驟的點膠位置的高度更高於第一及第二點膠步驟的點膠位置的高度。也因此，如圖7B所示，橋墩膠體6可具有由三道膠體形成的分層形態。此一步驟顯示了本發明的封裝結構的製造方法不以兩道點膠製程為

限，亦可執行由外而內的三或更多道點膠製程來形成所需的橋墩膠體6的構造。

【0044】請進一步參閱圖8至圖17，其顯示本發明實施例的第一膠體及第二膠體的多個實施態樣。如前述的圖5A所示，第一區域A1為矩形且具有四個邊緣，因此，圍繞第一區域A1設置的第二區域A2亦可為矩形且具有四個邊緣。

【0045】需要說明的是，除了如圖5A的方式以第一膠體4及第二膠體5沿著第一區域A1的所有邊緣形成外，亦可如圖8所示，可沿著第一區域A1的兩個邊緣形成第一膠體4及第二膠體5，也可如圖9所示，沿著第一區域A1的三個邊緣形成第一膠體4及第二膠體5。換言之，可沿著第一區域A1的其中至少兩個邊緣形成第一膠體4及第二膠體5，而至多兩個邊緣不形成第一膠體4及第二膠體5。

【0046】需要說明的是，為了使封裝結構1於回焊製程(reflow)或產品可靠度驗證溫變循環(Thermal cycling)過程中不至於讓錫球焊點或封裝元件底部的空氣在熱脹冷縮時導致整體結構變形或損壞，需要在半導體封裝體2的底部與橋墩膠體6之間提供一氣體路徑，而在圖8中未形成第一膠體4及第二膠體5的兩個邊緣，以及在圖9中未形成第一膠體4及第二膠體5的一個邊緣，將作為保留的孔隙使半導體封裝體2的底部空氣在熱脹冷縮時有足夠的空間可向外排出。

【0047】在其他的實施例中，如圖10所示，第一區域A1的所有邊緣都形成有第一膠體4及第二膠體5，但對於其中相對的兩個邊緣，兩個邊緣中的每一個都有一部分不形成第二膠體5。換言之，第二膠體5可不形成在第一區域A1的其中兩個相對的該些邊緣中的一部分。類似的，需要在半導體封裝體2的底部與橋墩膠體6之間提供一氣體路徑，而在圖10中，僅形成第一膠體4的兩個邊緣的一部分中，第一膠體4將不接觸半導體封裝體2的側表面23及下表

面22，以保留孔隙使半導體封裝體2的底部空氣在熱脹冷縮時有足夠的空間可向外排出。也就是說，第一膠體4可以類似圖4C及圖5C的方式，在不與下表面22的外側區域A5重疊的前提下設置，以保留所需的孔隙。

【0048】 在其他的實施例中，如圖11所示，除了第二膠體5可不形成在第一區域A1的的其中兩個相對的該些邊緣中的一部分以外，對於其中相對的兩個邊緣，不形成第二膠體5的該部分亦不形成第一膠體4。也就是說，第一膠體4及第二膠體5均不沿著其中兩個相對的該些邊緣中的一部分形成，以保留孔隙。

【0049】 類似的，圖12係在圖11的基礎上顯示另一態樣。其中，對於其中相對的兩個邊緣，均有一部分不形成第一膠體4及第二膠體5。也因此，不形成任何膠體的部分會沿著第一區域A1的對角線排列。

【0050】 在其他的實施例中，如圖13及圖14所示，第一膠體4及第二膠體5沿著第一區域A1的所有邊緣形成，但在其中一個邊緣中，有一部分不形成任何膠體。也就是說，第一膠體4及第二膠體5不沿著第一區域A1的其中一個邊緣的一部分形成，且可作為保留的孔隙。而如圖13及圖14所示，不形成任何膠體的那一部分可在該邊緣的中央處或端部。

【0051】 在其他的實施例中，如圖15所示，第一膠體4及第二膠體5沿著第一區域A1的所有邊緣形成，但在所有的邊緣中，均有一部分不形成第二膠體5。也就是說，第二膠體5不沿著第一區域A1的該些邊緣的中的每一個的一部分形成。而在圖15中，僅形成第一膠體4的所有邊緣的那些部分中，第一膠體4更不接觸半導體封裝體2的側表面23及下表面22，以保留孔隙使半導體封裝體2的底部空氣在熱脹冷縮時有足夠的空間可向外排出。也就是說，第一膠體4可以類似圖4C的方式，在不與下表面22的外側區域A5重疊的前提下設置，以保留所需的孔隙。並且，在圖8至圖14的實施例中，雖然第一膠體4與

下表面22的外側區域A5重疊，但本發明不限於此。換言之，第一膠體4亦可在不與下表面22的外側區域A5重疊的前提下設置。

【0052】 在其他的實施例中，如圖16及17所示，第一膠體4及第二膠體5沿著第一區域A1的所有邊緣形成，但在所有的邊緣中，均有一部分不形成第一膠體4及第二膠體5，且可作為保留的孔隙。特別是在圖17中，各邊緣不形成第一膠體4及第二膠體5的該部分均分為兩個區段以上，也因此可在採用較少膠量的前提下保持對稱性的架構，以維持避免錫球變形、焊點斷路、元件本體或印刷電路板/基板與膠體的介面分層(delamination)等缺陷。

【0053】 [實施例的有益效果]

【0054】 本發明的其中一有益效果在於，本發明所提供的封裝結構及其製造方法，通過兩段或多段點膠可精準控制側面橋墩膠體的膠高(fillet height)、膠寬(fillet width)，以對半導體封裝體的邊緣進行強固，進而可保護元件避免高低溫熱變形產生的應力或落摔、震動等機械應力所致的焊點(solder joint)龜裂(Crack)或斷路(Open)等異常，藉以提升產品可靠度。

【0055】 此外，在本發明所提供的封裝結構及其製造方法中，通過兩段或多段點膠形成的橋墩體結構可精準控制元件底部滲入量(underneath penetration)，進而避免錫球變形、焊點斷路、元件本體或印刷電路板/基板與膠體的介面分層(delamination)等缺陷。也因此，可省卻傳統底部點膠或側面點膠所需的模組清洗、烘烤與表面調質等製程，大幅降低整體生產成本。

【0056】 以上所公開的內容僅為本發明的優選可行實施例，並非因此侷限本發明的申請專利範圍，所以凡是運用本發明說明書及圖式內容所做的等效技術變化，均包含於本發明的申請專利範圍內。

【符號說明】

【0057】

100：封裝結構

1：基板

11：第一板面

12：第二板面

A1：第一區域

A2：第二區域

A3：第三區域

2：半導體封裝體

21：上表面

22：下表面

A4：內側區域

A5：外側區域

220：接腳

23：側表面

3：針筒

4：第一膠體

5：第二膠體

6：橋墩膠體

61：內側面

7：第三膠體

S1：假想平面

S11：第一截面積

S12：第二截面積

H1、H2、H3：高度

H4：封裝體高度

【發明申請專利範圍】

- 【請求項1】** 一種封裝結構，其包括：
- 一基板，具有一第一板面及一第二板面，其中，一第一區域位於該第一板面，一第二區域位於該第一板面且環繞該第一區域；
 - 一半導體封裝體，具有一上表面、一下表面，以及在該上表面及下表面之間的一側表面，該半導體封裝體設置在該第一板面上且位於該第一區域中，且通過設置在該下表面的多個接腳電性連接於該基板；
 - 一第一膠體，形成在該第一板面上，且在該第二區域以及該第一區域鄰近該第二區域的一部分之中；以及
 - 一第二膠體，形成在該側表面與該第一膠體之間，
- 其中，該第二膠體同時接觸該側表面及該第一膠體，且該第一膠體與該第二膠體共同形成一橋墩膠體，且該橋墩膠體連接該側表面的至少一部分。
- 【請求項2】** 如請求項 1 所述的封裝結構，該橋墩膠體的高度介於一封裝體高度的 25%至 100%之間，該封裝體高度為該半導體封裝體相對於該第一板面的高度。
- 【請求項3】** 如請求項 1 所述的封裝結構，其中，該橋墩膠體的最高點位於該側表面上。
- 【請求項4】** 如請求項 1 所述的封裝結構，其中，該第一膠體的高度至少高於該下表面的高度，該第一膠體不接觸該側表面及該下表面，且該第二膠體接觸該側表面。
- 【請求項5】** 如請求項 1 所述的封裝結構，其中，該下表面分為一內側區域及圍繞該內側區域的一外側區域，該些接腳設置在該內側區域中，該第一膠體接觸該下表面的該外側區域，且該第一膠體同時接觸該側表面及該下表面。

- 【請求項6】 如請求項 1 所述的封裝結構，其中，該第一區域為一矩形且具有四個邊緣。
- 【請求項7】 如請求項 6 所述的封裝結構，其中，該第一膠體及該第二膠體沿著該些邊緣的至少其中之二形成。
- 【請求項8】 如請求項 6 所述的封裝結構，其中，該第一膠體及該第二膠體沿著該些邊緣形成，但該第二膠體不沿著其中兩個相對的該些邊緣中的一部分形成。
- 【請求項9】 如請求項 8 所述的封裝結構，其中，該第一膠體亦不沿著其中兩個相對的該些邊緣中的該部分形成。
- 【請求項10】 如請求項 6 所述的封裝結構，其中，該第一膠體及該第二膠體沿著該些邊緣形成，但該第一膠體及該第二膠體不沿著該些邊緣的其中之一的一部分形成。
- 【請求項11】 如請求項 6 所述的封裝結構，其中，該第一膠體及該第二膠體沿著該些邊緣形成，但該第二膠體不沿著該些邊緣的中的每一個的一部分形成。
- 【請求項12】 如請求項 11 所述的封裝結構，其中，該第一膠體亦不沿著該些邊緣的中的每一個的該部分形成。
- 【請求項13】 如請求項 1 所述的封裝結構，其中，一假想平面同時與該第一板面及該上表面垂直且從該第一區域跨越至該第二區域，該第一膠體在該假想平面中的一第一截面積大於該第二膠體在該假想平面中的一第二截面積。
- 【請求項14】 如請求項 1 所述的封裝結構，該些接腳為多個焊球，且通過一球柵陣列封裝方式電性連接於該基板，該第一膠體與該第二膠體皆不接觸該些接腳。
- 【請求項15】 一種封裝結構的製造方法，其包括：
提供一基板，其中，該基板具有一第一板面及一第二板面，
且一第一區域位於該第一板面，一第二區域環繞該第一區

域；

將一半導體封裝體設置並固定在該第一板面上且在該第一區域中，同時將設置在該半導體封裝體的多個接腳電性連接於該基板，其中，該半導體封裝體具有一下表面及與該下表面相對的一上表面，以及在該上表面及下表面之間的一側表面，該些接腳設置在該下表面；

通過一第一點膠步驟將一第一膠體形成在該第一板面上，且在該第二區域以及該第一區域鄰近該第二區域的一部分之中；以及

通過一第二點膠步驟將一第二膠體形成在該側表面與該第一膠體之間並同時接觸該側表面及該第一膠體，使該第一膠體與該第二膠體共同形成一橋墩膠體，且該橋墩膠體連接該側表面的至少一部分。

【請求項16】如請求項 15 所述的封裝結構的製造方法，其中，該第一點膠步驟中使用的該第一膠體的重量大於該第二點膠步驟中使用的該第二膠體的重量。

【請求項17】如請求項 16 所述的封裝結構的製造方法，其中，該第二膠體的下膠位置比該第一膠體的下膠位置更靠近該側表面，且高於該第一膠體的下膠位置。

【發明圖式】

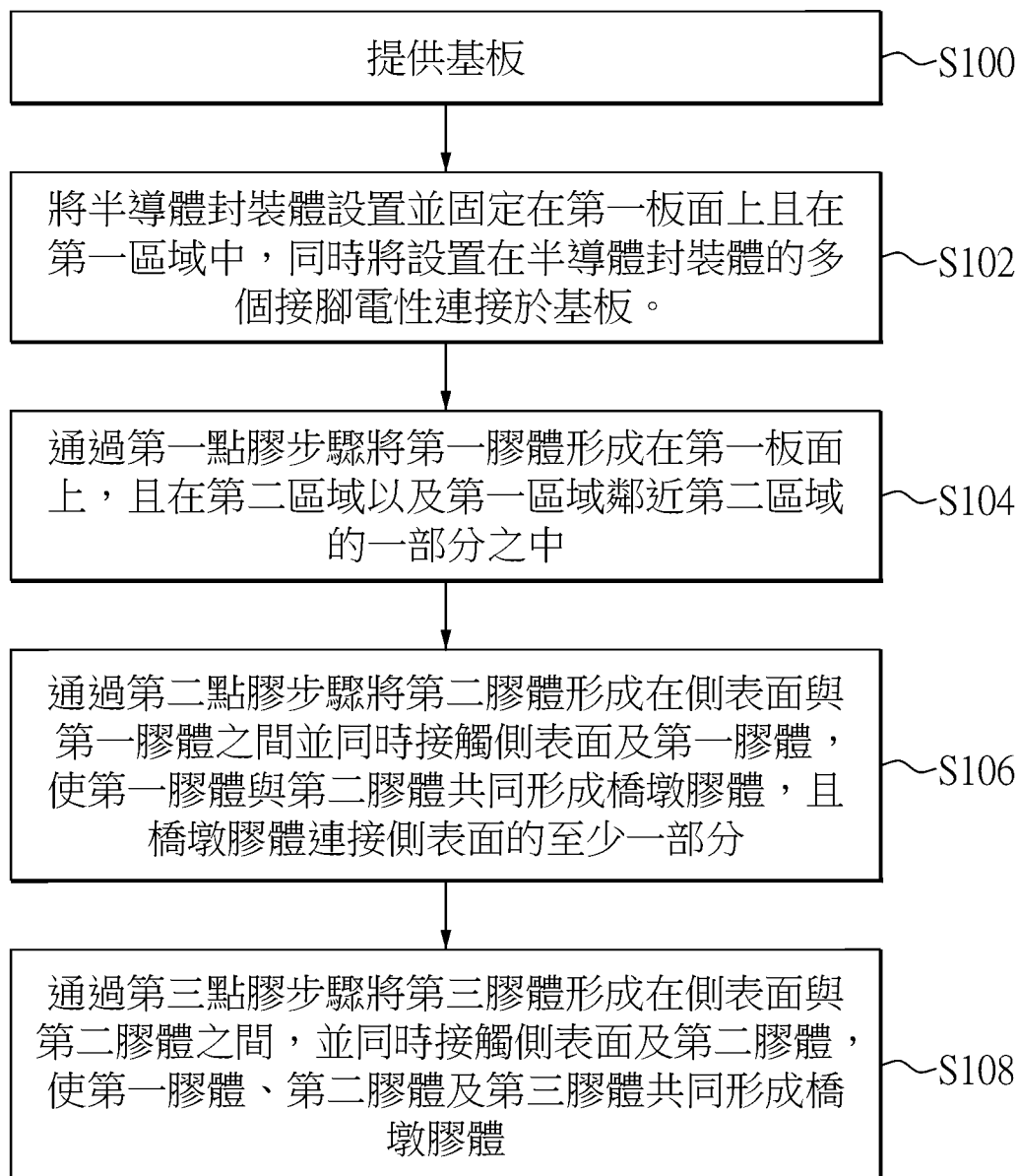
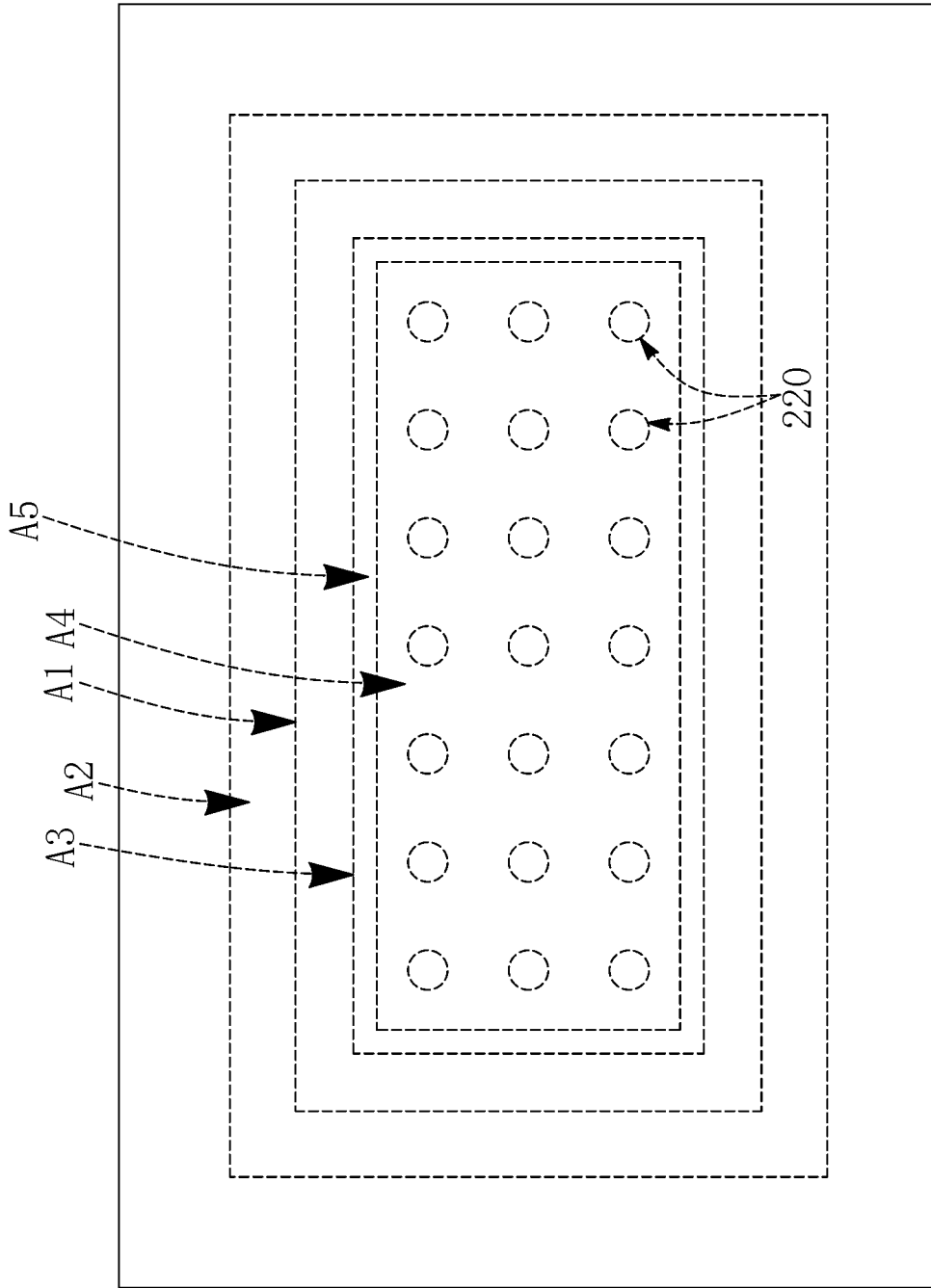


圖1



1

圖2

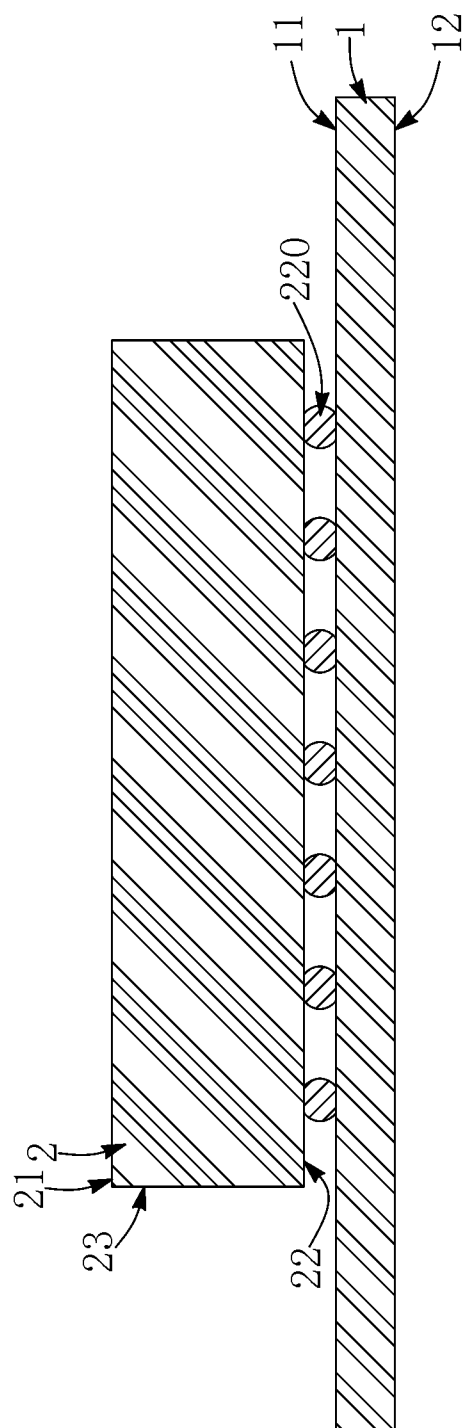


圖3

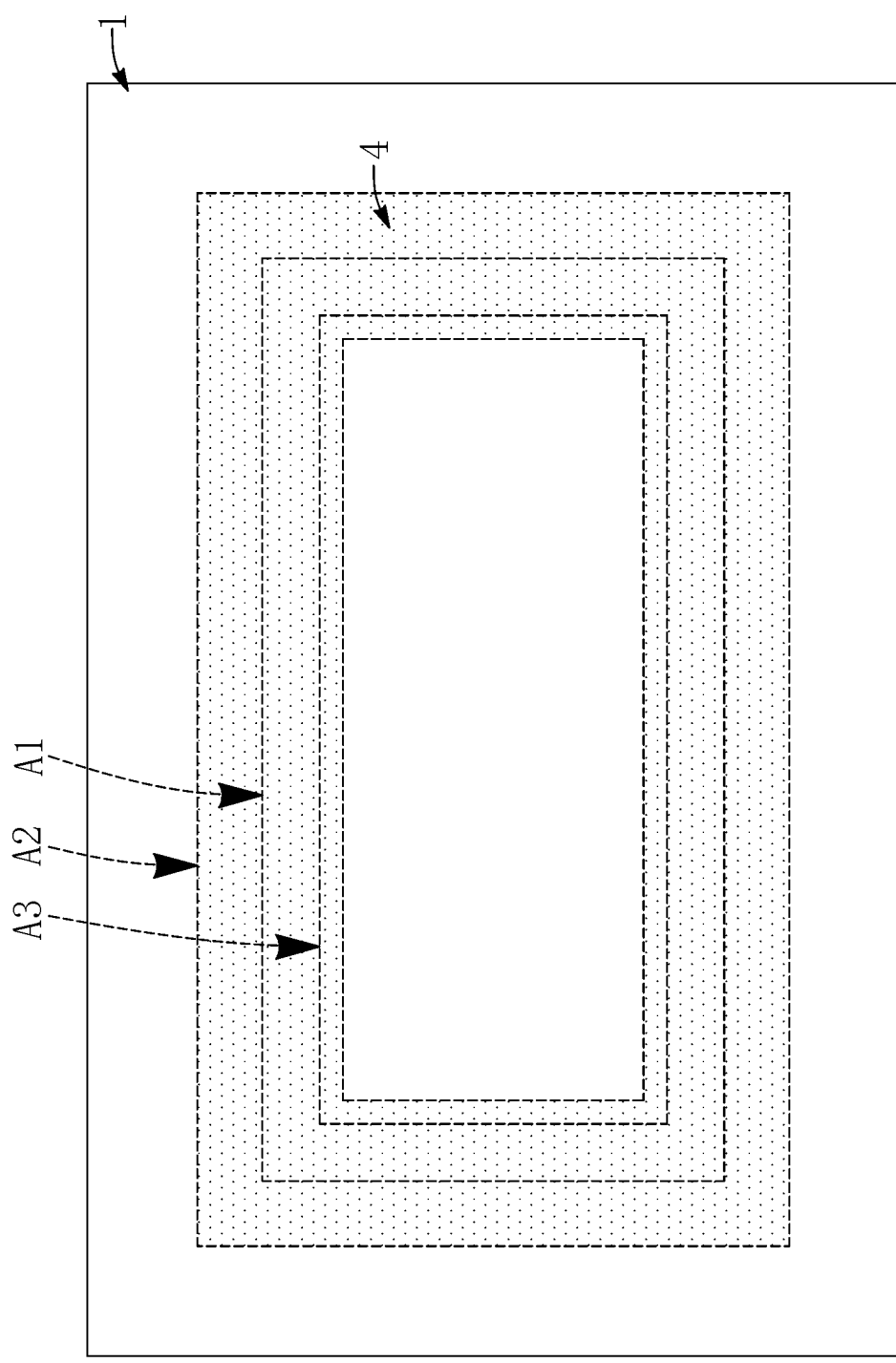


圖4A

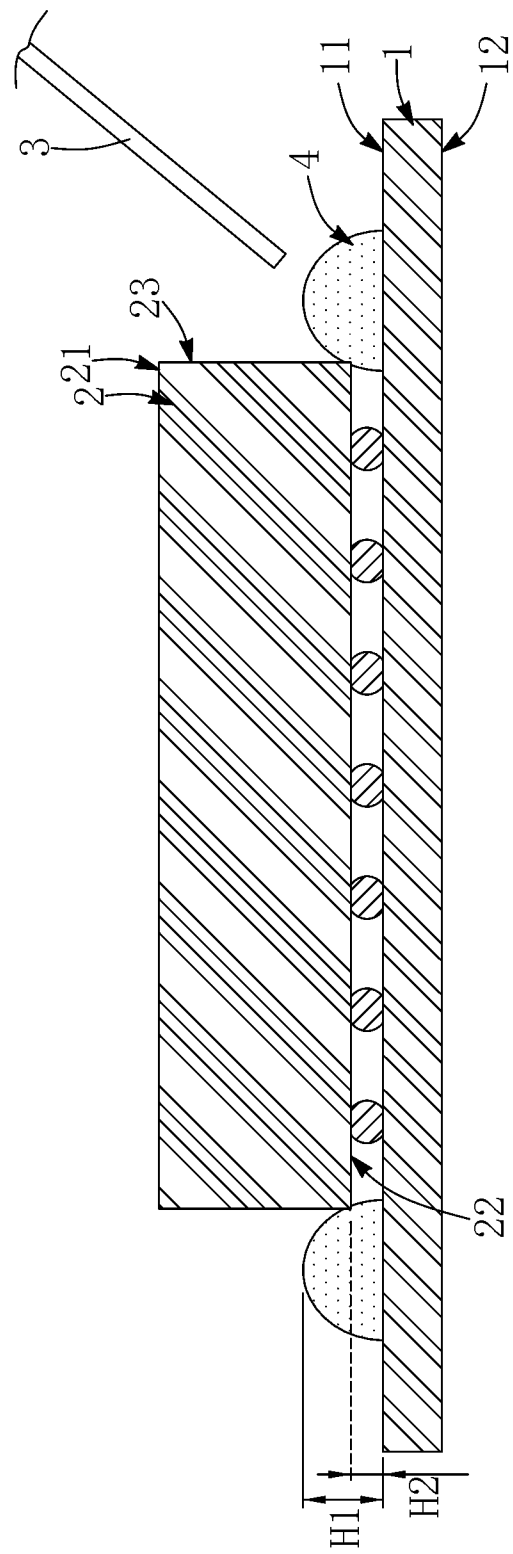


圖4B

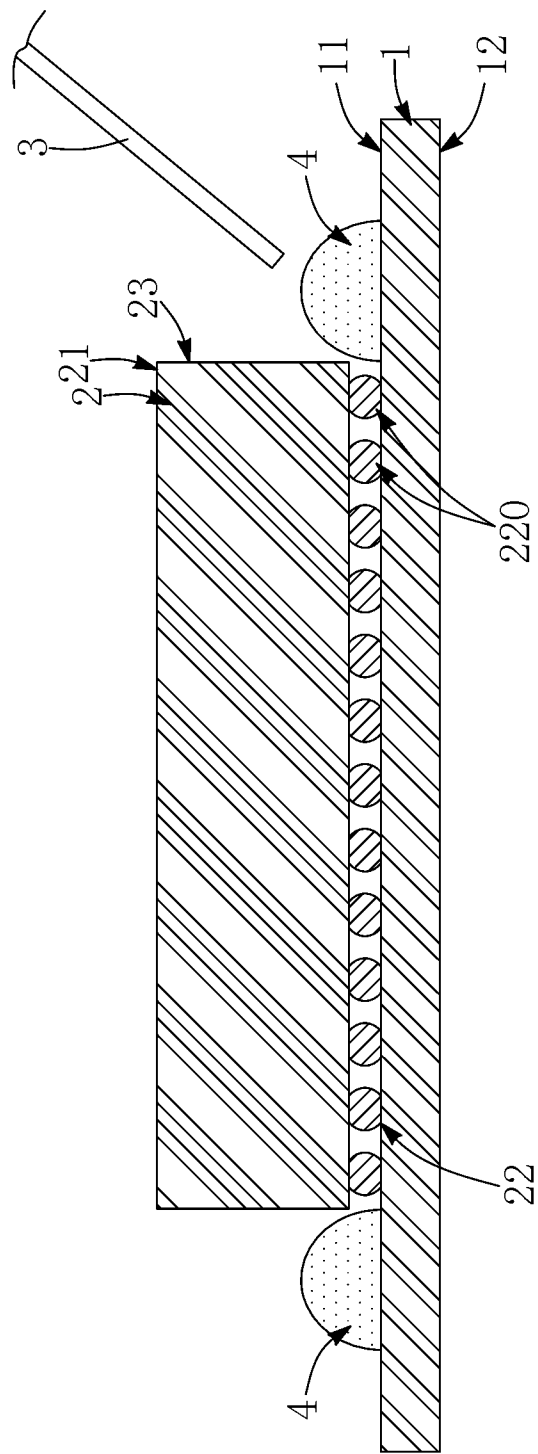


圖4C

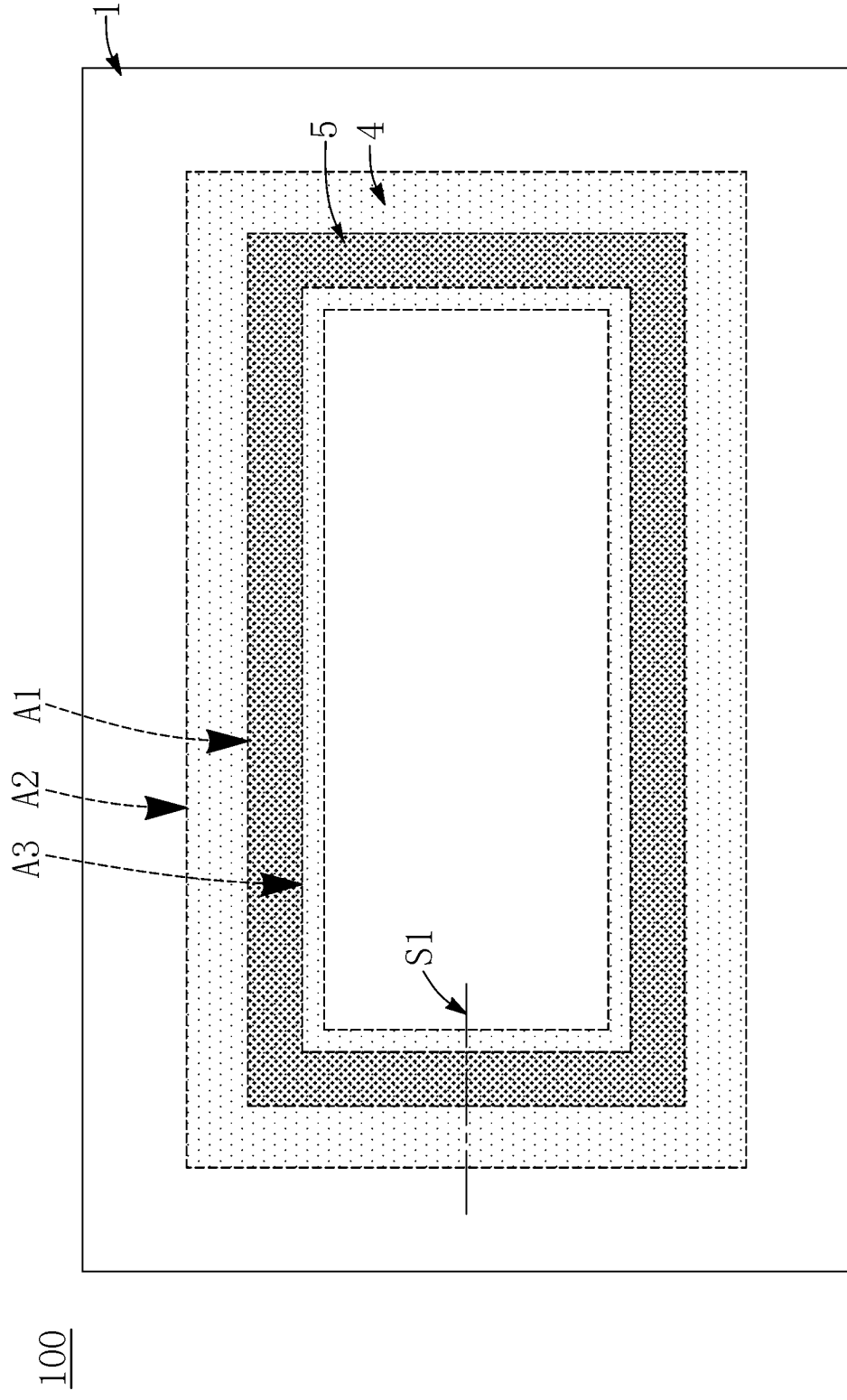


圖5A

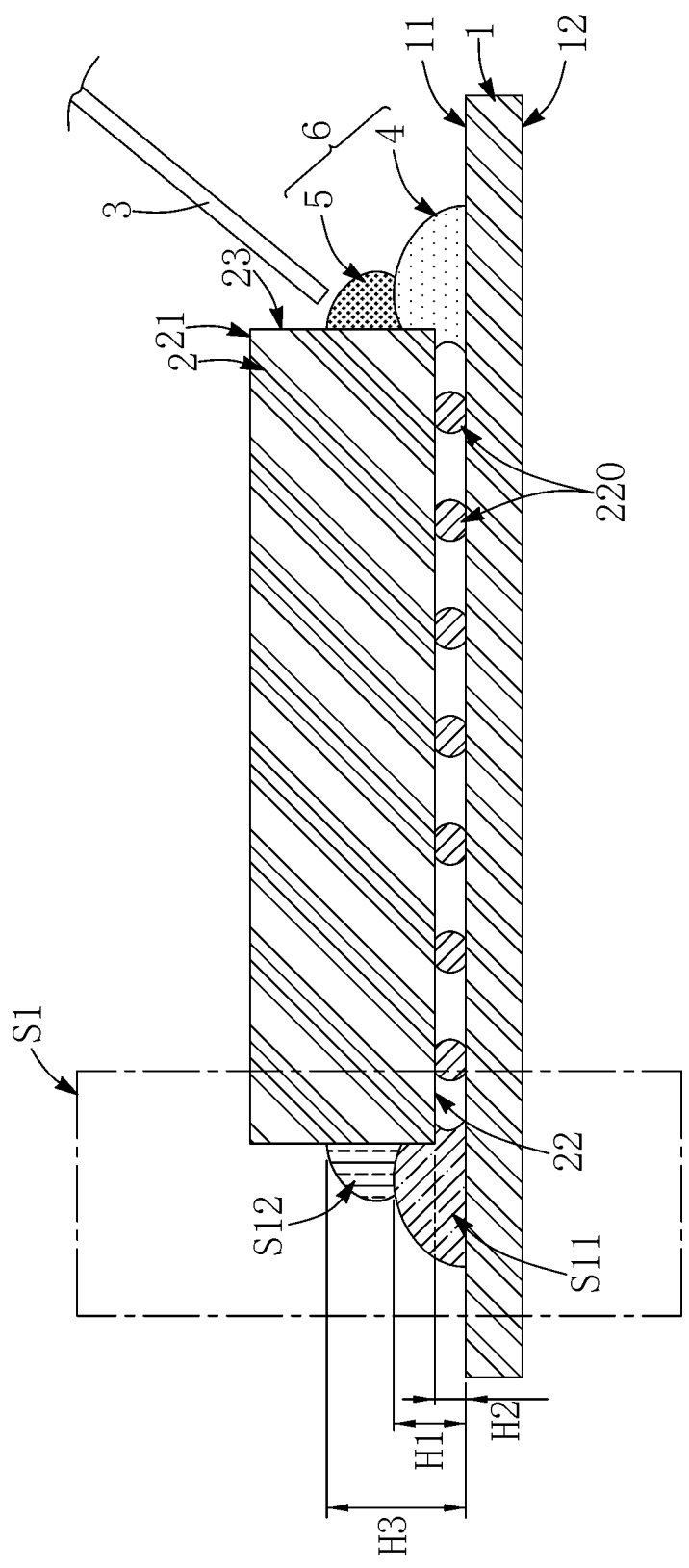


圖5B

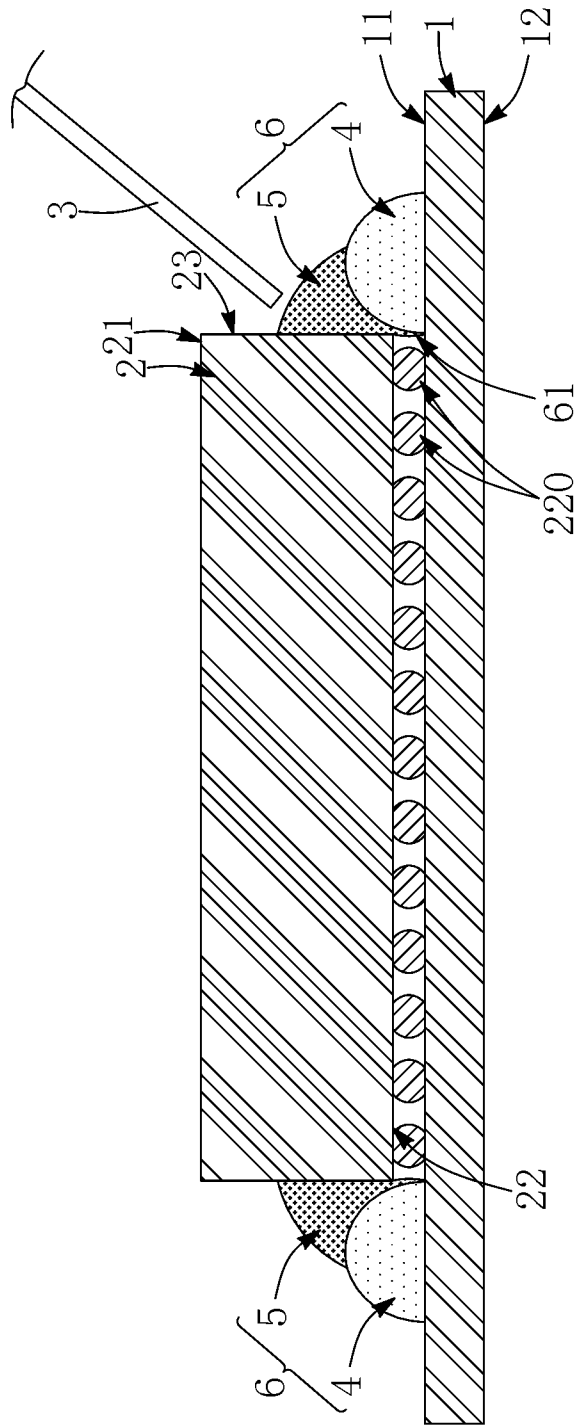


圖5C

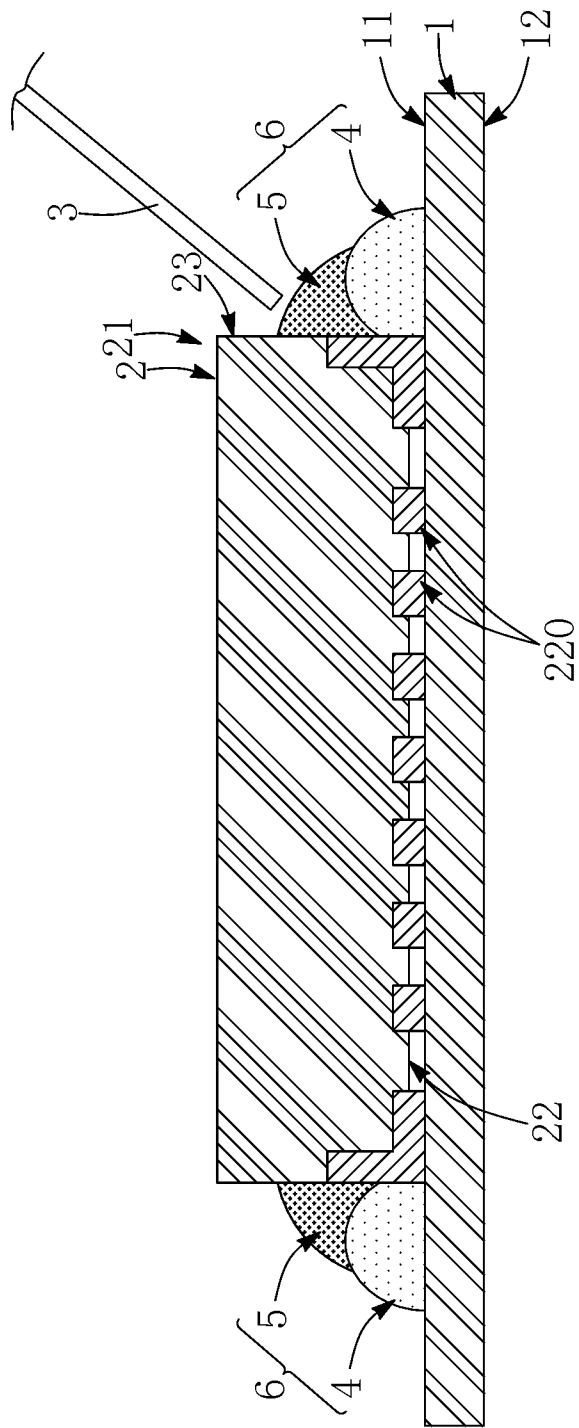


圖5D

100

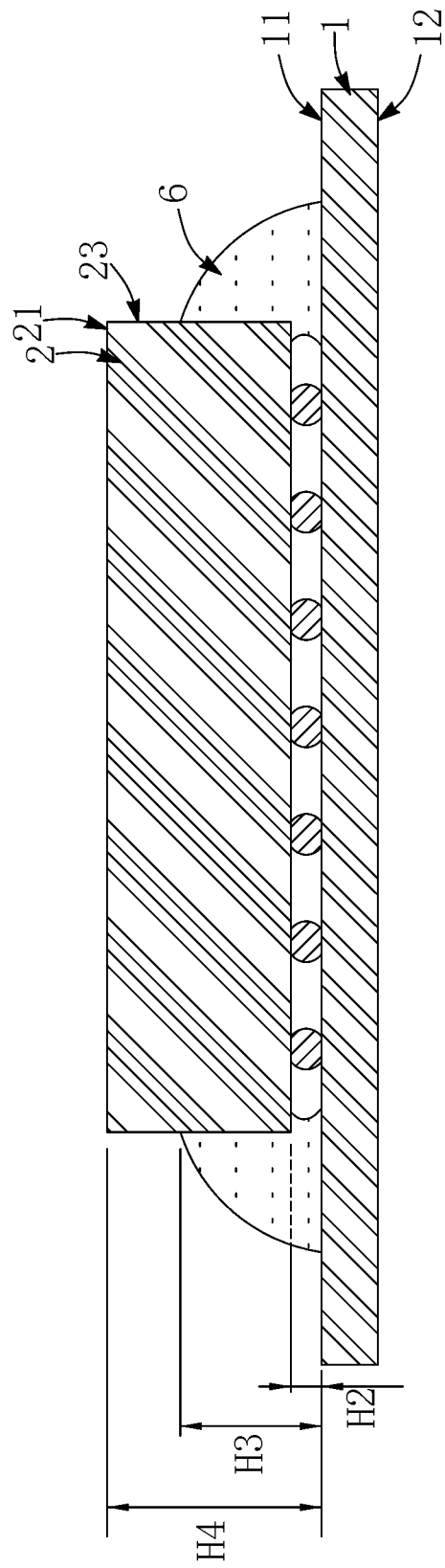


圖6

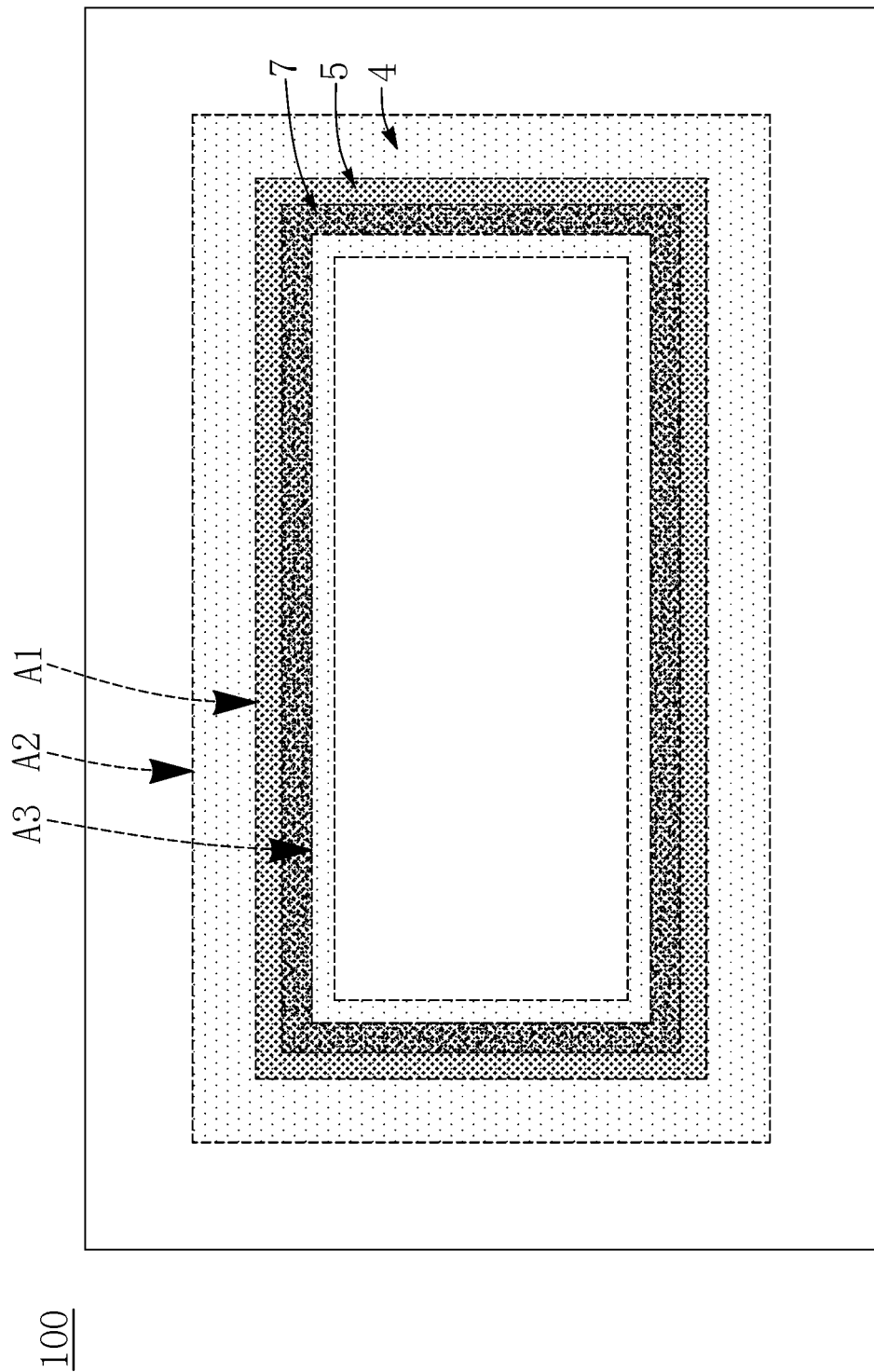


圖7A

100

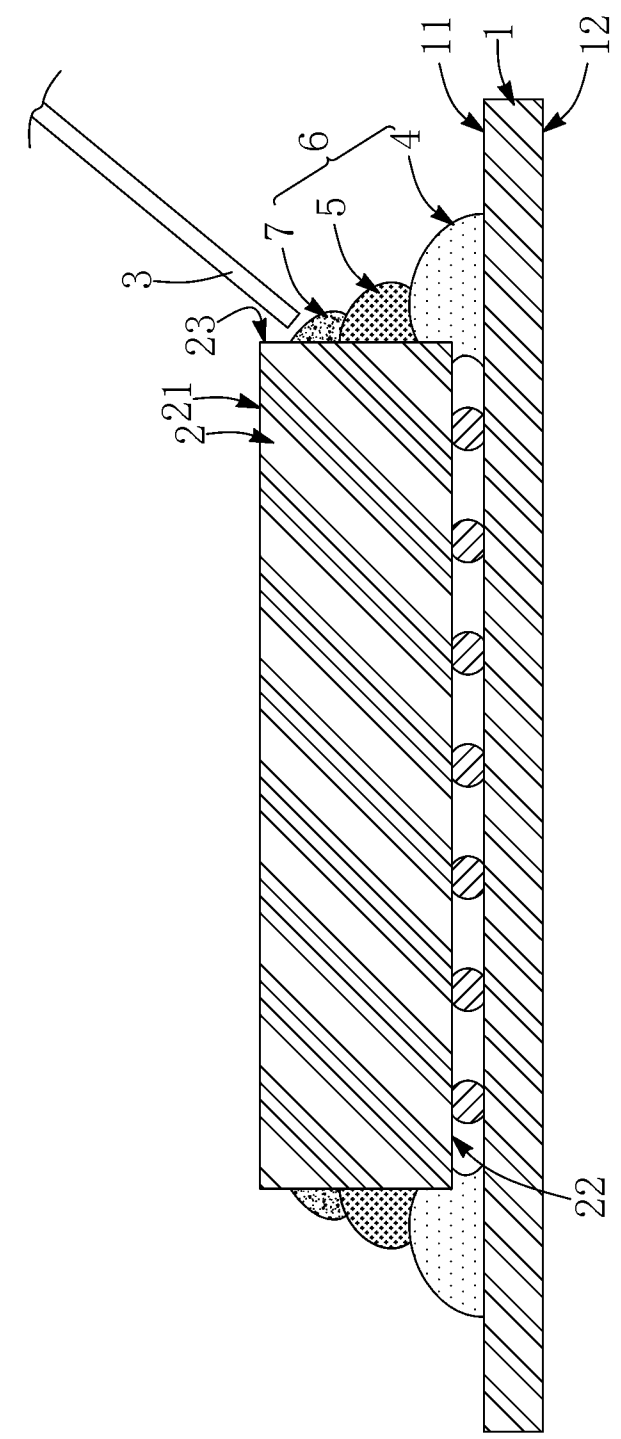


圖7B

100

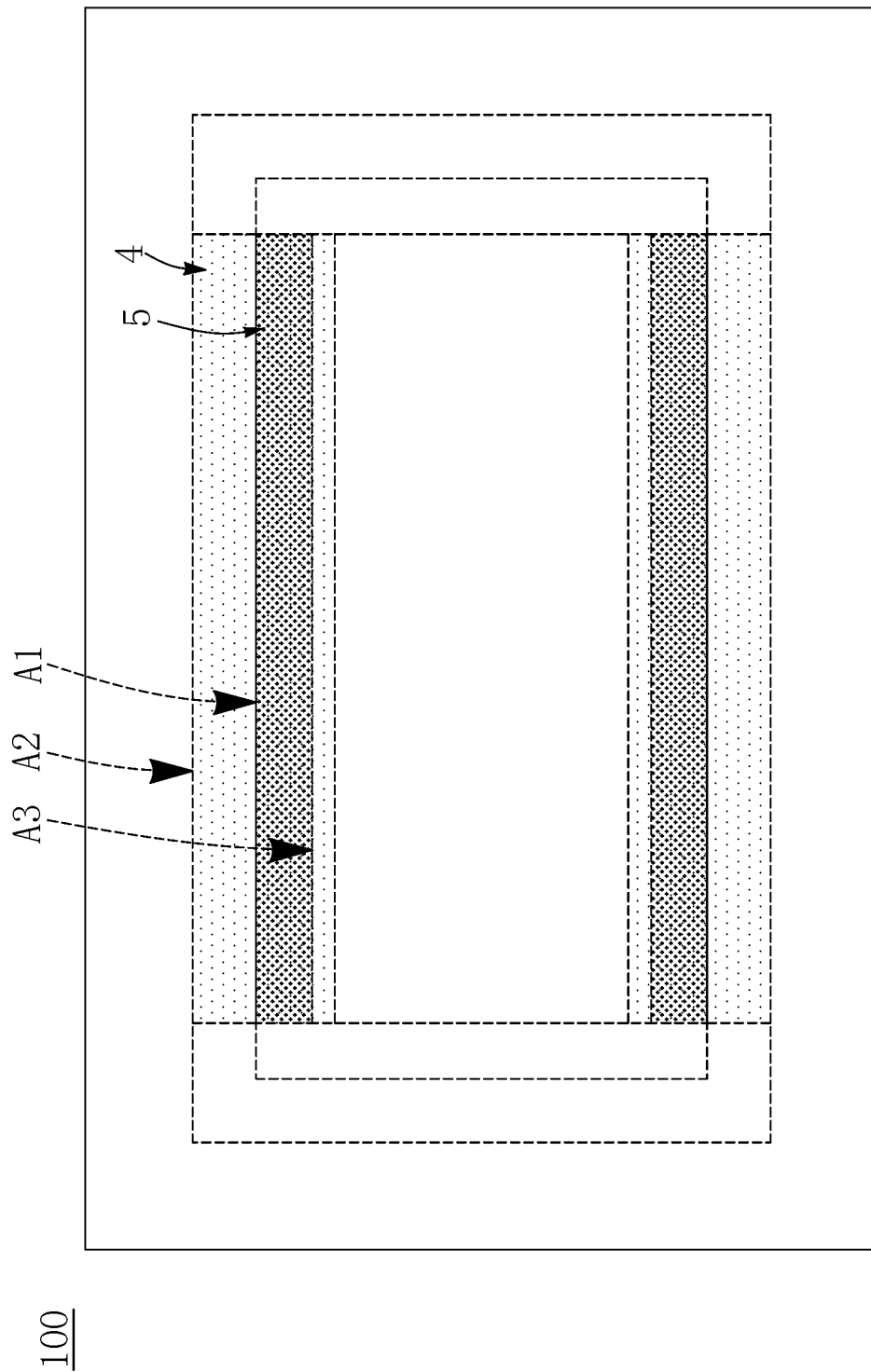
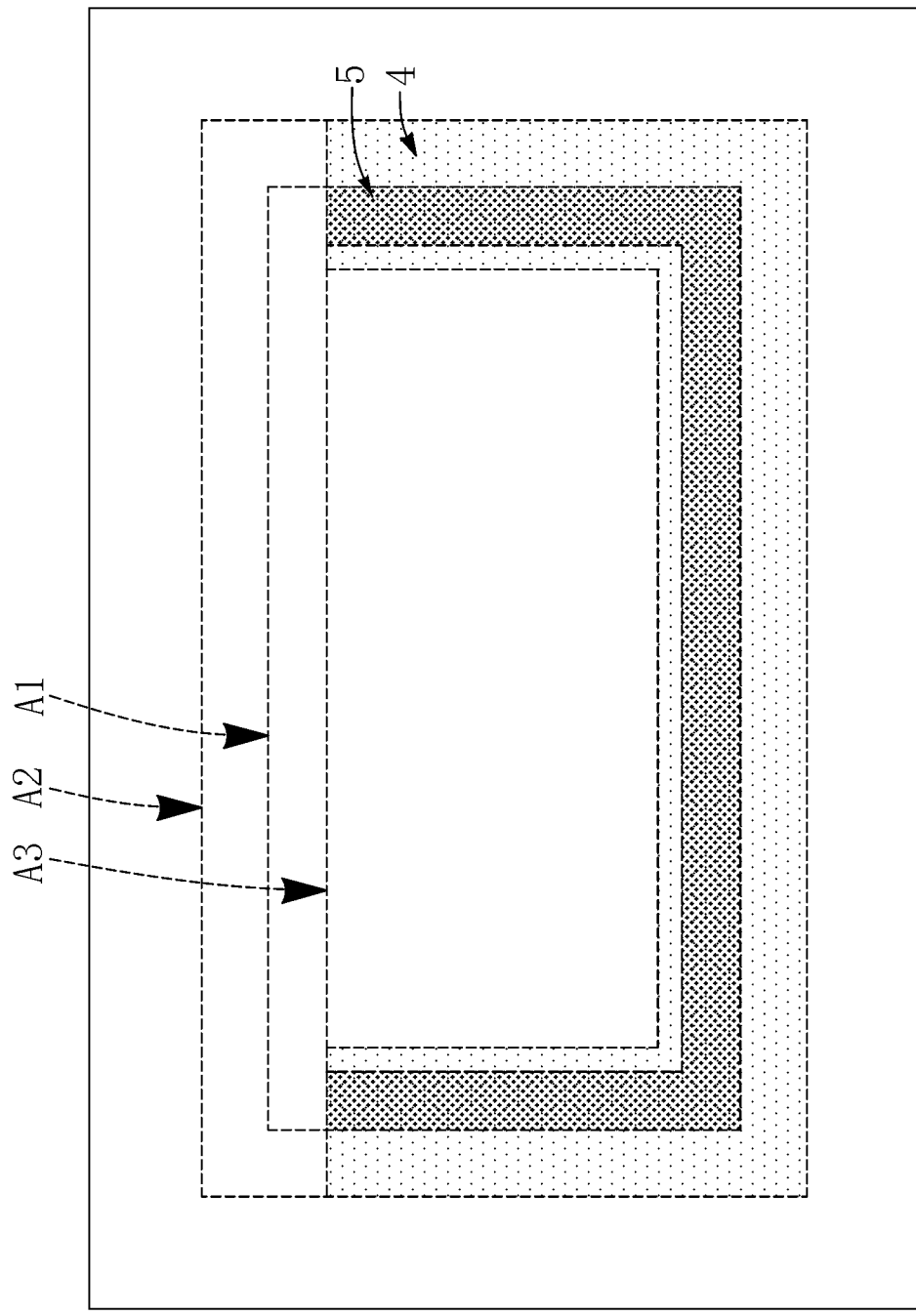
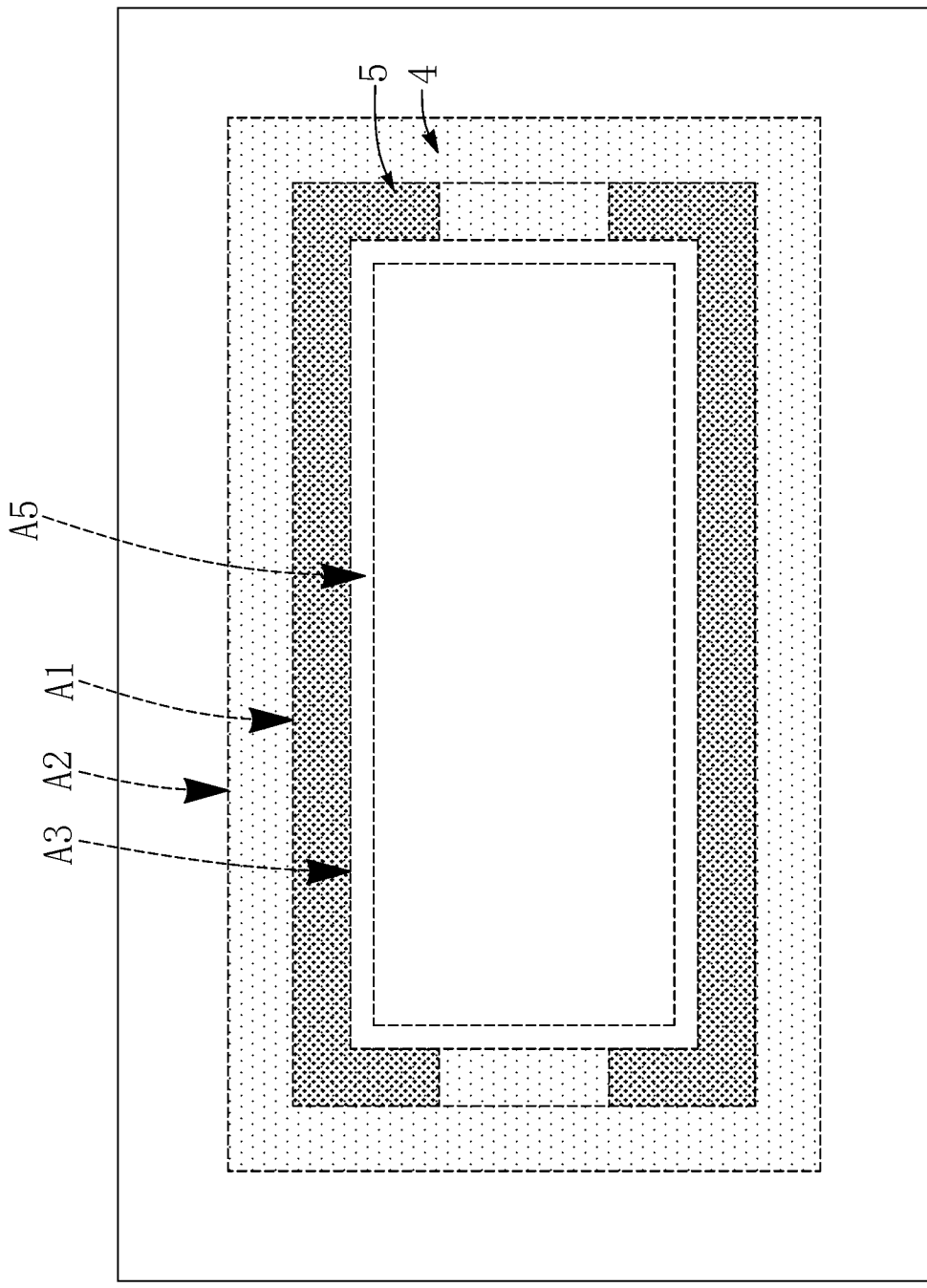


圖 8



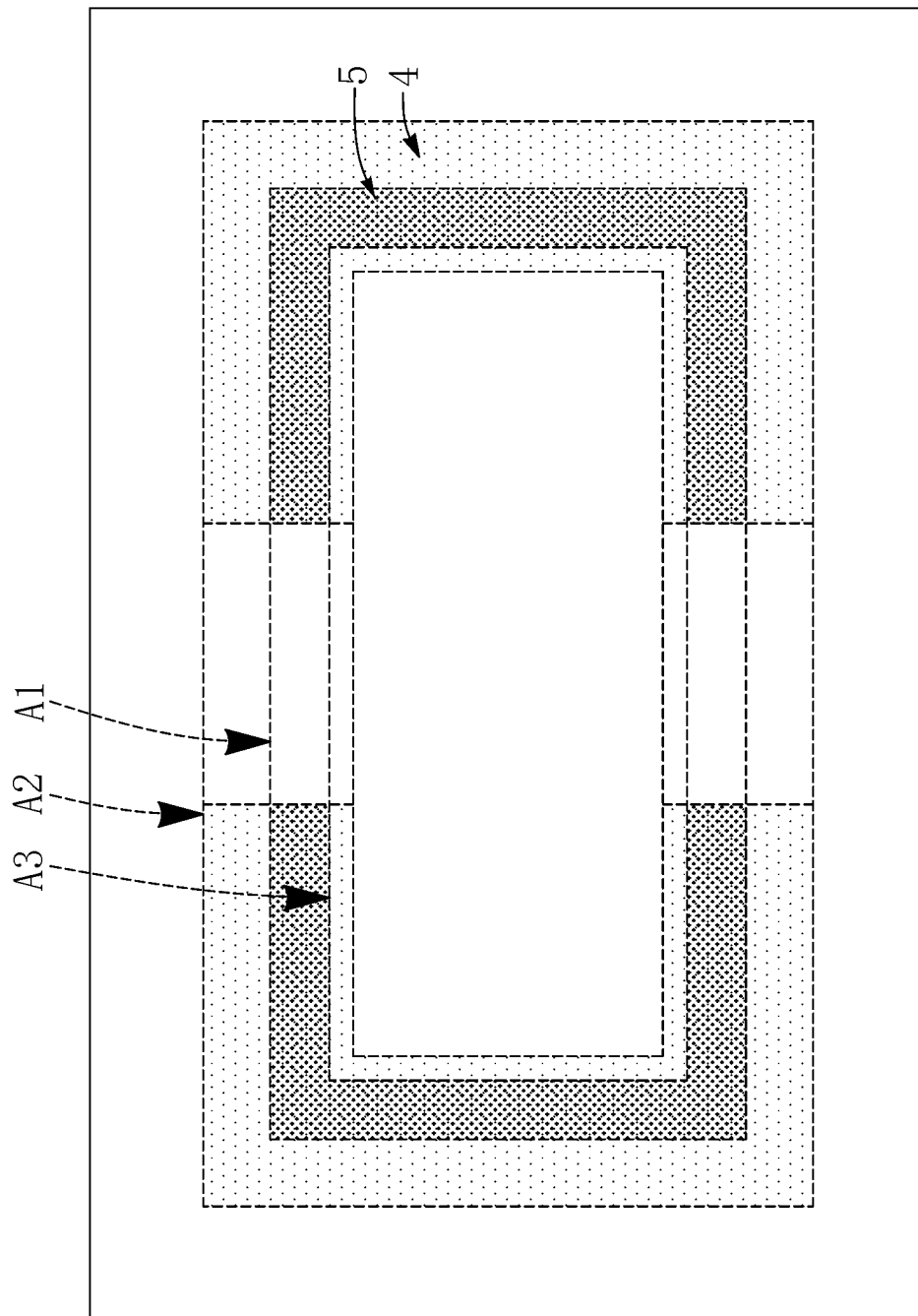
100

圖9



100

圖10



100

圖 11

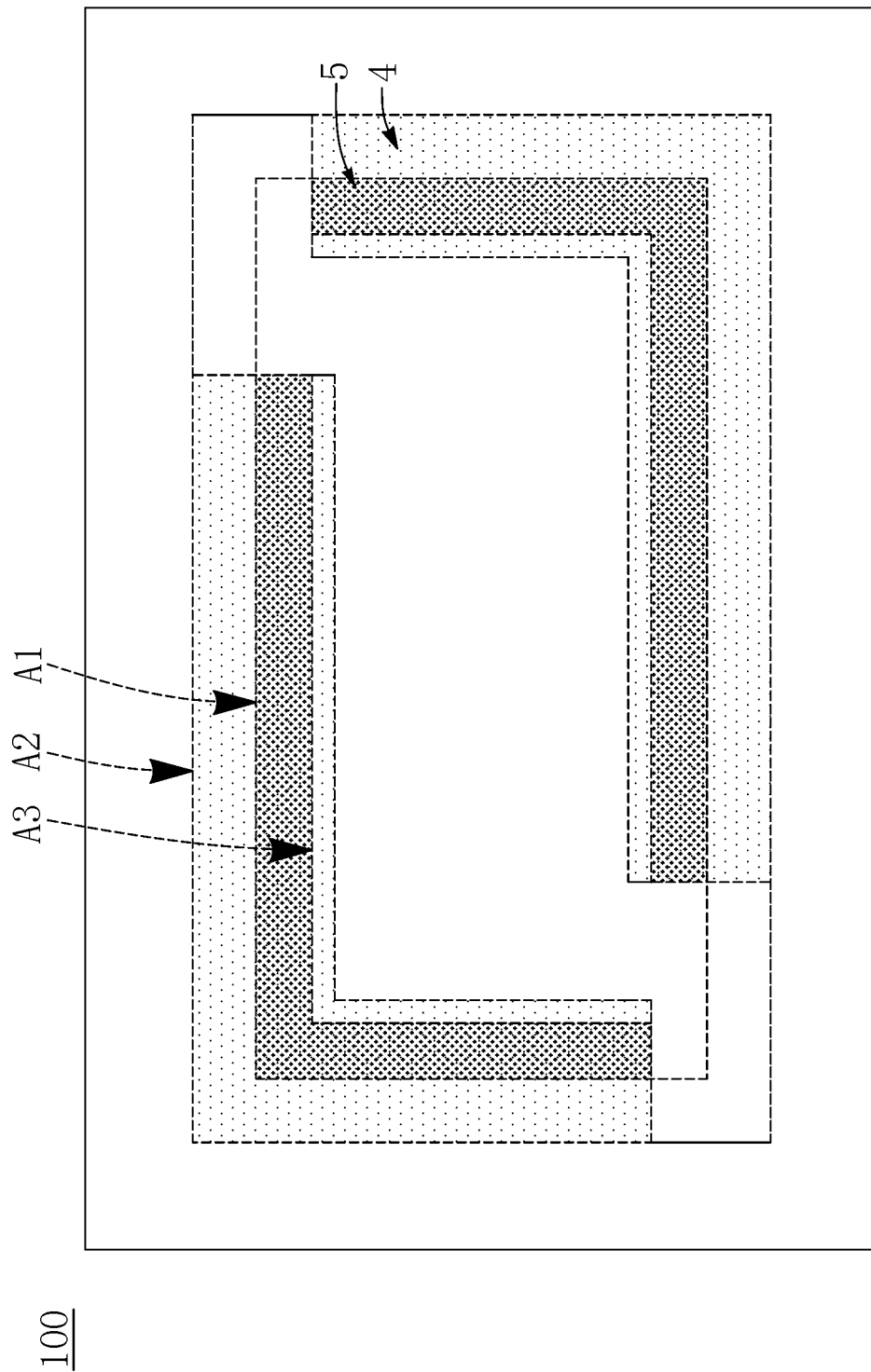


圖12

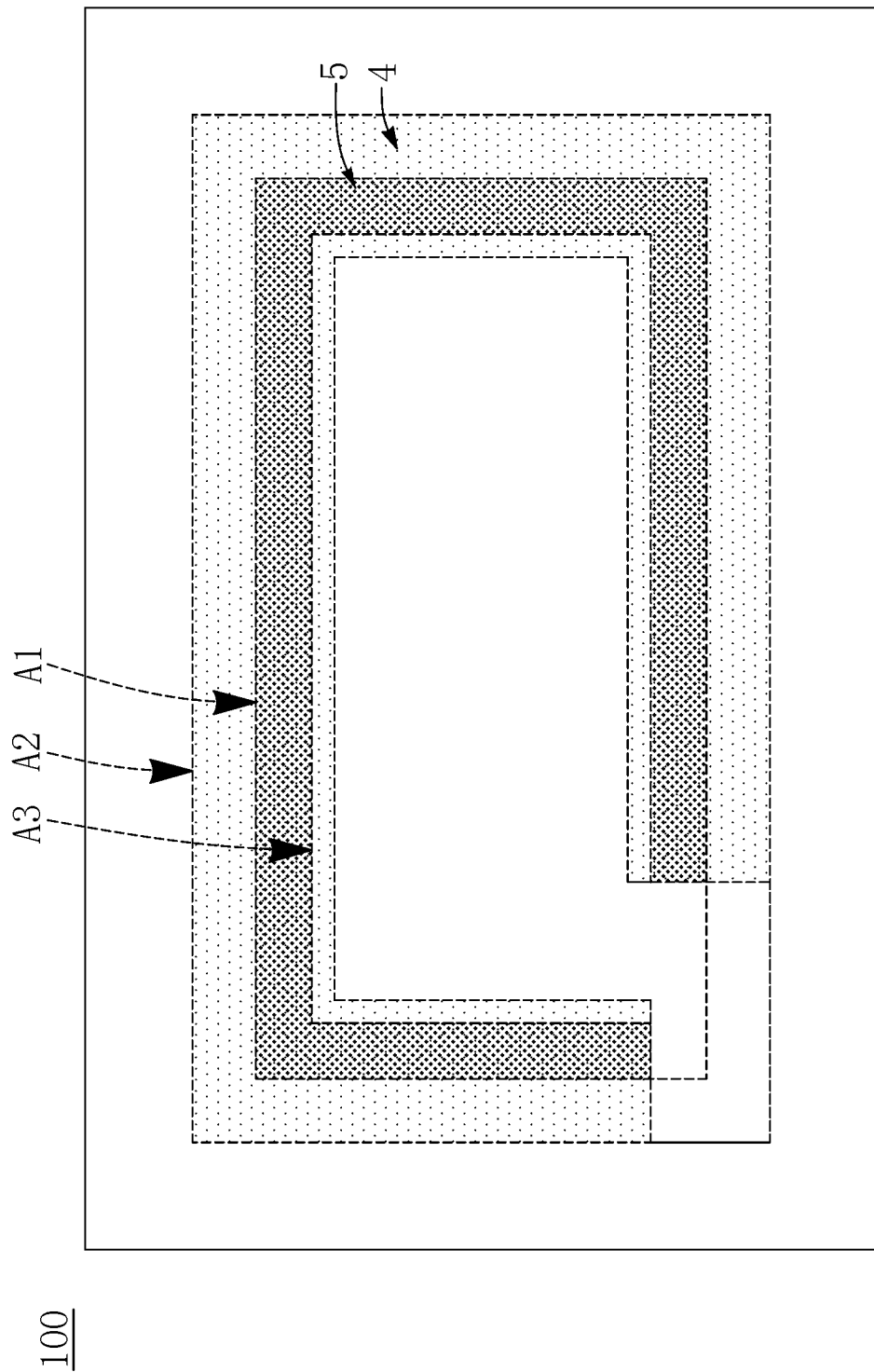


圖13

100

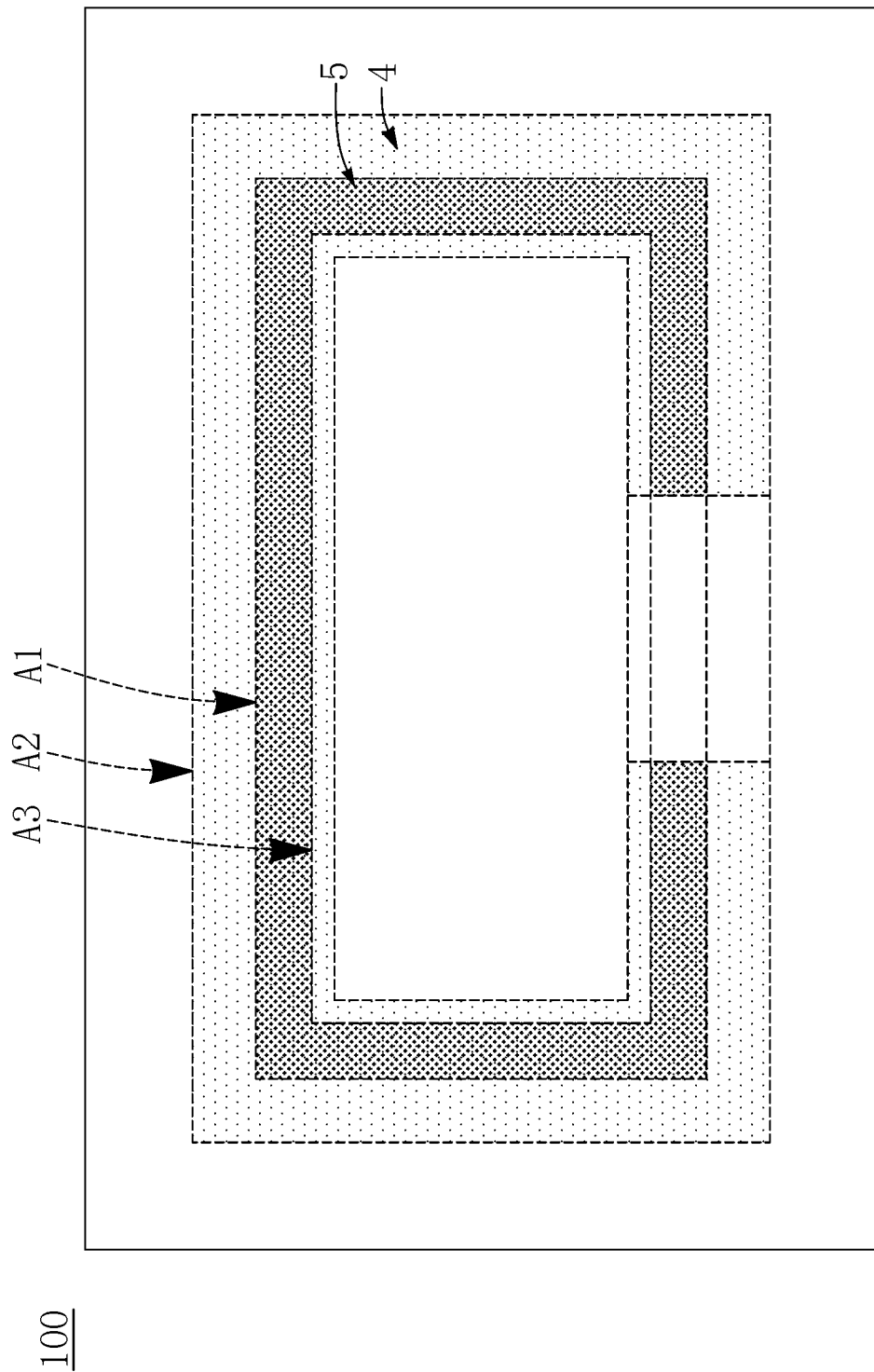


圖14

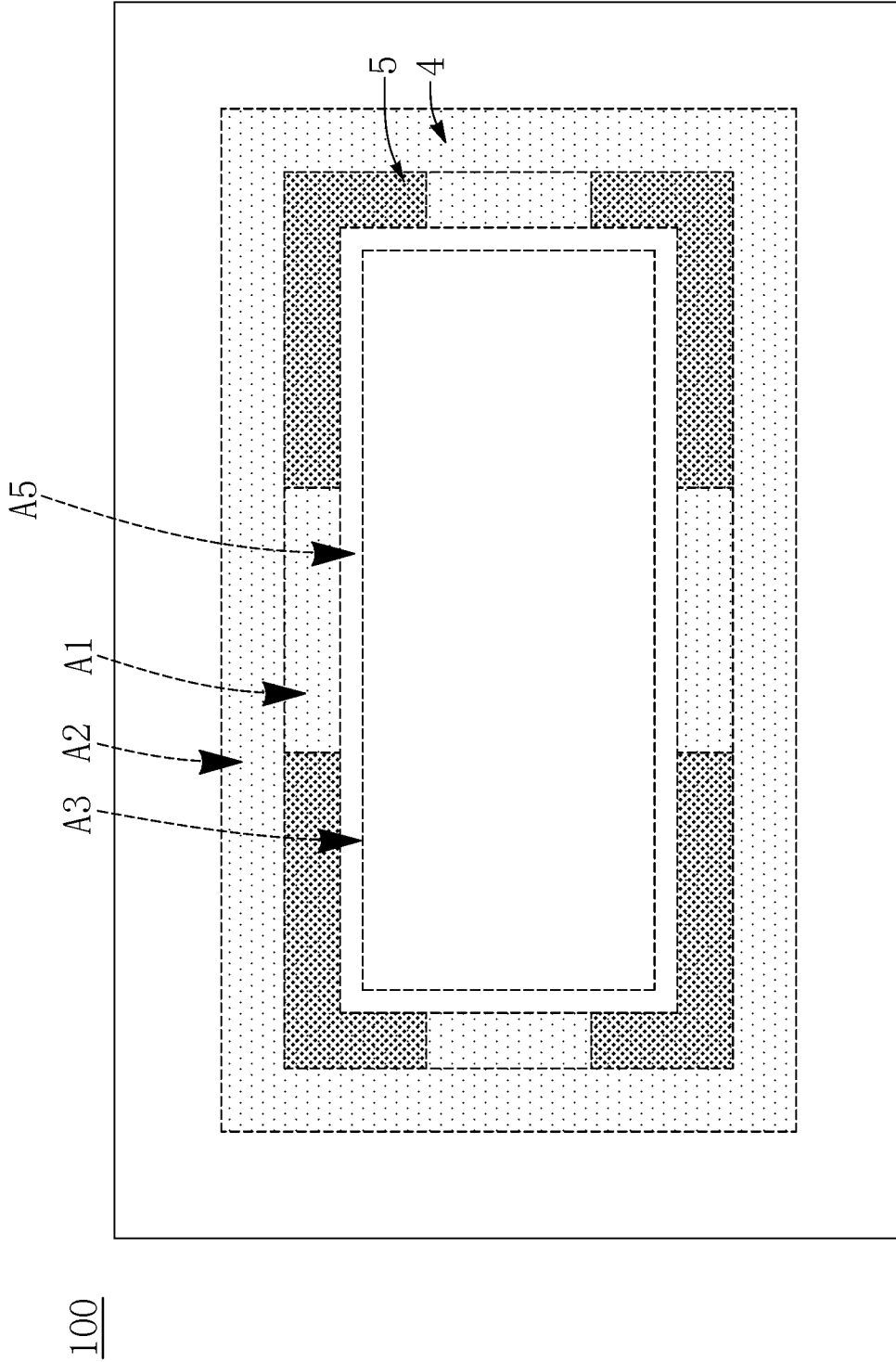
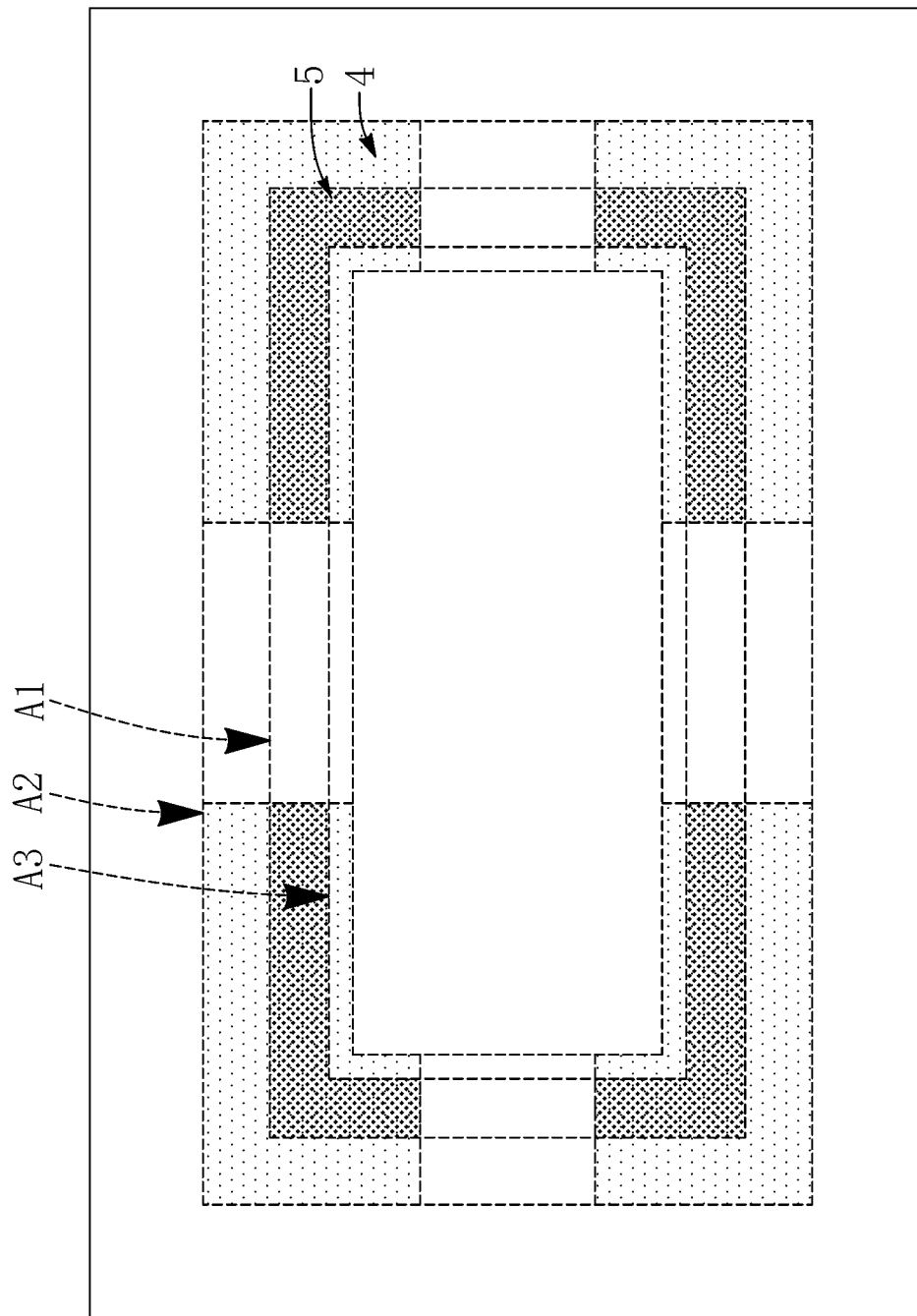


圖15



100

圖16

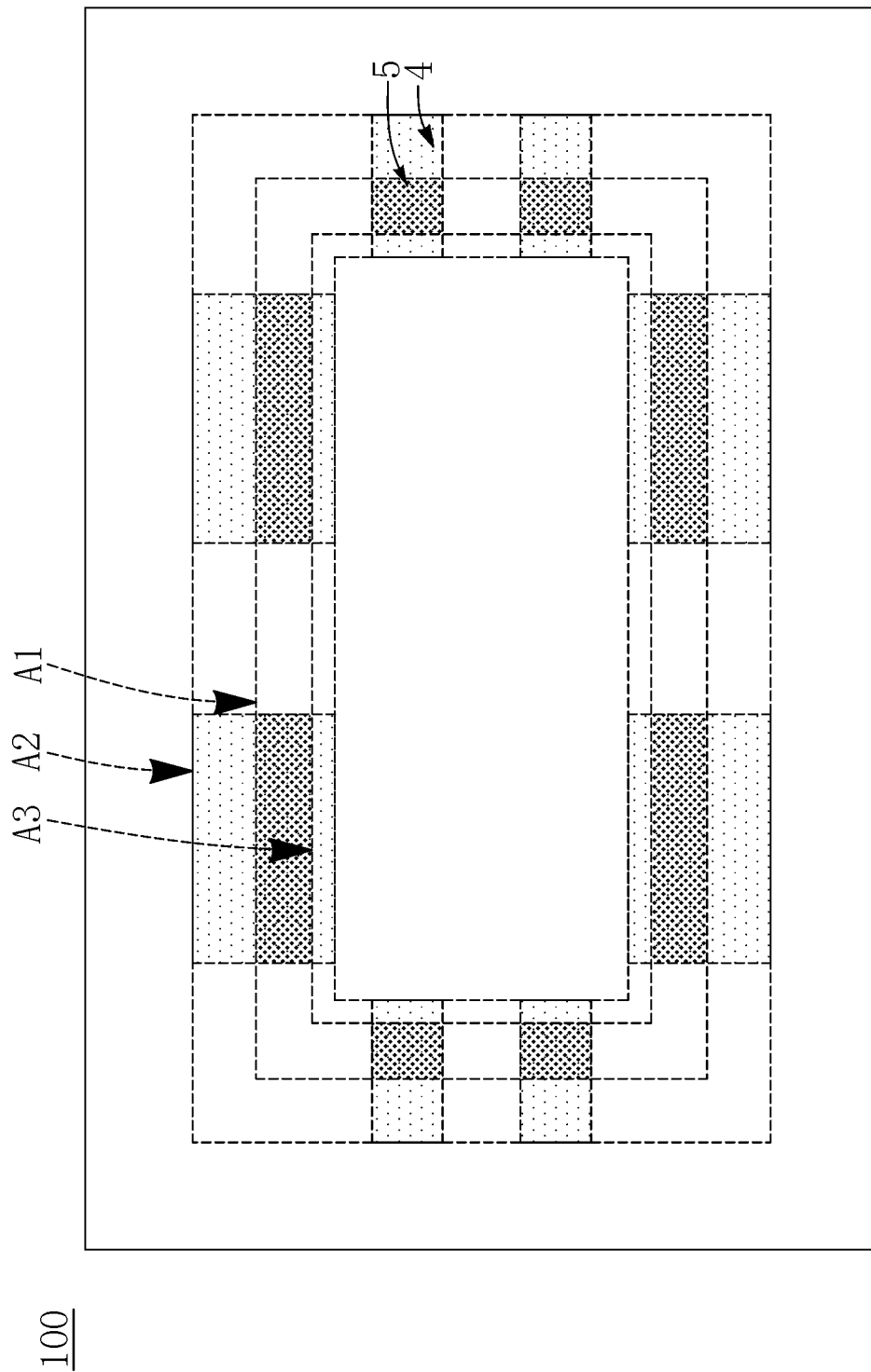


圖17