

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4241106号
(P4241106)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.	F I	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	U
HO 1 L 27/04 (2006.01)	HO 1 L 21/20	
HO 1 L 21/20 (2006.01)	HO 1 L 31/10	G
HO 1 L 31/10 (2006.01)	HO 1 L 29/80	E
HO 1 L 27/095 (2006.01)	HO 1 L 29/26	

請求項の数 11 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2003-66926 (P2003-66926)	(73) 特許権者	000005049
(22) 出願日	平成15年3月12日(2003.3.12)		シャープ株式会社
(65) 公開番号	特開2004-281454 (P2004-281454A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成16年10月7日(2004.10.7)	(74) 代理人	100062144
審査請求日	平成17年8月10日(2005.8.10)		弁理士 青山 稔
		(74) 代理人	100084146
			弁理士 山崎 宏
		(72) 発明者	ジョン・トワイナム
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

S i 基板と、
 上記 S i 基板上に形成された S i 系トランジスタと、
 上記 S i 基板上に III - V 族化合物バッファ層を介して一体に形成された III - V 族化合物半導体素子と、
 上記 III - V 族化合物半導体素子の少なくとも一つの端子に電圧を印加する DC - DC コンバータとを備え、
 上記 DC - DC コンバータの少なくとも一部が上記 S i 系トランジスタで構成され、
 上記 III - V 族化合物半導体素子は V 族元素が N である III - N 化合物半導体素子であり

10

上記 III - N 化合物半導体素子は、少なくとも2つの III - N 化合物半導体トランジスタを含み、

上記 DC - DC コンバータの少なくとも一部は、上記 S i 系トランジスタと上記 III - N 化合物半導体トランジスタとで構成され、

上記 DC - DC コンバータは、上記 DC - DC コンバータに含まれない III - N 化合物半導体トランジスタの少なくとも一つの端子に電圧を印加していることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

20

上記Si基板が、Si(001)5.3°~9.3°の範囲のSiオフ基板であることを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置において、

上記DC-DCコンバータの上記Si系トランジスタがCMOS回路を構成することを特徴とする半導体装置。

【請求項4】

請求項1に記載の半導体装置を用いたことを特徴とするアナログRFアンプファイア回路。

【請求項5】

請求項1に記載の半導体装置を用いたことを特徴とするレーザドライバ回路。

10

【請求項6】

請求項1に記載の半導体装置を用いたフォトディテクタと、

上記フォトディテクタに電圧を印加するバイアス回路とを備え、

上記フォトディテクタがIII-N化合物半導体からなることを特徴とするフォトディテクタアセンブリ。

【請求項7】

請求項1に記載の半導体装置において、

上記Si基板は表面に窪みを有し、

上記III-N化合物半導体素子は、上記Si基板の窪みに形成された上記III-N化合物バッファ層上に設けられていることを特徴とする半導体装置。

20

【請求項8】

請求項7に記載の半導体装置において、

上記Si基板の窪みは複数あって、その複数の窪みのうちの少なくとも2つは異なる深さを有することを特徴とする半導体装置。

【請求項9】

請求項1に記載の半導体装置の製造方法であって、

上記III-N化合物半導体素子をエピタキシャル成長で形成した後、上記Si系トランジスタを形成するための領域を上記Si基板にシャロウトレンチアイソレーションで形成して上記Si系トランジスタを形成することを特徴とする半導体装置の製造方法。

30

【請求項10】

請求項3に記載の半導体装置の製造方法であって、

上記Si系トランジスタを形成するための領域を上記Si基板にロコスアイソレーションで形成した後、上記III-N化合物半導体素子及び上記Siトランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項11】

請求項1に記載の半導体装置を用いたことを特徴とする携帯装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

40

本発明は、例えば、アナログRF(無線周波)アンプファイア回路、レーザドライバ回路、レーザ装置、フォトディテクタアセンブリ、携帯装置等に使用される半導体装置、その製造方法及び携帯装置に関する。

【0002】

【従来の技術】

従来、III-V族化合物半導体素子であって、V族元素がN(窒素)であるIII-N化合物半導体素子(III-N電子デバイス)は一般的にGaNやAlNやInNの半導体材料で作られている。このようなIII-N電子デバイスは、SiC基板(例えば、非特許文献1,3参照。)、又はサファイア基板(例えば、非特許文献2参照。)、又はSi(111)基板(例えば、非特許文献4参照。)を有している。

50

【 0 0 0 3 】

III - N 電子デバイスの一つである III - N 化合物トランジスタの種類としては、H F E T (ヘテロ接合電界効果トランジスタ)、H E M T (高電子移動度トランジスタ)、M I S F E T (金属 - 絶縁膜 - 半導体の構造の電界効果トランジスタ)、M O S F E T (金属 - 酸化膜 - 半導体の構造の電界効果トランジスタ)、H B T (ヘテロ接合バイポーラトランジスタ) 等がある。

【 0 0 0 4 】

例えば、一般の A l G a N - G a N トランジスタは材料の特性を使用するために動作電圧が一般的に 7 V ~ 2 5 V が必要である。

【 0 0 0 5 】

【非特許文献 1】

「Undoped A l G a N / G a N HEMTs for Microwave Power Amplification」, IEEE Trans. Electron Devices, Vol. 4 8, NO. 3, pp. 4 7 9 - 4 8 5, 2 0 0 1.

【非特許文献 2】

「Microwave peR F ormance of A l G a N / G a N Metal Insulator Semicon ductor Field Effect Transistors on Sapphire substrates」, IEEE Trans. Electron Devices, Vol. 4 8, NO. 3, pp. 4 1 6 - 4 1 9, 2 0 0 1.

【非特許文献 3】

「A l G a N / G a N HEMTs on S i C with over 1 0 0 GHz fT and Low Micr owave Noise」, IEEE Trans. Electron Devices, Vol. 4 8, NO. 3, pp. 5 8 1 - 5 8 5, 2 0 0 1.

【非特許文献 4】

「A l G a N / G a N High Electron mobility Transistors on S i (1 1 1) Substrates」, IEEE Trans. Electron Devices, Vol. 4 8, NO. 3, pp. 4 2 0 - 4 2 6, 2 0 0 1.

【 0 0 0 6 】

【発明が解決しようとする課題】

上記 III - N 化合物トランジスタは、高効率動作させるための印加電圧が高いという問題がある。例えば、A l G a N - G a N の電界効果トランジスタはドレイン - ソース電圧が大体 7 V ~ 2 5 V が必要である。一方、現在の携帯電話の電池が 3.6 V、携帯電話の中の S i の R F (無線周波) 回路の印加電圧が大体 2.8 V であって、S i の C M O S (相補型金属酸化膜半導体) のベースバンド回路の印加電圧が大体 1.4 ~ 1.8 V である。このような根本的な印加電圧の違いのため、III - N 化合物トランジスタは、携帯電話に用いることができず、高電圧・高電力の固定装置(例えば、携帯電話の基地局の回路)に用いられている。

【 0 0 0 7 】

更に、上記 III - N 化合物トランジスタはコストが高いため、S i トランジスタと同じ程度の高機能回路を作ることができないという問題がある。

【 0 0 0 8 】

そこで、本発明の課題は、III - V 族化合物半導体素子を低電圧の電源で動作させることができ低コストで高機能な半導体装置及びその製造方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決するため、本発明の半導体装置は、S i 基板と、上記 S i 基板上に形成された S i 系トランジスタと、上記 S i 基板上に III - V 族化合物バッファ層を介して一体に形成された III - V 族化合物半導体素子と、上記 III - V 族化合物半導体素子の少なくとも一つの端子に電圧を印加する D C - D C コンバータとを備え、上記 D C - D C コンバータ(ブースタ)の少なくとも一部が上記 S i 系トランジスタで構成され、

上記 III - V 族化合物半導体素子は V 族元素が N である III - N 化合物半導体素子であり

上記III - N化合物半導体素子は、少なくとも2つのIII - N化合物半導体トランジスタを含み、

上記DC - DCコンバータの少なくとも一部は、上記Si系トランジスタと上記III - N化合物半導体トランジスタとで構成され、

上記DC - DCコンバータは、上記DC - DCコンバータに含まれないIII - N化合物半導体トランジスタの少なくとも一つの端子に電圧を印加していることを特徴としている。

【0010】

本明細書において、Si系とは、Si、及び、Siとの合金であるSiGe、SiGeC等を含むものとする。

10

【0011】

上記構成の半導体装置によれば、上記DC - DCコンバータ(ブースタ)のSi系トランジスタによって、電源の供給電圧がより高い電圧に変換されて、III - V族化合物半導体素子の少なくとも一つの端子に印加される。したがって、上記III - V族化合物半導体素子を低電圧の電源で動作させることが出来る。

【0012】

また、上記DC - DCコンバータのSi系トランジスタで供給電圧をより高い電圧に変換するので、III - V族化合物半導体素子とSi系トランジスタとを同一の電源で動作させることが出来る。

【0013】

また、上記DC - DCコンバータの少なくとも一部がSi系トランジスタで構成されているので、Si系トランジスタの充填密度を大きくして、DC - DCコンバータを低コストで高機能化することが出来る。

20

【0014】

このような半導体装置により、新たな高性能RF回路とミックスシグナル回路を実現出来る。

【0015】

【0016】

また、上記III - N化合物半導体素子は、GaAs半導体素子やInGaAs半導体素子と違ってV族元素としてAsを含んでいないので、環境に悪影響を及ぼす恐れを無くすことが出来る。

30

【0017】

また、上記III - N化合物半導体素子は、電子の最大速度と飽和速度が速いので、高周波に対応することが出来る。

【0018】

また、上記III - N化合物半導体素子の化合物半導体材料はIII族元素と窒素Nとの化合物であり、例えば、GaN、AlN、InN等と、これらの化合物の合金(例えばAlGaN, InGaN, InAlGaN)である。なお、N以外に他のV族元素が微量含まれていても問題は無い。

また、上記DC - DCコンバータはIII - N化合物半導体トランジスタを有するので、高速化することが出来る。

40

上記DC - DCコンバータは、上記DC - DCコンバータに含まれないIII - N化合物半導体トランジスタの少なくとも一つの端子に電圧を印加するので、汎用性が高い。

【0019】

一実施形態の半導体装置は、上記Si基板が、Si(001)5.3°~9.3°の範囲のSiオフ基板である。

【0020】

上記実施形態の半導体装置によれば、上記Si基板が、Si(001)5.3°~9.3°の範囲のSiオフ基板であるので、良好な特性のIII - N化合物半導体素子を形成することが出来る。

50

【 0 0 2 1 】

一実施形態の半導体装置は、上記DC - DCコンバータの上記Si系トランジスタがCMOS回路を構成する。

【 0 0 2 2 】

上記実施形態の半導体装置によれば、上記DC - DCコンバータのSi系トランジスタがCMOS回路を構成するので、DC - DCコンバータの消費電力を低減することが出来る。

【 0 0 2 3 】

【 0 0 2 4 】

【 0 0 2 5 】

10

【 0 0 2 6 】

本発明のアナログRFアンプリファイア回路は、本発明の半導体装置を用いたことを特徴としている。

【 0 0 2 7 】

上記構成のアナログRFアンプリファイア回路は、上記半導体装置を用いているので、低コストで高機能化することが出来る。

【 0 0 2 8 】

本発明のレーザドライバ回路は、本発明の半導体装置を用いたことを特徴としている。

【 0 0 2 9 】

上記構成のレーザドライバ回路は、上記半導体装置を用いているので、低コストで高機能化することが出来る。

20

【 0 0 3 0 】

【 0 0 3 1 】

【 0 0 3 2 】

【 0 0 3 3 】

【 0 0 3 4 】

本発明のフォトディテクタアセンブリは、本発明の半導体装置を用いたフォトディテクタと、上記フォトディテクタに電圧を印加するバイアス回路とを備え、上記フォトディテクタがIII - N化合物半導体からなる。

【 0 0 3 5 】

30

上記構成のフォトディテクタアセンブリは、上記半導体装置をフォトディテクタに用いているので、低コストで高機能化することが出来る。

【 0 0 3 6 】

また、上記フォトディテクタがIII - N化合物半導体からなるので、環境への悪影響を低減することが出来る。

【 0 0 3 7 】

【 0 0 3 8 】

【 0 0 3 9 】

【 0 0 4 0 】

【 0 0 4 1 】

40

【 0 0 4 2 】

【 0 0 4 3 】

一実施形態の半導体装置は、上記Si基板は表面に窪みを有し、上記III - N化合物半導体素子は、上記Si基板の窪みに形成された上記III - N化合物バッファ層上に設けられている。

【 0 0 4 4 】

上記実施形態の半導体装置によれば、上記Si基板の窪みに設けられたIII - N化合物バッファ層上にIII - N化合物半導体素子を設けているので、Si基板の表面とIII - N化合物半導体素子の表面との高さを略等しくすることが出来る。したがって、上記Si基板の表面とIII - N化合物半導体素子の表面との高さを略等しくすることにより、Si基板

50

及びIII - N化合物半導体素子の表面上に配線を設けるためのフォトリソプロセスを容易にすることが出来る。

【0045】

一実施形態の半導体装置は、上記Si基板の窪みは複数あって、その複数の窪みのうちの少なくとも2つは異なる深さを有する。

【0046】

上記実施形態の半導体装置が複数のIII - N化合物半導体素子を有する場合、各III - N化合物半導体素子の高さが異なっても、複数の窪みのうちの少なくとも2つは異なる深さを有するので、Si基板の表面と全てのIII - N化合物半導体素子の表面との高さを略等しくすることが出来る。

10

【0047】

本発明の半導体装置の製造方法は、本発明の半導体装置を製造する方法であって、上記III - N化合物半導体素子をエピタキシャル成長で形成した後、上記Si系トランジスタを形成するための領域を上記Si基板にシャロウトレンチアイソレーションで形成して上記Si系トランジスタを形成することを特徴している。

【0048】

上記構成の半導体装置の製造方法によれば、上記シャロウトレンチアイソレーションのプロセス温度が比較的に低いので、III - N化合物半導体素子が熱で破壊されるのを防ぐことが出来る。

【0049】

また、本発明の半導体装置の製造方法は、本発明の半導体装置を製造する方法であって、上記Si系トランジスタを形成するための領域を上記Si基板にロコス (LOCOS : Local Oxidation Of Silicon) アイソレーションで形成した後、上記III - N化合物半導体素子及び上記Siトランジスタを形成する。

20

【0050】

上記構成の半導体装置の製造方法によれば、上記III - N化合物半導体素子及びSiトランジスタを形成する前に、プロセス温度が比較的に高いロコスを行うので、III - N化合物半導体素子及びSiトランジスタが熱で破壊されるのを防ぐことが出来る。

【0051】

本発明の携帯装置は、本発明の半導体装置を用いたことを特徴としている。

30

【0052】

上記構成の携帯装置は、上記半導体装置を用いているので、低コストで高機能化することが出来る。

【0053】

好ましくは、上記携帯装置の電源は持ち運びが容易な携帯電源である。より好ましくは、上記携帯装置の電源は電池である。

【0054】

また、好ましくは、上記携帯装置は情報通信機能を含む。

【0055】

また、好ましくは、上記携帯装置は携帯電話またはコンピューターである。

40

【0056】

また、好ましくは、上記携帯装置は、記録媒体に記録された情報を光学的により読み出す機能を含む。または、上記携帯装置は、記録媒体に記録された情報を光学的手段により読み出す機能と、その記録媒体に情報を光学的に記録する機能とを含む。

【0057】

【発明の実施の形態】

以下、本発明の半導体装置を図示の実施の形態により詳細に説明する。

【0058】

(実施の形態1)

図1に、本発明の半導体装置の実施の形態1としての携帯電話の送信器チップの模式斜

50

視図を示す。

【0059】

上記送信器チップには、SiのCMOS回路とAlGa_N・Ga_Nの電界効果トランジスタ回路が形成されており、全てのRF回路が含まれている。以下、上記送信器チップを具体的に説明する。

【0060】

上記送信器チップは、Si基板の一例としてのSi(001)5.3°~9.3°の範囲のSiオフ基板100と、このSiオフ基板100上に形成されたRFパワーアンプファイア101、DC-DCコンバータ102とを備えている。

【0061】

上記RFアンプファイア101の初段はSiオフ基板100上に直接形成されたSi CMOS回路104で構成されている。一方、上記RFパワーアンプファイア101の最終段はIII-V族化合物半導体素子の一例としてのAlGa_N・Ga_N電界効果トランジスタ103で構成されている。このAlGa_N・Ga_N電界効果トランジスタ103は、Siオフ基板101上にIII-V族化合物バッファ層の一例としてのGa_Nバッファ層90を介して一体に形成されている。

【0062】

上記DC-DCコンバータ102は、複合回路105、20MHzのSi CMOSクロック回路106、Si系トランジスタの一例としてのSi CMOSスイッチングトランジスタ107及びSi CMOS操作アンプファイア108を有して、AlGa_N・Ga_N電界効果トランジスタ103の少なくとも一つの端子に電圧を印加する。上記複合回路105はAlGa_N・Ga_N電界効果トランジスタとAlGa_N・Ga_Nショットキダイオードとで構成されている。また、上記複合回路105は、そのSiオフ基板100上にGa_Nバッファ層91を介して一体に形成されている。そして、上記Si CMOSクロック回路106、Si CMOSスイッチングトランジスタ107及びSi CMOS操作アンプファイア108は、Siオフ基板100上に直接形成されている。

【0063】

なお、90a、91aは選択成長されたAl_N・Ga_N・AlGa_N(1-101)面領域である。

【0064】

上記構成の送信器チップによれば、上記DC-DCコンバータ102のスイッチングトランジスタ107によって、供給電圧がより高い電圧に変換されて、AlGa_N・Ga_N電界効果トランジスタ103の少なくとも一つの端子に電圧を印加する。したがって、上記AlGa_N・Ga_N電界効果トランジスタ103を低電圧の電源で動作させることが出来る。

【0065】

また、上記DC-DCコンバータ102のスイッチングトランジスタ107で供給電圧をより高い電圧に変換するので、AlGa_N・Ga_N電界効果トランジスタ103とスイッチングトランジスタ107とを同一の電源で動作させることが出来る。

【0066】

また、上記DC-DCコンバータ102の一部をスイッチングトランジスタ107で構成されているので、スイッチングトランジスタ107の充填密度を大きくして、DC-DCコンバータ102を低コストで高機能化することが出来る。

【0067】

以下、上記送信器チップの製造方法の一例について説明する。

【0068】

先ず、この製造方法では、Si(001)5.3°~9.3°の範囲のSiオフ基板に、CMOSのアイソレーションプロセス(素子分離工程)を行う。

【0069】

次に、上記Siオフ基板の表面をKOHエッチャントでエッチングすることにより、そ

10

20

30

40

50

のSiオフ基板の表面に平行のグループ（断面V字形状の溝、又は、断面逆台形状の溝）を複数形成する。そのグループの幅、及び、隣合ったグループ同士の間隔は1 μ m程度である。また、上記グループが有する斜面はSi(111)面である。そして、上記グループの一つの斜面とSiオフ基板の表面との角度は約62度である。以下、その斜面を「62度斜面」と呼ぶ。また、上記グループのもう一つの斜面とSiオフ基板の表面との角度は約48度である。以下、その斜面を「48度斜面」と呼ぶ。

【0070】

次に、全面的にSiNxのデポジションを行って、SiNxをエッチングしてグループの62度斜面のみを露出させる。このSiNxの代わりに、SiOx及び他の絶縁膜を形成してもよい。

10

【0071】

次に、上記露出した62度斜面にAlN・GaNエピタキシャル層を選択成長する。このAlN・GaNエピタキシャル層の選択成長は各グループの露出した62度斜面に起こる。上記露出した62度斜面に成長させる六方晶形(Wurtzite)III-N半導体は、このIII-N半導体上に形成するIII-N化合物半導体素子により適宜選択される。このような成長は、通常AlNの種層成長から始め、AlNの種層の上に他のIII-N半導体の成長を行う。

【0072】

そして、上記AlN・GaNエピタキシャル層の成長が進むと各グループの成長領域がくっついて幅が広くて平坦なIII-N(1-101)表面が現れる。この表面は、Siオフ基板においてグループが形成されていない領域の表面と平行である。

20

【0073】

次に、上記III-N(1-101)表面上に、III-N電界効果トランジスタのエピタキシャル層を成長する。

【0074】

次に、上記III-N電界効果トランジスタのエピタキシャル層の選択成長が終わったら、SiのCMOSの製造プロセスを行って、SiCMOS回路104、SiCMOSクロック回路106、SiCMOSスイッチングトランジスタ107及びSiCMOS操作アンプリファイア108を形成する。

【0075】

30

その後、AlGaN・GaN電界効果トランジスタ及びAlGaN・GaNショットキダイオードの製造プロセスを行って、AlGaN・GaN電界効果トランジスタ103と複合回路105とを形成する。

【0076】

最後に、III-N回路とSi回路とを繋ぐ配線を形成する。

【0077】

上述した製造方法では、Si(001)5.3°~9.3°の範囲のSiオフ基板に、AlGaN・GaN電界効果トランジスタ103を形成するための領域を形成した後、AlGaN・GaN電界効果トランジスタ103を形成している。上記AlGaN・GaN電界効果トランジスタ103の成長方法は、特開2002-246697号公報と同様にして行うことが出来る。

40

【0078】

また、Si(001)5.3°~9.3°の範囲の面基板にCMOS及びBiCMOSのSi系デバイスとIII-Nデバイスを形成するためには、製造の各プロセスの順番が重要であり、温度に対してより敏感なところ（例えばIII-N化合物トランジスタのゲートショットキ電極）が高温プロセスで潰れないようにすることが必要である。Si系CMOSとIII-N電界効果トランジスタの場合は下記(1)~(5)のプロセスを順に行うのが有効である。

(1) Si系CMOSアイソレーションプロセスであるロコス(LOCOS:Local Oxidation Of Silicon)プロセス

50

- (2) III - Nエピ成長プロセス
 - (3) 残りのSi系CMOSの製造プロセス
 - (4) III - N電界効果トランジスタの製造プロセス
 - (5) Si系CMOSとIII - N電界効果トランジスタとを繋ぐ配線の形成プロセス
- 【0079】

上記ロコスプロセスの処理温度は約1050 である。このような高温処理のロコスプロセスが終わってから、Si(001)5.3°~9.3°の範囲の面基板の全面にSiNxを形成する。次に、平行のグループをSi基板にエッチングするプロセスを行って、III - N半導体の選択成長する。このIII - N半導体の成長をMOCVD(有機金属気相成長法)で行う場合は、AlNとAlGaNとGaNの成長温度が大体1050 ~ 1150 の範囲であるので、Si基板の表面においてIII - N成長を起こすべきでない領域をSiNxで守る必要である。上記III - N成長が終わってからSiのCMOSプロセスを行って、最後に温度が比較的低いIII - N電界効果トランジスタの製造プロセスを行う。これにより、上記III - N電界効果トランジスタが熱で破壊させるのを防ぐことが出来る。

10

【0080】

上記ロコスプロセスの代わりに、シャロウトレンチアイソレーション(STI:Shallow Trench Isolation)プロセスを行ってもよい。この場合は、以下(A)~(E)のプロセスを順次行う。

- (A) III - Nエピ成長プロセス
- (B) Si系CMOSアイソレーションプロセスであるシャロウトレンチアイソレーションプロセス
- (C) 残りのSi系CMOSの製造プロセス
- (D) III - N電界効果トランジスタの製造プロセス
- (E) Si系CMOSとIII - N電界効果トランジスタとを繋ぐ配線の形成プロセス

20

【0081】

上記シャロウトレンチアイソレーションプロセスの処理温度は比較的なので、シャロウトレンチアイソレーションプロセスを含むSi系CMOSの製造プロセスの全てをIII - N成長の後に行うことが可能である。

【0082】

図2に、上記AlGaN・GaN電界効果トランジスタ103の模式断面図を示す。なお、上記複合回路105のAlGaN・GaN電界効果トランジスタの構造も、AlGaN・GaN電界効果トランジスタ103の構造と同様である。なお、図2において、図1に示した構成部と同一構成部は、図1における構成部と同一参照番号を付している。

30

【0083】

図2において、212は厚さ50nmのSiNx、214は厚さ2000nmのアンドープGaNチャネル層、215は厚さ3nmのアンドープAl_{0.2}Ga_{0.8}Nスペーサ層、216はN型ドーピング濃度 $1 \times 10^{18} \text{ cm}^{-3}$ で厚さ15nmのAl_{0.2}Ga_{0.8}N電子供給層、217は厚さ2nmのアンドープAl_{0.2}Ga_{0.8}Nショットキバリア層、218はソースオーミックコンタクト電極(Ti/Al/Ni/Au)、219はドレーンオーミックコンタクト電極(Ti/Al/Ni/Au)、220はT型ショットキゲート電極(Ni/Au)、250はAlNの種層である。

40

【0084】

上記AlGaN・GaN電界効果トランジスタ103は、ゲート長が0.2μm、ソースおよびドレーンのオーミック電極の長さが5μmとなっている。また、上記ソースとドレーンとの間の間隔は1μmに設定されている。

【0085】

上記AlGaN・GaN電界効果トランジスタ103はHEMTであるが、HFET、MOSFET、MISFET、HBTを代わりに用いる可能性がある。

【0086】

50

上記 AlGaIn・GaN 電界効果トランジスタ 103 で構成された RF パワーアンプリファイア 101 の最終段と、RF パワーアンプリファイア 101 の初段との間には整合回路が存在するが、図 2 ではその整合回路を図示していない。通常、上記整合回路は半導体基板上に直接形成する。ところが、本実施の形態 1 では、Si オフ基板 100 の電気伝導率が、III - V 化合物半導体基板の電気伝導率よりも比較的の高い為、整合回路の受動素子（キャパシタやインダクタ等）を Si オフ基板 100 上の厚い絶縁膜上に形成されるのが好ましい。

【0087】

図 3 に、上記 Si オフ基板 100 上に厚い絶縁膜を形成した場合の AlGaIn・GaN 電界効果トランジスタ 103 の模式断面図を示す。

10

【0088】

図 3 において、322 はソースオーミックコンタクト電極 218 に接続された 2 次ソース電極配線、323 はドレインオーミックコンタクト電極 219 に接続された 2 次ドレイン電極配線である。なお、図 3 において、図 2 に示した構成部と同一構成部は、図 2 における構成部と同一参照番号を付している。

【0089】

上記 2 次ソース電極配線 322 と Si オフ基板 100 との間、及び、2 次ドレイン電極配線と Si オフ基板 100 との間には、厚さ 10 μm の BCB（ベンゾシクロブテン）絶縁層 321 を設けている。この BCB 絶縁層 321 を設けることにより、上記整合回路と配線との RF ロスを低減することが出来る。

20

【0090】

また、BCB 層又はポリイミド（polyimide）層を用いて、RF ロスが低いマイクロストリップ伝送線路又はコプレーナ伝送線路の構成も出来る。例えば、図 4 に示すように、2 層の金属層の間に絶縁膜が挟まれている構成にすることにより、整合回路と配線との RF ロスを低減する。

【0091】

図 4 において、421 は厚さ 10 μm の BCB 絶縁層、424、425 は接地配線である。上記接地配線 424 は 2 次ソース電極配線 322 に接続している。なお、図 4 において、図 2 に示した構成部と同一構成部は、図 2 における構成部と同一参照番号を付している。

30

【0092】

以下、DC - DC コンバータについて説明をする。

【0093】

本発明において、DC - DC コンバータは主に Si 系の集積回路で作られて、III - N デバイスと同じ Si 基板に形成される。DC - DC コンバータの種類としては、PWM（Pulse Width Modulation）方式と PFM（Pulse Frequency Modulation）方式とがあるが、PWM 方式の DC - DC コンバータのほうが望ましい。通常の DC - DC コンバータは、回路の一部として物理的に大きいインダクタとキャパシタとを有している。このインダクタおよびキャパシタは、オフチップ又は同じ Si 基板に搭載する。また、PWM 方式の DC - DC コンバータはクロック回路を含んでいる。このクロック回路は III - N デバイスと同じ Si 基板に集積するのが望ましい。通常、PWM 方式、PFM 方式の DC - DC コンバータは、一段のトランジスタから成るスイッチングデバイス、又は、数段のトランジスタから成るスイッチングデバイスを含んでいる。数段のトランジスタから成るスイッチングデバイスの場合は、最終段のトランジスタの電圧、電力が高いので、最終段のトランジスタは III - N 化合物トランジスタを用いるのが有効である。また、高電力ダイオードも DC - DC コンバータ回路に含まれており、その高電力ダイオードも III - N 半導体で作るのが有効である。一般の DC - DC コンバータは帰還制御回路に操作アンプリファイアを含む。この操作アンプリファイアは III - N デバイスと同じ Si 基板に集積するのが望ましい。

40

【0094】

50

以上説明したように、DC - DCコンバータの種類としてはPWM方式のものとPFM方式のものがあるが、本実施の形態1のDC - DCコンバータ102はPWM方式ものとなっている。

【0095】

図5に上記DC - DCコンバータ102の模式回路図を示す。

【0096】

図5において、531はAlGa_N・Ga_Nスイッチング電界効果トランジスタ、532はAlGa_N・Ga_Nショットキダイオード、533はインダクタ、534はキャパシタである。なお、V_{control}はSiCMOS操作アンプリファイア108への供給電圧である。また、図5において、図1に示した構成部と同一構成部は、図1

10

【0097】

上記DC - DCコンバータ102の代わりに、図6に示すPFMのDC - DCコンバータ600を用いる可能性がある。

【0098】

図6において、601はSi(001)7°面基板、602は選択成長されたAlN・Ga_N・AlGa_N(1-101)面領域、607はSiCMOSスイッチングトランジスタ、608はSiCMOS操作アンプリファイア、631はAlGa_N/Ga_Nスイッチング電界効果トランジスタ、632はAlGa_N・Ga_Nショットキダイオード、633はインダクタ、634はキャパシタである。上記インダクタ633、キャパシタ6

20

【0099】

以上のようなDC - DCコンバータ102、600は、例えば電池の供給電圧V_{in}をより高い電圧(出力電圧V_{out})に昇圧する。これにより、DC - DCコンバータ102、600は一定の高印加電圧をIII - Nデバイスにかけることが出来る。III - Nデバイスに一般の電池の供給電圧より高い印加電圧が供給されることは特に有効である。

【0100】

図7に、PWM方式のDC - DCコンバータがRFパワーアンプリファイアのAlGa_N・Ga_N電界効果トランジスタのドレーンに一定の印加電圧を供給する集積回路の模式回路図を示す。

30

【0101】

図7において、701はSi(001)7°面基板、703はRFパワーアンプリファイアの最終段を構成するAlGa_N・Ga_N電界効果トランジスタ、704はRFパワーアンプリファイアの初段を構成するSiCMOS回路、741は3.6Vの電池、742はPWM方式のDC - DCコンバータ、743はRFパワーアンプリファイア、744はアンテナ、745は段間整合回路、746は波出力整合回路である。なお、V_{in}は電池741の供給電圧、V_{out}はDC - DCコンバータの出力、V_{control}はDC - DCコンバータが含む操作アンプリファイアへの供給電圧である。

【0102】

40

上記構成の集積回路によれば、電池741の供給電圧V_{in}は、DC - DCコンバータ742によってより高い電圧に変換されてDC - DCコンバータ742の出力V_{out}となる。この出力V_{out}が、AlGa_N・Ga_N電界効果トランジスタ703に供給される。したがって、上記電池741の供給電圧V_{in}が低くても、AlGa_N/Ga_N電界効果トランジスタ703を動作させることが出来る。

【0103】

図8に、PWM方式のDC - DCコンバータがRFパワーアンプリファイアのAlGa_N・Ga_N電界効果トランジスタのドレーンに可変印加電圧を供給する集積回路の模式回路図を示す。

【0104】

50

図8において、801はSi(001)7°面基板、803はRFパワーアンプファイアの最終段を構成するAlGaIn・GaIn電界効果トランジスタ、804はRFパワーアンプファイアの初段を構成するSiCMOS回路、841は3.6Vの電池、842はPWM方式のDC-DCコンバータ、843はRFパワーアンプファイア、844はアンテナ、845は段間整合回路、846は出力整合回路、847はSiダイオードエンベロープ検波器、848はRFカプラである。

【0105】

上記集積回路によれば、DC-DCコンバータ842の出力電圧 V_{out} は電池の供給電圧 V_{in} より高く、可変印加電圧をIII-Nデバイスのドレイン、つまりAlGaIn・GaIn電界効果トランジスタ803のドレインに供給されている。

10

【0106】

このように、III-NデバイスであるAlGaIn・GaIn電界効果トランジスタ803に一般の電池の供給電圧より高い印加電圧が供給されることは特に有効である。

【0107】

すなわち、図8の集積回路は、図7の集積回路の変形形態に相当し、集積したDC-DCコンバータ842からAlGaIn・GaIn電界効果トランジスタ803のドレインに可変印加電圧をかけている。

【0108】

また、上記DC-DCコンバータ842の出力電圧 V_{out} はRFの電界効果トランジスタの入力RFエンベロープ振幅に依存する。

20

【0109】

携帯電話に使われているW-CDMA(Wideband-Code Division Multiple Access)のようなRFのエンベロープが一定でない通信システムには印加電圧がRFのエンベロープを着いて行くと効率が高くなる(例えば「Microwave Power Amplifier Efficiency Improvement with a 10MHz HBT DC-DC converter」, IEEE MTT-S Digest, pp. 589-592, 1998参照)。

【0110】

上記実施の形態1では、インダクタ533, 633及びキャパシタ534, 634をオフチップに実装したが、インダクタ533, 633及びキャパシタ534, 634をSiオフ基板100に実装してもよい。

30

【0111】

(実施の形態2)

図9に、本発明の半導体装置の実施の形態2としてのレーザドライバチップの模式斜視図を示す。

【0112】

上記レーザドライバチップの回路には耐圧と電力が高いトランジスタが必要である。Siの信号処理回路を高電力トランジスタと集積すればコストと性能がよくなるので、本発明をレーザドライバチップに適用するのは特に有効である。また、上記レーザドライバチップはSi(001)7.3°面基板から分割される。

【0113】

上記レーザドライバチップには、SiCMOS回路と、AlGaIn・GaIn電界効果トランジスタと、AlGaIn・GaInショットキダイオードとが形成されている。

40

【0114】

すなわち、図9において、901はSi基板の一例としてのSi(001)7.3°面基板、902は選択成長されたAlN・GaIn・AlGaIn(1-101)面領域、903はIII-V族化合物半導体素子の一例としてのレーザドライバ回路用のAlGaIn・GaIn電界効果トランジスタ、904はレーザドライバ回路用、DC-DCコンバータ用のSiCMOS回路、905はDC-DCコンバータ用の複合回路である。上記複合回路905は、DC-DCコンバータ用のAlGaIn・GaIn電界効果トランジスタと、DC-DCコンバータ用のAlGaIn・GaInショットキダイオードとで構成されている。なお

50

、上記DC - DCコンバータはPWM方式のものである。

【0115】

上記AlGa_N・Ga_N電界効果トランジスタ903は、III - N化合物バッファ層の一例としてのGa_Nバッファ層990を介してSi(001)7.3°面基板901上に形成されている。

【0116】

上記複合回路905のAlGa_N・Ga_N電界効果トランジスタ及びAlGa_N・Ga_Nショットキダイオードは、Si(001)7.3°面基板901上にGa_Nバッファ層991を介して形成されている。

【0117】

上記SiCMOS回路904は、図示しないが、Si系トランジスタの一例としてのSiトランジスタで構成されている。

【0118】

上記構成のレーザドライバチップの製造プロセス順番は上記実施の形態1の製造プロセス順番と同じである。

【0119】

また、上記レーザドライバチップはレーザ素子を搭載していなかったが、レーザ素子を搭載してもよい。例えば、III - N半導体レーザ素子を搭載する場合、III - N半導体レーザ素子のエピタキシャル層と、III - N電界効果トランジスタのエピタキシャル層とを別々に成長する必要がある。そのレーザとしては、端面放射レーザ素子(Edge-emitting Laser)や面発光型半導体レーザ素子(VCS_EL: Vertical Cavity Surface Emitting Laser)などが成長出来る。上記レーザドライバチップに面発光型半導体レーザ素子を搭載する場合は、Si基板とIII - N半導体のエピタキシャル層を劈開しなくてもいいので、本発明は面発光型半導体レーザ素子には本発明が特に有効である。

【0120】

図10に、半導体レーザ素子を搭載したレーザドライバチップの模式斜視図を示す。

【0121】

図10において、1001はSi基板の一例としてのSi(001)5.3°面基板、1002は選択成長されたAl_N・Ga_N・AlGa_N(1-101)面領域、1003はIII - V族化合物半導体素子の一例としてのレーザドライバ回路用のAlGa_N・Ga_N電界効果トランジスタ、1004はレーザドライバ回路用、DC - DCコンバータ用のSiCMOS回路、1005はDC - DCコンバータ用の複合回路、1006はIII - V族化合物半導体素子の一例としてのAlGa_N・Ga_N・InGa_N端面放射型レーザ素子、1051は選択成長されたAl_N・AlGa_N・Ga_N・InGa_N(1-101)面領域である。また、上記複合回路1005は、DC - DCコンバータ用のAlGa_N・Ga_N電界効果トランジスタと、DC - DCコンバータ用のAlGa_N・Ga_Nショットキダイオードとから成っている。

【0122】

上記AlGa_N・Ga_N電界効果トランジスタ1003は、III - V族化合物バッファ層の一例としてのGa_Nバッファ層1091を介してSi(001)5.3°面基板1001上に形成されている。

【0123】

上記AlGa_N・Ga_N・InGa_N端面放射型レーザ素子1006は、III - V族化合物バッファ層の一例としてのGa_Nバッファ層1090を介してSi(001)5.3°面基板1001上に形成されている。

【0124】

上記複合回路1005のAlGa_N・Ga_N電界効果トランジスタ及びAlGa_N・Ga_Nショットキダイオードは、Ga_Nバッファ層1092を介してSi(001)5.3°面基板1001上に形成されている。

【0125】

10

20

30

40

50

また、図示しないが、上記Si CMOS回路1004はSi系トランジスタの一例としてのSiトランジスタで構成されている。

【0126】

これまでの実施例は、III-N半導体のエピタキシャル層をSi基板にエッチングされたグループに選択成長して、非平坦な構成にしていた。場合によっては、図11に示すように、Si基板の一例としてのSi(001)9.3°面基板1101の表面における窪み1100に形成されたGaNバッファ層1190上にAlGaN・GaN電界効果トランジスタ1103を設けるのが有効である。ここでは、上記GaNバッファ層1190がIII-V族化合物バッファ層の一例に相当し、AlGaN・GaN電界効果トランジスタ1103がIII-V族化合物半導体素子の一例に相当する。また、上記AlGaN・GaN電界効果トランジスタ1103の構成は、図2のAlGaN・GaN電界効果トランジスタ1103の構成と同様である。

10

【0127】

なお、図11において、1112は厚さ50nmのSiNx、1121は厚さ10μmのBCB絶縁層、1122はソースオーミックコンタクト電極1118に接続された2次ソース電極配線、1123はドレーンオーミックコンタクト電極1119に接続された2次ドレーン電極配線である。

【0128】

以上のように、上記窪み1100に形成されたGaNバッファ層1190上にAlGaN・GaN電界効果トランジスタ1103を設けた場合、平坦なSi/III-N回路が出来る。つまり、上記Si(001)9.3°面基板1101の表面と、AlGaN・GaN電界効果トランジスタ1103の表面とを略同じ高さにすることができる。その結果、フォトリソットのステップカバレッジの問題とステップのピントが合わない問題とが解消して、製造が容易になる。

20

【0129】

図12に、面発光型半導体レーザ素子を含むレーザドライバチップの模式斜視図を示す。このレーザドライバチップはIII-N回路およびSi回路を含んでいる。

【0130】

図12において、1201はSi基板の一例としてのSi(001)7.3°面基板、1202はAlGaN・GaNの電界効果トランジスタ用の選択成長されたAlN・GaN・AlGaN(1-101)面領域、1203はIII-V族化合物半導体素子の一例としてのレーザドライバ回路用のAlGaN・GaN電界効果トランジスタ、1204はレーザドライバ回路用、DC-DCコンバータ用のSi CMOS回路、1205はDC-DCコンバータ用の複合回路、1206はIII-V族化合物半導体素子の一例としてのAlGaN・GaN・InGaN面発光型半導体レーザ素子、1207は面発光型半導体レーザ素子用の選択成長されたAlN・AlGaN・GaN・InGaN(1-101)面領域、1208は面発光型半導体レーザ素子用の窪みである。上記複合回路1205は、DC-DCコンバータ用のAlGaN・GaN電界効果トランジスタと、DC-DCコンバータ用のAlGaN・GaNショットキダイオードとで構成されている。

30

【0131】

上記AlGaN・GaN電界効果トランジスタ1203は、Si(001)7.3°面基板1201の表面上にIII-V族化合物バッファ層の一例としてのGaNバッファ層1291を介して形成されている。

40

【0132】

上記複合回路1205のAlGaN・GaN電界効果トランジスタ、AlGaN・GaNショットキダイオードは、Si(001)7.3°面基板1201の表面上にGaNバッファ層1292を介して形成されている。

【0133】

上記AlGaN・GaN・InGaN面発光型半導体レーザ素子1206は、III-V族化合物バッファ層の一例としてのGaNバッファ層1290を介してSi(001)7

50

.3°面基板1201上に形成されている。そのGa_{0.9}N_{0.1}バッファ層1290はSi(001)7.3°面基板1201の表面の窪み1208に形成されている。

【0134】

また、図示しないが、上記SiCMOS回路1204はSi系トランジスタの一例としてのSiトランジスタで構成されている。

【0135】

上記構成のレーザドライバチップによれば、AlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}・InGa_{0.9}N_{0.1}面発光型半導体レーザ素子1207のエピタキシャル層が厚いが、AlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}・InGa_{0.9}N_{0.1}面発光型半導体レーザ素子1207を窪み1208上に配置しているため、その窪み1208の深さを適切に設定することにより、平坦なSi/III-N回路が出来る。つまり、上記Si(001)7.3°面基板1201の表面と、AlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}・InGa_{0.9}N_{0.1}面発光型半導体レーザ素子1207の表面とを略同じ高さにすることができる。その結果、フォトリソのステップカバレッジの問題とステップのピントが合わない問題とが解消して、製造が容易になる。

【0136】

図13に、複数の窪みが表面に形成された基板を備えたレーザドライバチップの模式斜視図を示す。

【0137】

図13において、1301はSi基板の一例としてのSi(001)7.3°面基板、1302はAlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}電界効果トランジスタ用の選択成長されたAl_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}・AlGa_{0.9}N_{0.1}(1-101)面領域、1303はIII-V族化合物半導体素子の一例としてのレーザドライバ回路用のAlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}電界効果トランジスタ、1304はレーザドライバ回路用、DC-DCコンバータ用のSiCMOS回路、1305はDC-DCコンバータ回路用の複合回路、1306はIII-V族化合物半導体素子の一例としてのAlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}・InGa_{0.9}N_{0.1}面発光型半導体レーザ素子、1307は面発光型半導体レーザ素子用の選択成長されたAl_{0.9}N_{0.1}・AlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}・InGa_{0.9}N_{0.1}(1-101)面領域、1308は面発光型半導体レーザ素子用の窪み、1309, 1310は電界効果トランジスタ用、ショットキダイオード用の窪みである。上記複合回路1305は、DC-DCコンバータ回路用のAlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}電界効果トランジスタと、DC-DCコンバータ回路用のAlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}ショットキダイオードとで構成されている。また、上記窪み1390, 1391, 1392は互いに異なる深さを有している。

【0138】

上記AlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}電界効果トランジスタ1303は、III-V族化合物バッファ層の一例としてのGa_{0.9}N_{0.1}バッファ層1391を介してSi(001)7.3°面基板1301上に形成されている。そのGa_{0.9}N_{0.1}バッファ層1391は、Si(001)7.3°面基板1301の表面の窪み1309に形成されている。

【0139】

上記複合回路1305のAlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}電界効果トランジスタ及びAlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}ショットキダイオードは、Si(001)7.3°面基板1301の表面の窪み1310に形成されたGa_{0.9}N_{0.1}バッファ層1392上に設けられている。

【0140】

上記AlGa_{0.9}N_{0.1}・Ga_{0.9}N_{0.1}・InGa_{0.9}N_{0.1}面発光型半導体レーザ素子1306は、III-V族化合物バッファ層の一例としてのGa_{0.9}N_{0.1}バッファ層1390上に形成されている。そのGa_{0.9}N_{0.1}バッファ層1390は、Si(001)7.3°面基板1301の表面の窪み1308に形成されている。

【0141】

また、図示しないが、上記SiCMOS回路1304はSi系トランジスタの一例としてのSiトランジスタで構成されている。

【0142】

上記構成のレーザドライバチップによれば、上記窪み1390, 1391, 1392の

10

20

30

40

50

深さを夫々適切に設定することにより、平坦なSi/III-N回路が出来る。つまり、上記Si(001)7.3°面基板1301の表面と、AlGaInGaIn面発光型半導体レーザ素子1306の表面と、AlGaInGaIn電界効果トランジスタ1303の表面と、複合回路1305の表面とを略同じ高さにすることができる。その結果、フォトリソのステップカバレッジの問題とステップのピントが合わない問題とが解消して、製造が容易になる。

【0143】

また、本実施の形態2のレーザドライバチップが上記実施の形態1と同様の効果を奏するのは言うまでもない。

【0144】

本発明の半導体装置に用いる半導体材料はIII-Nの材料とSi系の材料である。III-Nの材料は第5族の原子が主にNであるので、他の第5族の原子(PとAs等)が僅かに含まれてもこの発明の本質が変わらない。また、Si系の材料は主にSiの原子である。Si系とは、Siの一般的にSi基板に成長される合金、例えばSiGeやSiGeC等も含む。

本発明の半導体装置はIII-V化合物半導体素子を備えてもよい。

【0145】

本発明のDC-DCコンバータはPWM方式のDC-DCコンバータであってもよいし、PFM方式のDC-DCコンバータであってもよい。

【0146】

本発明の半導体装置は、上記実施の形態1,2で用いたIII-V族化合物半導体素子以外のIII-V族化合物半導体素子を備えていてもよい。

【0147】

本発明の半導体装置をフォトディテクタアセンブリに用いてもよい。つまり、上記フォトディテクタアセンブリは、本発明の半導体装置を用いたフォトディテクタと、このフォトディテクタに電圧を印加するバイアス回路とを備え、フォトディテクタが実質的にIII-N化合物半導体からなってもよい。この場合、上記フォトディテクタアセンブリを低コストで高機能化することが出来る。

【0148】

また、上記フォトディテクタが実質的にIII-N化合物半導体からなるので、環境への悪影響を低減することが出来る。

【0149】

本発明の半導体装置は、Si(001)5.3°~9.3°の範囲の面基板を備えてもよい。

【0150】

本発明の半導体装置は、複数の窪みを表面に有するSi基板を備えていてもよい。この場合、上記複数の窪みのうちの少なくとも2つを異なる深さにしてもよい。ここで、上記窪みの深さとは、Si基板の表面から窪みの一番深い部分までの長さを指す。

【0151】

本発明の半導体装置を携帯装置に用いてもよい。この場合、上記携帯装置を低コストで高機能化することが出来る。

【0152】

好ましくは、上記携帯装置の電源は持ち運びが容易な携帯電源である。より好ましくは、上記携帯装置の電源は電池である。

【0153】

また、好ましくは、上記携帯装置は情報通信機能を含む。

【0154】

また、好ましくは、上記携帯装置は携帯電話またはコンピューターである。

【0155】

また、好ましくは、上記携帯装置は、記録媒体に記録された情報を光学的により読み出

10

20

30

40

50

す機能を含む。または、上記携帯装置は、記録媒体に記録された情報を光学的手段により読み出す機能と、その記録媒体に情報を光学的に記録する機能とを含む。

【0156】

【発明の効果】

以上より明らかのように、本発明の半導体装置は、III-N化合物半導体デバイスと共にSi/III-N半導体で作られたDC-DCコンバータを同じSi基板に集積すればいくつかの応用に有効である。

【0157】

高周波応用又は高電力応用の場合は最適な印加電圧で動作するとIII-NのRFトランジスタの性能は、SiやSiGeトランジスタよりいい。高周波Siトランジスタの耐圧に比べるとIII-N化合物トランジスタの耐圧が高い。しかし、一方SiやSiGeの回路はIII-Nの回路に比べると機能性が高く、動作電圧が低い。本発明はIII-NデバイスとSi系のデバイスを一体に集積することにより、同じ低電圧印加電圧で動作させることができる。

10

【0158】

本発明により、コストが低くて、低電圧の電池で駆動可能な回路が出来る。電池の電圧がIII-Nデバイスの最適な印加電圧より低くてもDC-DCコンバータで昇圧して最適な印加電圧にできるので効率的な動作が出来る。現在の携帯電話は電池の電圧が一般的に3.6Vか3.6V以下であるので、従来のRF回路では、Si、GaAs、又はInPのトランジスタを用いている。本発明ではIII-N化合物半導体トランジスタを用いるので、従来のSiのRF回路に比べると効率をより高く動作できる。本発明により従来のGaAs及びInPのRF回路に比べるとコストがより低くて、効率がより高い動作が可能である。

20

【0159】

つまり、本発明の回路は従来の技術に比較すると下記(a)~(d)のようなメリットがある。

- (a) 性能が高い
- (b) 機能性が高い
- (c) 供給電圧が低い
- (d) コストが低い

30

【0160】

本発明のもう一つのメリットはGaAsやInGaAsと違ってAsを含んでいる化合物がない。III-V化合物に一般的に入っているAsは環境の問題の虞がある。

【0161】

本発明の技術はDC-DCコンバータのSi系の回路だけではなく、他のSi系の回路を集積することも可能である。例えば、携帯電話の全てのSiのRF回路を一体のSi基板に集積することが出来る。更に集積すれば、Si系のベースバンド回路も含めることが出来て更にコストと性能の改善が出来る。図1はこのような携帯電話のRF送信機チップの実施形態を示す図である。図1に示したチップはSi(001)7.3°面基板から分割されて、全てのRFとベースバンド回路がSiのCMOSとAlGaN・GaNの電界効果トランジスタ技術で作られる。

40

【0162】

電池により電圧が供給される高電力で、高周波数の回路には本発明が特に有効である。本発明を特に有効に使用する回路の種類としてはRF回路又はミックスシグナル回路又はvisibleとUVのオプティカルディテクタの回路又はvisibleとUVのオプティカルエミッタの回路がある。実施の形態2はIII-N/Siのレーザドライバ回路である。Si系の信号処理回路を集積化出来る。更に集積化すればLASER自体も集積化出来る回路である。この回路は低電圧電池で動作することも出来る。このように高機能性がある回路は従来のCDプレーヤーやMDプレーヤーやDVDプレーヤーに用いることが出来る。

【図面の簡単な説明】

50

【図1】 図1は本発明の実施の形態1の携帯電話の送信器チップの模式斜視図である。

【図2】 図2はAlGa_N・Ga_N電界効果トランジスタの模式断面図である。

【図3】 図3は上記送信器チップの変形例のAlGa_N・Ga_N電界効果トランジスタの模式断面図である。

【図4】 図4は上記送信器チップの他の変形例のAlGa_N・Ga_N電界効果トランジスタの模式断面図である。

【図5】 図5は上記送信器チップにおけるPWM方式のDC-DCコンバータの模式回路図である。

【図6】 図6はPFM方式のDC-DCコンバータの模式回路図である。

【図7】 図7は、PWM方式のDC-DCコンバータがRFパワーアンプファイアのAlGa_N・Ga_N電界効果トランジスタのドレーンに一定の印加電圧を供給する集積回路の模式回路図である。

10

【図8】 図8は、PWM方式のDC-DCコンバータがRFパワーアンプファイアのAlGa_N・Ga_N電界効果トランジスタのドレーンに可変印加電圧を供給する集積回路の模式回路図である。

【図9】 図9は本発明の実施の形態1のレーザドライバチップの模式斜視図である。

【図10】 図10は上記レーザドライバチップの変形例の模式斜視図である。

【図11】 図11は窪みに成長させたAlGa_N・Ga_Nの電界効果トランジスタの模式断面図である。

【図12】 図12は面発光型半導体レーザ素子を含むレーザドライバチップの模式斜視図である。

20

【図13】 図13は複数の窪みが表面に形成された基板を備えたレーザドライバチップの模式斜視図である。

【符号の説明】

90 Ga_Nバッファ層

100 Siオフ基板

102 DC-DCコンバータ

103 AlGa_N・Ga_N電界効果トランジスタ

107 SiCMOSスイッチングトランジスタ

901 Si(001)7.3°面基板

30

903 AlGa_N・Ga_N電界効果トランジスタ

1001 Si(001)5.3°面基板

1003 AlGa_N・Ga_N電界効果トランジスタ

1006 AlGa_N・Ga_N・InGa_N端面放射型レーザ素子

1090, 1091 Ga_Nバッファ層

1101 Si(001)9.3°面基板

1103 AlGa_N・Ga_N電界効果トランジスタ

1201 Si(001)7.3°面基板

1203 AlGa_N・Ga_N電界効果トランジスタ

1206 AlGa_N・Ga_N・InGa_N面発光型半導体レーザ素子

40

1290, 1291 Ga_Nバッファ層

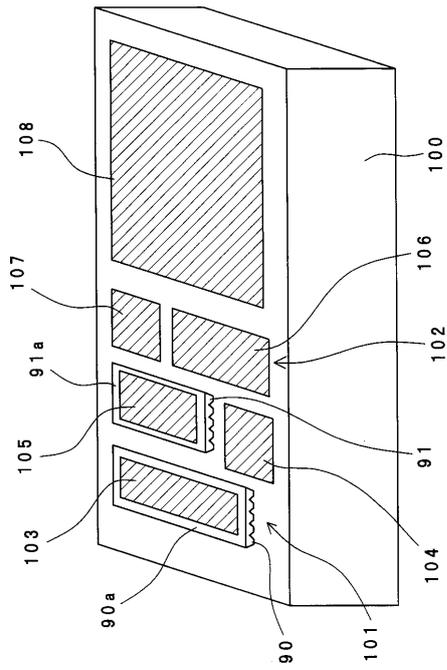
1301 Si(001)7.3°面基板

1303 AlGa_N・Ga_N電界効果トランジスタ

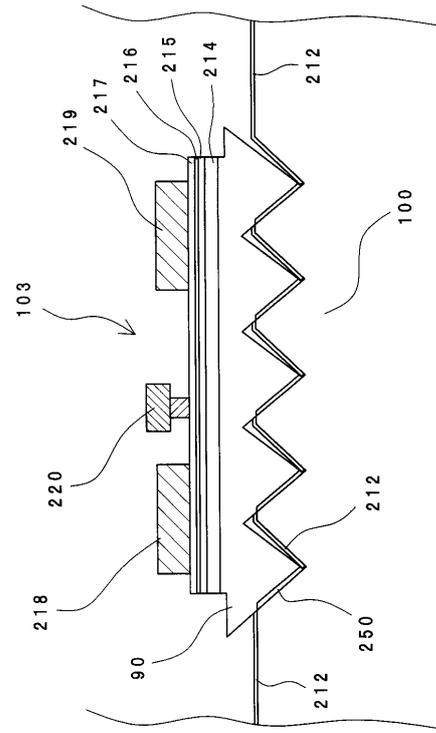
1306 AlGa_N・Ga_N・InGa_N面発光型半導体レーザ素子

1390, 1391 Ga_Nバッファ層

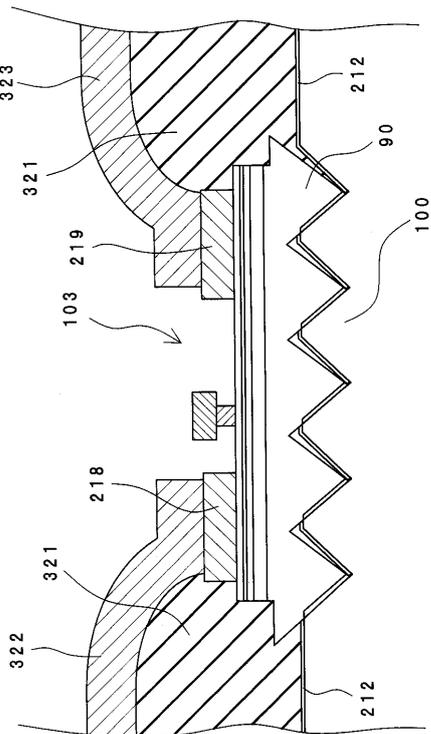
【図 1】



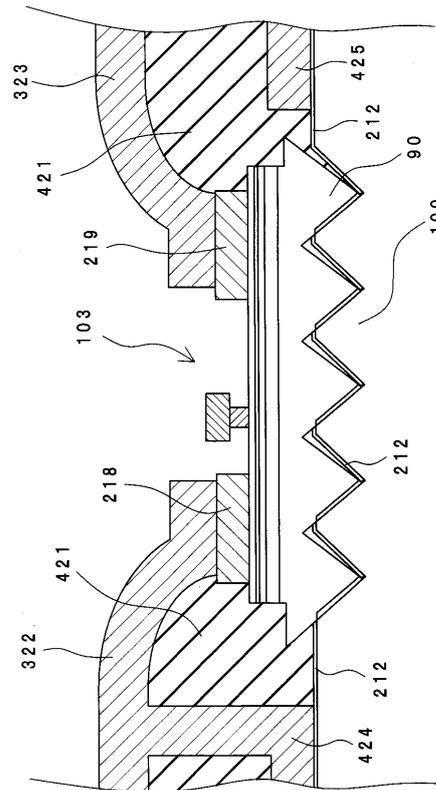
【図 2】



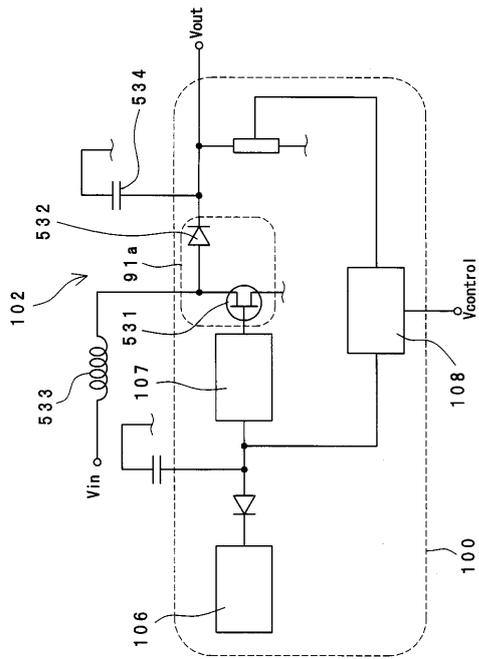
【図 3】



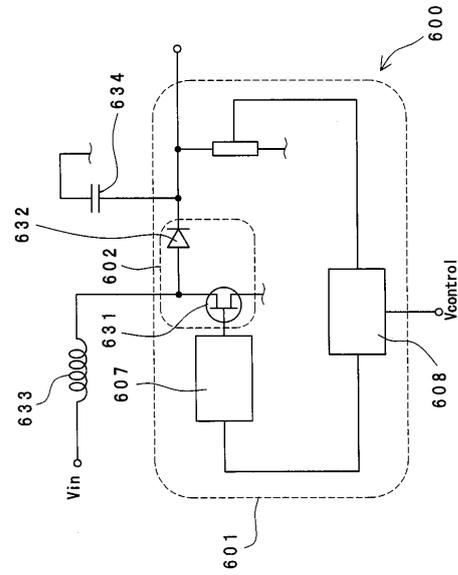
【図 4】



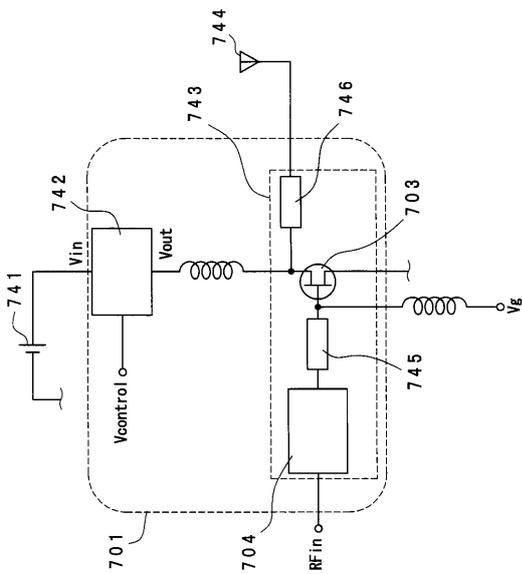
【図 5】



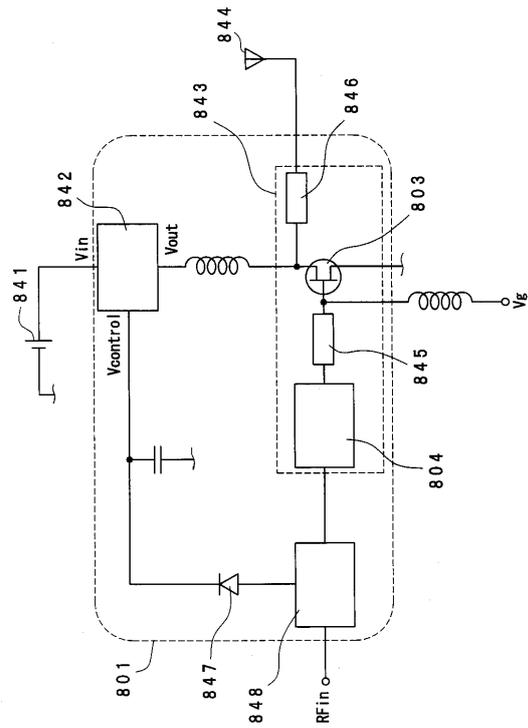
【図 6】



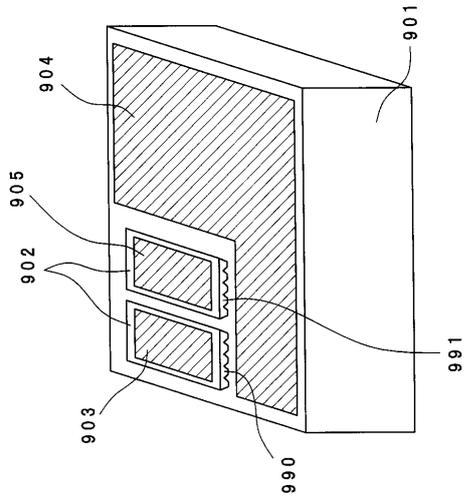
【図 7】



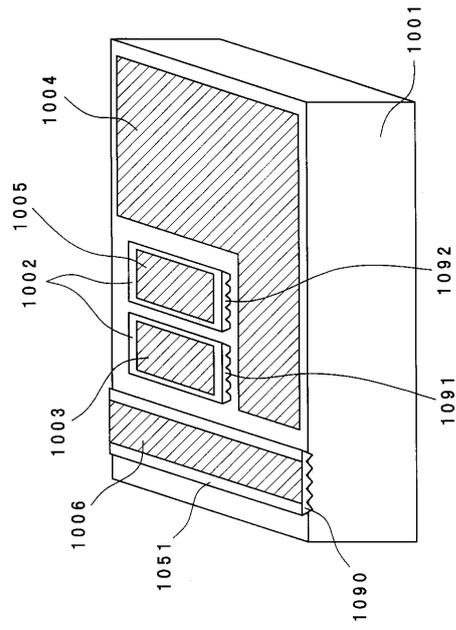
【図 8】



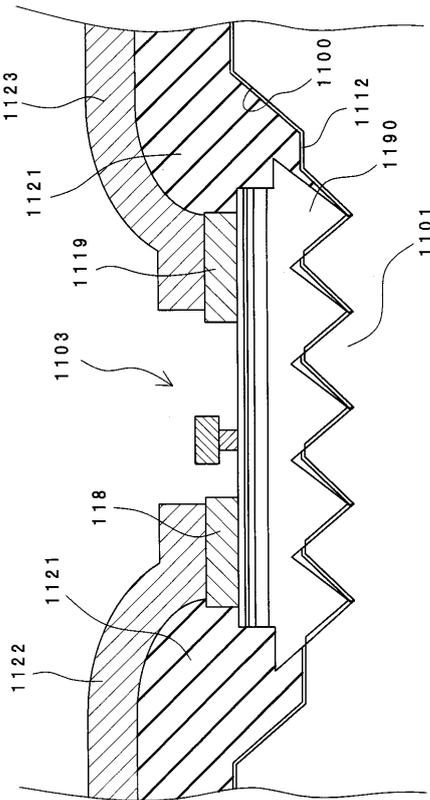
【 図 9 】



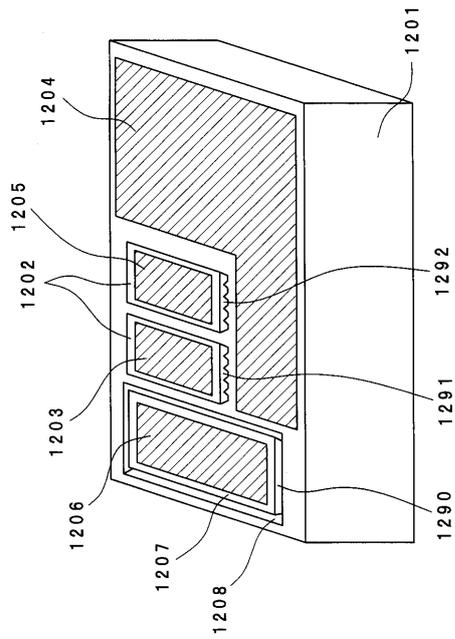
【 図 10 】



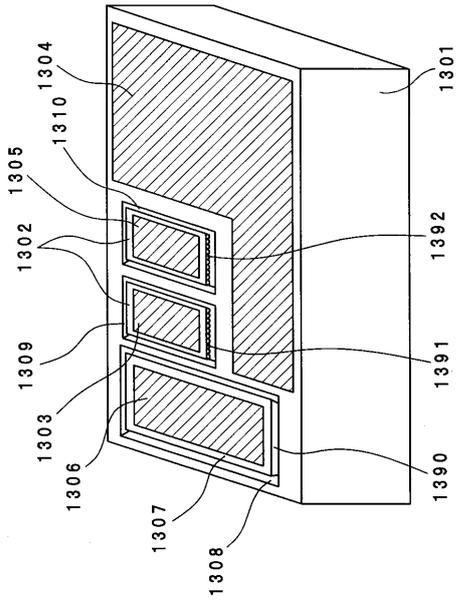
【 図 11 】



【 図 12 】



【 図 13 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/26 (2006.01) H 0 1 S 5/026 6 5 0
H 0 1 S 5/026 (2006.01)

(56)参考文献 特開平01-120013(JP,A)
特開平04-373121(JP,A)
特開昭63-018661(JP,A)
特開2002-246646(JP,A)
特開2002-260266(JP,A)
特開2002-329918(JP,A)
特開2000-349393(JP,A)
特開2002-111050(JP,A)
特開2001-223341(JP,A)
特開2000-332229(JP,A)
特開平03-091273(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/20
H01L 27/04
H01L 27/095
H01L 29/26
H01L 31/10
H01S 5/026