

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-109449

(P2020-109449A)

(43) 公開日 令和2年7月16日(2020.7.16)

(51) Int.Cl.			F I			テーマコード (参考)		
G02F	1/1368	(2006.01)	G02F	1/1368		2H092		
G02F	1/1343	(2006.01)	G02F	1/1343		2H192		
G09F	9/30	(2006.01)	G09F	9/30	308Z	5C094		

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2019-601 (P2019-601)
 (22) 出願日 平成31年1月7日 (2019.1.7)

(71) 出願人 00006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 平田 直也
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 Fターム(参考) 2H092 GA64 JA26 JA46 JB57 KA08
 KA12 KA18 KA22 KB04 KB14
 KB24 KB25 MA56 NA14 NA27
 2H192 AA24 CB05 CB37 GA15 GA31
 5C094 AA15 BA03 BA43 CA19 DA05
 DA13 FA02 FB02 FB14

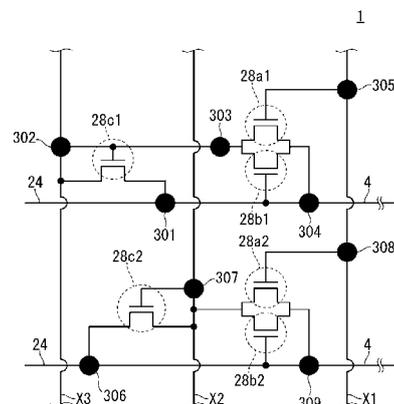
(54) 【発明の名称】 液晶表示パネルおよび液晶表示装置

(57) 【要約】

【課題】 額縁領域の拡大を抑制した液晶表示パネルを提供する。

【解決手段】 第1の基板は、主面上にゲート配線およびソース配線が互いに交差するように配置され、隣接するゲート配線とソース配線とで囲まれる領域に設けられた画素がマトリクス状に配列された表示領域、該表示領域に接する非表示領域、非表示領域に設けられ静電気に対する保護回路および画素の点灯検査のための検査回路を備え、検査回路は、ゲート配線と交差する第1および第2のゲート検査信号線と、ゲート配線と第1のゲート検査信号線との間に接続された第1のトランジスタを有し、保護回路は、ゲート配線と第1のゲート検査信号線との間に接続された第2のトランジスタ、ゲート配線と第1のゲート検査信号線との間に接続された第3のトランジスタを有し、第1～第3のトランジスタのそれぞれのゲート電極は、第2のゲート検査信号線、ゲート配線、第1のゲート検査信号線に接続される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

互いに対向して配置された第 1 および第 2 の基板と、
前記第 1 および第 2 の基板の間に封止された液晶層と、を備えた液晶表示パネルであっ
て、

前記第 1 の基板は、

主面上にゲート配線およびソース配線が互いに交差するように配置され、隣接する前記
ゲート配線と前記ソース配線とで囲まれる領域に設けられた画素がマトリックス状に配列
された表示領域と、該表示領域に接する非表示領域と、

前記非表示領域に設けられ、静電気に対する保護回路および前記画素の点灯検査のため
の検査回路と、を備え、

前記検査回路は、

前記ゲート配線と交差する第 1 および第 2 のゲート検査信号線と、

前記ゲート配線と前記第 1 のゲート検査信号線との間に接続された第 1 のトランジスタ
を有し、

前記第 1 のトランジスタは、ゲート電極が前記第 2 のゲート検査信号線に接続され、

前記保護回路は、

前記ゲート配線と前記第 1 のゲート検査信号線との間に接続された第 2 のトランジスタ
と、

前記ゲート配線と前記第 1 のゲート検査信号線との間に接続された第 3 のトランジスタ
と、を有し、

前記第 2 のトランジスタは、前記ゲート電極が前記ゲート配線に接続され、

前記第 3 のトランジスタは、前記ゲート電極が前記第 1 のゲート検査信号線に接続され

、
前記第 1 ~ 第 3 のトランジスタは、前記第 1 のゲート検査信号線と前記第 2 のゲート検
査信号線との間に配設される、液晶表示パネル。

【請求項 2】

前記ゲート配線と前記第 1 ~ 第 3 のトランジスタのドレイン電極およびソース電極とは
高さが異なる層に配置され、

前記第 1 のトランジスタのドレイン電極と前記ゲート配線との間は、異なる層間を接続
する第 1 のレイヤー変換部によって接続され、

前記第 2 のトランジスタのソース電極と前記ゲート配線との間は、前記 1 のレイヤー変
換部によって接続される、請求項 1 記載の液晶表示パネル。

【請求項 3】

前記第 1 のトランジスタのソース電極と、前記第 2 のトランジスタのドレイン電極とは
、共通して前記第 1 のゲート検査信号線に電氣的に接続される、請求項 1 記載の液晶表示
パネル。

【請求項 4】

前記表示領域の前記ゲート配線の延在方向の両側の前記非表示領域に前記ゲート配線に
対してゲート信号を入力するゲート駆動回路をそれぞれ備え、

前記保護回路および前記検査回路は、前記ゲート配線の延在方向の前記両側の前記非表
示領域に設けられる、請求項 1 記載の液晶表示パネル。

【請求項 5】

前記表示領域は、平面視形状が非矩形である、請求項 4 記載の液晶表示パネル。

【請求項 6】

前記第 1 のトランジスタは、

前記ゲート電極との間にゲート絶縁膜を介して設けられたチャネル層を有し、

前記チャネル層は、酸化物半導体で構成される、請求項 1 記載の液晶表示パネル。

【請求項 7】

請求項 1 記載の表示パネルと、

10

20

30

40

50

前記表示パネルの一方の主面側に配置された光源と、
少なくとも前記表示パネルおよび前記光源を収納する筐体と、を備える、液晶表示装置

。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示パネルに関し、特に、表示領域が非矩形の液晶表示パネルに関する。

【背景技術】

【0002】

今日、液晶、エレクトロルミネセンス等の原理を利用した薄型で平板な表示パネルは、
表示装置に多く使用されている。これらの表示装置の代表である液晶表示装置は、薄型、
軽量だけでなく、低電圧駆動できるという特徴を有している。

10

【0003】

特に、薄膜トランジスタ（Thin Film Transistor：TFT）型液晶表示装置は、各画素
がスイッチングデバイスであるTFTで点灯制御され、各画素が独立して液晶を駆動する
電圧を保持できるので、クロストークの少ない高画質な表示が可能である。また、TFT
のON、OFFを制御するゲート配線（走査配線）と、画像データ入力用のソース配線（
信号配線）が互いに直交するように配置され、通常はゲート配線とソース配線に囲まれた
領域に1つの画素が形成されるので、複数の画素がマトリクス状（アレイ状）に配列さ
れることとなる。

20

【0004】

液晶表示装置では、複数の画素がマトリクス状に配置された表示領域を有するTFT
アレイ基板と、カラーフィルタ（CF）が配置されるカラーフィルタ基板との間に液晶層
が形成される。

【0005】

TFTアレイ基板は、表示領域と、表示領域に接する非表示領域である額縁領域を有し
ている。TFTアレイ基板上の額縁領域には、ゲート信号およびソース信号を表示領域へ
伝達するための引き回し配線、表示パネルの状態を駆動して、検査するための検査回路、
静電気に対する保護回路の他に、表示パネルを駆動するためのIC（集積回路）およびF
PC（Flexible Printed Circuit）などの回路部材を実装する為の端子など、表示パネル
を駆動し、品質を確保するための重要な機能を有する構成を作り込む。

30

【0006】

ICから表示領域へのゲート信号の入力方法としては、通常、TFTアレイ基板の一辺
にゲートICを実装し、そこからゲート配線にゲート信号を入力する。このような構成で
は、ゲート信号の入力側に保護回路、その反対側に検査回路を配置するなどし、額縁全体
が大きくなるように額縁内での各構成の配置を決めている。

【0007】

近年、薄型表示装置が主流になるにつれて、要求される製品の機能、形態も多様化して
いる。表示領域の形状も従来の正方形、長方形のような矩形でなく、円形、楕円形、多
角形（矩形は除く）等の様々な非矩形の表示領域を有する薄型表示装置の要求が生じてい
る。上述のような要望のある表示装置として、例えば、携帯端末用表示装置、車載用表示
装置などが挙げられる。

40

【0008】

表示領域が非矩形の場合、特に表示領域に切り欠き部が設けられるような形状の場合は
、ゲート配線が途中で途切れるように配置される場合もある。そのため、ゲート信号をT
FTアレイ基板の一辺側からだけでなく、対向する辺側からも入力する場合がある。この
場合、検査回路、静電気保護回路は、ゲートICが実装されたそれぞれの辺側に配置する
必要が生じる。

【0009】

特許文献1の図1には、従来の検査回路が開示されており、額縁領域に複数のトランジ

50

スタで構成される検査回路が設けられている。

【0010】

また、特許文献2の図9には、従来の静電気保護回路が開示されており、額縁領域に互いに逆向きに並列接続された2つのダイオードで構成される静電気保護回路が設けられている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開平7-333275号公報

【特許文献2】特表1997-13177号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0012】

表示領域が非矩形の液晶表示装置において、ゲート信号をTFTアレイ基板の対向する2辺それぞれから入力する場合、特許文献1のように検査回路を配置し、加えて特許文献2のように静電気保護回路を配置した場合、検査回路を配置する領域に加えて静電気保護回路を配置する領域が必要となるので、額縁領域が拡大するといった問題があった。

【0013】

本発明は上記のような問題を解決するためになされたものであり、額縁領域の拡大を抑制した液晶表示パネルを提供することを目的とする。

20

【課題を解決するための手段】

【0014】

本発明に係る液晶表示パネルは、互に対向して配置された第1および第2の基板と、前記第1および第2の基板の間に封止された液晶層と、を備えた液晶表示パネルであって、前記第1の基板は、主面上にゲート配線およびソース配線が互いに交差するように配置され、隣接する前記ゲート配線と前記ソース配線とで囲まれる領域に設けられた画素がマトリクス状に配列された表示領域と、該表示領域に接する非表示領域と、前記非表示領域に設けられ、静電気に対する保護回路および前記画素の点灯検査のための検査回路と、を備え、前記検査回路は、前記ゲート配線と交差する第1および第2のゲート検査信号線と、前記ゲート配線と前記第1のゲート検査信号線との間に接続された第1のトランジスタを有し、前記第1のトランジスタは、ゲート電極が前記第2のゲート検査信号線に接続され、前記保護回路は、前記ゲート配線と前記第1のゲート検査信号線との間に接続された第2のトランジスタと、前記ゲート配線と前記第1のゲート検査信号線との間に接続された第3のトランジスタと、を有し、前記第2のトランジスタは、前記ゲート電極が前記ゲート配線に接続され、前記第3のトランジスタは、前記ゲート電極が前記第1のゲート検査信号線に接続され、前記第1～第3のトランジスタは、前記第1のゲート検査信号線と前記第2のゲート検査信号線との間に配設される。

30

【発明の効果】

【0015】

本発明に係る液晶表示パネルによれば、保護回路および検査回路を構成する第1～第3のトランジスタが、第1のゲート検査信号線と前記第2のゲート検査信号線との間に配設され、第1のゲート検査信号線とゲート配線との間に、第2および第3のトランジスタが双方向のダイオード接続となるように接続されるので、ゲート配線に侵入した静電気は第2のトランジスタを通して第1のゲート検査信号線に流れ、第1のゲート検査信号線に侵入した静電気は第3のトランジスタを通過することで減衰する。このように、第1のゲート検査信号線をショートリング配線として使用することで、ショートリング配線が不要となり、保護回路および検査回路を非表示領域に設ける場合でも、額縁領域の拡大を抑制できる。

40

【図面の簡単な説明】

【0016】

50

【図 1】本発明に係る実施の形態の液晶表示パネルの平面図である。

【図 2】検査回路および静電気保護回路を示した回路図である。

【図 3】検査回路および静電気保護回路のパターンを示した平面図である。

【図 4】静電気保護回路の部分断面図である。

【図 5】比較例の液晶表示パネルの平面図である。

【図 6】比較例の検査回路および静電気保護回路を示した回路図である。

【図 7】比較例の検査回路および静電気保護回路のパターンを示した平面図である。

【図 8】本発明に係る実施の形態の液晶表示パネルの製造工程を示す断面図である。

【図 9】本発明に係る実施の形態の液晶表示パネルの製造工程を示す断面図である。

【図 10】本発明に係る実施の形態の液晶表示パネルの製造工程を示す断面図である。

10

【図 11】本発明に係る実施の形態の液晶表示パネルの製造工程を示す断面図である。

【図 12】本発明に係る実施の形態の液晶表示パネルの製造工程を示す断面図である。

【図 13】本発明に係る実施の形態の液晶表示パネルの製造工程を示す断面図である。

【図 14】本発明に係る実施の形態の液晶表示パネルの製造工程を示す断面図である。

【発明を実施するための形態】

【0017】

<実施の形態>

<装置構成>

図 1 は、本発明に係る実施の形態の液晶表示パネル 1000 の平面図である。図 1 に示すように液晶表示パネル 1000 は、画像を表示する表示部に相当する表示領域 1 と、表示領域 1 に接する非表示領域である額縁領域 2 とを有する。ここでは一例として、額縁領域 2 は、表示領域 1 を囲むように設けられているものとする。

20

【0018】

また、図 1 においては、TFT アレイ基板 100 (第 1 の基板) と対向基板 200 (第 2 の基板) とを重畳させて示しており、対向基板 200 は少なくとも表示領域 1 と重畳するように配置されている。また、図示しないが、TFT アレイ基板 100 と対向基板 200 との間には、電気光学材料である液晶が封入されており、液晶が漏れないようにシール材で封止する等の公知の方法により封止されている。対向基板 200 は、カラーフィルタが配置されるカラーフィルタ基板であるが、カラーフィルタ基板については、液晶表示パネルに一般的に用いられるもので構わないことから、詳細な説明は省略し、TFT アレイ

30

【0019】

図 1 において TFT アレイ基板 100 の表示領域 1 内を水平方向 (X 方向) に延在するように複数のゲート配線 4 が設けられ、表示領域 1 内を垂直方向 (Y 方向) に延在するように複数のソース配線 5 が設けられている。なお、TFT アレイ基板 100 は、ゲート配線 4 に平行な 2 辺のうち、一方の辺は直線であるが、他方の辺は、中央部が内側に台形上に後退した切り欠き部 NP を有しており、表示領域 1 の平面視形状が非矩形となっている。これは対向基板 200 も同様である。

【0020】

複数のゲート配線 4 と複数のソース配線 5 とが互いに直交することにより区切られる領域が 1 つの画素 PX を構成する。各画素 PX には、ソース配線 5 の一部で構成されるソース電極および画素電極の一部で構成されるドレイン電極、ゲート配線 4 の一部で構成されるゲート電極を有する薄膜トランジスタ (TFT) 28 が設けられている。TFT 28 は、画像信号をオン、オフすることにより、表示領域 1 における画像の表示に寄与する。

40

【0021】

なお、図 1 においては便宜上、表示領域 1 と額縁領域 2 との間を TFT アレイ基板 100 の輪郭に沿うように描かれた 1 本の境界線で表わしているが、実際は必ずしもそのような境界線があるとは限らず、表示領域 1 は画素 PX が集合した領域とすることができる。

【0022】

額縁領域 2 において、ソース配線 5 と平行な 2 辺側には、それぞれゲート IC 41 (ゲ

50

ート駆動回路)が配され、ゲート配線4と平行な1辺であって切り欠き部NPを有さない辺側には複数のソースIC51が配置されている。

【0023】

ゲートIC41およびソースIC51は、TFTアレ基板100上に設けられる端子(図示せず)とCOG(Chip On Glass)実装、COF(Chip on flexible-PCB)実装、TCP(Tape carrier package)実装などにより接続される。

【0024】

ここで、対向基板200は、ゲートIC41およびソースIC51が実装される辺の額縁領域2を露出するようにTFTアレ基板100よりも小さく形成されている。ゲートIC41およびソースIC51が実装されている辺以外の辺においては、対向基板200とTFTアレ基板100との端部は一致しているが、TFTアレ基板100の方が大きければ一致していなくとも良い。

【0025】

また、ゲートIC41およびソースIC51は、図示しない配線を介してフレキシブル基板であるFPC61と電氣的に接続される。また、ゲートIC41とソースIC51とは、ソースIC51が設けられた側のTFTアレ基板100の端縁部に接続されたフレキシブル基板であるFPC61を介して回路基板62と電氣的に接続される。液晶表示パネル1000は、回路基板62を介して液晶表示装置と信号のやり取りを行う。

【0026】

次に、各種の信号の経路について説明する。ゲートIC41から出力されるゲート信号は、ゲート引き回し配線24を介して表示領域1内のゲート配線4に伝達される。図1に示す液晶表示パネル1000では、一例として、表示領域1内にまで及ぶ切り欠き部NPを有した形状であり、一部のゲート配線4が途中で途切れる構成となっている。このため、TFTアレ基板100の左右の額縁領域2にそれぞれゲートIC41を配置し、左右からゲート信号を入力している。一方、ソースIC51はソース引き回し配線25を介してソース配線5と接続されており、ソース配線5に映像信号を供給する。

【0027】

また、図1に向かって左側の額縁領域2には、垂直方向に延在し、ゲート引き回し線24と交差するゲート検査信号線X1、X2およびX3が設けられている。また、図1に向かって下側の額縁領域2には、水平方向に延在し、ソース引き回し配線25と交差するソース検査信号線Y1、Y2およびY3が設けられ、また、ゲート検査信号線X1~X3およびソース検査信号線Y1~Y3がそれぞれ接続される複数の端子を有する検査パッド26が設けられている。

【0028】

また、ゲート検査信号線X1~X3の配設領域には、破線で囲まれる領域Aにおいて、検査回路および静電気に対する保護回路(以後、静電気保護回路と呼称)が設けられているが、便宜的に図示は省略する。なお、図1では、検査回路および静電気保護回路は図1に向かって左側の額縁領域2に設けられるものとして示したが、図1に向かって右側の額縁領域にも設けられる。

【0029】

以上説明した液晶表示パネル1000は、回路基板62を介して駆動用部材と接続され、また、液晶表示パネル1000の主面の両側に、偏光板および位相差板等が必要に応じて取り付けられ、TFTアレ基板100の外側には、背面光源(バックライト)が設けられ、これら取り付けられた液晶表示パネル1000は、所定の筐体内に収納されて液晶表示装置が完成する。

【0030】

図2は、図1の領域Aに形成される検査回路および静電気保護回路を示した回路図である。図2において、検査回路はゲート検査信号線X1~X3、トランジスタ28a1および28a2(第1のトランジスタ)により構成され、静電気保護回路はゲート検査信号線X2、X3(第1のゲート検査信号線)、トランジスタ28b1および28b2(第2の

10

20

30

40

50

トランジスタ)、トランジスタ28c1および28c2(第3のトランジスタ)により構成される。

【0031】

ゲート検査信号線X1~X3は、全てのゲート引き回し配線24と交差するように配置される。検査回路のトランジスタ28a1および28a2のゲート電極は、それぞれレイヤー変換部305および308を介してゲート検査信号線X1(第2のゲート検査信号線)に接続され、トランジスタ28a1のドレイン電極は、レイヤー変換部304を介してゲート配線4に接続され、トランジスタ28a2のソース電極は、レイヤー変換部303および302を介してゲート検査信号線X3に接続されている。また、トランジスタ28a2のドレイン電極は、レイヤー変換部309を介してゲート配線4に接続され、トランジスタ28a2のソース電極は、ゲート検査信号線X2に直接接続されている。

10

【0032】

検査時にはゲート検査信号線X1にトランジスタ28a1および28a2のオン電圧が入力され、この時、ゲート検査信号線X3およびX2にゲート検査信号が入力されることにより、それぞれトランジスタ28a1およびトランジスタ28a2を介してゲート配線4にゲート検査信号が入力される。

【0033】

通常、点灯検査は図1のゲートIC41、ソースIC51、FPC61および制御基板62が設けられていない状態のTFTアレイ基板100と対向基板200とが重畳している状態の液晶表示パネル1000に対して施され、パネル裏面側に光源を置いた状態で、検査信号を入力し表示領域1が点灯するか否かで適否を判定する。

20

【0034】

この場合、検査信号線X1~X3への入力信号は額縁領域2に設けられた検査パッド26から入力される。なお、図2においては、2本のゲート引き回し配線24とゲート検査信号線X1~X3との間に設けた複数のトランジスタのみを示したが、実際には、全てのゲート引き回し配線24とゲート検査信号線X1~X3との間に検査回路および静電気保護回路を構成するトランジスタが設けられる。

【0035】

次に静電気保護回路について説明する。図2に示されるように、トランジスタ28b1および28b2のゲート電極は、ゲート引き回し配線24に直接接続され、トランジスタ28b1および28b2のソース電極は、それぞれレイヤー変換部304および309を介してゲート引き回し配線24に接続される。また、トランジスタ28b1のドレイン電極は、レイヤー変換部303および302を介してゲート検査信号線X3に接続され、トランジスタ28b2のドレイン電極は、ゲート検査信号線X2に直接接続される。

30

【0036】

このような構成を採ることで、トランジスタ28b1および28b2がダイオード接続されることとなり、ゲート引き回し配線24に静電気が侵入した際に、静電気がトランジスタ28b1および28b2を通して、それぞれゲート検査信号線X3およびX2に流れるので、侵入した静電気が分散されることとなる。

【0037】

また、トランジスタ28c1のゲート電極は、レイヤー変換部303を介してトランジスタ28a1のソース電極に接続され、トランジスタ28c1のソース電極は、ゲート検査信号線X3に直接接続される。さらに、トランジスタ28c1のドレイン電極はゲート引き回し配線24にレイヤー変換部301を介して接続される。

40

【0038】

一方、トランジスタ28c2のゲート電極は、レイヤー変換部307を介してゲート検査信号線X2に接続され、トランジスタ28c2のドレイン電極は、ゲート引き回し配線24にレイヤー変換部306を介して接続され、トランジスタ28c2のソース電極はゲート検査信号線X2に直接接続される。

【0039】

50

このような構成を採ることで、トランジスタ 28c1 および 28c2 がダイオード接続されることとなり、それぞれゲート検査信号線 X3 および X2 を通ってきた静電気がトランジスタ 28c1 および 28c2 を通ることとなり、減衰することで表示領域 1 が保護される。

【0040】

以上説明したように、ゲート検査信号線とゲート引き回し線（ゲート配線）との間に、双方向のダイオード接続となるように、ゲート検査信号線 X2 および X3 とトランジスタ 28b1、28b2、28c1 および 28c2 を接続することによって静電気保護回路が形成される。

【0041】

図3は、図1の領域Aに形成される回路および配線のパターンを示した平面図であり、検査回路を構成するゲート検査信号線 X1 ~ X3、トランジスタ 28a1 および 28a2 と、静電気保護回路を構成するゲート検査信号線 X2、X3、トランジスタ 28b1、28b2、28c1 および 28c2 の平面パターンを示している。なお、図3においては、トランジスタ 28c1 のドレイン電極およびソース電極にそれぞれ符号 10 および 11 を付し、トランジスタ 28c2 のドレイン電極およびソース電極にそれぞれ符号 10c および 11c を付し、トランジスタ 28a1、28a2 のドレイン電極およびソース電極にそれぞれ符号 10a および 11a を付し、トランジスタ 28b1 および 28b2 のドレイン電極およびソース電極にそれぞれ符号 10b および 11b を付している。また、トランジスタ 28a1 および 28a2 は、ゲート電極 9 の上方に対応する位置にチャンネル層 20 が設けられ、その上にドレイン電極 10a およびソース電極 11a が設けられている。

【0042】

図3に示されるように、ゲート検査信号線 X1 ~ X3 およびゲート引き回し配線 24 と、トランジスタ 28a1 および 28a2 との接続、ゲート検査信号線 X2、X3 およびゲート引き回し配線 24 と、トランジスタ 28b1、28b2、28c1 および 28c2 との接続においては、ゲート電極およびゲート配線と同層にあるゲート引き回し線が、ソース電極およびソース配線と同層にあるゲート検査信号線 X1 ~ X3 よりも下層にあるので、レイヤー変換部 301 ~ 309 を用いて接続している。

【0043】

図4は図3におけるA-B線での矢視断面図であり、トランジスタ 28c1 とゲート引き回し配線 24 とがレイヤー変換部 301 によって接続されている部分の断面図である。図4に示されるように、TFTE基板 100 の母材となる絶縁性基板 16 上に、ゲート配線 4 およびゲート電極 9 が選択的に設けられ、ゲート配線 4 およびゲート電極 9 を覆うようにゲート絶縁膜 13 が設けられている。

【0044】

ゲート電極 9 の上方に対応する位置には、ゲート絶縁膜 13 を間に挟んで半導体層のチャンネル層 12 が選択的に設けられている。そして、チャンネル層 12 の上部には、ドレイン電極 10 およびソース電極 11 が、チャンネル層 12 上で互いに間隔を開けて部分的に接するように設けられている。ソース電極 11 は、図示されないゲート検査信号線 X3（図3）からゲート絶縁膜 13 上を介してチャンネル層 12 の一部上部まで延在するように設けられ、ドレイン電極 10 はチャンネル層 12 の一部上部からゲート絶縁膜 13 上にかけて設けられている。このような構成を有するトランジスタ 28c1 は、逆スタガ構造の薄膜トランジスタと言うことができる。

【0045】

そして、ゲート絶縁膜 13、ドレイン電極 10、ソース電極 11 およびドレイン電極 10 とソース電極 11 間のチャンネル層 12 を覆うように絶縁膜 14 が設けられている。また、絶縁膜 14 上には透明導電膜で構成されるレイヤー変換部 301 が選択的に設けられ、レイヤー変換部 301 は絶縁膜 14 を貫通してドレイン電極 10 に達するコンタクトホール 6、絶縁膜 14 およびゲート絶縁膜 13 を貫通してゲート配線 4 に達するコンタクトホール 6 に埋め込まれてドレイン電極 10 とゲート配線 4 を接続する。

10

20

30

40

50

【0046】

後に説明するが、絶縁性基板16には、ガラス基板および石英基板などの光透過性を有する基板が用いられ、上述した電極、配線等は適宜選択された金属膜または透明導電膜であり、絶縁膜は例えば窒化珪素膜、酸化珪素膜、樹脂膜等である。

【0047】

また、チャンネル層12およびチャンネル層20には、a-Si（アモルファスシリコン）膜が一般的に使用されるが、他にも例えば結晶性のシリコン膜、In-Ga-Zn-O等の酸化物半導体膜を使用しても良い。酸化物半導体膜を用いる場合には、トランジスタのオン特性を改善できるので、図3に示したトランジスタ28a1、28a2の薄膜トランジスタのサイズを小さくでき、額縁領域2の狭小化に寄与する。

10

【0048】

<効果>

<比較例>

ここで、図1～4を用いて説明した本実施の形態の液晶表示パネル1000による効果をより詳しく説明するために、図5～図7に示す比較例の説明を行う。図5は比較例の液晶表示パネル900の平面図であり、図1を用いて説明した液晶表示パネル1000と同一の構成については同一の符号を付し、重複する説明は省略する。

【0049】

図5において図1を用いて説明した液晶表示パネル1000との違いは、ゲート検査信号線X1～X3およびソース検査信号線Y1～Y3にそれぞれ並列するように設けられたショートリング配線27を有している点である。また、図5においてショートリング配線27およびゲート検査信号線X1～X3の配設領域において破線で囲まれる領域Bの構成は、図2においてゲート検査信号線X1～X3の配設領域で破線で囲まれる領域Aの構成とは異なっている。

20

【0050】

図6は、図5の領域Bに形成される検査回路と静電気保護回路を示した回路図である。図6において、検査回路は、ゲート検査信号線X1～X3、トランジスタ28a1および28a2により構成され、静電気保護回路は、ショートリング配線27、トランジスタ28b1、28c1、28b2および28c2により構成される。

【0051】

検査回路のトランジスタ28a1および28a2のゲート電極は、それぞれレイヤー変換部407および409を介してゲート検査信号線X1に接続され、トランジスタ28a1のドレイン電極は、レイヤー変換部408を介してゲート配線4に接続され、トランジスタ28a2のソース電極は、レイヤー変換部406および405を介してゲート検査信号線X3に接続されている。また、トランジスタ28a2のドレイン電極は、レイヤー変換部410を介してゲート配線4に接続され、トランジスタ28a2のソース電極は、ゲート検査信号線X2に直接接続されている。

30

【0052】

検査時にはゲート検査信号線X1にトランジスタ28a1および28a2のオン電圧が入力され、この時、ゲート検査信号線X3およびX2にゲート検査信号が入力されることにより、それぞれトランジスタ28a1およびトランジスタ28a2を介してゲート配線4にゲート検査信号が入力される。なお、検査方法については液晶表示パネル1000と同じである。

40

【0053】

次に静電気保護回路について説明する。図6に示されるように、トランジスタ28b1および28b2のゲート電極は、ゲート引き回し配線24に直接接続され、トランジスタ28b1および28b2のソース電極は、それぞれレイヤー変換部402および404を介してゲート引き回し配線24に接続される。また、トランジスタ28b1および28b2のドレイン電極は、何れもショートリング配線27に直接接続される。

【0054】

50

このような構成を採ることで、トランジスタ28b1および28b2がダイオード接続されることとなり、ゲート引き回し配線24に静電気が侵入した際に、静電気がトランジスタ28b1および28b2を通過して、ショートリング配線27に流れるので、侵入した静電気が分散されることとなる。

【0055】

また、トランジスタ28c1のゲート電極は、レイヤー変換部401を介してショートリング配線27に接続され、トランジスタ28c1のソース電極は、ショートリング配線27に直接接続される。さらに、トランジスタ28c1のドレイン電極はゲート引き回し配線24にレイヤー変換部402を介して接続される。

【0056】

一方、トランジスタ28c2のゲート電極は、レイヤー変換部403を介してショートリング配線27に接続され、トランジスタ28c2のソース電極は、ショートリング配線27に直接接続される。さらに、トランジスタ28c2のドレイン電極は、ゲート引き回し配線24にレイヤー変換部404を介して接続される。

【0057】

このような構成を採ることで、トランジスタ28c1および28c2がダイオード接続されることとなり、ショートリング配線27を通過してきた静電気がトランジスタ28c1および28c2を通過することとなり、減衰することで表示領域1が保護される。

【0058】

以上説明したように、ショートリング配線27とゲート引き回し線(ゲート配線)との間に、双方向のダイオード接続となるように、トランジスタ28b1、28b2、28c1および28c2を接続することによって静電気保護回路が形成される。

【0059】

これに対し、本実施の形態に係る液晶表示パネル1000においては、図2に示したように、図6に示すショートリング配線27を不要とすることができる。すなわち、ショートリング配線27の機能をゲート検査信号線X2、X3に負わせている。そのため、額縁領域2を狭小化することができる。

【0060】

このような額縁領域2が狭小化された液晶表示パネル1000を組み込むことで、液晶表示装置を小型化することができる。

【0061】

なお、表示領域1の平面視形状が非矩形のTFTアレイ基板100では、検査回路および静電気保護回路をゲート配線の延在方向の両側の非表示領域2に設ける必要があるが、この場合でも額縁領域2の拡大を抑制できる。

【0062】

さらに、トランジスタ28b1および28b2を検査回路の領域に配置し、それぞれトランジスタ28a1および28a2と逆並列に接続することにより、配線とトランジスタ28b1および28b2との間のレイヤー変換部、すなわちレイヤー変換部303、304および309をトランジスタ28a1および28a2と共用することができ、レイヤー変換部を新たに設ける必要がなく、額縁領域2のさらなる狭小化を図ることができる。

【0063】

図7は、図5の領域Bに形成される回路および配線のパターンを示した平面図であり、図3に対応する図である。検査回路を構成するゲート検査信号線X1~X3、トランジスタ28a1および28a2と、静電気保護回路を構成するショートリング配線27トランジスタ28b1、28b2、28c1および28c2の平面パターンを示している。

【0064】

図7においては、ゲート検査信号線X3よりも左側に静電気保護回路の形成領域が存在するので、ゲート検査信号線X3よりも左側には回路が存在しない図3に比べて、額縁領域2が広がることが判る。

【0065】

10

20

30

40

50

< 製造方法 >

次に、製造工程を示す断面図である図 8 ~ 図 14 を用いて、TFT アレイ基板 100 の製造方法について説明する。

【0066】

まず、図 8 に示す工程において、ガラス基板および石英基板などの光透過性を有する絶縁性基板 16 上にメタル膜 M1 を、例えば DC マグネトロンを用いたスパッタリング法により形成する。メタル膜 M1 は、例えば、Mo、Cr、W、Al、Ta またはこれらを主成分とする合金膜を用いることができる。その後、写真製版およびエッチングによりパターンニングを行い、図 9 に示されるようにゲート配線 4 およびゲート電極 9 を得る。ゲート電極 9 はゲート配線 4 の一部としてゲート配線 4 から延在するように形成される。

10

【0067】

次に、図 10 に示す工程において、例えばプラズマ CVD (chemical vapor deposition) 法により、ゲート配線 4 およびゲート電極 9 が形成された絶縁性基板 16 上を覆うようにゲート絶縁膜 13 を形成する。ゲート絶縁膜 13 にはシリコン窒化膜を用いることが一般的であるが、シリコン酸化膜またはシリコン酸化窒化膜等を用いても良い。

【0068】

ゲート絶縁膜 13 の形成後、例えばプラズマ CVD 法によりゲート絶縁膜 13 上を覆うように a-Si (アモルファスシリコン) 膜を形成した後、ゲート電極 9 の上方に対応するゲート絶縁膜 13 上に a-Si 膜を残すように、写真製版およびエッチングを行って、チャンネル層 12 を島状にパターンニングする。

20

【0069】

a-Si 膜は、チャンネル層を構成する真性半導体層とリンなどを含んだ不純物半導体層の積層構造とすることが一般的である。不純物半導体層は、後述するソース電極 11 およびドレイン電極 10 とのオーミックコンタクトを確保するためである。

【0070】

次に、図 11 に示す工程において、チャンネル層 12 が形成されたゲート絶縁膜 13 上にメタル膜 M2 を、例えば DC マグネトロンを用いたスパッタリング法により形成する。メタル膜 M2 は、例えば、Mo、Cr、W、Al、Ta またはこれらを主成分とする合金膜を用いることができる。

【0071】

その後、写真製版およびエッチングによりパターンニングを行い、図 12 に示されるようにソース電極 11 およびドレイン電極 10 を得る。また、図示されないソース配線 5 も同時に得る。

30

【0072】

続いて、ソース電極 11 およびドレイン電極 10 が形成されたゲート絶縁膜 13 上に絶縁膜 14 を、例えばプラズマ CVD 法により形成する。絶縁膜 14 には、シリコン窒化膜、シリコン酸化膜、またはシリコン酸化窒化膜等を用いても良い。

【0073】

その後、図 13 に示す工程において、写真製版およびエッチングにより、絶縁膜 14 を貫通してドレイン電極 10 に達するコンタクトホール 6、絶縁膜 14 およびゲート絶縁膜 13 を貫通してゲート配線 4 に達するコンタクトホール 6 を形成する。

40

【0074】

次に、図 14 に示す工程において、コンタクトホール 6 が形成された絶縁膜 14 上に、例えば、DC マグネトロンを用いたスパッタリング法により透明導電膜 TF を形成し、コンタクトホール 6 内に透明導電膜 TF を埋め込む。

【0075】

透明導電膜 TF は、ITO (Indium Tin Oxide) 膜および IZO (Indium Zinc Oxide) 膜等で構成することができる。

【0076】

その後、写真製版およびエッチングにより、透明導電膜 TF をパターンニングし、額縁領

50

域 2 においては図 3 に示したレイヤー変換部 301 ~ 309 を形成し、表示領域 1 においては透明な画素電極を得る。

【0077】

上記の方法により TN (Twisted nematic) 方式の液晶パネルが製造されるが、これは一例であり、In-Plane-Switching方式および FFS (Fringe Field Switching) 方式、その他の方式の液晶パネルとしても良い。

【0078】

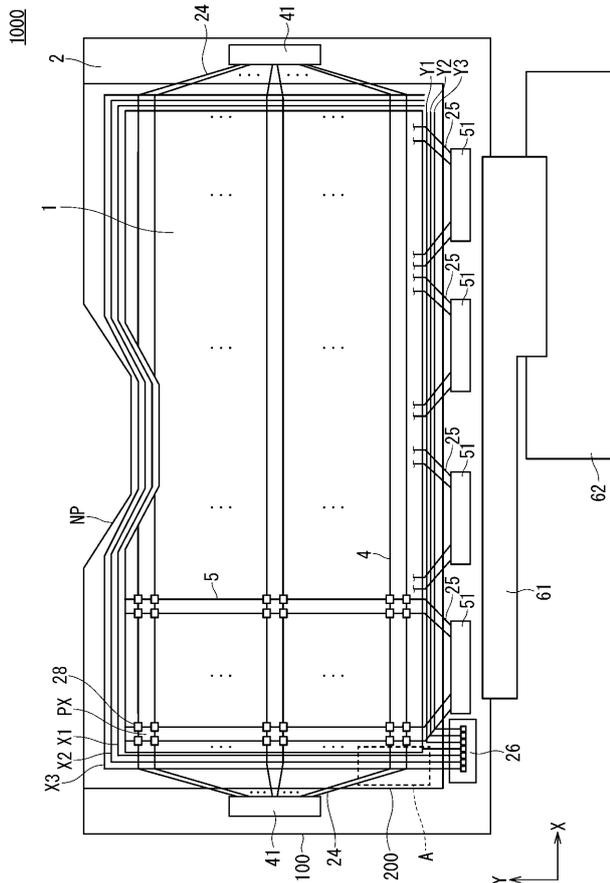
なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

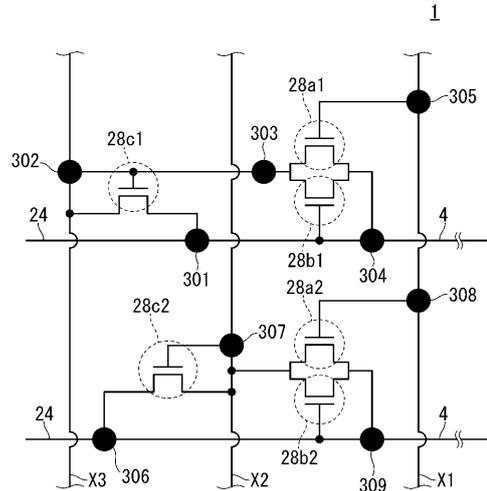
【0079】

1 表示領域、2 額縁領域、4 ゲート配線、9 ゲート電極、10, 10a, 10b, 10c ドレイン電極、11, 11a, 11b, 11c ソース電極、12, 20 チャンネル層、13 ゲート絶縁膜、28a1, 28a2, 28b1, 28b2, 28c1, 28c2 トランジスタ、303, 304 レイヤー変換部、100 TFTアレイ基板、200 対向基板、PX 画素。

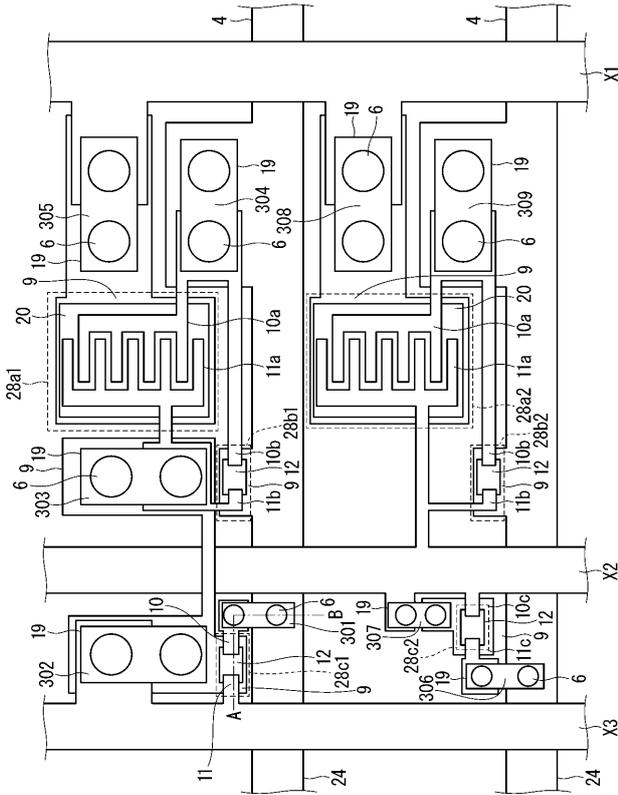
【図 1】



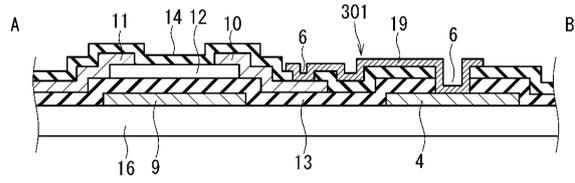
【図 2】



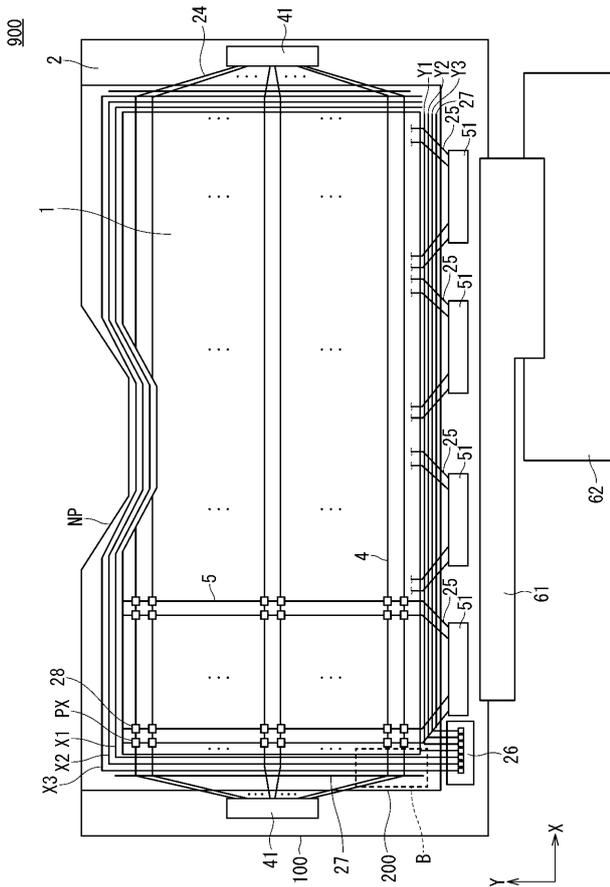
【図3】



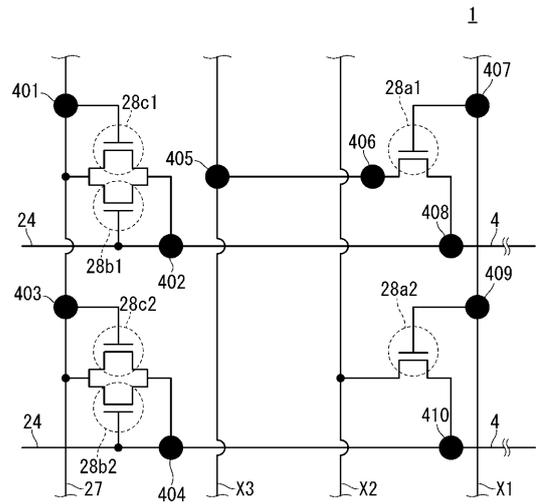
【図4】



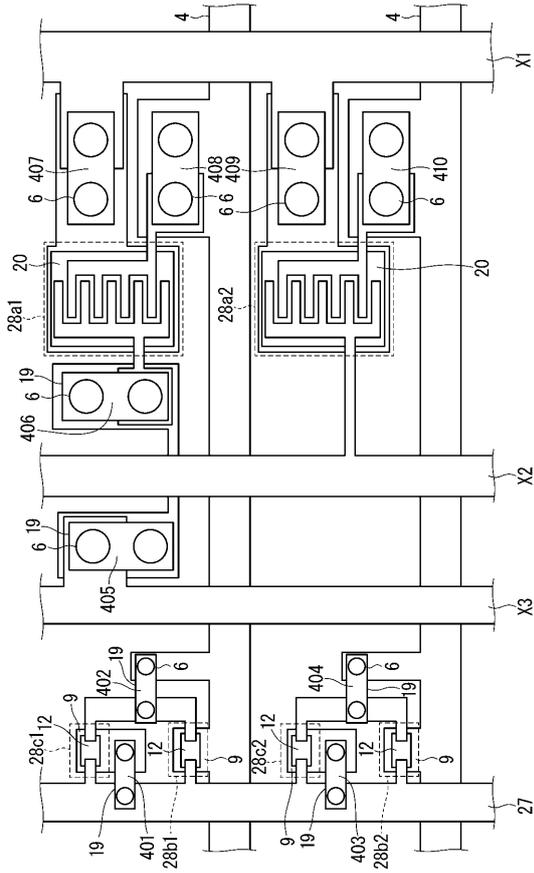
【図5】



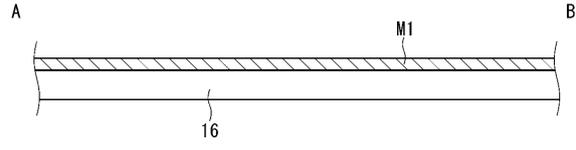
【図6】



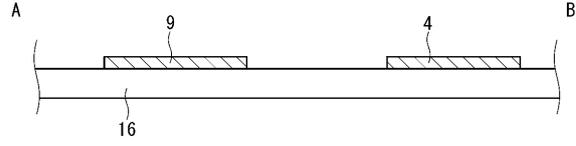
【 図 7 】



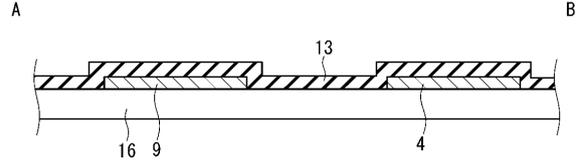
【 図 8 】



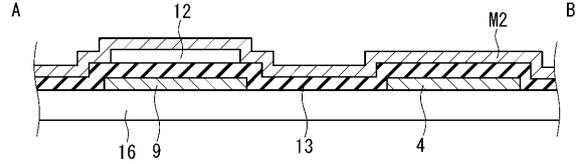
【 図 9 】



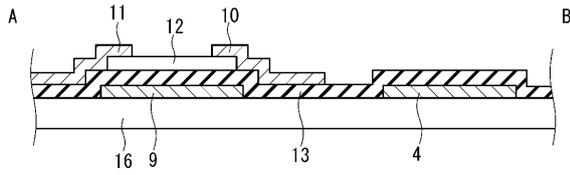
【 図 10 】



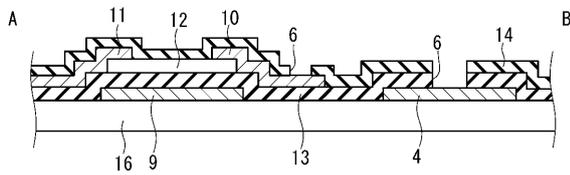
【 図 11 】



【 図 12 】



【 図 13 】



【 図 14 】

