

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6354937号  
(P6354937)

(45) 発行日 平成30年7月11日(2018.7.11)

(24) 登録日 平成30年6月22日(2018.6.22)

(51) Int.Cl. F I  
**HO2M 3/07 (2006.01)** HO2M 3/07

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2014-58593 (P2014-58593)	(73) 特許権者	000002369
(22) 出願日	平成26年3月20日 (2014.3.20)		セイコーエプソン株式会社
(65) 公開番号	特開2015-186293 (P2015-186293A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成27年10月22日 (2015.10.22)	(74) 代理人	100090387
審査請求日	平成29年1月12日 (2017.1.12)		弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	徳田 泰信
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	白井 孝治
		(56) 参考文献	特開平11-353888 (JP, A)

最終頁に続く

(54) 【発明の名称】 駆動回路、集積回路装置及びチャージポンプ回路の制御方法

(57) 【特許請求の範囲】

【請求項1】

チャージポンプ回路を駆動する第1駆動クロック信号を前記チャージポンプ回路に出力する第1出力ノードと、前記チャージポンプ回路を駆動する第2駆動クロック信号を前記チャージポンプ回路に出力する第2出力ノードと、を有する出力回路を備え、

前記出力回路は、

第1クロック信号と、前記第1クロック信号の電圧レベルが変化する期間では電圧レベルが変化しない信号である第2クロック信号とに基づいて、前記第1駆動クロック信号及び前記第2駆動クロック信号を生成し、

前記第2クロック信号に基づいて、前記第1駆動クロック信号の電圧レベルが変化する前の期間において、前記第1出力ノードを高インピーダンス状態に制御し、

前記第2クロック信号に基づいて、前記第2駆動クロック信号の電圧レベルが変化する前の期間において、前記第2出力ノードを高インピーダンス状態に制御し、

前記第1出力ノード及び前記第2出力ノードの一方を高インピーダンス状態に制御する期間の次の期間において、前記第1出力ノード及び前記第2出力ノードの他方を高インピーダンス状態に制御する、駆動回路。

【請求項2】

請求項1に記載の駆動回路において、

前記第1駆動クロック信号及び前記第2駆動クロック信号の一方の電圧レベルがローレベルからハイレベルに遷移する前後の期間において、前記第1駆動クロック信号及び前記

10

20

第2 駆動クロック信号の他方の電圧レベルはハイレベルである、駆動回路。

【請求項3】

請求項1又は2に記載の駆動回路において、

前記出力回路は、

前記第1クロック信号の電圧レベルが変化する期間の前の期間において、前記第1出力ノード及び前記第2出力ノードの一方を高インピーダンス状態に制御し、

前記第1クロック信号の電圧レベルが変化する期間の後の期間において、前記第1出力ノード及び前記第2出力ノードの他方を高インピーダンス状態に制御する、駆動回路。

【請求項4】

請求項1ないし3のいずれか1項に記載の駆動回路において、

前記第2クロック信号の周波数は、前記第1クロック信号の周波数の2倍である、駆動回路。

10

【請求項5】

請求項1ないし4のいずれか1項に記載の駆動回路において、

前記出力回路は、

第1伝導型の第1トランジスタと、第2伝導型の第2トランジスタ及び第3トランジスタと、

第1伝導型の第4トランジスタと、第2伝導型の第5トランジスタ及び第6トランジスタと、

を含み、

20

前記第1トランジスタは、第1電位と前記第1出力ノードとの間に接続され、

前記第2トランジスタ及び前記第3トランジスタは、第2電位と前記第1出力ノードとの間に直列に接続され、

前記第1トランジスタ及び前記第2トランジスタは、前記第1クロック信号に基づいて駆動され、

前記第3トランジスタは、前記第2クロック信号に基づいて駆動され、

前記第4トランジスタは、前記第1電位と前記第2出力ノードとの間に接続され、

前記第5トランジスタ及び前記第6トランジスタは、前記第2電位と前記第2出力ノードとの間に直列に接続され、

前記第4トランジスタ及び前記第5トランジスタは、前記第1クロック信号の反転信号に基づいて駆動され、

30

前記第6トランジスタは、前記第2クロック信号に基づいて駆動される、駆動回路。

【請求項6】

請求項1ないし5のいずれか1項に記載の駆動回路と、

前記チャージポンプ回路と、

を含む、集積回路装置。

【請求項7】

第1クロック信号と、前記第1クロック信号の電圧レベルが変化する期間では電圧レベルが変化しない信号である第2クロック信号と、に基づいて、チャージポンプ回路を駆動する第1駆動クロック信号及び第2駆動クロック信号を生成する生成工程と、

40

前記第2クロック信号に基づいて、前記第1駆動クロック信号の電圧レベルが変化する前の期間において、前記第1駆動クロック信号を出力する第1出力ノードを高インピーダンス状態に制御し、前記第2クロック信号に基づいて、前記第2駆動クロック信号の電圧レベルが変化する前の期間において、前記第2駆動クロック信号を出力する第2出力ノードを高インピーダンス状態に制御する制御工程と、

を含み、

前記制御工程において、

前記第1出力ノード及び前記第2出力ノードの一方を高インピーダンス状態に制御する期間の次の期間において、前記第1出力ノード及び前記第2出力ノードの他方を高インピーダンス状態に制御する、チャージポンプ回路の制御方法。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、駆動回路、集積回路装置及びチャージポンプ回路の制御方法に関する。

## 【背景技術】

## 【0002】

直流電圧を昇圧又は降圧するチャージポンプ回路として、ディクソン型のチャージポンプ回路がある。

## 【0003】

特許文献1には、定電流源を用いてクロックパルスの波形を鈍らせて出力することによって、高周波ノイズの発生を低減するチャージポンプ駆動回路が開示されている。

10

## 【0004】

特許文献1のチャージポンプ駆動回路では、相補型インバーター回路で構成された出力回路に流れる貫通電流については考慮されていない。貫通電流の発生は、消費電流の増大を招来したり、ノイズ源となったりするので、好ましくない。

## 【0005】

このような課題を解決する方法の1つとして、特許文献2には、相補型インバーター回路で構成された出力回路のPチャネル型MOSFET (metal-oxide-semiconductor field-effect transistor) のゲート電圧と、Nチャネル型MOSFETのゲート電圧との間に電位差を設けることで、Pチャネル型MOSFET及びNチャネル型MOSFETに流れる貫通電流を抑制し、高周波ノイズの発生を低減するチャージポンプ駆動回路が開示されている。

20

## 【先行技術文献】

## 【特許文献】

## 【0006】

【特許文献1】特開2006-340436号公報

【特許文献2】特開2009-21841号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

30

本発明は、以上のような技術的課題に鑑みてなされたものである。本発明のいくつかの態様によれば、消費電流を低減できる駆動回路、集積回路装置及びチャージポンプ回路の制御方法を提供することができる。

## 【課題を解決するための手段】

## 【0008】

本発明は前述の課題の少なくとも一部を解決するためになされたものであり、以下の態様又は適用例として実現することが可能である。

## 【0009】

## 〔適用例1〕

本適用例に係る駆動回路は、チャージポンプ回路を駆動する駆動クロック信号を前記チャージポンプ回路に出力する出力ノードを有する出力回路を備え、前記出力回路は、第1クロック信号と、前記第1クロック信号の電圧レベルが変化する期間では電圧レベルが変化しない信号である第2クロック信号とに基づいて、前記駆動クロック信号を生成し、前記第2クロック信号に基づいて、前記駆動クロック信号の電圧レベルが変化する前の期間において、前記出力ノードを高インピーダンス状態に制御する、駆動回路である。

40

## 【0010】

本適用例によれば、駆動クロック信号の電圧レベルが変化する前の期間において、駆動クロック信号を出力する出力ノードを高インピーダンス状態に制御するので、出力回路に流れる貫通電流を低減できる。したがって、消費電流を低減できる駆動回路を実現できる。

50

## 【 0 0 1 1 】

## [ 適用例 2 ]

上述の駆動回路において、前記出力回路は、前記第 1 クロック信号の電圧レベルが変化する期間の前の期間又は後の期間において、前記出力ノードを高インピーダンス状態に制御してもよい。

## 【 0 0 1 2 】

本適用例によれば、第 1 クロック信号の電圧レベルが変化する期間の前の期間又は後の期間において、駆動クロック信号を出力する出力ノードを高インピーダンス状態に制御するので、簡易な回路構成で、出力回路に流れる貫通電流を低減できる。

## 【 0 0 1 3 】

## [ 適用例 3 ]

上述の駆動回路において、前記第 2 クロック信号の周波数は、前記第 1 クロック信号の周波数の 2 倍であってもよい。

## 【 0 0 1 4 】

これによって、簡易な回路構成で消費電流を低減できる駆動回路を実現できる。

## 【 0 0 1 5 】

## [ 適用例 4 ]

上述の駆動回路において、前記出力回路は、第 1 伝導型の第 1 トランジスターと、第 2 伝導型の第 2 トランジスター及び第 3 トランジスターと、を含み、前記第 1 トランジスターは、第 1 電位と前記出力ノードとの間に接続され、前記第 2 トランジスター及び前記第 3 トランジスターは、第 2 電位と前記出力ノードとの間に直列に接続され、前記第 1 トランジスター及び前記第 2 トランジスターは、前記第 1 クロック信号に基づいて駆動され、前記第 3 トランジスターは、前記第 2 クロック信号に基づいて駆動されてもよい。

## 【 0 0 1 6 】

これによって、簡易な回路構成で消費電流を低減できる駆動回路を実現できる。

## 【 0 0 1 7 】

## [ 適用例 5 ]

本適用例に係る集積回路装置は、上述のいずれかの駆動回路と、前記チャージポンプ回路と、を含む、集積回路装置である。

## 【 0 0 1 8 】

本適用例によれば、消費電流を低減できる駆動回路を含んでいるので、消費電流を低減できる集積回路装置を実現できる。

## 【 0 0 1 9 】

## [ 適用例 6 ]

本適用例に係るチャージポンプ回路の制御方法は、第 1 クロック信号と、前記第 1 クロック信号の電圧レベルが変化する期間では電圧レベルが変化しない信号である第 2 クロック信号と、に基づいて、チャージポンプ回路を駆動する駆動クロック信号を生成する生成工程と、前記第 2 クロック信号に基づいて、前記駆動クロック信号の電圧レベルが変化する前の期間において、前記駆動クロック信号を出力する出力ノードを高インピーダンス状態に制御する制御工程と、を含む、チャージポンプ回路の制御方法である。

## 【 0 0 2 0 】

本適用例によれば、駆動クロック信号の電圧レベルが変化する前の期間において、駆動クロック信号を出力する出力ノードを高インピーダンス状態に制御するので、駆動クロック信号をするための出力回路に流れる貫通電流を低減できる。したがって、消費電流を低減できるチャージポンプ回路の制御方法を実現できる。

## 【 図面の簡単な説明 】

## 【 0 0 2 1 】

【 図 1 】 第 1 実施形態に係る集積回路装置 1 0 0 の回路図である。

【 図 2 】 第 1 クロック信号 C K 1 及び第 2 クロック信号 C K 2 を生成するクロック信号生成回路 2 0 の構成例を示す回路図である。

10

20

30

40

50

【図3】駆動回路1及びクロック信号生成回路20の動作例を示すタイミングチャートである。

【図4】第2実施形態に係る集積回路装置100aの回路図である。

【図5】本実施形態に係るチャージポンプ回路の制御方法の概要を示すフローチャートである。

【発明を実施するための形態】

【0022】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。用いる図面は説明の便宜上のものである。なお、以下に説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

10

【0023】

1. 駆動回路及び集積回路装置

1-1. 第1実施形態

図1は、第1実施形態に係る集積回路装置100の回路図である。

【0024】

本実施形態に係る集積回路装置100は、駆動回路1と、チャージポンプ回路30と、を含んで構成されている。

【0025】

本実施形態に係る駆動回路1は、チャージポンプ回路30を駆動する駆動クロック信号（駆動クロック信号CP1及び駆動クロック信号CP2）をチャージポンプ回路30に出力する出力ノード（出力ノードA及び出力ノードB）を有する出力回路10を備えている。

20

【0026】

出力回路10は、第1伝導型の第1トランジスタP11及び第1トランジスタP21と、第2伝導型の第2トランジスタN12及び第2トランジスタN22と、第2導電型の第3トランジスタN13及び第3トランジスタN23と、を含んで構成されている。本実施形態においては、第1伝導型の第1トランジスタP11及び第1トランジスタP21は、Pチャンネル型のMOSFETである。また、第2伝導型の第2トランジスタN12、第2トランジスタN22、第3トランジスタN13及び第3トランジスタN23は、Nチャンネル型のMOSFETである。

30

【0027】

第1トランジスタP11は、第1電位VDDと出力ノードAとの間に接続され、第2トランジスタN12及び第3トランジスタN13は、第2電位VSSと出力ノードAとの間に直列に接続されている。なお、直列接続の順番を変更し、第3トランジスタN13を出力ノードAと第2トランジスタN12との間に配置してもよい。

【0028】

第1トランジスタP21は、第1電位VDDと出力ノードBとの間に接続され、第2トランジスタN22及び第3トランジスタN23は、第2電位VSSと出力ノードBとの間に直列に接続されている。なお、直列接続の順番を変更し、第3トランジスタN23を出力ノードBと第2トランジスタN22との間に配置してもよい。

40

【0029】

第1トランジスタP11、第1トランジスタP21、第2トランジスタN12及び第2トランジスタN22は、第1クロック信号CK1に基づいて駆動され、第3トランジスタN13及び第3トランジスタN23は、第2クロック信号CK2に基づいて駆動される。

【0030】

本実施形態においては、出力回路10は、インバーターIN1及びインバーターIN2を含んで構成されている。インバーターIN1は、第1クロック信号CK1を反転して、第1トランジスタP11のゲート、第2トランジスタN12のゲート及びインバータ

50

− I N 2 に出力する。インバーター I N 2 は、インバーター I N 1 の出力信号を反転して、第 1 トランジスタ P 2 1 及び第 2 トランジスタ N 2 2 に出力する。また、第 3 トランジスタ N 1 3 及び第 3 トランジスタ N 2 3 のゲートには、第 2 クロック信号 C K 2 が入力される。

【 0 0 3 1 】

チャージポンプ回路 3 0 は、ダイオード D 1、ダイオード D 2、ダイオード D 3、ダイオード D 4、ダイオード D 5、容量素子 C 1、容量素子 C 2、容量素子 C 3、容量素子 C 4 及び容量素子 C L を含んで構成されている。本実施形態においては、入力端子 V i n に入力される第 1 電位 V D D を昇圧して出力電圧 V P P を得る構成である。なお、チャージポンプ回路 3 0 は、出力電圧 V P P として負電圧を出力するように構成されていてもよい。

10

【 0 0 3 2 】

ダイオード D 1、ダイオード D 2、ダイオード D 3、ダイオード D 4 及びダイオード D 5 は、入力端子 V i n から出力端子 V o u t に向かって順に直列接続されている。

【 0 0 3 3 】

容量素子 C 1 の一端は、ダイオード D 1 のカソード及びダイオード D 2 のアノードと接続され、容量素子 C 1 の他端は、出力回路 1 0 の出力ノード A と接続されている。容量素子 C 2 の一端は、ダイオード D 2 のカソード及びダイオード D 3 のアノードと接続され、容量素子 C 2 の他端は、出力回路 1 0 の出力ノード B と接続されている。容量素子 C 3 の一端は、ダイオード D 3 のカソード及びダイオード D 4 のアノードと接続され、容量素子 C 3 の他端は、出力回路 1 0 の出力ノード A と接続されている。容量素子 C 4 の一端は、ダイオード D 4 のカソード及びダイオード D 5 のアノードと接続され、容量素子 C 4 の他端は、出力回路 1 0 の出力ノード B と接続されている。容量素子 C L の一端は、ダイオード D 5 のカソード及び出力端子 V o u t と接続され、容量素子 C L の他端は、第 2 電位 V S S と接続されている。

20

【 0 0 3 4 】

図 2 は、第 1 クロック信号 C K 1 及び第 2 クロック信号 C K 2 を生成するクロック信号生成回路 2 0 の構成例を示す回路図である。

【 0 0 3 5 】

クロック信号生成回路 2 0 は、フリップフロップ回路 D F 2 1、フリップフロップ回路 D F 2 2、インバーター I N 2 1、インバーター I N 2 2、インバーター I N 2 3、インバーター I N 2 4 及び N O R ゲート回路 N O R 2 1 を含んで構成されている。フリップフロップ回路 D F 2 1 及びフリップフロップ回路 D F 2 2 は、D 型のフリップフロップ回路である。フリップフロップ回路は、クロック入力端子の C 端子、データ入力端子の D 端子、リセット端子の R 端子、及び、出力端子の Q 端子を有する。フリップフロップ回路 D F 2 1 及びフリップフロップ回路 D F 2 2 の R 端子には、イネーブル信号 E N が入力される。

30

【 0 0 3 6 】

フリップフロップ回路 D F 2 1 の C 端子には、基準クロック信号 O S C が入力される。フリップフロップ回路 D F 2 1 の Q 端子からの出力信号は、インバーター I N 2 1 及び N O R ゲート回路 N O R 2 1 の一方の入力端子に入力される。インバーター I N 2 1 の出力信号は、インバーター I N 2 2 及びフリップフロップ回路 D F 2 1 の D 端子に入力される。インバーター I N 2 2 は、第 2 クロック信号 C K 2 を出力する。

40

【 0 0 3 7 】

N O R ゲート回路 N O R 2 1 の他方の入力端子には、基準クロック信号 O S C が入力される。N O R ゲート回路 N O R 2 1 の出力信号は、フリップフロップ回路 D F 2 2 の C 端子に入力される。フリップフロップ回路 D F 2 2 の Q 端子からの出力信号は、インバーター I N 2 3 に入力される。インバーター I N 2 3 の出力信号は、インバーター I N 2 4 及びフリップフロップ回路 D F 2 2 の D 端子に入力される。インバーター I N 2 4 は、第 1 クロック信号 C K 1 を出力する。

50

## 【 0 0 3 8 】

図 3 は、駆動回路 1 及びクロック信号生成回路 2 0 の動作例を示すタイミングチャートである。図 3 には、上から順に、基準クロック信号 O S C、第 1 クロック信号 C K 1、第 2 クロック信号 C K 2、駆動クロック信号 C P 1 及び駆動クロック信号 C P 2 が示されている。

## 【 0 0 3 9 】

クロック信号生成回路 2 0 は、基準クロック信号 O S C を 1 / 2 分周して、第 2 クロック信号 C K 2 を生成する。また、クロック信号生成回路 2 0 は、第 2 クロック信号 C K 2 を基準クロック信号 O S C の半クロック分遅らせて反転し、さらに 1 / 2 分周した信号に相当する第 1 クロック信号 C K 1 を生成する。クロック信号生成回路 2 0 は、N O R ゲート回路 N O R 2 1 の出力信号をフリップフロップ回路 D F 2 2 の C 端子に入力することで第 1 クロック信号 C K 1 を生成する。このようにしてクロック信号生成回路 2 0 で生成される第 2 クロック信号 C K 2 は、第 1 クロック信号 C K 1 の電圧レベルが変化する期間では電圧レベルが変化しない信号である。第 2 クロック信号 C K 2 は、第 1 クロック信号 C K 1 よりも周波数が高いクロック信号である。

10

## 【 0 0 4 0 】

出力回路 1 0 は、第 1 クロック信号 C K 1 と、第 1 クロック信号 C K 1 の電圧レベルが変化する期間では電圧レベルが変化しない信号である第 2 クロック信号 C K 2 とに基づいて、駆動クロック信号（駆動クロック信号 C P 1 及び駆動クロック信号 C P 2）を生成し、第 2 クロック信号 C K 2 に基づいて、駆動クロック信号（駆動クロック信号 C P 1 及び駆動クロック信号 C P 2）の電圧レベルが変化する前の期間において、駆動クロック信号（駆動クロック信号 C P 1 及び駆動クロック信号 C P 2）を出力する出力ノード（出力ノード A 及び出力ノード B）を高インピーダンス状態に制御する。出力回路 1 0 は、第 2 クロック信号 C K 2 がローレベルの期間であって、駆動クロック信号の電圧レベルが変化する前の期間において、駆動クロック信号の出力ノードを高インピーダンス状態に制御する。なお、図 3 において、点線で表されている期間（例えば、駆動クロック信号 C P 1 の時刻 t 6 から時刻 t 7 までの期間）は、対応する出力ノード A 又は出力ノード B が高インピーダンス状態に制御されることを表す。

20

## 【 0 0 4 1 】

例えば、図 3 における時刻 t 3 から時刻 t 5 までの期間では、第 1 クロック信号 C K 1 及び第 2 クロック信号 C K 2 は、共にハイレベルである。この場合には、第 1 トランジスタ P 1 1 は O N 状態、第 2 トランジスタ N 1 2 は O F F 状態、第 3 トランジスタ N 1 3 は O N 状態となり、出力ノード A は駆動クロック信号 C P 1 としてハイレベルを出力する。また、第 1 トランジスタ P 2 1 は O F F 状態、第 2 トランジスタ N 2 2 は O N 状態、第 3 トランジスタ N 2 3 は O N 状態となり、出力ノード B は駆動クロック信号 C P 2 としてローレベルを出力する。

30

## 【 0 0 4 2 】

図 3 における時刻 t 5 から時刻 t 6 までの期間では、第 1 クロック信号 C K 1 がハイレベル、第 2 クロック信号 C K 2 がローレベルである。この場合には、第 1 トランジスタ P 1 1 は O N 状態、第 2 トランジスタ N 1 2 は O F F 状態、第 3 トランジスタ N 1 3 は O F F 状態となり、出力ノード A は駆動クロック信号 C P 1 としてハイレベルを出力する。また、第 1 トランジスタ P 2 1 は O F F 状態、第 2 トランジスタ N 2 2 は O N 状態、第 3 トランジスタ N 2 3 は O F F 状態となり、出力ノード B は高インピーダンス状態に制御される。

40

## 【 0 0 4 3 】

図 3 における時刻 t 6 から時刻 t 7 までの期間では、第 1 クロック信号 C K 1 及び第 2 クロック信号 C K 2 は、共にローレベルである。この場合には、第 1 トランジスタ P 1 1 は O F F 状態、第 2 トランジスタ N 1 2 は O N 状態、第 3 トランジスタ N 1 3 は O F F 状態となり、出力ノード A は高インピーダンス状態に制御される。また、第 1 トランジスタ P 2 1 は O N 状態、第 2 トランジスタ N 2 2 は O F F 状態、第 3 トランジスタ

50

ー N 2 3 は O F F 状態となり、出力ノード B は駆動クロック信号 C P 2 としてハイレベルを出力する。

【 0 0 4 4 】

図 3 における時刻 t 7 から時刻 t 9 までの期間では、第 1 クロック信号 C K 1 がローレベル、第 2 クロック信号 C K 2 がハイレベルである。この場合には、第 1 トランジスタ P 1 1 は O F F 状態、第 2 トランジスタ N 1 2 は O N 状態、第 3 トランジスタ N 1 3 は O N 状態となり、出力ノード A は駆動クロック信号 C P 1 としてローレベルを出力する。また、第 1 トランジスタ P 2 1 は O N 状態、第 2 トランジスタ N 2 2 は O F F 状態、第 3 トランジスタ N 2 3 は O N 状態となり、出力ノード B は駆動クロック信号 C P 2 としてハイレベルを出力する。

10

【 0 0 4 5 】

図 3 における時刻 t 9 から時刻 t 1 0 までの期間では、第 1 クロック信号 C K 1 及び第 2 クロック信号 C K 2 は、共にローレベルである。この場合には、第 1 トランジスタ P 1 1 は O F F 状態、第 2 トランジスタ N 1 2 は O N 状態、第 3 トランジスタ N 1 3 は O F F 状態となり、出力ノード A は高インピーダンス状態に制御される。また、第 1 トランジスタ P 2 1 は O N 状態、第 2 トランジスタ N 2 2 は O F F 状態、第 3 トランジスタ N 2 3 は O F F 状態となり、出力ノード B は駆動クロック信号 C P 2 としてハイレベルを出力する。

【 0 0 4 6 】

図 3 における時刻 t 1 0 から時刻 t 1 1 までの期間では、第 1 クロック信号 C K 1 がハイレベル、第 2 クロック信号 C K 2 がローレベルである。この場合には、第 1 トランジスタ P 1 1 は O N 状態、第 2 トランジスタ N 1 2 は O F F 状態、第 3 トランジスタ N 1 3 は O F F 状態となり、出力ノード A は駆動クロック信号 C P 1 としてハイレベルを出力する。また、第 1 トランジスタ P 2 1 は O F F 状態、第 2 トランジスタ N 2 2 は O N 状態、第 3 トランジスタ N 2 3 は O F F 状態となり、出力ノード B は高インピーダンス状態に制御される。図 3 における時刻 t 1 1 以降は、時刻 t 3 から時刻 t 1 1 までの動作を繰り返す。

20

【 0 0 4 7 】

以上の動作では、第 1 トランジスタ P 1 1、第 2 トランジスタ N 1 2 及び第 3 トランジスタ N 1 3 が全て O N 状態に制御される期間は存在していない。したがって、第 1 トランジスタ P 1 1、第 2 トランジスタ N 1 2 及び第 3 トランジスタ N 1 3 が理想的なスイッチ素子として機能する場合には、第 1 トランジスタ P 1 1、第 2 トランジスタ N 1 2 及び第 3 トランジスタ N 1 3 を貫通して流れる電流（貫通電流）がない。

30

【 0 0 4 8 】

また、以上の動作では、第 1 トランジスタ P 2 1、第 2 トランジスタ N 2 2 及び第 3 トランジスタ N 2 3 が全て O N 状態に制御される期間は存在していない。したがって、第 1 トランジスタ P 2 1、第 2 トランジスタ N 2 2 及び第 3 トランジスタ N 2 3 が理想的なスイッチ素子として機能する場合には、第 1 トランジスタ P 2 1、第 2 トランジスタ N 2 2 及び第 3 トランジスタ N 2 3 を貫通して流れる電流（貫通電流）がない。

40

【 0 0 4 9 】

このように、本実施形態に係る駆動回路 1 によれば、駆動クロック信号（駆動クロック信号 C P 1 及び駆動クロック信号 C P 2）の電圧レベルが変化する前の期間において、駆動クロック信号（駆動クロック信号 C P 1 及び駆動クロック信号 C P 2）を出力する出力ノード（出力ノード A 及び出力ノード B）を高インピーダンス状態に制御するので、出力回路 1 0 に流れる貫通電流を低減できる。したがって、消費電流を低減できる駆動回路 1 を実現できる。また、貫通電流に起因するノイズを低減できる。

【 0 0 5 0 】

また、第 1 クロック信号 C K 1 及び第 2 クロック信号 C K 2 がハイレベルとなる期間の長さによらず貫通電流を低減できるので、第 1 クロック信号 C K 1 及び第 2 クロック信号

50

CK2がハイレベルとなる期間を長く設定してチャージポンプ回路30における電荷の転送時間を長くすることができる。これによって、チャージポンプ回路30を構成する容量素子C1～C4の容量値が大きい場合でも駆動できる駆動回路1を実現できる。

【0051】

さらに、クロック信号生成回路20は、基準クロック信号OSCを分周して、第1クロック信号CK1と第2クロック信号CK2とを生成することで、第1クロック信号CK1と第2クロック信号CK2とに対して所定の論理演算を行うことによって生成される駆動クロック信号CP1及び駆動クロック信号CP2の電圧レベルが変化するタイミングの前後関係が保たれる。基準クロック信号OSCの周波数を変更した場合においても、貫通電流を低減する効果は同様に得られる。したがって、基準クロック信号OSCの周波数を変更することでチャージポンプ回路30の動作を柔軟に変更することができる。

10

【0052】

本実施形態に係る駆動回路1において、出力回路10は、第1クロック信号CK1の電圧レベルが変化する期間の前の期間又は後の期間において、駆動クロック信号(駆動クロック信号CP1及び駆動クロック信号CP2)を出力する出力ノード(出力ノードA及び出力ノードB)を高インピーダンス状態に制御している。

【0053】

本実施形態に係る駆動回路1によれば、第1クロック信号CK1の電圧レベルが変化する期間の前の期間又は後の期間において、駆動クロック信号(駆動クロック信号CP1及び駆動クロック信号CP2)を出力する出力ノード(出力ノードA及び出力ノードB)を高インピーダンス状態に制御するので、簡易な回路構成で、出力回路10に流れる貫通電流を低減できる。

20

【0054】

本実施形態に係る駆動回路1において、第2クロック信号CK2の周波数は、第1クロック信号CK1の周波数の2倍であってもよい。

【0055】

これによって、簡易な回路構成で消費電流を低減できる駆動回路1を実現できる。また、図2に示されるような簡易な回路構成でクロック信号生成回路20を構成できる。

【0056】

また、図1に示される駆動回路1によれば、相補型インバーターを用いた出力回路に第3トランジスタN13及び第3トランジスタN23を追加するだけで出力回路10を構成できるので、簡易な回路構成で消費電流を低減できる駆動回路1を実現できる。

30

【0057】

また、本実施形態に係る集積回路装置100によれば、消費電流を低減できる駆動回路1を含んでいるので、消費電流を低減できる集積回路装置100を実現できる。

【0058】

なお、図3を用いて説明した動作例においては、第1クロック信号CK1及び第2クロック信号CK2は、いずれもデューティ比が50%である場合の例で説明したが、必要に応じて、第1クロック信号CK1及び第2クロック信号CK2のデューティ比は適宜設定されてもよい。この場合においても上述の動作と同様の理由により同様の効果を奏する。

40

【0059】

1-2. 第2実施形態

図4は、第2実施形態に係る集積回路装置100aの回路図である。第1実施形態に係る集積回路装置100と同様の構成には同一の符号を付し、詳細な説明を省略する。

【0060】

本実施形態に係る集積回路装置100aは、駆動回路1aと、チャージポンプ回路30と、を含んで構成されている。駆動回路1aは、出力回路10aを含んで構成されている。

【0061】

50

出力回路10aは、第1伝導型の第1トランジスタP11及び第1トランジスタP21と、第2伝導型の第2トランジスタN14及び第2トランジスタN24と、を含んで構成されている。本実施形態においては、第1伝導型の第1トランジスタP11及び第1トランジスタP21は、Pチャンネル型のMOSFETである。また、第2伝導型の第2トランジスタN14及び第2トランジスタN24は、Nチャンネル型のMOSFETである。

【0062】

第1トランジスタP11は、第1電位VDDと出力ノードAとの間に接続され、第2トランジスタN14は、第2電位VSSと出力ノードAとの間に接続されている。

【0063】

第1トランジスタP21は、第1電位VDDと出力ノードBとの間に接続され、第2トランジスタN24は、第2電位VSSと出力ノードBとの間に接続されている。

【0064】

第1トランジスタP11及び第1トランジスタP21は、第1クロック信号CK1に基づいて駆動される。第2トランジスタN14は、第1クロック信号CK1の反転信号と第2クロック信号CK2との論理積に基づいて駆動される。第2トランジスタN24は、第1クロック信号CK1と第2クロック信号CK2との論理積に基づいて駆動される。

【0065】

本実施形態においては、出力回路10は、ANDゲート回路AND11及びANDゲート回路AND12を含んで構成されている。ANDゲート回路AND11は、インバーターIN1の出力信号と第2クロック信号CK2との論理積を第2トランジスタN14のゲートに出力する。ANDゲート回路AND12は、インバーターIN2の出力信号と第2クロック信号CK2との論理積を第2トランジスタN24に出力する。

【0066】

本実施形態に係る駆動回路1a及びクロック信号生成回路20の動作は、図3を用いて説明した第1実施形態に係る駆動回路1と同様である。したがって、本実施形態に係る駆動回路1aにおいても、第1実施形態に係る駆動回路1と同様の理由により同様の効果を奏する。また、本実施形態に係る集積回路装置100aにおいても、第1実施形態に係る集積回路装置100と同様の理由により同様の効果を奏する。

【0067】

2. チャージポンプ回路の制御方法

図5は、本実施形態に係るチャージポンプ回路の制御方法の概要を示すフローチャートである。以下では、第1実施形態に係る駆動回路1を用いて実現する例について説明する。

【0068】

本実施形態に係るチャージポンプ回路30の制御方法は、第1クロック信号CK1と、第1クロック信号CK1の電圧レベルが変化する期間では電圧レベルが変化しない信号である第2クロック信号CK2と、に基づいて、チャージポンプ回路30を駆動する駆動クロック信号(駆動クロック信号CP1及び駆動クロック信号CP2)を生成する生成工程(ステップS100)と、第2クロック信号CK2に基づいて、駆動クロック信号(駆動クロック信号CP1及び駆動クロック信号CP2)の電圧レベルが変化する前の期間において、駆動クロック信号(駆動クロック信号CP1及び駆動クロック信号CP2)を出力する出力ノード(出力ノードA及び出力ノードB)を高インピーダンス状態に制御する制御工程(ステップS102)と、を含む。

【0069】

例えば、図3における時刻t2から時刻t6までの期間、時刻t7から時刻t9までの期間、時刻t10から時刻t14までの期間、及び、時刻t15以降の期間に、駆動回路1が、第1クロック信号CK1と第2クロック信号CK2とに基づいて、駆動クロック信号CP1を生成する工程がステップS100の生成工程に対応する。

10

20

30

40

50

## 【 0 0 7 0 】

また、図 3 における時刻  $t_1$  から時刻  $t_2$  までの期間、時刻  $t_6$  から時刻  $t_7$  までの期間、時刻  $t_9$  から時刻  $t_{10}$  までの期間、及び、時刻  $t_{14}$  から時刻  $t_{15}$  までの期間に、駆動回路 1 が、駆動クロック信号  $CP_1$  を出力する出力ノード A を高インピーダンス状態に制御する工程がステップ  $S_{102}$  の制御工程に対応する。また、本実施形態においては、ステップ  $S_{102}$  の制御工程において、駆動回路 1 は、第 1 クロック信号  $CK_1$  の電圧レベルが変化する期間の前の期間又は後の期間において、駆動クロック信号  $CP_1$  を出力する出力ノード A を高インピーダンス状態に制御してもいる。

## 【 0 0 7 1 】

また、図 3 における時刻  $t_1$  から時刻  $t_2$  までの期間、時刻  $t_3$  から時刻  $t_5$  までの期間、時刻  $t_6$  から時刻  $t_{10}$  までの期間、時刻  $t_{11}$  から時刻  $t_{13}$  までの期間、及び、時刻  $t_{14}$  以降の期間に、駆動回路 1 が、第 1 クロック信号  $CK_1$  と第 2 クロック信号  $CK_2$  とに基づいて、駆動クロック信号  $CP_2$  を生成する工程がステップ  $S_{100}$  の生成工程に対応する。

10

## 【 0 0 7 2 】

また、図 3 における時刻  $t_2$  から時刻  $t_3$  までの期間、時刻  $t_5$  から時刻  $t_6$  までの期間、時刻  $t_{10}$  から時刻  $t_{11}$  までの期間、及び、時刻  $t_{13}$  から時刻  $t_{14}$  までの期間に、駆動回路 1 が、駆動クロック信号  $CP_2$  を出力する出力ノード B を高インピーダンス状態に制御する工程がステップ  $S_{102}$  の制御工程に対応する。また、本実施形態においては、ステップ  $S_{102}$  の制御工程において、駆動回路 1 は、第 1 クロック信号  $CK_1$  の電圧レベルが変化する期間の前の期間又は後の期間において、駆動クロック信号  $CP_2$  を出力する出力ノード B を高インピーダンス状態に制御してもいる。

20

## 【 0 0 7 3 】

本実施形態に係るチャージポンプ回路 30 の制御方法によれば、駆動クロック信号（駆動クロック信号  $CP_1$  及び駆動クロック信号  $CP_2$ ）の電圧レベルが変化する前の期間において、駆動クロック信号（駆動クロック信号  $CP_1$  及び駆動クロック信号  $CP_2$ ）を出力する出力ノード（出力ノード A 及び出力ノード B）を高インピーダンス状態に制御するので、駆動クロック信号（駆動クロック信号  $CP_1$  及び駆動クロック信号  $CP_2$ ）をするための出力回路 10 に流れる貫通電流を低減できる。したがって、消費電流を低減できるチャージポンプ回路 30 の制御方法を実現できる。

30

## 【 0 0 7 4 】

また、本実施形態に係るチャージポンプ回路 30 の制御方法によれば、第 1 クロック信号  $CK_1$  の電圧レベルが変化する期間の前の期間又は後の期間において、駆動クロック信号（駆動クロック信号  $CP_1$  及び駆動クロック信号  $CP_2$ ）を出力する出力ノード（出力ノード A 及び出力ノード B）を高インピーダンス状態に制御するので、簡易な構成でチャージポンプ回路 30 の制御方法を実現できる。

## 【 0 0 7 5 】

なお、駆動回路 1 に代えて、第 2 実施形態に係る駆動回路 1 a を用いても、本実施形態に係るチャージポンプ回路 30 の制御方法は同様に実現でき、同様の効果を奏する。

## 【 0 0 7 6 】

以上、本実施形態あるいは変形例について説明したが、本発明はこれら本実施形態あるいは変形例に限られるものではなく、その要旨を逸脱しない範囲において種々の態様で実施することが可能である。

40

## 【 0 0 7 7 】

本発明は、実施形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施形態で説明した構成に公知技術を付加した構成を含む。

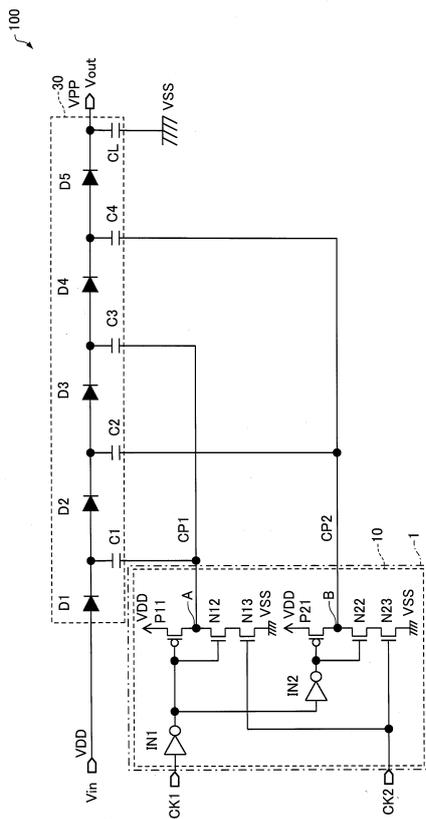
50

【符号の説明】

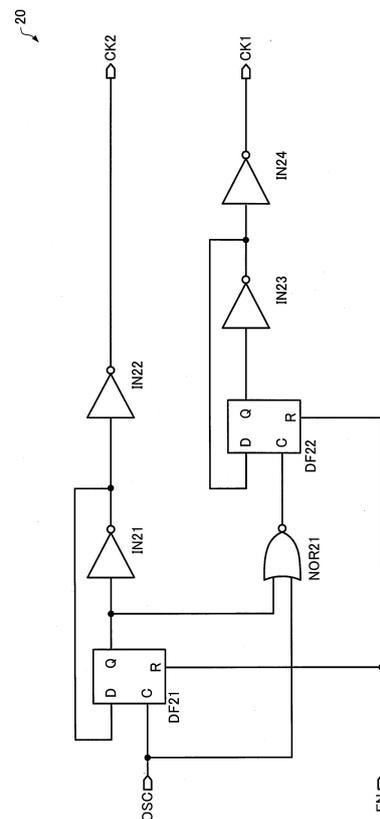
【0078】

1, 1 a ... 駆動回路、10, 10 a ... 出力回路、20 ... クロック信号生成回路、30 ... チャージポンプ回路、100, 100 a ... 集積回路装置、A, B ... 出力ノード、AND11, AND12 ... ANDゲート回路、C1, C2, C3, C4, CL ... 容量素子、CK1 ... 第1クロック信号、CK2 ... 第2クロック信号、CP1, CP2 ... 駆動クロック信号、D1 ~ D5 ... ダイオード、DF21, DF22 ... フリップフロップ回路、EN ... イネーブル信号、IN1, IN2, IN21, IN22, IN23, IN24 ... インバーター、OSC ... 基準クロック信号、N12, N14, N22, N24 ... 第2トランジスタ、N13, N23 ... 第3トランジスタ、NOR21 ... NORゲート回路、P11, P21 ... 第1トランジスタ、VDD ... 第1電位、Vin ... 入力端子、Vout ... 出力端子、VPP ... 出力信号、VSS ... 第2電位

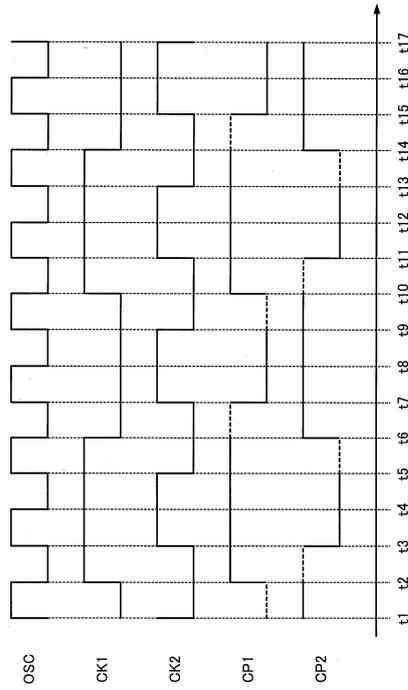
【図1】



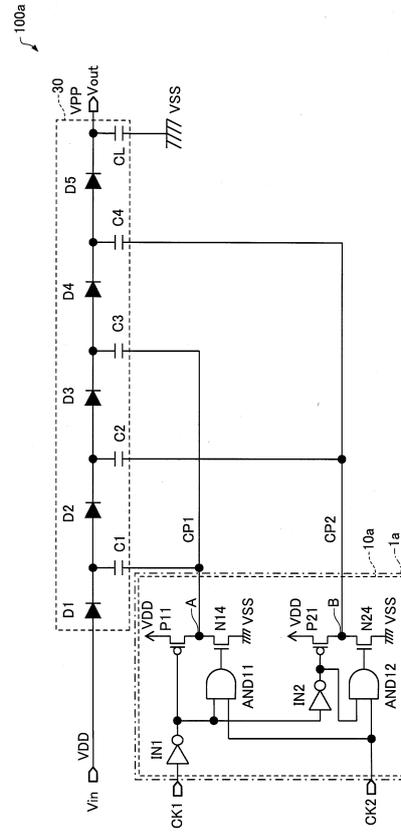
【図2】



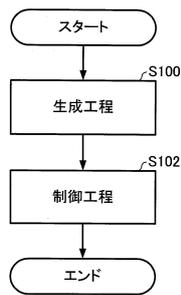
【図3】



【図4】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H02M 3/00 ~ 3/44