

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95147211

※申請日期：95.11.15

※IPC 分類：

H01L 21/301

H01L 21/302 (2006.01)

一、發明名稱：(中文/英文)

具有包圍的通道電晶體之半導體元件

SEMICONDUCTOR DEVICE WITH A SURROUNDED CHANNEL
TRANSISTOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司 / HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

崔鉉求 / CHOI, HYUN KOO

住居所或營業所地址：(中文/英文)

韓國京畿道利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eup, Icheon-si, Gyeonggi-do 467-701,
Korea

國籍：(中文/英文)

韓國 / Korea

三、發明人：(共 1 人)

姓名：(中文/英文)

李相敦 / LEE, SANG DON

國籍：(中文/英文)

韓國 / Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

韓國、2006.07.28、10-2006-0071539

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

相關的申請案之交互參照

本申請案係主張 2006 年 7 月 28 日申請之韓國專利申請案號 10-2006-0071539 的優先權，該韓國專利申請案係以其整體被納入作為參考。

【發明所屬之技術領域】

本發明係有關於一種記憶體元件。更具體而言，本發明係有關於一種具有一個包圍的通道電晶體的半導體元件以及一種用於製造該半導體元件的方法。

【先前技術】

當一個單元電晶體的通道長度縮短時，該單元通道結構的離子濃度通常會增高，以便維持該單元電晶體的臨界電壓。由於該單元通道結構的離子濃度上的增高，因而在該單元電晶體的源極/汲極區域中的電場係被增強而增加了漏電流。此係導致 DRAM 結構的更新特性的劣化。此外，當半導體元件縮小到較小的尺寸時，要有效地控制短通道效應(“SCE”)是困難的。因此，例如是凹陷通道電晶體及鰭狀通道電晶體之多通道的場效電晶體(“McFET”)已經被提出來增長單元電晶體的通道長度。

然而，製程複雜度係由於在該 McFET 技術中額外的沉積製程以及平坦化製程而增加。當元件的設計規則變得更小時，控制鰭狀通道電晶體的高度及寬度是困難的。因為

鰭狀通道電晶體的底部係連接至半導體基板，所以根據設計規則的縮小，當鰭狀通道電晶體的高度小於源極/汲極區域的深度時，在源極/汲極區域之間很容易發生擊穿。於是，對於一種新穎的電晶體結構以便於改善元件的效能係有著需求。

【發明內容】

本發明的實施例係針對於具有包圍的通道電晶體的半導體元件。根據一個實施例，該包圍的通道電晶體係具有一個與其下的半導體基板分隔開之包圍的通道結構以及一個圍繞該包圍的通道結構的閘極結構。

在本發明的一個實施例中，一種半導體元件係包括一個元件隔離結構、一個包圍的通道結構以及一個閘極電極。該元件隔離結構係被形成在一個半導體基板中，以界定一個主動區域。該連接源極/汲極區域的包圍的通道結構係與該主動區域之下的半導體基板分隔開一段特定的距離。該閘極電極係圍繞該包圍的通道結構。

根據本發明的另一個實施例，一種用於製造一個半導體元件之方法係包含在一個半導體基板中形成一個元件隔離結構以形成一個主動區域；藉由一凹處光罩來蝕刻該主動區域以形成一個凹陷通道結構，其中一個與該主動區域之下的半導體基板分隔開一段特定的距離之包圍的通道結構係被形成在該凹陷通道結構中；以及形成一個包含一閘極硬式光罩層圖案以及一個閘極電極的閘極結構，其中該

閘極電極係填滿該凹陷通道結構以圍繞該包圍的通道結構。

【實施方式】

本發明係有關於具有包圍的通道電晶體的半導體元件以及一種用於製造該半導體元件的方法。該包圍的通道電晶體係具有一個與其下的半導體基板分隔開一段特定的距離之包圍的通道結構以及一個圍繞該包圍的通道結構的閘極結構。於是，該包圍的通道電晶體係提供由於電流驅動力的增加而顯著改善的閘極可控制性以及元件的短通道效應("SCE")的改良。

圖 1 係描繪根據本發明的一個實施例的一個半導體元件的簡化佈局。該半導體元件係包含一個主動區域 101、一個凹形閘極區域 103 以及一個閘極區域 105。一個元件隔離結構 125 係界定該主動區域 101。在本發明的一個實施例中，該凹形閘極區域 103 係被形成為島形(islanded)。該凹形閘極區域 103 在該閘極區域 105 的縱向上的寬度係大於主動區域 101 的寬度。

圖 2 係描繪根據本發明的一個實施例的一個半導體元件的簡化橫截面圖，其中圖 2(i)是沿著根據圖 1 的線 I-I'的橫向所取的橫截面圖，而圖 2(ii)是沿著根據圖 1 的線 II-II'的縱向所取的橫截面圖。一個半導體元件係包含一個元件隔離結構 225、一個包圍的通道結構 240 以及一個閘極電極 293。該元件隔離結構 225 係界定一個在圖 1 中所示的

主動區域 101。該包圍的通道結構 240 係連接源極/汲極區域(未顯示)，並且與其下的半導體基板 210 分隔開一段特定的距離。該閘極電極 293 係圍繞該包圍的通道結構 240。在本發明的一個實施例中，至少一個包圍的通道結構 240 係在閘極區域 105 的一縱向上被形成在圖 1 中所示的主動區域 101 之下的半導體基板 210 中。尤其，較佳的是如同在圖 2(ii)中所示地形成雙包圍的通道結構 240。此外，該半導體元件係更包含在圖 1 中所示的主動區域 101 的一縱向上的凹陷通道結構 245。該凹陷通道結構 245 的下方部分的寬度係至少等於該凹陷通道結構 245 的上方部分的寬度。在另一實施例中，在該包圍的通道結構 240 與其下的半導體基板 210 之間分隔開的特定距離範圍是從大約 100\AA 至大約 $2,000\text{\AA}$ 。該包圍的通道結構 240 在圖 1 中所示的閘極區域 105 的縱向上的寬度範圍是從大約 50\AA 至大約 $1,000\text{\AA}$ 。在一個第三實施例中，該閘極電極 293 係包括一個下方的閘極電極 275 以及一個上方的閘極電極 285。

圖 3a 至 3h 係描繪根據本發明的一個實施例的一種用於製造一個半導體元件的方法，其中圖 3a(i)至 3h(i)是沿著根據圖 1 的線 I-I'的橫向所取的橫截面圖，而圖 3a(ii)至 3h(ii)是沿著根據圖 1 的線 II-II'的縱向所取的橫截面圖。一第一墊絕緣膜 313、一第二墊絕緣膜(未顯示)以及一第一硬式光罩層(未顯示)係被形成在半導體基板 310 之上。一光阻膜(未顯示)係被形成在該第一硬式光罩層之上，並且接著利用一元件隔離光罩(未顯示)而被曝光及顯影以形

成一光阻膜圖案(未顯示)。該第一硬式光罩層以及第二墊絕緣膜係利用該光阻膜圖案作為一蝕刻光罩而被蝕刻，以形成一第一硬式光罩層圖案 317 以及第二墊絕緣膜圖案 315。該光阻膜圖案係被移除。一第一絕緣間隙壁 319 係被形成在該第一硬式光罩層圖案 317 以及第二墊絕緣膜圖案 315 的側壁處。該第一墊絕緣膜 313 以及半導體基板 310 係利用該第一絕緣間隙壁 319 以及第一硬式光罩層圖案 317 作為一蝕刻光罩而被蝕刻，以形成一個用於元件隔離的溝槽 320。在本發明的一個實施例中，該第一墊絕緣膜 313 係包含一氧化物膜。該第二墊絕緣膜係包含一氮化物膜。該第一硬式光罩層係選自一氧化物膜、一多晶矽層及其組合所構成的群組。此外，該第一絕緣間隙壁 319 係選自一氧化物膜、一氮化物膜及其組合所構成的群組。在另一方面，該第一絕緣間隙壁 319 的寬度可以根據將在一個後續的製程中形成的一個包圍的通道結構的水平厚度來加以決定。考量該半導體基板 310 在後續的蝕刻及熱氧化的製程中將會失去的厚度，該第一絕緣間隙壁 319 的寬度係大於該包圍的通道結構的水平厚度。尤其，該第一絕緣間隙壁 319 的寬度範圍是從大約 100\AA 至大約 $1,200\text{\AA}$ 。

根據本發明的另一實施例，一界定一個元件隔離區域的光阻膜圖案(未顯示)係被形成在具有該第一墊絕緣膜 313、一第二墊絕緣膜以及該第一硬式光罩層的半導體基板 310 之上。該第一硬式光罩層、第二墊絕緣膜以及第一墊絕緣膜 313 係利用該光阻膜圖案作為一蝕刻光罩而被蝕

刻，以形成一第一硬式光罩層圖案、一第二墊絕緣膜圖案以及一第一墊絕緣膜圖案。該光阻膜圖案係被移除。一第一絕緣間隙壁係被形成在該第一硬式光罩層圖案、第二墊絕緣膜圖案以及第一墊絕緣膜圖案的側壁處。該半導體基板 310 係利用該第一絕緣間隙壁以及第一硬式光罩層圖案作為一蝕刻光罩而被蝕刻，以形成一個用於元件隔離的溝槽 320。

請參照圖 3b，第一絕緣間隙壁 319 以及在該第一絕緣間隙壁 319 之下的第一墊絕緣膜 313 係被移除，以露出在該第一絕緣間隙壁 319 之下的半導體基板 310。一用於元件隔離的絕緣膜(未顯示)係被形成在所產生的物的整個表面上(亦即在該溝槽 320 與第一硬式光罩層 317、和該露出的半導體基板 310 之上)。該用於元件隔離的絕緣膜係被拋光，直到該第二墊絕緣膜圖案 315 露出以形成一界定在圖 1 中所示的主動區域 101 的元件隔離結構 325 為止。在本發明的一個實施例中，一選自一熱氧化物膜、一氮化物膜、一氧化物膜及其組合所構成的群組的膜可形成在該用於元件隔離的絕緣膜與溝槽 320 之間的介面處。該用於元件隔離的絕緣膜係包含一氧化物膜。此外，用於該第一絕緣間隙壁 319 以及底下的第一墊絕緣膜 313 的移除製程係藉由一種濕式蝕刻方法而被執行。在另一實施例中，用於形成該元件隔離結構 325 的拋光製程係藉由一種化學機械平坦化(“CMP”)方法或是一種回蝕方法而被執行。

請參照圖 3c，元件隔離結構 325 之一特定的厚度係被

蝕刻，以降低該元件隔離結構 325 的高度。該第二墊絕緣膜圖案 315 以及第一墊絕緣膜 313 係被移除，以露出該半導體基板 310。一緩衝層 327 係被形成在該露出的半導體基板 310 之上。一個植入井與通道離子的製程係被執行，以注入雜質到半導體基板 310 之中。一第二硬式光罩層 329 係被形成在所產生的物的整個表面上(亦即在該半導體基板 310 以及元件隔離結構 325 之上)。在一個實施例中，用於該第二墊絕緣膜圖案 315 以及第一墊絕緣膜 313 的移除製程係藉由一種濕式蝕刻方法而被執行。此外，該緩衝層 327 係包含一氧化物膜。該第二硬式光罩層 329 係選自一多晶矽層、一非晶碳膜、一氮化物膜、一 SiON 膜及其組合所構成的群組。

請參照圖 3d，一光阻膜係被形成在該第二硬式光罩層 329 之上，並且接著利用一凹形閘極光罩(未顯示)而被曝光與顯影，以形成一界定在圖 1 中所示的凹形閘極區域 103 的光阻膜圖案 333。該第二硬式光罩層 329 係利用該光阻膜圖案 333 作為一蝕刻光罩而被蝕刻，以形成一個露出一部份的緩衝層 327 與元件隔離結構 325 的凹陷區域(未顯示)。在該凹陷區域中露出的緩衝層 327 與半導體基板 310 係被蝕刻以形成一個第一凹處 335。該光阻膜圖案 333 係被移除。在本發明的一個實施例中，該凹陷區域係被形成為島形。該島形的凹陷區域在圖 1 中所示的閘極區域 105 的縱向上的寬度係大於該主動區域 101 的寬度。此外，一個鰭狀類型的半導體基板 337 係被形成在該元件隔離結構

325 在圖 1 中所示的閘極區域 105 的縱向上的第一凹處 335 旁邊的側壁處。考量該半導體基板在一個後續的熱氧化製程中將會損失的厚度，該鰭狀類型的半導體基板 337 的厚度 t_c 係大於將在一個後續的製程中形成之包圍的通道結構的水平厚度。尤其，該鰭狀類型的半導體基板 337 的厚度 t_c 範圍是從大約 70\AA 至大約 $1,150\text{\AA}$ 。

請參照圖 3e，一第二絕緣膜(未顯示)係被形成在所產生的物的整個表面上(亦即在該第二硬式光罩層 329 以及第一凹處 335 之上)。該第二絕緣膜係被蝕刻，以在該第一凹處 335 的側壁處形成第二絕緣間隙壁 339。在該第一凹處 335 的底部露出的半導體基板 310 係被蝕刻，以形成一個第二凹處 343。在一個實施例中，用於形成該第二凹處 343 的蝕刻製程係藉由一種等向性蝕刻方法而被執行。在此時，該第二凹處 343 在圖 1 中所示的主動區域 101 的縱向上的寬度係至少等於在圖 3d 中所示的第一凹處 335 的寬度。此外，在圖 3d 中所示的鰭狀類型的半導體基板 337 現在已與底下的半導體基板 310 分隔開一段特定的距離，以在該元件隔離結構 325 以及第二絕緣間隙壁 339 之間形成一個包圍的通道結構 340。在另一實施例中，至少一個包圍的通道結構 340 係被形成。尤其，較佳的是形成雙包圍的通道結構 340。在另一方面，該包圍的通道結構 340 係在圖 1 中所示的主動區域 101 的縱向上連接其中將在一個後續的製程中形成源極/汲極區域的半導體基板 310。在其它實施例中，在該包圍的通道結構 340 與底下的半導體

基板 310 之間的特定距離範圍是從大約 200\AA 至大約 $2,000\text{\AA}$ 。

請參照圖 3f，在圖 3d 中所示的第一凹處 335 以及在圖 3e 中所示的第二凹處 343 中所露出的元件隔離結構 325 係被蝕刻以露出該包圍的通道結構 340 的上方部分以及其在該元件隔離結構 325 旁邊的部份。該第二絕緣間隙壁 339 以及第二硬式光罩層 329 係被移除，以完全露出該包圍的通道結構 340。在本發明的一個實施例中，用於該第二硬式光罩層 329 以及第二絕緣間隙壁 339 的移除製程係藉由一種濕式蝕刻方法而被執行。

請參照圖 3g，該緩衝層 327 係被移除以露出包含該包圍的通道結構 340 的半導體基板 310。一閘極絕緣膜 360 係被形成在該露出的半導體基板 310 之上，以圍繞該包圍的通道結構 340。一閘極導電層 365 係被形成在所產生的物的整個表面上(亦即在該閘極絕緣膜 360 以及元件隔離結構 325 之上)，以圍繞具有該閘極絕緣膜 360 的包圍的通道結構 340，並且填滿在圖 3d 中所示的第一凹處 335 以及在圖 3e 中所示的第二凹處 343。一閘極硬式光罩層 390 係被形成在該閘極導電層 365 之上。在一個實施例中，用於該緩衝層 327 的移除製程係藉由一種濕式蝕刻方法而被執行。在另一實施例中，該閘極導電層 365 係包括一下方的閘極導電層 370 以及一上方的閘極導電層 380 之堆疊的結構。此外，該下方的閘極導電層 370 係包含一多晶矽層。該上方的閘極導電層 380 係選自一鈷(Co)層、一鎳(Ni)層、

一鈦(Ti)層、一氮化鈦(TiN)膜、一鎢(W)層、一氮化鎢(WN)膜、一鋁(Al)層、一銅(Cu)層、一矽化鎢(WSi_x)層、一矽化鈷($CoSi_x$)層、一矽化鈦($TiSi_x$)層、一矽化鎳($NiSi_x$)層及其組合所構成的群組。

請參照圖 3h，該閘極硬式光罩層 390 以及閘極導電層 365 係利用一閘極光罩(未顯示)作為一蝕刻光罩而被蝕刻，以形成包括一閘極硬式光罩層圖案 395 以及一個閘極電極 393 的閘極結構 397。在此，該閘極結構 397 係包含一個在圖 1 中所示的主動區域 101 的縱向上的凹陷通道結構 345 以及在圖 1 中所示的閘極區域 105 的縱向上之包圍的通道結構 340，該包圍的通道結構 340 係被閘極電極 393 所圍繞。在另一實施例中，該閘極電極 393 係包括一個下方的閘極電極 375 以及一個上方的閘極電極 385 之堆疊的結構。

此外，例如是用於形成連接插塞的製程、用於形成位元線接點及位元線的製程、用於形成電容器的製程以及用於形成內連線的製程之後續的製程可被執行。

圖 4a 與 4b 係描繪根據本發明的另一個實施例的一種用於製造一個半導體元件之方法。在此，圖 4a(i)與 4b(i)是沿著根據圖 1 的線 I-I' 的橫向所取的橫截面圖，而圖 4a(ii)與 4b(ii)是沿著根據圖 1 的線 II-II' 的縱向所取的橫截面圖。

請參照圖 4a，一第一墊絕緣膜 413 以及一第二墊絕緣膜 415 係被形成在半導體基板 410 之上。一光阻膜(未顯

示)係被形成在該第二墊絕緣膜 415 之上，並且接著利用一元件隔離光罩(未顯示)而被曝光及顯影以形成一光阻膜圖案(未顯示)。該第二墊絕緣膜 415、第一墊絕緣膜 413 以及半導體基板 410 係利用該光阻膜圖案作為一蝕刻光罩而被蝕刻，以形成一個用於元件隔離的溝槽 420。該光阻膜圖案係被移除。該第二墊絕緣膜 415 之一特定的厚度係被蝕刻，以形成一第二墊絕緣膜圖案 417，其中，在該第一墊絕緣膜 413 之上的第二墊絕緣膜 415 係被縮小。在本發明的一個實施例中，該第一墊絕緣膜 413 係包含一氧化物膜。該第二墊絕緣膜 415 係包含一氮化物膜。此外，在用於該第二墊絕緣膜 415 的蝕刻製程期間，該第二墊絕緣膜 415 的側邊之縮減的厚度可以根據將在一個後續的製程中形成的一個包圍的通道結構的水平厚度來加以決定。考量該半導體基板 410 在後續的蝕刻及熱氧化製程中將會損失的厚度，該第二墊絕緣膜 415 的側邊之縮減的厚度係大於該包圍的通道結構的水平厚度。尤其，該第二墊絕緣膜 415 的側邊之縮減的厚度範圍是從大約 100Å 至大約 1,200Å。

請參照圖 4b，在該第二墊絕緣膜圖案 417 之下露出的第一墊絕緣膜 413 係被蝕刻以露出該半導體基板 410。一用於元件隔離的絕緣膜(未顯示)係被形成在所產生的物的整個表面上(亦即在該第二墊絕緣膜圖案 417 以及溝槽 420、和包含該露出的半導體基板 410 之上)。該用於元件隔離的絕緣膜係被拋光，直到該第二墊絕緣膜圖案 417 露

出以形成一個元件隔離結構 425 為止。在一個實施例中，用於形成該元件隔離結構 425 的拋光製程係藉由一種 CMP 方法或是一種回蝕方法而被執行。此外，後續的製程可藉由用於製造在圖 3c 至 3h 中所示的一個半導體元件的方法而被執行。

如上所述，根據本發明的一個實施例的包圍的通道結構可利用用於該元件隔離結構及凹陷通道結構的蝕刻製程而被形成，藉此簡化用於製造半導體元件的製程。此外，該包圍的通道結構的水平厚度可利用在用於形成該元件隔離結構的製程期間所形成的側壁間隙壁來加以決定。於是，本發明的製程邊限可被改善。由於該包圍的通道結構係與其之下的半導體基板分隔開，因此在源極/汲極區域之間的擊穿可加以避免。於是，該元件的電流驅動力可被增加，並且該元件的 SCE 可被改善。於是，一種具有低電壓及高速動作的半導體元件可被實現。

本發明以上的實施例是舉例性質的而非限制性的。各種的替代及等同實施例都是可行的。本發明並不限於在此所述的沉積、蝕刻拋光以及圖案化步驟的類型。本發明也不限於任何特定類型的半導體元件。例如，本發明可被實施在動態隨機存取記憶體 (DRAM) 元件或是非依電性記憶體元件中。其它的增加、減少或修改在考量本案的揭露內容之下都是明顯的並且欲落於所附的申請專利範圍的範疇內。

【圖式簡單說明】

圖 1 是根據本發明的一個實施例的一個半導體元件的簡化佈局。

圖 2 是根據本發明的一個實施例的一個半導體元件的簡化橫截面圖。

圖 3a 至 3h 是描繪根據本發明的一個實施例的一種用於製造一個半導體元件的方法的簡化橫截面圖。

圖 4a 與 4b 是描繪根據本發明的另一個實施例的一種用於製造一個半導體元件的方法的簡化橫截面圖。

【主要元件符號說明】

101	主動區域
103	凹形閘極區域
105	閘極區域
125	元件隔離結構
210	半導體基板
225	元件隔離結構
240	包圍的通道結構
245	凹陷通道結構
275	下方的閘極電極
285	上方的閘極電極
293	閘極電極
310	半導體基板
313	第一墊絕緣膜

- 315 第二墊絕緣膜圖案
- 317 第一硬式光罩層圖案
- 319 第一絕緣間隙壁
- 320 用於元件隔離的溝槽
- 325 元件隔離結構
- 327 緩衝層
- 329 第二硬式光罩層
- 333 光阻膜圖案
- 335 第一凹處
- 337 鰭狀類型的半導體基板
- 339 第二絕緣間隙壁
- 340 包圍的通道結構
- 343 第二凹處
- 345 凹陷通道結構
- 360 閘極絕緣膜
- 365 閘極導電層
- 370 下方的閘極導電層
- 375 下方的閘極層
- 380 上方的閘極導電層
- 385 上方的閘極層
- 390 閘極硬式光罩層
- 393 閘極電極
- 395 閘極硬式光罩層圖案
- 397 閘極結構

- 410 半導體基板
- 413 第一墊絕緣膜
- 415 第二墊絕緣膜
- 417 第二墊絕緣膜圖案
- 420 溝槽
- 425 元件隔離結構

五、中文發明摘要：

該半導體元件係包括一個元件隔離結構、一個包圍的通道結構以及一個閘極電極。該元件隔離結構係被形成在一個半導體基板中，以界定一個主動區域。該連接源極/汲極區域的包圍的通道結構係與該主動區域之下的半導體基板分隔開一段特定的距離。該閘極電極係圍繞該包圍的通道結構。

六、英文發明摘要：

The semiconductor device includes a device isolation structure, a surrounded channel structure, and a gate electrode. The device isolation structure is formed in a semiconductor substrate to define an active region. The surrounded channel structure connecting source/drain regions is separated from the semiconductor substrate under the active region by a given distance. The gate electrode surrounds the surrounded channel structure.

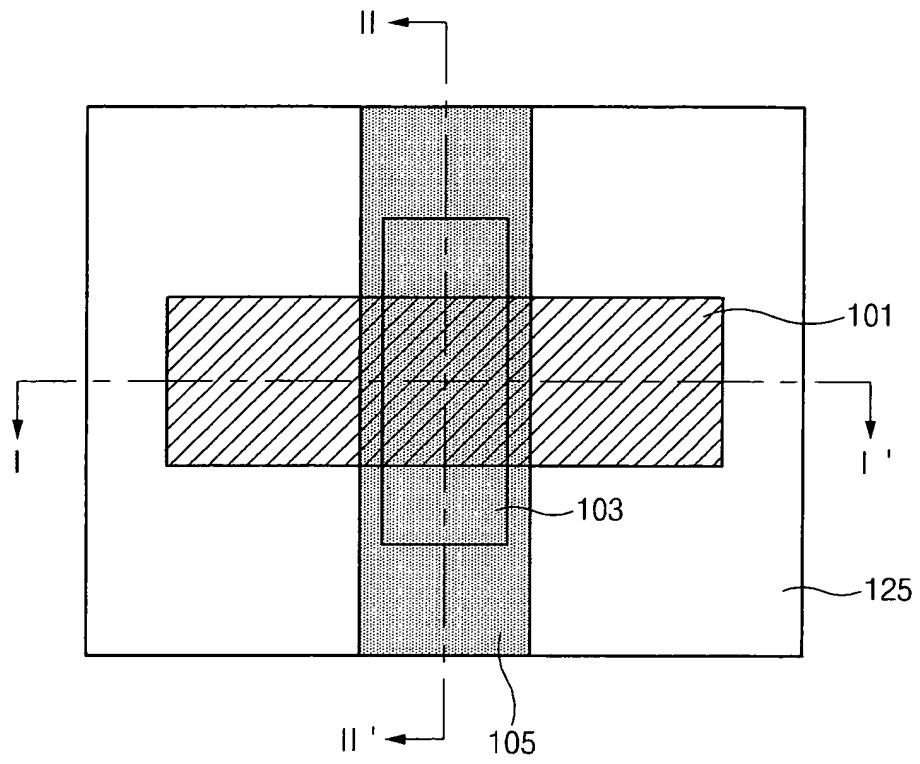


圖 1

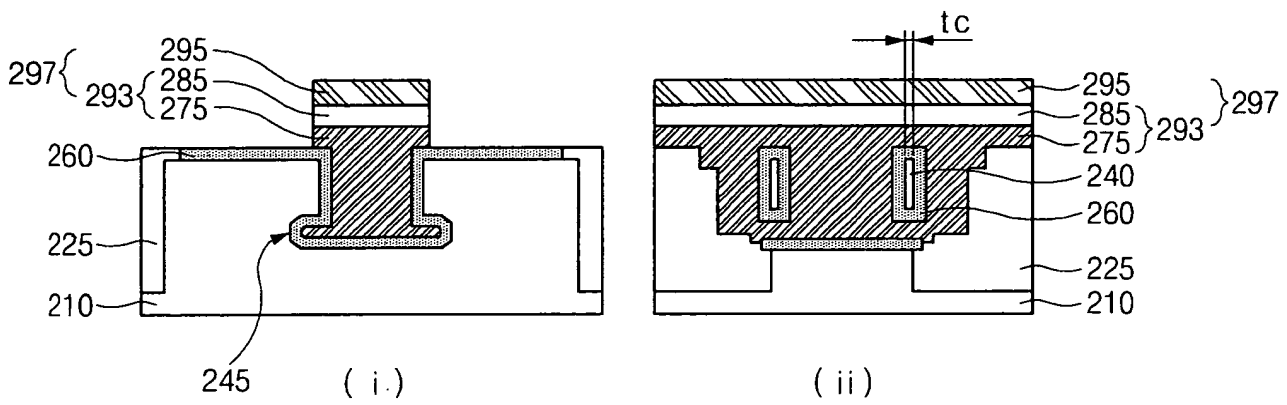


圖 2

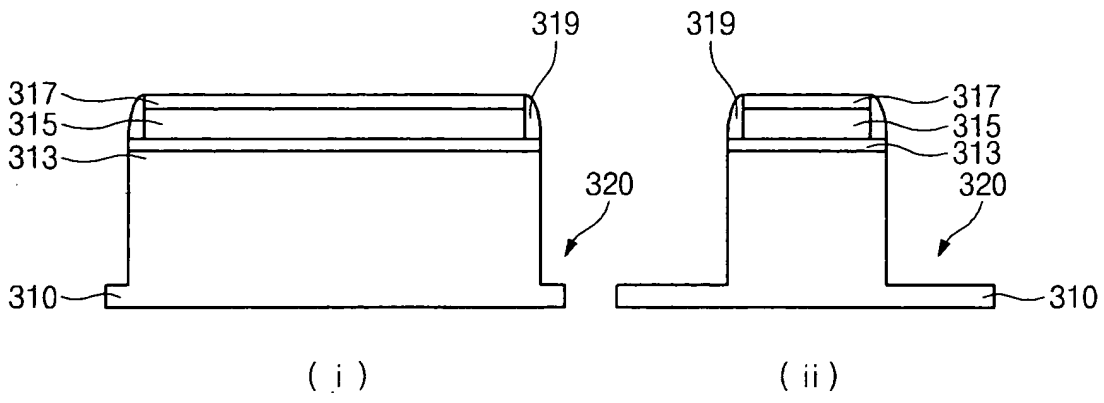


圖 3a

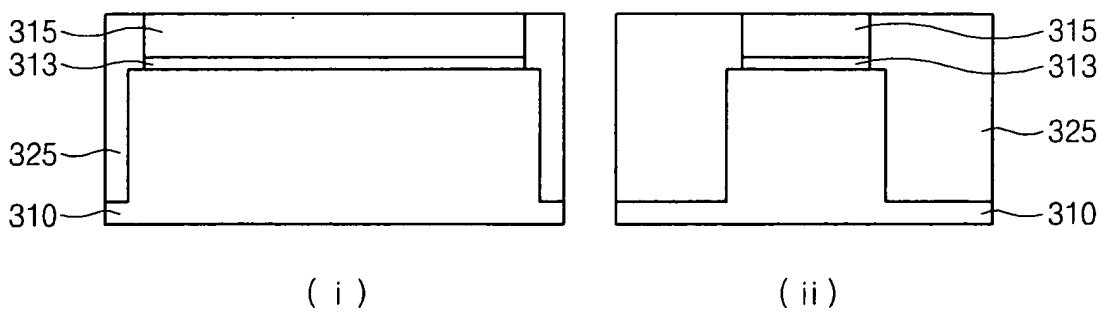


圖 3b

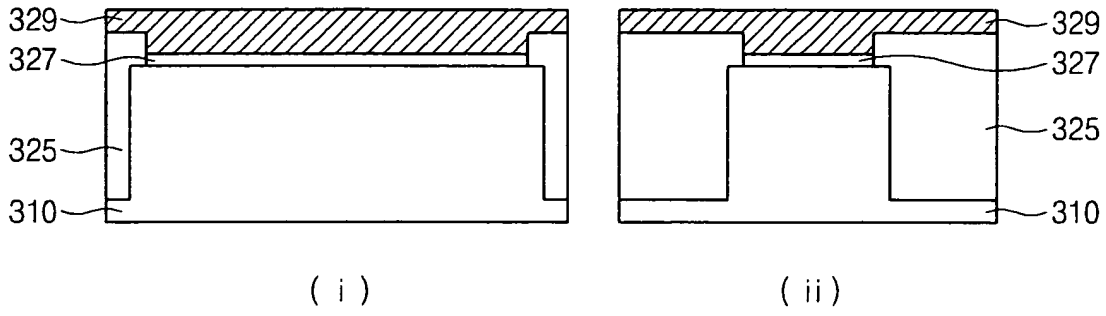


圖 3c

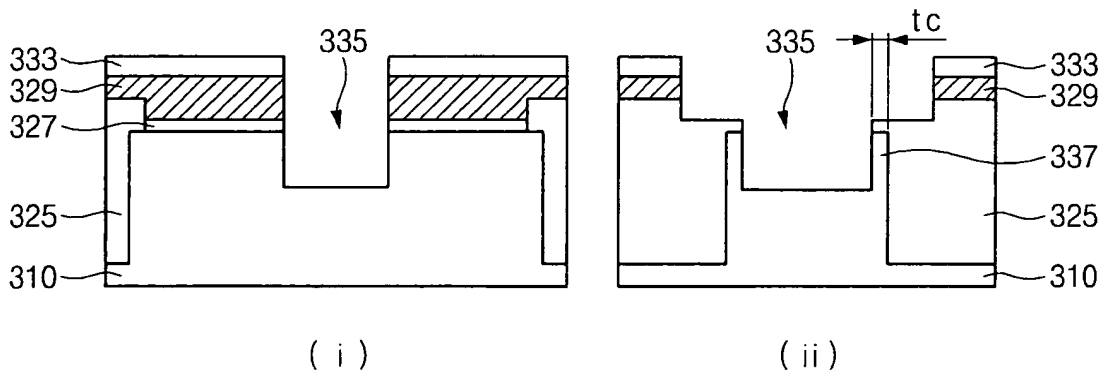


圖 3d

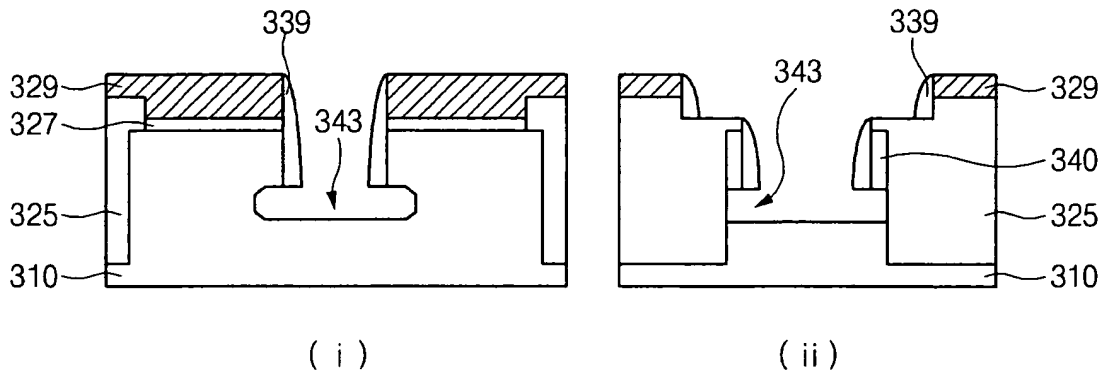


圖 3e

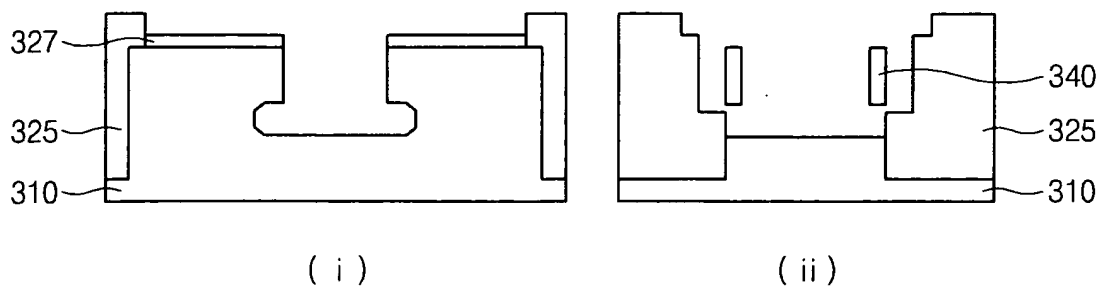


圖 3f

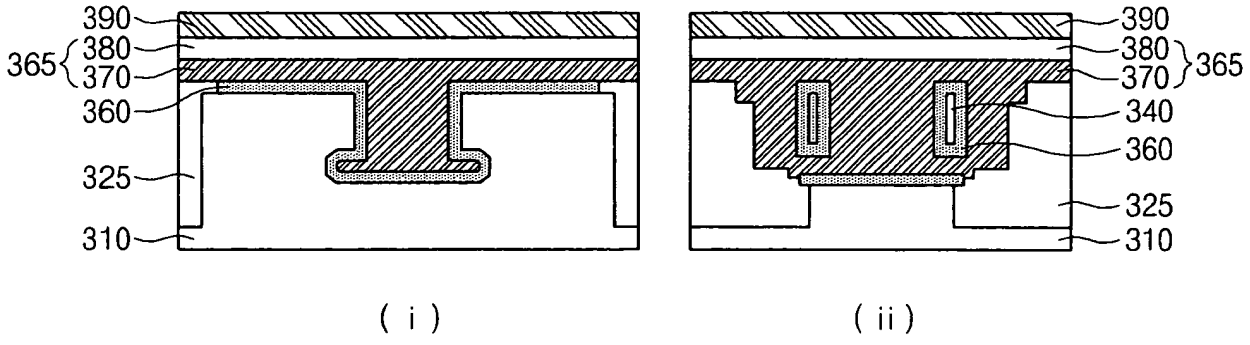


圖 3g

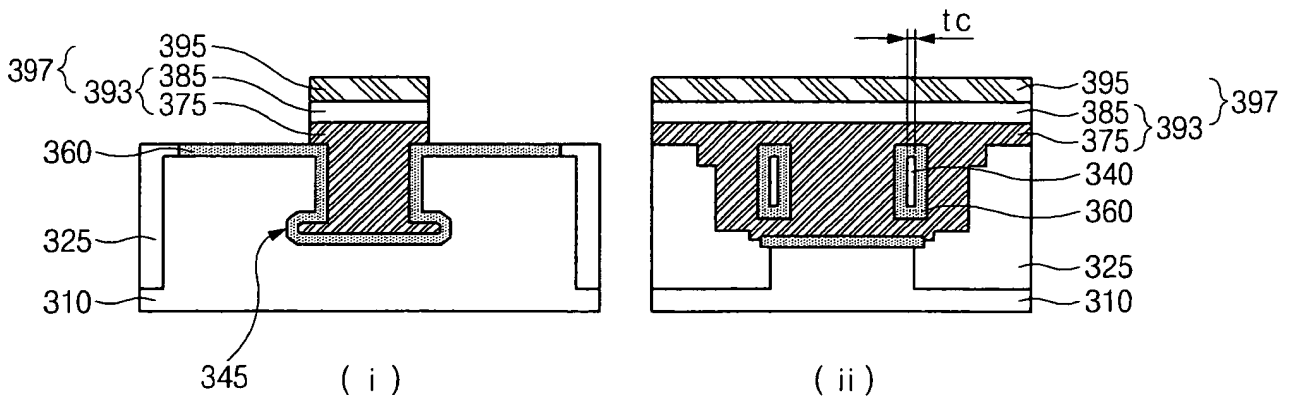


圖 3h

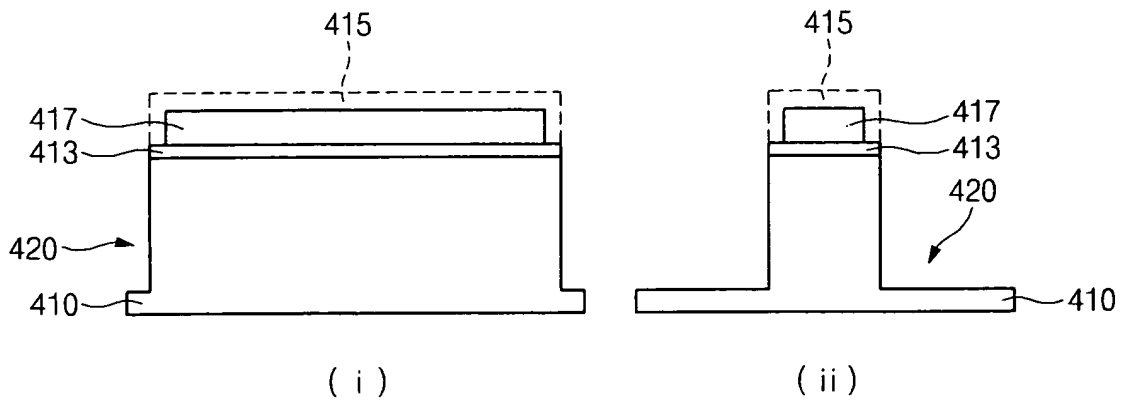


圖 4a

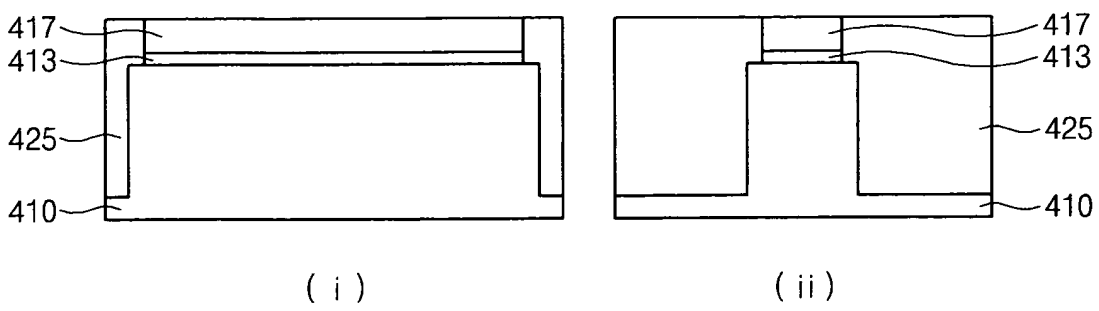


圖 4b

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

- 210 半導體基板
- 225 元件隔離結構
- 240 包圍的通道結構
- 245 凹陷通道結構
- 275 下方的閘極電極
- 285 上方的閘極電極
- 293 閘極電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1. 一種半導體元件，其係包括：

一個元件隔離結構，其係形成在一個半導體基板中以界定一個主動區域；

一個包圍的通道結構，其係與該主動區域之下的半導體基板分隔開一段特定的距離，該包圍的通道結構係連接源極/汲極區域；以及

一個閘極電極，其係圍繞該包圍的通道結構；

其中至少一個包圍的通道結構係在一個閘極區域的一縱向上被形成在該主動區域之下的半導體基板中。

2. 根據申請專利範圍第 1 項之半導體元件，其更包括一個在該主動區域的一縱向上的凹陷通道結構，其中該凹陷通道結構的下方部分的寬度係大於其上方部分的寬度。

3. 根據申請專利範圍第 1 項之半導體元件，其中該特定的距離範圍是從大約 100\AA 至大約 $2,000\text{\AA}$ 。

4. 根據申請專利範圍第 1 項之半導體元件，其中該包圍的通道結構在該閘極區域的一縱向上的水平寬度範圍是從大約 50\AA 至大約 $1,000\text{\AA}$ 。

5. 一種用於製造一個半導體元件之方法，該方法係包括：

在一個半導體基板中形成一個元件隔離結構，以形成一個主動區域；

藉由一凹處光罩來蝕刻該主動區域以形成一個凹陷通道結構，其中一個與在該主動區域之下的半導體基板分隔

開一段特定的距離之包圍的通道結構係被形成在該凹陷通道結構中；以及

形成一個包含一閘極硬式光罩層圖案以及一個閘極電極的閘極結構，其中該閘極電極係填滿該凹陷通道結構以圍繞該包圍的通道結構。

6.根據申請專利範圍第 5 項之方法，其中該形成一個元件隔離結構的製程係包含

在該半導體基板之上形成一墊絕緣膜圖案，以界定該主動區域；

在該墊絕緣膜圖案的一側壁處形成一間隙壁；

藉由利用該間隙壁及墊絕緣膜圖案作為一蝕刻光罩來蝕刻該半導體基板以形成一個溝槽；

移除該間隙壁以露出在該間隙壁之下的半導體基板；

形成一用於元件隔離的絕緣膜以填滿包含在該間隙壁之下露出的半導體基板的溝槽；以及

拋光該用於元件隔離的絕緣膜，直到該墊絕緣膜露出以形成一個元件隔離結構為止。

7.根據申請專利範圍第 6 項之方法，其中該墊絕緣膜係選自一氧化物膜、一氮化物膜、一多晶矽層及其組合所構成的群組。

8.根據申請專利範圍第 6 項之方法，其中該間隙壁的寬度範圍是從大約 100\AA 至大約 $1,200\text{\AA}$ 。

9.根據申請專利範圍第 6 項之方法，其中用於該間隙壁的移除製程係藉由一種濕式蝕刻方法而被執行。

10.根據申請專利範圍第 6 項之方法，其更包括在該溝槽以及用於元件隔離的絕緣膜之間的介面處形成一選自一熱氧化物膜、一氮化物膜、一氧化物膜及其組合所構成的群組的膜。

11.根據申請專利範圍第 6 項之方法，其中移除該間隙壁的步骤係藉由一種濕式蝕刻方法、一種化學機械平坦化(“CMP”)以及一種回蝕方法中之任一種方法而被執行。

12.根據申請專利範圍第 5 項之方法，其中該形成一個元件隔離結構的製程係包含

在該半導體基板之上形成一墊絕緣膜圖案以界定該主動區域；

藉由利用該墊絕緣膜圖案作為一蝕刻光罩來蝕刻該半導體基板以形成一個溝槽；

移除該墊絕緣膜圖案之一特定的厚度，以露出在該主動區域的邊緣處之半導體基板；以及

形成一個元件隔離結構以填滿包含在該主動區域的邊緣處露出的半導體基板的溝槽。

13.根據申請專利範圍第 12 項之方法，其中該墊絕緣膜圖案的一個側邊所移除的水平厚度範圍是從大約 100\AA 至大約 $1,200\text{\AA}$ 。

14.根據申請專利範圍第 5 項之方法，其中蝕刻該主動區域的製程係包含

在該主動區域之上形成一硬式光罩層圖案以界定一個凹陷區域；

蝕刻在該凹陷區域的底部露出的半導體基板以形成一個第一凹處，其中一個鰭狀類型的半導體基板係被形成在該元件隔離結構在一個閘極區域的一縱向上的該第一凹處旁邊的一側壁處；

在該第一凹處以及硬式光罩層圖案的一側壁處形成一凹處側壁間隙壁；

藉由利用該凹處側壁間隙壁作為一蝕刻光罩來蝕刻在該第一凹處的底部露出的半導體基板以形成一個第二凹處，其中一個與其下的半導體基板分隔開一段特定的距離之包圍的通道結構係被形成在該第二凹處中；

蝕刻在該包圍的通道結構以及硬式光罩層圖案之間露出的元件隔離結構，以露出該包圍的通道結構；以及

移除該硬式光罩層圖案以露出該半導體基板。

15.根據申請專利範圍第 14 項之方法，其中該形成一硬式光罩層圖案的製程係包含

在該半導體基板以及元件隔離結構之上形成一硬式光罩層；

在該硬式光罩層之上形成一光阻膜；

藉由一島形凹處光罩來曝光及顯影該光阻膜，以形成一界定該凹陷區域的光阻膜圖案；

藉由利用該光阻膜圖案作為一蝕刻光罩來蝕刻該硬式光罩層，以形成一硬式光罩層圖案；以及

移除該光阻膜圖案。

16.根據申請專利範圍第 15 項之方法，其中該島形凹處

光罩在該閘極區域的一縱向上的寬度係大於該主動區域的寬度。

17.根據申請專利範圍第 15 項之方法，其中該硬式光罩層係選自一氧化物膜、一多晶矽層及其組合所構成的群組。

18.根據申請專利範圍第 14 項之方法，其中用於形成該第二凹處的蝕刻製程係藉由一種等向性蝕刻方法而被執行。

19.根據申請專利範圍第 14 項之方法，其中至少一個鰭狀類型的半導體基板係在該閘極區域的一縱向上被形成在該主動區域之下的半導體基板中。

20.根據申請專利範圍第 14 項之方法，其中該特定的距離範圍是從大約 100\AA 至大約 $2,000\text{\AA}$ 。

21.根據申請專利範圍第 5 項之方法，其中形成一個閘極結構的製程係包含

形成一圍繞該包圍的通道結構的閘極導電層，以填滿該凹陷通道結構；

在該閘極導電層之上形成一閘極硬式光罩層；以及

藉由利用一閘極光罩作為一蝕刻光罩來圖案化該閘極硬式光罩層以及閘極導電層，以形成一閘極結構。

22.根據申請專利範圍第 21 項之方法，其中該閘極導電層係包括一下方的閘極導電層以及一上方的閘極導電層之堆疊的結構。

23.根據申請專利範圍第 22 項之方法，其中該下方的閘極導電層係包含一多晶矽層。

24.根據申請專利範圍第 22 項之方法，其中該上方的閘極導電層係選自一鈷(Co)層、一鎳(Ni)層、一鈦(Ti)層、一氮化鈦(TiN)膜、一鎢(W)層、一氮化鎢(WN)膜、一鋁(Al)層、一銅(Cu)層、一矽化鎢(WSi_x)層、一矽化鈷($CoSi_x$)層、一矽化鈦($TiSi_x$)層、一矽化鎳($NiSi_x$)層及其組合所構成的群組。

25.根據申請專利範圍第 5 項之方法，其更包括在包含該包圍的通道結構之露出的半導體基板之上形成一閘極絕緣膜。

十一、圖式：

如次頁。