



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0098327
(43) 공개일자 2010년09월06일

- | | |
|---|--|
| <p>(51) Int. Cl. <i>G09G 3/30</i> (2006.01)</p> <p>(21) 출원번호 10-2010-0017779</p> <p>(22) 출원일자 2010년02월26일 심사청구일자 없음</p> <p>(30) 우선권주장 JP-P-2009-045574 2009년02월27일 일본(JP)</p> | <p>(71) 출원인 가부시키키가이샤 한도오따이 에네루기 켄큐쇼 일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자 키무라 하지메 일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오따이 에네루기 켄큐쇼 내</p> <p>(74) 대리인 황의만</p> |
|---|--|

전체 청구항 수 : 총 6 항

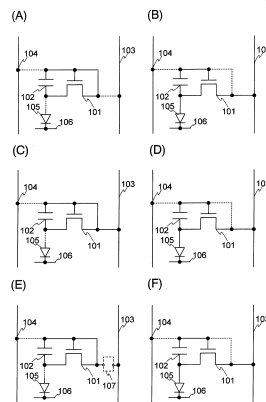
(54) 반도체 장치의 구동 방법

(57) 요약

본 발명은 트랜지스터의 스레시홀드 전압의 편차 및 이동도의 편차의 영향을 저감할 수 있는 반도체 장치의 구동 방법을 제공하는 것을 과제로 한다.

n 채널형의 도전형을 가지는 트랜지스터와, 트랜지스터의 게이트와 제1 단자와의 전기적인 접속을 제어하기 위한 스위치와, 트랜지스터의 게이트와 제2 단자와의 사이에 전기적으로 접속된 용량 소자와, 표시 소자를 가지는 반도체 장치의 구동 방법으로서, 용량 소자에 트랜지스터의 스레시홀드 전압에 따른 전압 및 영상 신호 전압의 합을 보유하는 제1 기간과, 스위치를 도통 상태로 함으로써, 영상 신호 전압 및 스레시홀드 전압의 합에 따라 용량 소자에 보유된 전하를 트랜지스터를 통하여 방전하는 제2 기간과, 제2 기간 후에, 트랜지스터를 통하여, 표시 소자에 전류를 공급하는 제3 기간을 가진다.

대표도 - 도1



특허청구의 범위

청구항 1

n 채널형의 도전형을 가진 트랜지스터와,

상기 트랜지스터의 게이트와 상기 트랜지스터의 제1 단자와의 사이의 도통 상태를 제어하도록 구성된 스위치와,

상기 트랜지스터의 게이트와 상기 트랜지스터의 제2 단자와의 사이에서 전기적으로 접속된 용량 소자와,

표시 소자를 가지는 반도체 장치의 구동 방법으로서,

상기 용량 소자에, 상기 트랜지스터의 스레시홀드 전압에 따른 전압 및 영상 신호 전압의 합을 보유하는 제1 기간과,

상기 스위치를 도통 상태로 함으로써, 상기 영상 신호 전압 및 상기 스레시홀드 전압의 합에 따라 상기 용량 소자에 보유된 전하를 상기 트랜지스터를 통하여 방전하는 제2 기간과,

상기 제2 기간의 후에, 상기 트랜지스터를 통하여, 상기 표시 소자에 전류를 공급하는 제3 기간을 가지는, 반도체 장치의 구동 방법.

청구항 2

제 1 항에 있어서,

상기 트랜지스터는 ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO, TiO, AlZnSnO로 이루어진 군으로부터 선택된 하나의 재료를 구비한 산화물 반도체를 포함하는, 반도체 장치의 구동 방법.

청구항 3

n 채널형의 도전형을 가지는 트랜지스터와,

상기 트랜지스터의 게이트와 상기 트랜지스터의 제1 단자와의 사이의 도통 상태를 제어하도록 구성된 스위치와,

상기 트랜지스터의 게이트와 상기 트랜지스터의 제2 단자와의 사이에서 전기적으로 접속된 용량 소자와,

표시 소자를 가지는 반도체 장치의 구동 방법으로서,

상기 용량 소자에 상기 트랜지스터의 스레시홀드 전압에 따른 전압을 보유하는 제1 기간과,

상기 용량 소자에, 상기 트랜지스터의 스레시홀드 전압에 따른 전압 및 영상 신호 전압의 합을 보유하는 제2 기간과,

상기 스위치를 도통 상태로 함으로써, 상기 영상 신호 전압 및 상기 스레시홀드 전압의 합에 따라 상기 용량 소자에 보유된 전하를, 상기 트랜지스터를 통하여 방전하는 제3 기간과,

상기 제3 기간의 후에, 상기 트랜지스터를 통하여, 상기 표시 소자에 전류를 공급하는 제4 기간을 가지는, 반도체 장치의 구동 방법.

청구항 4

제 3 항에 있어서,

상기 트랜지스터는 ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO, TiO, AlZnSnO로 이루어진 군으로부터 선택된 하나의 재료를 구비한 산화물 반도체를 포함하는, 반도체 장치의 구동 방법.

청구항 5

n 채널형의 도전형을 가지는 트랜지스터와,
 상기 트랜지스터의 게이트와 상기 트랜지스터의 제1 단자와의 사이의 도통 상태를 제어하도록 구성된 스위치와,
 상기 트랜지스터의 게이트와 상기 트랜지스터의 제2 단자와의 사이에서 전기적으로 접속된 용량 소자와,
 표시 소자를 가지는 반도체 장치의 구동 방법으로서,
 상기 용량 소자에 보유된 전압을 초기화하기 위한 제1 기간과,
 상기 용량 소자에 상기 트랜지스터의 스레시홀드 전압에 따른 전압을 보유하는 제2 기간과,
 상기 용량 소자에 상기 트랜지스터의 스레시홀드 전압에 따른 전압 및 영상 신호 전압의 합을 보유하는 제3 기간과,
 상기 스위치를 도통 상태로 함으로써, 상기 영상 신호 전압 및 상기 스레시홀드 전압의 합에 따라 상기 용량 소자에 보유된 전하를 상기 트랜지스터를 통하여 방전하는 제4 기간과,
 상기 제4 기간의 후에, 상기 트랜지스터를 통하여, 상기 표시 소자에 전류를 공급하는 제5 기간을 가지는, 반도체 장치의 구동 방법.

청구항 6

제 5 항에 있어서,
 상기 트랜지스터는 ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO, TiO, AlZnSnO로 이루어진 군으로부터 선택된 하나의 재료를 구비한 산화물 반도체를 포함하는, 반도체 장치의 구동 방법.

명세서

기술분야

[0001] 본 발명은, 반도체 장치, 표시 장치, 또는 발광 장치, 혹은 그들의 구동 방법에 관한 것이다.

배경기술

[0002] 근년, 액정 디스플레이(LCD) 등의 플랫 패널 디스플레이가 널리 보급되고 있다. 그러나, LCD는 시야각이 좁고, 색도 범위가 좁고, 응답 속도가 늦다는 등의 많은 결점을 가지고 있다. 따라서, 이러한 결점을 극복한 디스플레이로서, 유기 EL(일렉트로 루미네스스, 유기 발광 다이오드, OLED 등으로도 칭함) 디스플레이의 연구가 활발하게 행해지고 있다(특허문헌 1).

[0003] 그러나, 유기 EL 디스플레이에는, 유기 EL 소자에 흐르는 전류를 제어하기 위한 트랜지스터의 전류 특성에 화소마다 편차가 생긴다는 문제점이 있었다. 유기 EL 소자에 흐르는 전류(즉, 트랜지스터를 흐르는 전류)에 편차가 생기면, 유기 EL 소자의 휘도도 편차, 얼룩이 있는 표시 화면이 된다. 따라서, 트랜지스터의 스레시홀드 전압의 편차를 보정하는 방법이 검토되고 있다(특허문헌 2 내지 특허문헌 6).

[0004] 그러나, 트랜지스터의 스레시홀드 전압의 편차를 보정해도, 트랜지스터의 이동도에 편차가 생기면, 유기 EL 소자에 흐르는 전류에도 편차가 생기게 되어, 화상 얼룩이 생기게 된다. 따라서, 트랜지스터의 스레시홀드 전압 뿐만 아니라, 이동도의 편차도 보정하는 방법이 검토되고 있다(특허문헌 7 내지 특허문헌 8).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본특개2003-216110호공보
- (특허문헌 0002) 일본특개2003-202833호공보
- (특허문헌 0003) 일본특개2005-31630호공보
- (특허문헌 0004) 일본특개2005-345722호공보
- (특허문헌 0005) 일본특개2007-148129호공보
- (특허문헌 0006) 국제공개제2006/060902호팜플렛
- (특허문헌 0007) 일본특개2007-148128호공보([0098]단락)
- (특허문헌 0008) 일본특개2007-310311호공보([0026]단락)

발명의 내용

해결하려는 과제

- [0006] 특허문헌 7 내지 특허문헌 8에 개시된 기술에서는, 영상 신호(비디오 신호)를 화소에 입력하면서 트랜지스터의 이동도의 편차의 보정을 행하고 있어, 문제가 생긴다.
- [0007] 예를 들면, 영상 신호를 입력하면서 이동도의 편차의 보정을 행하기 때문에, 그 동안에는, 다른 화소에 영상 신호를 입력할 수가 없다. 통상, 화소수, 프레임 주파수 또는 화면 사이즈 등이 결정되면, 각 화소에 영상 신호를 입력하는 기간(소위, 1 게이트 선택 기간 또는 1 수평 기간)의 최대값도 정해진다. 따라서, 1 게이트 선택 기간 중에, 이동도의 편차의 보정을 행하는 기간이 증가함으로써, 다른 처리(영상 신호의 입력이나 스레시홀드 진압의 취득 등)의 기간이 줄어들게 된다. 따라서, 화소에서는 1 게이트 선택 기간 중에 다양한 처리를 행하지 않으면 안 되게 된다. 결과적으로, 처리기간이 부족하고, 정확한 처리를 행할 수 없거나, 또는, 이동도의 편차의 보정의 기간을 충분히 확보할 수가 없기 때문에, 이동도의 보정이 불충분하게 된다.
- [0008] 또한, 화소수나 프레임 주파수가 높아지거나, 또는 화면 사이즈가 커지면, 1 화소당 1 게이트 선택 기간이 더욱 짧아진다. 따라서, 화소에 대한 영상 신호의 입력을 위한 시간이나, 이동도의 편차의 보정을 위한 시간 등을 충분히 확보할 수 없게 된다.
- [0009] 혹은, 영상 신호를 입력하면서 이동도의 편차의 보정을 행하는 경우, 이동도의 편차의 보정은, 영상 신호의 파형의 왜곡의 영향을 받기 쉽다. 그 때문에, 영상 신호의 파형의 왜곡이 큰 경우와 작은 경우에는, 이동도의 보정의 정도에 편차가 생기게 되어, 정확한 보정을 할 수 없다.
- [0010] 혹은, 화소에 영상 신호를 입력하면서 이동도의 편차의 보정을 행하는 경우, 점순차 구동을 행하는 것이 곤란한 경우가 많다. 점순차 구동에서는, 어느 행의 화소에 영상 신호를 입력하는 경우, 그 행의 모든 화소에 동시에 영상 신호를 입력하는 것이 아니라, 1 화소씩 순차로 영상 신호를 입력해 나간다. 따라서, 영상 신호를 입력하는 기간의 길이는 화소마다 달라진다. 따라서, 영상 신호를 입력하면서 이동도의 편차의 보정을 행하는 경우, 화소마다 이동도의 편차의 보정 기간이 달라지기 때문에, 보정량도 화소마다 다르게 되어, 정상적으로 보정을 행할 수가 없다. 따라서, 영상 신호를 입력하면서 이동도의 편차의 보정을 행하는 경우에는, 점순차 구동이 아니라, 그 행의 모든 화소에 동시에 신호를 입력하는 선순차 구동을 행할 필요가 있다.
- [0011] 또한, 선순차 구동을 행하는 경우, 점순차 구동을 행하는 경우와 비교하여, 소스 신호선 구동 회로(비디오 신호선 구동 회로, 소스 드라이버, 데이터 드라이버라고도 함)의 구성이 복잡하게 된다. 예를 들면, 선순차 구동에서의 소스 신호선 구동 회로는 DA 컨버터, 아날로그 버퍼, 래치 회로 등의 회로가 필요한 경우가 많다. 그러나, 아날로그 버퍼는, 오퍼레이션 증폭기(operational amplifier)나 소스 팔로워(source follower) 회로 등으로 구성되는 경우가 많고, 트랜지스터의 전류 특성의 편차의 영향을 받기 쉽다. 따라서, TFT(박막 트랜지스터)를 이용하여 회로를 구성하는 경우, 트랜지스터의 전류 특성의 편차를 보정하는 회로가 필요하게 되어, 회로의 규모가 커지거나 소비 전력이 커지거나 한다. 그 때문에, 화소 부분의 트랜지스터로서 TFT가 이용되고 있는 경우에는, 화소 부분과 신호선 구동 회로를 동일 기판 위에 형성하는 것이 곤란해질 가능성이 있다.

따라서, 신호선 구동 회로를 화소 부분과는 다른 수단을 이용하여 작성할 필요가 있어, 비용이 높아질 가능성이 있다. 또한, 화소 부분과 신호선 구동 회로를 COG(chip on glass) 또는 TAB (Tape Automated Bonding) 등을 이용하여 접속할 필요가 있어, 접촉 불량 등을 일으키거나 신뢰성을 해치거나 한다.

[0012] 따라서, 본 발명의 일 양태는, 트랜지스터의 스테시홀드 전압의 편차의 영향을 저감하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 트랜지스터의 이동도의 편차의 영향을 저감하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 트랜지스터의 전류 특성의 편차의 영향을 저감하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 영상 신호의 입력 기간을 길게 확보하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 스테시홀드 전압의 편차의 영향을 저감하기 위한 보정 기간을 길게 확보하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 이동도의 편차의 영향을 저감하기 위한 보정 기간을 길게 확보하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 영상 신호의 파형의 왜곡의 영향을 받기 어렵게 하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 선순차 구동뿐 아니라, 점순차 구동을 이용할 수도 있는 것을 과제로 한다. 또는, 본 발명의 일 양태는 화소와 구동 회로를 같은 기판 위에 형성하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 소비 전력을 낮게 하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 제조 비용을 낮게 하는 것을 과제로 한다. 또는, 본 발명의 일 양태는 배선의 접속 부분의 접촉 불량을 일으킬 가능성을 저감하는 것을 과제로 한다. 또한, 이러한 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 양태는 상기의 과제 전부를 해결할 필요는 없는 것으로 한다.

과제의 해결 수단

[0013] 본 발명의 일 양태는, n 채널형의 도전형을 가지는 트랜지스터와, 트랜지스터의 게이트와 트랜지스터의 제1 단자와의 도통 상태를 제어하기 위한 스위치와, 트랜지스터의 게이트와 트랜지스터의 제2 단자와의 사이에 전기적으로 접속된 용량 소자와, 표시 소자를 가지는 반도체 장치의 구동 방법으로서, 용량 소자에 트랜지스터의 스테시홀드 전압에 따른 전압 및 영상 신호 전압의 합을 보유하는 제1 기간과, 스위치를 도통 상태로 함으로써, 영상 신호 전압 및 스테시홀드 전압의 합에 따라 용량 소자에 보유된 전하를 트랜지스터를 통하여 방전하는 제2 기간과, 제2 기간의 후에, 트랜지스터를 통하여, 표시 소자에 전류를 공급하는 제3 기간을 가지는 반도체 장치의 구동 방법이다.

[0014] 본 발명의 일 양태는, n 채널형의 도전형을 가지는 트랜지스터와, 트랜지스터의 게이트와 트랜지스터의 제1 단자와의 도통 상태를 제어하기 위한 스위치와, 트랜지스터의 게이트와 트랜지스터의 제2 단자와의 사이에 전기적으로 접속된 용량 소자와, 표시 소자를 가지는 반도체 장치의 구동 방법으로서, 용량 소자에 트랜지스터의 스테시홀드 전압에 따른 전압을 보유하는 제1 기간과, 용량 소자에 트랜지스터의 스테시홀드 전압에 따른 전압 및 영상 신호 전압의 합을 보유하는 제2 기간과, 스위치를 도통 상태로 함으로써, 영상 신호 전압 및 스테시홀드 전압의 합에 따라 용량 소자에 보유된 전하를 트랜지스터를 통하여 방전하는 제3 기간과, 제3 기간의 후에, 트랜지스터를 통하여, 표시 소자에 전류를 공급하는 제4 기간을 가지는 반도체 장치의 구동 방법이다.

[0015] 본 발명의 일 양태는, n 채널형의 도전형을 가지는 트랜지스터와, 트랜지스터의 게이트와 트랜지스터의 제1 단자와의 도통 상태를 제어하기 위한 스위치와, 트랜지스터의 게이트와 트랜지스터의 제2 단자와의 사이에 전기적으로 접속된 용량 소자와, 표시 소자를 가지는 반도체 장치의 구동 방법으로서, 용량 소자에 보유된 전압을 초기화하기 위한 제1 기간과, 용량 소자에 트랜지스터의 스테시홀드 전압에 따른 전압을 보유하는 제2 기간과, 용량 소자에 트랜지스터의 스테시홀드 전압에 따른 전압 및 영상 신호 전압의 합을 보유하는 제3 기간과, 스위치를 도통 상태로 함으로써, 영상 신호 전압 및 스테시홀드 전압의 합에 따라 용량 소자에 보유된 전하를 트랜지스터를 통하여 방전하는 제4 기간과, 제4 기간의 후에 트랜지스터를 통하여, 표시 소자에 전류를 공급하는 제4 기간을 가지는 반도체 장치의 구동 방법이다.

[0016] 또한, 스위치는 다양한 형태의 것을 이용할 수 있다. 예로서는, 전기적 스위치나 기계적인 스위치 등이 있다. 즉, 전류의 흐름을 제어할 수 있는 것이면 좋고, 특성의 것에 한정되지 않는다. 예를 들면, 스위치로서, 트랜지스터(예를 들면, 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들면, PN 다이오드, PIN 다이오드, 쇼트키 다이오드(Schottky diode), MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등) 등을 이용할 수 있다. 또는, 이것들을 조합한 논리 회로를 스위치로서 이용할 수 있다.

[0017] 기계적인 스위치의 예로서는, 디지털 마이크로 미러 디바이스(DMD)와 같이, MEMS(Micro Electro Mechanical

System) 기술을 이용한 스위치가 있다. 그 스위치는 기계적으로 움직일 수 있는 전극을 가지고, 그 전극이 움직이는 것에 의해, 도통과 비도통을 제어하여 동작한다.

[0018] 또한, n 채널형 트랜지스터와 p 채널형 트랜지스터의 양쪽을 이용하여, CMOS형의 스위치를 스위치로서 이용해도 좋다.

[0019] 또한, 「A와 B가 접속되어 있다」고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기서, A, B는 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)이라고 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 포함하는 것으로 한다.

[0020] 예를 들면, A와 B가 전기적으로 접속되어 있는 경우로서, A와 B의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드 등)가, A와 B 사이에 1개 이상 접속되어 있어도 좋다. 혹은, A와 B가 기능적으로 접속되어 있는 경우로서, A와 B의 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 오퍼레이션 증폭기, 차동 증폭 회로, 소스 팔로워 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가, A와 B와의 사이에 1개 이상 접속되어 있어도 좋다. 예를 들면, A와 B와의 사이에 다른 회로를 끼우고 있어도, A로부터 출력된 신호가 B에 전달되는 경우에는, A와 B는 기능적으로 접속되어 있는 것으로 한다.

[0021] 또한, 「A와 B가 전기적으로 접속되어 있다」고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우(즉, A와 B의 사이에 다른 소자나 다른 회로를 끼우고 접속되어 있는 경우)와, A와 B가 기능적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 회로를 끼우고 기능적으로 접속되어 있는 경우)와, A와 B가 직접 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼우지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, 「전기적으로 접속되어 있다」고 명시적으로 기재하는 경우에는, 단지, 「접속되어 있다」라고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.

[0022] 또한, 표시 소자, 표시 소자를 가지는 장치인 표시 장치, 발광소자, 발광소자를 가지는 장치인 발광 장치는 다양한 형태를 이용하거나, 다양한 소자를 가질 수 있다. 예를 들면, 표시 소자, 표시 장치, 발광소자 또는 발광 장치는, EL(일렉트로 루미네스) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동(泳動) 소자, 그레이팅 라이트 밸브(GLV), 플라즈마 디스플레이 패널(PDP), 디지털 마이크로 미러 디바이스(DMD), 압전 세라믹 디스플레이, 카본 나노 튜브 등, 전기 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 가질 수 있다. 또한, EL 소자를 이용한 표시 장치로서는 EL 디스플레이, 전자 방출 소자를 이용한 표시 장치로서는 필드 에미션 디스플레이(FED)나 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Disply) 등, 액정 소자를 이용한 표시 장치로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이), 전자 잉크나 전기 영동 소자를 이용한 표시 장치로서는 전자 페이퍼가 있다.

[0023] 또한, 액정 소자는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자이며, 한 쌍의 전극, 및 액정에 의해 구성된다. 또한, 액정의 광학적 변조 작용은, 액정에 걸리는 전계(횡방향 전계, 종방향 전계 또는 경사 방향 전계를 포함함)에 의해 제어된다. 또한, 액정 소자로서는, 네마틱(nematic) 액정, 콜레스테릭(cholesteric) 액정, 스멕틱(smectic) 액정, 디스코틱(discotic) 액정, 서모트로픽(thermotropic) 액정, 리�트로픽(lyotropic) 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정 등을 들 수 있다. 또한, 액정의 구동 방식으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등을 이용

할 수 있다. 단, 이것에 한정되지 않고, 액정 소자 및 그 구동 방법으로서 다양한 것을 이용할 수 있다.

- [0024] 또한, 트랜지스터로서 다양한 형태의 트랜지스터를 이용할 수 있다. 따라서, 이용하는 트랜지스터의 종류에 한정은 없다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스탈, 나노 크리스탈, 세미 아몰퍼스(amorphous)라고도 함) 실리콘 등으로 대표되는 비단결정 반도체막을 가지는 박막 트랜지스터(TFT) 등을 이용할 수 있다.
- [0025] 또한, 다결정 실리콘을 제조하는 경우에, 촉매(니켈 등)를 이용함으로써, 결정성을 더욱 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능하게 된다. 또한, 미결정 실리콘을 제조하는 경우에, 촉매(니켈 등)를 이용함으로써, 결정성을 더욱 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능하게 된다. 단, 촉매(니켈 등)를 이용하지 않고, 다결정 실리콘이나 미결정 실리콘을 제조하는 것은 가능하다.
- [0026] 또한, 실리콘의 결정성을 다결정 또는 미결정 등으로 향상시키는 것은, 패널 전체에서 행하는 것이 바람직하지만, 그것에 한정되지 않는다. 패널의 일부의 영역에만, 실리콘의 결정성을 향상시켜도 좋다.
- [0027] 또는, 반도체 기판이나 SOI 기판 등을 이용하여 트랜지스터를 형성할 수 있다.
- [0028] 또는, ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO, TiO, AlZnSnO(AZTO) 등의 화합물 반도체 또는 산화물 반도체를 가지는 트랜지스터나, 또한, 이들의 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 이용할 수 있다. 또한, 이들 화합물 반도체 또는 산화물 반도체를 트랜지스터의 채널 부분에 이용할 뿐만 아니라, 그 이외의 용도로 이용할 수도 있다. 예를 들면, 이러한 화합물 반도체 또는 산화물 반도체를 저항 소자, 화소 전극, 투광성을 가지는 전극으로서 이용할 수 있다. 또한, 그것들을 트랜지스터와 동시에 성막 또는 형성할 수 있기 때문에, 비용을 저감할 수 있다.
- [0029] 또는, 잉크젯이나 인쇄법을 이용하여 형성한 트랜지스터 등을 이용할 수 있다.
- [0030] 또는, 유기 반도체나 카본 나노 튜브를 가지는 트랜지스터 등을 이용할 수 있다. 이것들에 의해, 구부릴 수 있는 기판 위에 트랜지스터를 형성할 수 있다. 이러한 기판을 이용한 반도체 장치는 충격에 강하게 할 수 있다.
- [0031] 또한, 다양한 구조의 트랜지스터를 이용할 수 있다. 예를 들면, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터 등을 트랜지스터로서 이용할 수 있다.
- [0032] 또한, MOS형 트랜지스터, 바이폴러 트랜지스터 등을 하나의 기판에 혼재시켜 형성해도 좋다.
- [0033] 그 외, 다양한 트랜지스터를 이용할 수 있다.
- [0034] 또한, 트랜지스터는 다양한 기판을 이용하여 형성할 수 있다. 기판의 종류는 특정의 것에 한정되는 것은 아니다. 그 기판으로서, 예를 들면, 단결정 기판(예를 들면, 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 호일을 가지는 기판, 텅스텐 기판, 텅스텐 호일을 가지는 기판, 가요성 기판 등을 이용할 수 있다. 유리 기판의 일례로서는, 바륨 붕규산 유리, 알루미늄 붕규산 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르술폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 가지는 합성 수지 등이 있다. 그 밖에도, 부착 필름(폴리프로필렌, 폴리에스테르, 비닐, 폴리 불화비닐, 염화비닐 등), 섬유 형상의 재료를 포함하는 종이, 기재(基材) 필름(폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 종이류 등) 등이 있다. 또는, 어느 기판을 이용하여 트랜지스터를 형성하고, 그 후, 다른 기판에 트랜지스터를 전치(轉置)하여, 다른 기판 위에 트랜지스터를 배치해도 좋다. 트랜지스터가 전치되는 기판으로서, 단결정 기판, SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 옷감 기판(천연 섬유(견, 면, 마), 합성 섬유(나일론, 폴리우레탄, 폴리에스테르) 혹은 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함함), 피혁 기판, 고무 기판, 스테인리스 스틸 기판, 스테인리스 스틸 호일을 가지는 기판 등을 이용할 수 있다. 혹은, 사람 등의 동물의 피부(표피, 진피) 또는 피하 조직을 기판으로서 이용해도 좋다. 또는, 어느 기판을 이용하여 트랜지스터를 형성하고, 그 기판을 연마하여 얇게 해도 좋다. 연마되는 기판으로서, 단결정 기판, SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 스테인리스 스틸 기판, 스테인리스 스틸 호일을 가지는 기판 등을 이용할 수 있다. 이러한 기판을 이용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 내구성이 있는 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.
- [0035] 또한, 트랜지스터의 구성은, 다양한 형태를 취할 수 있고, 특정 구성에 한정되지 않는다. 예를 들면, 게이트

전극이 2개 이상의 멀티 게이트 구조를 적용할 수 있다.

- [0036] 다른 예로서, 채널의 상하에 게이트 전극이 배치되어 있는 구조를 적용할 수 있다. 또한, 채널의 상하에 게이트 전극이 배치되는 구성으로 함으로써, 복수의 트랜지스터가 병렬로 접속된 것과 같은 구성이 된다.
- [0037] 채널 영역 위에 게이트 전극이 배치되어 있는 구조, 채널 영역 아래에 게이트 전극이 배치되어 있는 구조, 정스태거 구조, 역스태거 구조, 채널 영역을 복수의 영역으로 나눈 구조, 채널 영역을 병렬로 접속한 구조, 또는 채널 영역이 직렬로 접속하는 구성도 적용할 수 있다. 또한, 채널 영역(혹은 그 일부)에 소스 전극이나 드레인 전극이 중첩되어 있는 구조도 적용할 수 있다.
- [0038] 또한, 트랜지스터는 다양한 타입을 이용할 수 있고, 다양한 기판을 이용하여 형성시킬 수 있다. 따라서, 소정의 기능을 실현시키기 위해 필요한 회로의 전부를 동일한 기판에 형성하는 것도 가능하다. 예를 들면, 소정의 기능을 실현시키기 위해 필요한 회로 전부를, 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 등의 다양한 기판을 이용하여 형성하는 것도 가능하다. 혹은, 소정의 기능을 실현시키기 위해 필요한 회로의 일부가 어느 기판에 형성되고, 소정의 기능을 실현시키기 위해 필요한 회로의 다른 일부가 다른 기판에 형성되어 있는 것도 가능하다. 즉, 소정의 기능을 실현시키기 위해 필요한 회로의 모두가 같은 기판을 이용하여 형성되어 있지 않아도 좋다. 예를 들면, 소정의 기능을 실현시키기 위해 필요한 회로의 일부는 유리 기판 위에 트랜지스터에 의해 형성되고, 소정의 기능을 실현시키기 위해 필요한 회로의 다른 일부는 단결정 기판에 형성되고, 단결정 기판을 이용하여 형성된 트랜지스터로 구성된 IC칩을 COG(Chip On Glass)로 유리 기판에 접속하여, 유리 기판 위에 그 IC칩을 배치하는 것도 가능하다. 혹은, 그 IC칩을 TAB(Tape Automated Bonding)나 프린트 기판을 이용하여 유리 기판과 접속하는 것도 가능하다.
- [0039] 또한, 트랜지스터는, 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 가지는 소자이며, 드레인 영역과 소스 영역의 사이에 채널 영역을 가지고 있고, 드레인 영역과 채널 영역과 소스 영역을 통하여 전류를 흘릴 수 있다. 여기서, 소스와 드레인은, 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 쪽이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역을 소스 혹은 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는, 각각을 제1 단자, 제2 단자라고 표기하는 경우가 있다. 혹은, 각각을 제1 전극, 제2 전극이라고 표기하는 경우가 있다. 혹은, 제1 영역, 제2 영역이라고 표기하는 경우가 있다.
- [0040] 또한, 트랜지스터는, 베이스와 에미터와 콜렉터를 포함하는 적어도 3개의 단자를 가지는 소자이어도 좋다. 이 경우도 마찬가지로, 에미터와 콜렉터를 제1 단자, 제2 단자 등으로 표기하는 경우가 있다.
- [0041] 또한, 「A의 위에 B가 형성되어 있다」, 혹은, 「A 상에 B가 형성되어 있다」고 명시적으로 기재하는 경우에는, A의 위에 B가 직접 접하여 형성되어 있는 것에 한정되지 않는다. 직접 접하지는 않는 경우, 즉, A와 B 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 여기서, A, B는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)이라고 한다.
- [0042] 따라서 예를 들면, 「층(A)의 위에(혹은 층(A) 상에), 층(B)이 형성되어 있다」고 명시적으로 기재되어 있는 경우에는, 층(A)의 위에 직접 접하여 층(B)이 형성되어 있는 경우와, 층(A)의 위에 직접 접하여 다른 층(예를 들면, 층(C)이나 층(D) 등)이 형성되어 있고, 그 위에 직접 접하여 층(B)이 형성되어 있는 경우를 포함하는 것으로 한다. 또한, 다른 층(예를 들면, 층(C)이나 층(D) 등)은 단층이어도 좋고, 복층이어도 좋다.
- [0043] 또한, 「A의 상방에 B가 형성되어 있다」고 명시적으로 기재되어 있는 경우에 대해서도 마찬가지로, A의 위에 B가 직접 접하고 있는 것에 한정되지 않고, A와 B 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 따라서, 예를 들면, 「층(A)의 상방에 층(B)이 형성되어 있다」고 하는 경우에는, 층(A)의 위에 직접 접하여 층(B)이 형성되어 있는 경우와, 층(A)의 위에 직접 접하여 다른 층(예를 들면, 층(C)나 층(D) 등)이 형성되어 있고, 그 위에 직접 접하여 층(B)이 형성되어 있는 경우를 포함하는 것으로 한다. 또한, 다른 층(예를 들면, 층(C)이나 층(D) 등)은 단층이어도 좋고, 복층이어도 좋다.
- [0044] 또한, 「A의 위에 B가 형성되어 있다」, 「A 상에 B가 형성되어 있다」 또는 「A의 상방에 B가 형성되어 있다」고 명시적으로 기재하는 경우, 비스듬하게 A 위에 B가 형성되는 경우도 포함하는 것으로 한다.
- [0045] 또한, 「A 아래에 B가」, 혹은, 「A의 하방에 B가」의 경우에 대해서도 마찬가지이다.
- [0046] 또한, 명시적으로 단수로 기재되어 있는 것에 대해서는 단수인 것이 바람직하다. 단, 이것에 한정되지 않고, 복수인 것도 가능하다. 마찬가지로, 명시적으로 복수로 기재되어 있는 것에 대해서는 복수인 것이 바람직하다.

단, 이것에 한정되지 않고, 단수인 것도 가능하다.

- [0047] 또한, 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되는 것은 아니다.
- [0048] 또한, 도면은 이상적인 예를 모식적으로 나타낸 것이며, 도면에 나타내는 형상 또는 값 등에 한정되지 않는다. 예를 들면, 제조 기술에 의한 형상의 편차, 오차에 의한 형상의 편차, 노이즈에 의한 신호, 전압, 혹은 전류의 편차, 또는, 타이밍의 어긋남에 의한 신호, 전압, 혹은 전류의 편차 등을 포함하는 것이 가능하다.
- [0049] 또한, 전문 용어는 특정의 실시형태, 또는 실시예 등을 설명할 목적으로 이용되는 경우가 많다. 단, 발명의 일 양태는 전문 용어에 의해 한정하여 해석되는 것은 아니다.
- [0050] 또한, 정의되어 있지 않은 문언(전문 용어 또는 학술 용어 등의 과학기술 문언을 포함함)은, 통상의 당업자가 이해하는 일반적인 의미와 동등한 의미로서 이용하는 것이 가능하다. 사전 등에 의해 정의되어 있는 문언은 관련 기술의 배경과 모순이 없는 의미로 해석되는 것이 바람직하다.
- [0051] 또한, 제1, 제2, 제3 등의 어구는, 다양한 요소, 부재, 영역, 층, 구(區)를 다른 것과 구별하여 기술하기 위해 이용된다. 따라서, 제1, 제2, 제3 등의 어구는, 요소, 부재, 영역, 층, 구 등의 수를 한정하는 것은 아니다. 또한, 예를 들면, 「제1」을 「제2」 또는 「제3」 등과 치환하는 것이 가능하다.
- [0052] 또한, 「위에」, 「상방에」, 「아래에」, 「하방에」, 「옆에」, 「오른쪽에」, 「왼쪽에」, 「비스듬하게」, 「안쪽에」, 「앞에」, 「안에」, 「밖에」, 또는 「중에」 등의 공간적 배치를 나타내는 어구는, 어느 요소 또는 특징과 다른 요소 또는 특징과의 관련을, 도면에 의해 간단하게 나타내기 위해 이용되는 경우가 많다. 단, 이것에 한정되지 않고, 이러한 공간적 배치를 나타내는 어구는, 도면에 도시하는 방향에 더하여, 다른 방향을 포함하는 것이 가능하다. 예를 들면, 「A 위에 B」라고 명시적으로 나타나는 경우에는, B가 A의 위에 있는 것에 한정되지 않는다. 도면 중의 디바이스는 반전, 또는 180° 회전하는 것이 가능하므로, B가 A 아래에 있는 것을 포함하는 것이 가능하다. 이와 같이, 「위에」라고 하는 어구는, 「위에」의 방향에 더하여, 「아래에」의 방향을 포함하는 것이 가능하다. 단, 이것에 한정되지 않고, 도면 중의 디바이스는 다양한 방향으로 회전하는 것이 가능하므로, 「위에」라고 하는 어구는, 「위에」 및 「아래에」의 방향에 더하여, 「옆에」, 「오른쪽에」, 「왼쪽에」, 「비스듬하게」, 「안쪽에」, 「앞에」, 「안에」, 「밖에」, 또는 「중에」 등의 다른 방향을 포함하는 것이 가능하다. 즉, 상황에 따라 적절히 해석하는 것이 가능하다.

발명의 효과

- [0053] 본 발명의 일 양태는, 트랜지스터의 스테시홀드 전압의 편차의 영향을 저감할 수 있다. 또는, 본 발명의 일 양태는 트랜지스터의 이동도의 편차의 영향을 저감할 수 있다. 또는, 본 발명의 일 양태는 트랜지스터의 전류 특성의 편차의 영향을 저감할 수 있다. 또는, 본 발명의 일 양태는 영상 신호의 입력 시간을 길게 확보할 수 있다. 또는, 본 발명의 일 양태는 스테시홀드 전압의 편차의 영향을 저감하기 위한 보정 시간을 길게 확보할 수 있다. 또는, 본 발명의 일 양태는 이동도의 편차의 영향을 저감하기 위한 보정 시간을 길게 확보할 수 있다. 또는, 본 발명의 일 양태는 영상 신호의 파형의 왜곡의 영향을 받기 어렵게 할 수 있다. 또는, 본 발명의 일 양태는 선순차 구동뿐 아니라, 점순차 구동을 이용할 수 있다. 또는, 본 발명의 일 양태는 화소와 구동 회로를 같은 기판 위에 형성할 수 있다. 또는, 본 발명의 일 양태는 소비 전력을 낮게 할 수 있다. 또는, 본 발명의 일 양태는 비용을 낮게 할 수 있다. 또는, 본 발명의 일 양태는 배선의 접속 부분의 접촉 불량을 저감할 수 있다.

도면의 간단한 설명

- [0054] 도 1은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 2는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 3은 실시형태에 따른 동작을 설명한 도면.
- 도 4는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.

- 도 5는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 6은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 7은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 8은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 9는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 10은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 11은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 12는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 13은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 14는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 15는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 16은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 17은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 18은 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 19는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 20은 실시형태에 따른 구동 방법을 설명한 단면도.
- 도 21은 실시형태에 따른 블럭도를 설명한 단면도.
- 도 22는 실시형태에 따른 블럭도를 설명한 단면도.
- 도 23은 실시형태에 따른 트랜지스터를 설명한 단면도.
- 도 24는 실시형태에 따른 트랜지스터를 설명한 단면도.
- 도 25는 실시형태에 따른 회로 또는 구동 방법을 설명한 도면.
- 도 26은 실시형태에 따른 전자기기를 설명한 도면.
- 도 27은 실시형태에 따른 전자기기를 설명한 도면.

발명을 실시하기 위한 구체적인 내용

- [0055] 이하, 본 발명의 실시형태에 대하여 도면을 참조하여 설명한다. 단, 실시형태는 많은 다른 양태로 실시하는 것이 가능하고, 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에서, 같은 것을 가리키는 부호는 다른 도면 간에 공통의 부호를 이용하여 나타내고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.
- [0056] 또한, 어느 하나의 실시형태 중에서 설명하는 내용(일부의 내용이어도 좋음)은, 그 실시형태에 설명하는 다른 내용(일부의 내용이어도 좋음), 및/또는, 하나 혹은 복수의 다른 실시형태에 설명하는 내용(일부의 내용이어도 좋음)에 대하여, 적용, 조합 또는 치환 등을 행할 수 있다.
- [0057] 또한, 실시형태 중에서 서술하는 내용은, 각각의 실시형태에서, 다양한 도면을 이용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 이용하여 설명하는 내용이다.
- [0058] 또한, 어느 하나의 실시형태에서 설명하는 도면(일부이어도 좋음)은, 그 도면의 다른 부분, 그 실시형태에서 설명하는 다른 도면(일부이어도 좋음), 및/또는, 하나 혹은 복수의 다른 실시형태에서 설명하는 도면(일부이어도 좋음)에 대하여, 조합시킴으로써, 더욱 많은 도면을 구성할 수 있다.
- [0059] 또한, 어느 하나의 실시형태에서 설명하는 도면 또는 문장에서, 그 일부분을 추출하여, 발명의 일 양태를 구성

하는 것은 가능하다. 따라서, 어느 부분을 설명하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 발췌한 내용도, 발명의 일 양태로서 개시되어 있는 것이고, 발명의 일 양태를 구성하는 것이 가능한 것으로 한다. 따라서, 예를 들면, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 기관, 모듈, 장치, 고체, 액체, 기체, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면(단면도, 평면도, 회로도, 블록도, 플로차트, 공정도, 사시도, 입면도, 배치도, 타이밍 차트, 구조도, 모식도, 그래프, 표, 광로도, 벡터도, 상태도, 파형도, 사진, 화학식 등) 또는 문장에서, 그 일부분을 발췌하여, 발명의 일 양태를 구성하는 것이 가능한 것으로 한다. 일례로서는, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 가지고 구성되는 회로도로부터, M개(M은 정수이고, $M < N$)의 회로 소자(트랜지스터, 용량 소자 등)를 뽑아내어, 발명의 일 양태를 구성하는 것은 가능하다. 다른 일례로서는, N개(N은 정수)의 층을 가지고 구성되는 단면도로부터, M개(M은 정수이고, $M < N$)의 층을 뽑아내어, 발명의 일 양태를 구성하는 것은 가능하다. 다른 일례로서는, N개(N은 정수)의 요소를 가지고 구성되는 플로차트로부터, M개(M은 정수이고, $M < N$)의 요소를 뽑아내어, 발명의 일 양태를 구성하는 것은 가능하다.

[0060] [실시형태 1]

[0061] 도 1에, 트랜지스터의 이동도 등의 전류 특성의 편차를 보정하는 경우의 구동 방법, 구동 타이밍 및 그 때의 회로 구성에 대하여, 그 일례를 나타낸다. 또한, 본 실시형태에서는, 트랜지스터의 도전형이 n 채널형인 예에 대하여 설명을 행한다.

[0062] 도 1(A)에, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에서의 회로 구성을 나타낸다. 또한, 도 1(A)에 나타내는 회로 구성은, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하기 위하여, 트랜지스터의 게이트에 보유되어 있는 전하를 방전하기 위한 회로 구성이며, 실제로는 배선 사이에 설치되는 복수의 스위치의 온 또는 오프를 제어함으로써 이 회로 구성의 접속 관계를 실현하는 것이다. 또한, 도면 중, 실선은 소자간의 도통 상태를 나타내고, 점선은 소자간의 비도통 상태를 나타내는 것으로 한다.

[0063] 도 1(A)에서, 트랜지스터(101)의 소스 또는 드레인의 한쪽(이하, 제1 단자라고 함)은 용량 소자(102)의 제1 단자(또는 제1 전극이라고도 함) 및 트랜지스터(101)의 게이트와 도통 상태에 있다. 트랜지스터(101)의 소스 또는 드레인의 다른 한쪽(이하, 제2 단자라고 함)은 용량 소자(102)의 제2 단자(또는 제2 전극이라고도 함) 및 트랜지스터(101)의 게이트와 도통 상태에 있다. 용량 소자(102)의 제1 단자(또는 제1 전극)는 트랜지스터(101)의 게이트 및 트랜지스터(101)의 제1 단자와 도통 상태에 있다.

[0064] 표시 소자(105)의 제1 단자(또는 제1 전극)는 트랜지스터(101)의 제2 단자 및 용량 소자(102)의 제2 단자와 비도통 상태에 있다. 트랜지스터(101)의 제2 단자 및 용량 소자(102)의 제2 단자 이외의 단자, 배선 또는 전극과, 표시 소자(105)의 제1 단자(또는 제1 전극)는 비도통 상태에 있는 것이 바람직하다. 표시 소자(105)의 제2 단자(또는 제2 전극)는 배선(106)과 도통 상태에 있는 것이 바람직하다.

[0065] 또한, 표시 소자(105)의 제1 단자와 트랜지스터(101)의 제2 단자가 비도통 상태가 되지 않고, 그 대신, 배선(106)의 전위가 높아져 있고, 표시 소자(105)가 역바이어스 상태로 되어 있는 것에 의해, 표시 소자(105)에 전류가 거의 흐르지 않는 상태로 하여도 좋다.

[0066] 배선(104)은 트랜지스터(101)의 제1 단자와 비도통 상태에 있다. 또한, 배선(104)은 용량 소자(102)의 제1 단자(또는 제1 전극)와 비도통 상태에 있다. 또한, 배선(104)은 도 1(A)에 나타낸 바와 같이, 트랜지스터(101)의 제1 단자와 용량 소자(102)의 제1 단자(또는 제1 전극) 이외의 단자, 배선 또는 전극과도 비도통 상태에 있는 것이 바람직하다.

[0067] 또한, 배선(104)을 통하여, 트랜지스터(101) 또는 용량 소자(102)에 영상 신호 또는 소정의 전압 등이 공급되는 경우가 있다. 따라서, 배선(104)은 소스 신호선, 영상 신호선, 또는, 비디오 신호선 등으로 불리는 경우가 있다.

[0068] 또한, 도 1(A)와 같은 접속 구성이 되기 전에, 즉, 트랜지스터(101)의 이동도 등의 전류 특성의 편차 보정을 행하기 전에, 용량 소자(102)에는 트랜지스터(101)의 스톱밴드 전압에 따른 전압이 보유되어 있는 것이 바람직하다. 그리고 영상 신호(비디오 신호)가 배선(104)을 통하여 용량 소자(102)에 입력되어 있는 것이 바람직하다. 따라서, 용량 소자(102)에는 트랜지스터(101)의 스톱밴드 전압에 따른 전압 및 영상 신호 전압의 합의 전압이 보유되어 있는 것이 바람직하다. 따라서, 도 1(A)의 전의 상태에서는, 즉, 트랜지스터(101)의 이동도 등의 전류 특성의 편차의 보정을 행하기 전에는, 배선(104)은 트랜지스터(101)의 드레인, 소스, 게이트,

용량 소자(102)의 제1 단자, 제2 단자 등 중 적어도 하나와 도통 상태이며, 이미 영상 신호의 입력 동작을 하고 있는 것이 바람직하다.

- [0069] 또한, 용량 소자(102)에 의해, 트랜지스터(101)의 스레시홀드 전압에 따른 전압 및 영상 신호 전압의 합의 전압이 보유되어 있는 것이 바람직하다. 용량 소자(102)에는, 트랜지스터(101)의 스레시홀드 전압에 따른 전압은 보유되지 않고, 영상 신호 전압만이 보유되어 있는 것도 가능하다.
- [0070] 또한, 용량 소자(102)에 의해 전압이 보유되어 있는 경우, 스위칭 노이즈 등에 의해, 전압이 약간 변동할 가능성이 있다. 단, 실제 동작에 영향을 주지 않는 범위라면, 다소 어긋나 있어도 문제는 없다. 따라서, 예를 들면, 트랜지스터(101)의 스레시홀드 전압에 따른 전압 및 영상 신호 전압의 합의 전압이 용량 소자(102)에 입력된 경우, 실제로 용량 소자(102)에 보유되어 있는 전압은 그 입력된 전압과 완전하게는 일치하지 않고, 노이즈 등의 영향에 의해, 약간 상이한 경우가 있다. 단, 실제 동작에 영향을 주지 않는 범위라면, 다소 어긋나 있어도 문제는 없다.
- [0071] 다음에, 도 1(B)에, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류가 공급되는 기간에서의 회로 구성에 대하여 나타낸다. 또한 도 1(B)에 나타내는 회로 구성은, 트랜지스터(101)로부터 표시 소자(105)에 전류를 공급하기 위한 회로 구성이며, 실제로는 배선 사이에 설치되는 복수의 스위치의 온 또는 오프를 제어함으로써 이 회로 구성의 접속 관계를 실현하는 것이다.
- [0072] 트랜지스터(101)의 제1 단자는 배선(103)과 도통 상태에 있다. 트랜지스터(101)의 제2 단자는 표시 소자(105)의 제1 단자 및 용량 소자(102)의 제2 단자와 도통 상태에 있다. 트랜지스터(101)의 제1 단자는 트랜지스터(101)의 게이트와 비도통 상태에 있다. 용량 소자(102)의 제1 단자는 트랜지스터(101)의 게이트와 도통 상태에 있다. 용량 소자(102)의 제2 단자는 트랜지스터(101)의 제2 단자 및 표시 소자(105)의 제1 단자와 도통 상태에 있다. 표시 소자(105)의 제2 단자는 배선(106)과 도통 상태에 있다.
- [0073] 배선(104)은 트랜지스터(101)의 제1 단자와 비도통 상태에 있다. 또한, 배선(104)은 용량 소자(102)의 제1 단자와 비도통 상태에 있다. 또한, 배선(104)은 도 1(B)에 나타난 바와 같이, 트랜지스터(101)의 제1 단자와 용량 소자(102)의 제1 단자 이외의 단자, 배선 또는 전극과도 비도통 상태에 있는 것이 바람직하다.
- [0074] 즉, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))로부터, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류가 공급되는 기간(도 1(B))으로 이행할 때에는, 적어도, 트랜지스터(101)의 제1 단자와 트랜지스터(101)의 게이트와의 도통 상태와, 트랜지스터(101)의 제2 단자와 표시 소자(105)의 제1 단자와의 도통 상태가 변화하게 되지만, 이것에 한정되지 않고, 다른 부분의 도통 상태가 변화할 수도 있다. 그리고 상술한 바와 같이, 도통 상태를 제어할 수 있도록, 스위치, 트랜지스터 또는 다이오드 등 소자를 배치하는 것이 바람직하다. 그리고 이 소자를 이용하여 도통 상태를 제어하여, 도 1(A), 도 1(B)의 접속 상황을 실현하는 회로 구성을 실현할 수 있다. 따라서, 도 1(A), 도 1(B)과 같은 접속 상황을 실현할 수 있다면, 스위치, 트랜지스터 또는 다이오드 등의 소자를 자유롭게 배치할 수 있고, 그 개수 또는 접속 구조도 한정되지 않는다.
- [0075] 일례로서는, 도 2(A)에 나타난 바와 같이, 스위치(201)의 제1 단자를 트랜지스터(101)의 게이트 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(201)의 제2 단자를 트랜지스터(101)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(202)의 제1 단자를 트랜지스터(101)의 제2 단자 및 용량 소자(102)의 제2 단자와 전기적으로 접속하고, 스위치(202)의 제2 단자를 표시 소자(105)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(203)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(203)의 제2 단자를 스위치(201)의 제2 단자 및 트랜지스터(101)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(204)의 제1 단자를 스위치(201)의 제1 단자, 트랜지스터(101)의 게이트, 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(204)의 제2 단자를 배선(104)과 전기적으로 접속한다. 이와 같이, 4개의 스위치를 배치함으로써, 도 1(A), 도 1(B)의 접속 상황을 실현하는 회로 구성을 실현할 수 있다.
- [0076] 도 2(A)와는 다른 예를, 도 2(B), 도 2(C), 도 2(D)에 나타낸다. 도 2(B)에서는, 도 2(A)에 새로 스위치(205)를 설치하여, 배선(206)과의 접속을 제어함으로써, 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 2(C)에서는, 도 2(A)에 새로 스위치(207)를 설치하여, 배선(208)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 2(D)에서는, 도 2(B)에 새로 스위치(207)를 설치하여, 배선(208)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위 및 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 그리고 예를 들면, 배선(206) 또는 배선(208)의 전위를 변화시킴으로써, 도 1(A) 또는 도 1(B)과 같은 동작을 실현할 수 있다. 그리고, 스위치나

트랜지스터 등이 더 필요한 경우에는 적절히 배치된다.

- [0077] 또한, 「A는 B와 도통 상태에 있다」고 기재되어 있지만, 그 경우, A와 B와의 사이에는, 다양한 소자가 접속되어 있는 것은 가능하다. 예를 들면, 저항 소자, 용량 소자, 트랜지스터, 다이오드 등이 A와 B와의 사이에, 직렬 접속, 또는 병렬 접속으로 접속되어 있는 것은 가능하다. 마찬가지로, 「A는 B와 비도통 상태에 있다」고 기재되어 있지만, 그 경우, A와 B의 사이에는, 다양한 소자가 접속되어 있는 것은 가능하다. A와 B가 비도통이 되기만 하면 되므로, 그 이외의 부분에서는 다양한 소자가 접속되어 있는 것은 가능하다. 예를 들면, 저항 소자, 용량 소자, 트랜지스터, 다이오드 등의 소자가 직렬 접속, 또는 병렬 접속으로 접속되어 있는 것은 가능하다.
- [0078] 다음에, 동작 방법에 대하여 설명한다. 여기에서는, 도 2(A)의 회로를 이용하여 설명하였지만, 그 이외의 회로에 대해서도, 마찬가지로의 동작 방법을 이용할 수 있다.
- [0079] 먼저, 도 6(A)에 나타낸 바와 같이, 초기화를 행한다. 이것은 트랜지스터(101)의 게이트, 또는, 드레인(또는 소스)의 전위를 소정의 전위로 설정하는 동작이다. 이것에 의해, 트랜지스터(101)가 온하는 것과 같은 상태로 할 수 있다. 또는, 용량 소자(102)에 소정의 전압이 공급된다. 따라서, 용량 소자(102)에는 전하가 보유되게 된다. 스위치(201), 스위치(202), 및 스위치(203)는 도통 상태이며, 온으로 되어 있다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 단, 이것에 한정되는 것은 아니다. 단, 표시 소자(105)에 전류가 흐르지 않는 것이 바람직하기 때문에, 그것을 실현할 수 있는 상태에 있는 것이 바람직하다. 따라서, 적어도 스위치(201), 스위치(202), 스위치(203) 중 적어도 어느 하나가 비도통 상태이며, 오프로 되어 있는 것이 바람직하다.
- [0080] 또한 도 6(A) 내지 도 6(E) 중, 점선 화살표는 전하의 움직임에 대하여 알기 쉽게 하기 위해 가시화하여 나타낸 것이다. 단, 이것에 한정되지 않고, 소정의 구동을 행하는 것과 같은 전위 관계 등이라면 문제 없다.
- [0081] 다음에, 도 6(B)에 나타낸 바와 같이, 트랜지스터(101)의 스톱시홀드 전압의 취득을 행한다. 스위치(201), 스위치(203)는 도통 상태이고, 온으로 되어 있다. 스위치(202), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이 때, 용량 소자(102)에는 도 6(A)의 기간에서 축적된 전하가 있기 때문에, 그 전하가 방전되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 도 6(A)의 기간에서 축적된 전하에 의한 전위로부터, 트랜지스터(101)의 스톱시홀드 전압(정의(正)의 값)을 서로 더한 전위에 가까워진다. 즉, 트랜지스터(101)의 스톱시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 트랜지스터(101)의 스톱시홀드 전압에 가까워진다. 이러한 동작에 의해, 용량 소자(102)의 양단의 전극 사이에서 스톱시홀드 전압의 취득을 행할 수 있다.
- [0082] 또한, 이 기간에서, 용량 소자(102)의 전하를 방전하는 경우, 그 기간에 차이가 생겨도 큰 문제는 없다. 왜냐하면, 어느 정도의 시간이 경과하면, 거의 완전히 방전되어 버리기 때문에, 기간에 길이가 달라도, 동작에 주는 영향은 작기 때문이다. 따라서, 이 동작은 선순차가 아니고, 점순차를 이용하여 구동시킬 수 있다. 따라서, 구동 회로의 구성이 간단한 구성으로 실현될 수 있다. 그 때문에, 도 2(A)에 나타낸 바와 같은 회로를 하나의 화소로 했을 때, 그 화소가 매트릭스 형상으로 배치된 화소부와, 화소부에 신호를 공급하는 구동 회로부에 대하여, 양자를 같은 종류의 트랜지스터를 이용하여 구성하는 것, 또는 같은 기관 위에 형성하는 것이 가능하게 된다. 단, 이것에 한정되지 않고, 선순차 구동을 이용하거나, 화소부와 구동 회로부를 서로 다른 기관 위에 형성하는 것도 가능하다.
- [0083] 다음에, 도 6(C)에 나타낸 바와 같이, 영상 신호의 입력을 행한다. 스위치(202), 스위치(204)는 도통 상태이며, 온으로 되어 있다. 스위치(201), 스위치(203)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 그리고, 배선(104)으로부터, 영상 신호가 공급된다. 이 때, 용량 소자(102)에는 도 6(B)의 기간에서 축적된 전하가 있기 때문에, 그 전하에 더 축적되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 배선(104)으로부터 공급되는 영상 신호로부터, 트랜지스터(101)의 스톱시홀드 전압(정의(正)의 값)을 서로 더한 전위에 가까워진다. 즉, 배선(104)으로부터 공급되는 영상 신호보다, 트랜지스터(101)의 스톱시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 도 6(B), 도 6(C)의 동작에 의해, 영상 신호의 입력과 스톱시홀드 전압의 취득을 행할 수 있다.
- [0084] 또한, 도 25(A), 도 25(B)에 나타내는 바와 같이, 표시 소자(105)와 전기적으로 병렬로 용량 소자(2501)를 배치하는 구성으로 해도 좋다. 즉, 도 25(A), 도 25(B)에 나타낸 바와 같이, 용량 소자(2501)의 제1 단자를 표시 소자(105)의 제1 단자에 접속하고, 용량 소자(2501)의 제2 단자를 표시 소자(105)의 제2 단자에 접속한다. 또

한, 도 25(A)는 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에서의 각 배선 및 각 소자간의 도통 상태, 비도통 상태에 대하여, 도 1(A)과 마찬가지로 나타낸 도면이며, 도 25(B)는 트랜지스터(101)를 통하여, 표시 소자(105)에 전류가 공급되는 기간에서의 각 배선 및 각 소자간의 도통 상태, 비도통 상태에 대하여, 도 1(B)과 마찬가지로 나타낸 도면이다. 도 25(A), 도 25(B)의 회로 구성으로 함으로써, 스테시홀드 전압과 영상 신호 전압을 더한 전압에 가깝게 할 수 있다.

[0085] 다음에, 도 6(D)에 나타낸 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정한다. 이것은, 도 1(A) 등의 기간에 상당한다. 그리고, 스위치(201)는 도통 상태이며, 온으로 되어 있다. 스위치(202), 스위치(203), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이러한 상태로 함으로써, 용량 소자(102)에 축적된 전하가 트랜지스터(101)를 통하여 방전되어 간다. 이와 같이 하여, 트랜지스터(101)를 통하여 약간 방전시킴으로써, 트랜지스터(101)의 전류의 편차의 영향을 저감할 수 있다.

[0086] 다음에, 도 6(E)에 나타낸 바와 같이, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급한다. 이것은, 도 1(B) 등의 기간에 상당한다. 그리고, 스위치(202), 스위치(203)는 도통 상태이며, 온으로 되어 있다. 스위치(201), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 스테시홀드 전압에 따른 전압과 영상 신호 전압과의 합인 전압으로부터, 트랜지스터(101)의 전류 특성에 따른 전압을 뺀 전압으로 되어 있다. 따라서, 트랜지스터(101)의 전류 특성의 편차의 영향을 저감할 수 있고, 표시 소자(105)에는 적절한 크기의 전류를 공급할 수 있다.

[0087] 도 6(A) 내지 도 6(E)에 나타낸 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차가 저감되기 때문에, 표시 소자(105)에 전류가 공급되는 기간(도 1(B))에서, 표시 소자(105)에 공급되는 전류의 편차도 저감된다. 그 결과, 표시 소자(105)의 표시 상태의 편차도 저감되어, 표시 품질이 높은 표시를 행할 수 있다.

[0088] 또한, 표시 소자(105)에 전류가 공급되는 기간(도 1(B))은, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))의 직후에 출현시키는 것이 바람직하다. 왜냐하면, 표시 소자(105)에 전류가 공급되는 기간(도 1(B))에서 취득한 트랜지스터(101)의 게이트 전위(용량 소자(102)에 보유된 전하)를 이용하여, 표시 소자(105)에 전류가 공급되는 기간(도 1(B))에서, 처리를 행하기 때문이다. 그러나, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))의 직후에 표시 소자(105)에 전류가 공급되는 기간(도 1(B))을 출현시키는 것에 한정되지 않는다. 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서, 용량 소자(102)의 전하량이 변화되고, 기간 종료시에 결정한 용량 소자(102)의 전하량이 표시 소자(105)에 전류가 공급되는 기간(도 1(B))에서, 크게 변화하지 않은 경우 등은 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))과, 표시 소자(105)에 전류가 공급되는 기간(도 1(B))과의 사이에, 다른 처리를 행하는 기간이 제공되어 있어도 좋다.

[0089] 따라서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간이 종료된 시점에서의 용량 소자(102)에 보유된 전하와, 표시 소자(105)에 전류가 공급되는 기간이 개시된 시점에서의 용량 소자(102)에 보유된 전하는, 대체로 같은 양인 것이 바람직하다. 단, 노이즈 등의 영향에 의해, 쌍방의 전하량이 약간 상이한 경우도 있다. 구체적으로는, 쌍방의 전하량의 차이는, 10% 이내가 바람직하고, 보다 바람직하게는, 3% 이내가 바람직하다. 전하량의 차이가 3% 이내이면, 그 차이가 반영되는 표시 소자를 인간의 눈으로 보았을 때에, 그 차이를 시인할 수 없기 때문에, 보다 바람직하다.

[0090] 따라서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서, 전압 전류 특성이 어떠한 상태로 변화할지를 도 3(A)에 나타낸다. 용량 소자(102)에 보존되어 있던 전하가 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서, 트랜지스터(101)의 소스와 드레인의 사이를 통하여 방전되어 간다. 그 결과, 용량 소자(102)에 보유되어 있던 전하량이 감소되고, 용량 소자(102)에 보유된 전압도 감소된다. 따라서, 트랜지스터(101)의 게이트와 소스 사이의 전압의 절대값도 감소된다. 용량 소자(102)에 보존되어 있는 전하는, 트랜지스터(101)를 통하여 방전되기 때문에, 전하의 방전량은 트랜지스터(101)의 전류 특성에 의존한다. 즉, 트랜지스터(101)의 이동도가 높으면, 보다 많은 전하가 방전된다. 또는, 트랜지스터(101)의 채널 폭(W)과 채널 길이(L)의 비(W/L)가 크면, 보다 많은 전하가 방전된다. 또는, 트랜지스터(101)의 게이트와 소스 사이의 전압의 절대값이 크면(즉, 용량 소자(102)에 보유되는 전압의 절대값이 크면), 보다 많은 전하가 방전된다. 또는, 트랜지스터(101)의 소스 영역, 드레인 영역에서의 기생 저항이 작으면, 보다 많은 전하가 방전된다. 또는, 트랜지스터(101)의 LDD 영역에서의 저항이 작으면, 보다 많은 전하가 방전된다. 또는, 트랜지스터(101)와 전기적으로 접속되어 있는 콘택트홀에서의 콘택트 저항이 작으면, 보다 많은 전하가 방전된다.

다.

- [0091] 그 때문에, 방전 전, 즉, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에 들어가기 전의 기간에서의 전압 전류 특성의 그래프는 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서, 용량 소자(102)에 보존되어 있는 전하의 일부가 방전된 결과, 기울기가 작은 곡선의 그래프로 변화한다. 그리고, 예를 들면, 방전 전과 방전 후의 전압 전류 특성의 그래프의 차이는 트랜지스터(101)의 이동도가 큰 것이 커진다. 따라서, 트랜지스터(101)의 이동도가 높은 경우(즉, 그래프의 기울기가 큰 경우)는, 방전 후에는 기울기의 변화량이 커지고, 트랜지스터(101)의 이동도가 낮은 경우(즉, 그래프의 기울기가 작은 경우)는, 방전 후에는, 기울기의 변화량이 작아진다. 그 결과, 방전 후에는, 트랜지스터(101)의 이동도가 높은 경우와 낮은 경우에, 전압 전류 특성의 그래프의 차이가 작아져, 이동도의 편차의 영향이 저감될 수 있다. 또한, 트랜지스터(101)의 게이트와 소스 사이의 전압의 절대값이 크면(즉, 용량 소자(102)에 보유되는 전압의 절대값이 크면), 보다 많은 전하가 방전되고, 트랜지스터(101)의 게이트와 소스 사이의 전압의 절대값이 작으면(즉, 용량 소자(102)에 보유되는 전압의 절대값이 작으면), 방전되는 전하량이 적게 되기 때문에, 보다 적절히 이동도의 편차를 저감할 수 있다.
- [0092] 또한, 도 3(A)의 그래프는, 이미 스테시홀드 전압의 편차의 영향을 저감한 후의 경우의 그래프이다. 따라서, 도 3(B)에 나타낸 바와 같이, 트랜지스터(101)의 이동도의 편차를 보정하는 기간(도 1(A))에 들어가기 전에는, 스테시홀드 전압의 편차의 영향이 저감되어 있다. 스테시홀드 전압의 편차를 저감하기 위해, 전압 전류 특성의 그래프를 스테시홀드 전압의 분만큼 평행 이동시킨다. 즉, 트랜지스터의 게이트와 소스 사이의 전압에는, 영상 신호 전압과 스테시홀드 전압과의 합이 공급된다. 그 결과, 스테시홀드 전압의 편차의 영향은 저감된다. 스테시홀드 전압의 편차를 저감한 후, 도 3(A)의 그래프에 나타낸 바와 같이, 이동도의 편차를 저감함으로써, 트랜지스터(101)의 전류 특성의 편차를 큰폭으로 저감시킬 수 있다.
- [0093] 또한, 편차를 보정할 수 있는 트랜지스터(101)의 전류 특성은, 트랜지스터(101)의 이동도뿐만 아니라, 스테시홀드 전압, 소스 또는 드레인 부분에서의 기생 저항, LDD 영역에서의 저항, 트랜지스터(101)와 전기적으로 접속되어 있는 콘택트홀에서의 콘택트 저항 등도 들 수 있다. 이러한 전류 특성도, 트랜지스터(101)를 통하여 전하가 방전되기 때문에, 이동도의 경우와 같이, 편차를 저감할 수 있다.
- [0094] 따라서, 방전 전, 즉, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에 들어가기 전의 기간에서의 용량 소자(102)의 전하량은, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))의 종료 시점에서의 용량 소자(102)의 전하량보다 많다. 왜냐하면, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서는, 용량 소자(102)의 전하가 방전되기 때문에, 용량 소자(102)에 보존되어 있는 전하가 적어지기 때문이다.
- [0095] 또한, 용량 소자(102)에 보유되어 있는 전하는, 일부가 방전되면, 바로 방전을 정지하는 것이 바람직하다. 만일, 완전히 방전되면, 즉, 전류가 흐르지 않게 될 때까지 방전시키면, 영상 신호의 정보가 거의 없어진다. 따라서, 완전히 방전되기 전에, 방전을 정지하는 것이 바람직하다. 즉, 트랜지스터(101)에 전류가 흐르고 있는 동안에, 방전을 정지하는 것이 바람직하다.
- [0096] 따라서, 1 게이트 선택 기간(또는 1 수평 기간, 1 프레임 기간을 화소의 행수로 나눈 값 등)과, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))과의 길이를 비교하면, 1 게이트 선택 기간(또는 1 수평 기간, 1 프레임 기간을 화소의 행수로 나눈 값 등)이 긴 것이 바람직하다. 왜냐하면, 1 게이트 선택 기간보다 길게 방전을 행하면, 너무 방전될 가능성이 있기 때문이다. 단, 이것에 한정되는 것은 아니다.
- [0097] 또는, 화소에 영상 신호를 입력하는 기간과 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))과의 길이를 비교하면, 화소에 영상 신호를 입력하는 기간이 긴 것이 바람직하다. 왜냐하면, 화소에 영상 신호를 입력하는 기간보다 길게 방전을 행하면 너무 방전될 가능성이 있기 때문이다. 단, 이것에 한정되는 것은 아니다.
- [0098] 또는, 트랜지스터의 스테시홀드 전압을 취득하고 있는 기간과, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))과의 길이를 비교하면, 트랜지스터의 스테시홀드 전압을 취득하고 있는 기간이 긴 것이 바람직하다. 왜냐하면, 트랜지스터의 스테시홀드 전압을 취득하고 있는 기간보다 길게 방전을 행하면, 너무 방전될 가능성이 있기 때문이다. 단, 이것에 한정되는 것은 아니다.
- [0099] 또한, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서, 용량 소자(102)에 보유되어 있는 전하를 방전하는 기간의 길이는, 예를 들면, 트랜지스터(101)의 이동도의 편차량, 용량 소자(102)의

크기, 트랜지스터(101)의 W/L 등에 따라 결정하는 것이 바람직하다.

[0100] 예를 들면, 도 1, 도 2에 나타내는 회로가 다수 있는 경우에 대해 생각해 보기로 한다. 예로서는, 제1 색을 표시하기 위한 제1 화소와, 제2 색을 표시하기 위한 제2 화소를 가지고 있고, 각각의 화소는 트랜지스터(101)에 상당하는 트랜지스터로서, 제1 화소는 트랜지스터(101A)를, 제2 화소는 트랜지스터(101B)를 가지고 있다고 한다. 마찬가지로, 용량 소자(102)에 상당하는 용량 소자로서, 제1 화소는 용량 소자(102A)를, 제2 화소는 용량 소자(102B)를 가지고 있다고 한다.

[0101] 그리고 트랜지스터(101A)의 W/L이, 트랜지스터(101B)의 W/L보다 큰 경우에는, 용량 소자(102A)의 용량값이, 용량 소자(102B)의 용량값보다 큰 것이 바람직하다. 왜냐하면, 트랜지스터(101A)가 많은 전하를 방전하기 때문에, 용량 소자(102A)의 전압도 보다 크게 변화하게 된다. 따라서, 그것을 조정하기 위해, 용량 소자(102A)의 용량값이 큰 것이 바람직하다. 또는, 트랜지스터(101A)의 채널 폭(W)이 트랜지스터(101B)의 채널 폭(W)보다 큰 경우에는, 용량 소자(102A)의 용량값이 용량 소자(102B)의 용량값보다 큰 것이 바람직하다. 또는, 트랜지스터(101A)의 채널 길이(L)가, 트랜지스터(101B)의 채널 길이(L)보다 작은 경우에는, 용량 소자(102A)의 용량값이 용량 소자(102B)의 용량값보다 큰 것이 바람직하다. 단, 이것에 한정되는 것은 아니다.

[0102] 또한, 용량 소자(102)에 보유되어 있는 전하의 방전량을 제어하기 위해, 추가하여 용량 소자를 배치하는 것이 가능하다. 예를 들면, 도 25(A), 도 25(B)에 설명한 바와 같이 표시 소자(105)와 전기적으로 병렬로 용량 소자(2501)를 추가하는 구성으로 해도 좋다. 또는, 트랜지스터(101)의 제1 단자와 제2 단자 사이에 전기적으로 병렬로 용량 소자(2502)를 추가하는 구성으로 해도 좋다. 도 25(C), 도 25(D)에 트랜지스터(101)의 제1 단자와 제2 단자 사이에 전기적으로 병렬로 용량 소자(2502)를 추가한 회로 구성에 대하여 나타낸다. 또한, 도 25(C)는, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에서의 각 배선 및 각 소자간의 도통 상태, 비도통 상태에 대하여, 도 1(A)과 마찬가지로 나타낸 도면이며, 도 25(D)는, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류가 공급되는 기간에서의 각 배선 및 각 소자간의 도통 상태, 비도통 상태에 대하여, 도 1(B)과 마찬가지로 나타낸 도면이다. 또한, 도 25(A) 내지 도 25(D)에서의 추가한 용량 소자의 용량값의 크기는 화소마다 상이하여도 좋다.

[0103] 또한, 회로의 접속 구조는, 도 1(A), 도 1(B)에 한정되지 않는다. 일례로서, 도 1(A)에서는, 트랜지스터(101)의 제1 단자 및 용량 소자(102)의 제1 단자가 배선(103)과 비도통 상태, 트랜지스터(101)의 제2 단자와 표시 소자(105)의 제1 단자가 비도통 상태로 했지만 이것에 한정되는 것은 아니다. 또한, 일례로서, 도 1(B)에서는, 일정한 전위를 공급하는 기능을 가지고 있는 배선(103)이 트랜지스터(101)의 제1 단자와 도통 상태, 트랜지스터(101)의 제2 단자와 표시 소자의 제1 단자가 도통 상태에 있으면 좋다. 다른 회로의 접속 구성으로서, 예를 들면, 트랜지스터(101)의 제1 단자가 배선(103)에 접속되어 있는 경우의 예를, 도 1(C), 도 1(D)에 나타낸다. 또한, 트랜지스터(101)의 제1 단자가, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에, 회로 소자(107)를 통하여 배선(103)에 접속되어 있는 경우의 예를, 도 1(E), 도 1(F)에 나타낸다. 또한, 트랜지스터(101)의 제1 단자가, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간 및 표시 소자(105)에 전류가 공급되는 기간에, 회로 소자(107)를 통하여 배선(103)에 접속되어 있는 경우의 예를, 도 4(A), 도 4(B)에 나타낸다. 또한, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에, 일정한 전위를 공급하는 기능을 가지고 있는 배선(108)이 트랜지스터(101)의 제2 단자와 도통 상태가 되도록 접속되어 있는 경우의 예를, 도 4(C), 도 4(D)에 나타낸다. 또한, 트랜지스터(101)의 제2 단자가 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간 및 표시 소자(105)에 전류가 공급되는 기간에, 회로 소자(109)를 통하여 배선(108)에 접속되어 있는 경우의 예를, 도 4(E), 도 4(F)에 나타낸다. 또한, 트랜지스터(101)의 제2 단자가, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에, 표시 소자(105)를 통하여 배선(106)에 접속되어 있는 경우의 예를, 도 5(A), 도 5(B)에 나타낸다. 또한, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에, 트랜지스터(101)의 제1 단자가 배선(103)에 접속되고, 트랜지스터(101)의 제2 단자가 표시 소자(105)를 통하여 배선(106)에 접속되어 있는 경우의 예를 도 5(C), 도 5(D)에 나타낸다.

[0104] 또한, 도 1(C) 내지 도 1(F)에서도, 도 2(A) 내지 도 2(D)와 마찬가지로, 스위치를 배치할 수 있다.

[0105] 또한, 회로 소자(107) 및 회로 소자(109)로서는, 용량 소자, 저항 소자, 다이오드 소자, 스위치 등의 전기 소자를 조합하여 소망의 전기적인 접속 상태로 할 수 있는 소자를 이용하는 것이 가능하다.

[0106] 또한, 도 1(C), 도 1(D)의 동작에 대하여, 구체적으로는, 도 6(A) 내지 도 6(E)과 마찬가지로, 초기화 등의 동작을 거쳐 실현될 수 있다.

- [0107] 또한, 도 1(C), 도 1(D)의 동작에 대하여, 도 9(A) 내지 도 9(E)에 나타내고 있다. 구체적인 동작에 대해서는, 도 6(A) 내지 도 6(E)과 마찬가지로, 초기화 등의 동작을 거쳐 실현될 수 있다.
- [0108] 또한, 도 4(C), 도 4(D)에 나타난 구성은, 상기 도 2(B)의 회로 구성에 의해 실현될 수 있다.
- [0109] 또한, 도 1(A) 내지 도 1(F), 도 2(A) 내지 도 2(D), 도 4(A) 내지 도 4(F) 등에서, 용량 소자(102)를 단독 표기에 의해 설명하고 있다. 또한, 직렬 접속, 또는, 병렬 접속에 의해, 복수의 용량 소자가 배치될 수 있다.
- [0110] 또한, 도 1 내지 도 5 등에서, 트랜지스터(101)이 n 채널형의 경우에 대하여 설명하고 있다. 또한 p 채널형을 이용하는 것이 가능하다. 일례로서, 트랜지스터(101)가 p 채널형인 경우에 대하여, 도 25(E), 도 25(F)에 나타낸다. 또한, 도 25(E)는, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에서의 각 배선 및 각 소자간의 도통 상태, 비도통 상태에 대하여, 도 1(A)과 마찬가지로 나타낸 도면이며, 도 25(F)는, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류가 공급되는 기간에서의 각 배선 및 각 소자간의 도통 상태, 비도통 상태에 대하여, 도 1(B)과 마찬가지로 나타낸 도면이다. 도 25(E), 도 25(F)에 나타낸 바와 같이, 트랜지스터(101)로서 p 채널형을 이용하기 위해서는, 표시 소자(105)로서 EL 소자를 이용하는 경우, n 채널형의 트랜지스터를 이용한 경우에는 역방향으로 접속을 하는 것이 바람직하다.
- [0111] 또한, 트랜지스터(101)는 표시 소자(105)에 흐르는 전류의 크기를 제어하여, 표시 소자(105)를 구동하는 능력을 가지고 있는 경우가 많다.
- [0112] 또한, 배선(103)은 표시 소자(105)에 전력을 공급하는 능력을 가지고 있는 경우가 많다. 혹은, 배선(103)은 트랜지스터(101)에 흐르는 전류를 공급하는 능력을 가지고 있는 경우가 많다.
- [0113] 또한, 트랜지스터(101)의 스레시홀드 전압에 따른 전압이란, 트랜지스터(101)의 스레시홀드 전압과 같은 크기의 전압, 또는, 트랜지스터(101)의 스레시홀드 전압에 가까운 크기를 가지는 전압을 말한다. 예를 들면, 트랜지스터(101)의 스레시홀드 전압이 큰 경우에는, 스레시홀드 전압에 따른 전압도 크고, 트랜지스터(101)의 스레시홀드 전압이 작은 경우에는, 스레시홀드 전압에 따른 전압도 작다. 이와 같이, 스레시홀드 전압에 따라 크기가 정해져 있는 전압을 스레시홀드 전압에 따른 전압이라고 부른다. 따라서, 노이즈 등의 영향에 의해, 약간 상이한 전압도, 스레시홀드 전압에 따른 전압이라고 부를 수 있다.
- [0114] 또한, 표시 소자(105)는, 휘도, 명도, 반사율, 투과율 등을 변화시키는 기능을 가지는 소자를 말한다. 따라서, 표시 소자(105)의 예로서는, 액정 소자, 발광소자, 유기 EL 소자, 전기 영동 소자 등을 이용할 수 있다. 또한, 본 실시형태에서의 설명, 및 부수하는 도면에서는, 유기 EL 소자 등의 발광소자를 상정하여 설명을 행하기로 한다.
- [0115] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.
- [0116] [실시형태 2]
- [0117] 다음에, 본 실시형태에서는, 실시형태 1에 설명한 회로 및 구동 방법의 응용예에 대하여 나타낸다.
- [0118] 도 7(A)에, 도 1(A), 도 1(B)의 구체적인 예에 대하여 나타낸다. 스위치(201)의 제1 단자를 트랜지스터(101)의 게이트 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(201)의 제2 단자를 트랜지스터(101)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(202)의 제1 단자를 트랜지스터(101)의 제2 단자 및 용량 소자(102)의 제2 단자와 전기적으로 접속하고, 스위치(202)의 제2 단자를 표시 소자(105)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(203)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(203)의 제2 단자를 스위치(201)의 제1 단자, 트랜지스터(101)의 게이트, 및 용량 소자(102)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(204)의 제1 단자를 스위치(201)의 제1 단자, 스위치(203)의 제2 단자, 트랜지스터(101)의 게이트, 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(204)의 제2 단자를 배선(104)과 전기적으로 접속한다. 이와 같이, 4개의 스위치를 배치함으로써, 도 1(A), 도 1(B)(또는, 도 4(C), 도 4(D))의 접속 상황을 실현하는 회로 구성을 실현할 수 있다.
- [0119] 도 7(A)와는 다른 예를, 도 7(B), 도 7(C), 도 7(D)에 나타낸다. 도 7(B)에서는, 도 7(A)에 새로 스위치(205)를 설치하여 배선(206)과의 접속을 제어함으로써, 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 7(C)에서는, 도 7(A)에 새로 스위치(207)를 설치하여 배선(208)과의 접속을 제어함으

로써, 트랜지스터(101)의 게이트의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 7(D)에서는, 도 7(B)에 새로 스위치(207)를 설치하여 배선(208)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위 및 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 그리고 예를 들면, 배선(206) 또는 배선(208)의 전위를 변화시킴으로써, 도 1(A) 또는 도 1(B)(혹은, 도 4(C) 또는 도 4(D))와 같은 동작을 실현할 수 있다. 그리고 스위치나 트랜지스터 등이 더 필요한 경우에는, 적절히 배치된다.

[0120] 또한, 도 7(A) 내지 도 7(D)에서는, 실시형태 1에 설명한 구성에 대한 예의 일부를 나타냈지만, 그 이외의 예에 대해서도, 마찬가지로 구성할 수 있다.

[0121] 다음에, 동작 방법에 대하여 설명한다. 여기에서는, 도 7(A)의 회로를 이용하여 설명하였지만, 그 이외의 회로에 대해서도, 마찬가지로의 동작 방법을 이용할 수 있다.

[0122] 먼저, 도 8(A)에 나타낸 바와 같이, 초기화를 행한다. 이것은 트랜지스터(101)의 게이트, 또는, 드레인(또는 소스)의 전위를 소정의 전위로 설정하는 동작이다. 이것에 의해, 트랜지스터(101)가 온하는 상태로 할 수 있다. 또는, 용량 소자(102)에 소정의 전압이 공급된다. 그 때문에, 용량 소자(102)에는 전하가 보유되게 된다. 스위치(201), 스위치(202), 및 스위치(203)는 도통 상태이고, 온으로 되어 있다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 단, 이것에 한정되는 것은 아니다. 그러나, 표시 소자(105)에 전류가 흐르지 않는 것이 바람직하기 때문에, 그것을 실현할 수 있는 상태에 있는 것이 바람직하다. 따라서, 스위치(201), 스위치(202), 스위치(203) 중 적어도 어느 하나가 비도통 상태이며, 오프로 되어 있는 것이 바람직하다.

[0123] 또한 도 8(A) 내지 도 8(E) 중, 점선 화살표는 전하의 움직임에 대하여 알기 쉽게 하기 위해 가시화하여 나타낸 것이다. 단, 이것에 한정되지 않고, 소정의 구동을 행하는 전위 관계 등이라면 문제 없다.

[0124] 다음에, 도 8(B)에 나타낸 바와 같이, 트랜지스터(101)의 스레시홀드 전압의 취득을 행한다. 스위치(201), 스위치(203)는 도통 상태이고, 온으로 되어 있다. 스위치(202), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이 때, 용량 소자(102)에는 도 8(A)의 기간에서 축적된 전하가 있기 때문에, 그 전하가 방전되어 간다. 따라서, 트랜지스터(101)의 게이트의 전위는 도 8(A)의 기간에서 축적된 전하에 의한 전위로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 트랜지스터(101)의 스레시홀드 전압에 가까워진다. 이러한 동작에 의해, 용량 소자(102)의 양단의 전극 사이에서 스레시홀드 전압의 취득을 행할 수 있다.

[0125] 또한, 이 기간에서, 용량 소자(102)의 전하를 방전하는 경우, 그 기간에 차이가 생겨도 큰 문제는 없다. 왜냐하면, 어느 정도의 시간이 경과하면, 거의 완전히 방전되기 때문에, 기간에 길이가 달라도, 동작에 주는 영향은 작기 때문이다. 따라서, 이 동작은 선순차가 아니라, 점순차를 이용하여 구동시킬 수 있다. 따라서, 구동 회로의 구성을 간단한 구성으로 실현할 수 있다. 그 때문에, 도 7(A)에 나타낸 바와 같은 회로를 하나의 화소로 했을 때, 그 화소가 매트릭스 형상으로 배치된 화소부와, 화소부에 신호를 공급하는 구동 회로부에 대하여, 양자를 같은 종류의 트랜지스터를 이용하여 구성하는 것, 또는 같은 기판 위에 형성하는 것이 가능하게 된다. 단, 이것에 한정되지 않고, 선순차 구동을 이용하거나 화소부와 구동 회로부를 다른 기판 위에 형성하는 것도 가능하다.

[0126] 다음에, 도 8(C)에 나타낸 바와 같이, 영상 신호의 입력을 행한다. 스위치(202), 스위치(204)는 도통 상태이고, 온으로 되어 있다. 스위치(201), 스위치(203)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 그리고 배선(104)으로부터 영상 신호가 공급된다. 이 때, 용량 소자(102)에는 도 8(B)의 기간에서 축적된 전하가 있기 때문에, 그 전하에 더 축적되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는, 배선(104)으로부터 공급되는 영상 신호로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 배선(104)으로부터 공급되는 영상 신호보다, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 도 8(B), 도 8(C)의 동작에 의해, 영상 신호의 입력과, 스레시홀드 전압의 취득을 행할 수 있다.

[0127] 다음에, 도 8(D)에 나타낸 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정한다. 이것은 도 1(A), 도 4(C) 등의 기간에 상당한다. 그리고 스위치(201)는 도통 상태이고, 온으로 되어 있다. 스위치(202), 스위치(203), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이러한 상태로 함으로써, 용량 소자(102)에 축적된 전하가 트랜지스터(101)를 통하여 방전되어 간다. 이와 같이 하여, 트랜지스터

(101)를 통하여 약간 방전시킴으로써, 트랜지스터(101)의 전류의 편차의 영향을 저감할 수 있다.

- [0128] 다음에, 도 8(E)에 나타난 바와 같이, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급한다. 이것은 도 1(B), 도 4(D) 등의 기간에 상당한다. 그리고 스위치(202), 스위치(203)는 도통 상태이고, 온으로 되어 있다. 스위치(201), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 스테시홀드 전압에 따른 전압과 영상 신호 전압과의 합의 전압으로부터, 트랜지스터(101)의 전류 특성에 따른 전압을 뺀 전압으로 되어 있다. 따라서, 트랜지스터(101)의 전류 특성의 편차의 영향을 저감할 수 있고, 표시 소자(105)에는 적절한 크기의 전류를 공급할 수 있다.
- [0129] 도 8(A) 내지 도 8(E)에 나타난 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(A))에서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차가 저감되기 때문에, 표시 소자(105)에 전류가 공급되는 기간(도 1(B), 도 4(D))에서, 표시 소자(105)에 공급되는 전류의 편차도 저감된다. 그 결과, 표시 소자(105)의 표시 상태의 편차도 저감되어, 표시 품질이 높은 표시를 행할 수 있다.
- [0130] 또한, 도 7(B)의 회로 구성의 경우에는, 도 8(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 제2 단자의 전위를 제어하는 것이 가능하다. 그리고 스위치(201), 스위치(203), 및 스위치(205)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(202) 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 8(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.
- [0131] 또한, 도 7(C)의 회로 구성의 경우에는, 도 8(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트의 전위를 제어하는 것이 가능하다. 그리고, 스위치(201), 스위치(202), 및 스위치(207)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(203) 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 8(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.
- [0132] 또한, 도 7(D)의 회로 구성의 경우에는, 도 8(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트 및/또는 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(201), 스위치(205), 및 스위치(207)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(202), 스위치(203), 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 8(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.
- [0133] 또한, 도 8(A) 내지 도 8(E)에서, 각 동작으로의 전환시에 있어서, 그 동작 동안에, 다른 동작이나 다른 기간이 제공되어 있는 것도 가능하다. 예를 들면, 도 8(C)에 나타난 바와 같은 상태를 도 8(A)과 도 8(B)의 사이에 제공해도 좋다. 이러한 기간을 제공해도 지장이 없기 때문에, 문제는 없다.
- [0134] 또한, 도 1(C), 도 1(D)의 동작에 대하여, 도 10(A) 내지 도 10(E)에 나타내고 있다. 구체적인 동작에 대해서는, 도 8(A) 내지 도 8(E)과 마찬가지로, 초기화 등의 동작을 거쳐 실현될 수 있다.
- [0135] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.
- [0136] [실시형태 3]
- [0137] 다음에, 본 실시형태에서는, 실시형태 1에 설명한 회로 및 구동 방법의 응용예에 대하여 나타낸다.
- [0138] 도 11(A)에, 도 1(C), 도 1(D)의 구체적인 예에 대하여 나타낸다. 스위치(301)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(301)의 제2 단자를 트랜지스터(101)의 게이트 및 용량 소자(102)의 제1 단자와 전기적으로 접속한다. 그리고, 스위치(202)의 제1 단자를 트랜지스터(101)의 제2 단자 및 용량 소자(102)의 제2 단자와 전기적으로 접속하고, 스위치(202)의 제2 단자를 표시 소자(105)의 제1 단자와 전기적으로 접속한다. 그리고, 스위치(303)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(303)의 제2 단자를 트랜지스터(101)의 제1 단자와 전기적으로 접속한다. 그리고, 스위치(204)의 제1 단자를 스위치(301)의 제2 단자, 트랜지스터(101)의 게이트, 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(204)의 제2 단자를 배선(104)과 전기적으로 접속한다. 이와 같이, 4개의 스위치를 배치함으로써, 도 1(C), 도 1(D)의 접속 상황을 실현하는 회로 구성을 실현할 수 있다.
- [0139] 도 11(A)과는 다른 예를, 도 11(B), 도 11(C), 도 11(D)에 나타낸다. 도 11(B)에서는, 도 11(A)에 새로 스위치(305)를 설치하여 배선(306)과의 접속을 제어함으로써, 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 11(C)에서는, 도 11(A)에 새로 스위치(307)를 설치하여 배선(308)과의 접속을 제

어함으로써, 트랜지스터(101)의 게이트의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 11(D)에서는, 도 11(B)에 새로 스위치(307)를 설치하여 배선(308)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위 및 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 그리고 예를 들면, 배선(306) 또는 배선(308)의 전위를 변화시킴으로써, 도 1(C) 또는 도 1(D)과 같은 동작을 실현할 수 있다. 그리고, 스위치나 트랜지스터 등이 더 필요한 경우에는, 적절히 배치된다.

[0140] 또한, 도 11(A) 내지 도 11(D)에서는, 실시형태 1에 설명한 구성에 대한 예의 일부를 나타냈지만, 그 이외의 예에 대해서도, 마찬가지로 구성할 수 있다.

[0141] 다음에, 동작 방법에 대하여 설명한다. 여기에서는, 도 11(A)의 회로를 이용하여 설명하지만, 그 이외의 회로에 대해서도, 마찬가지로의 동작 방법을 이용할 수 있다.

[0142] 먼저, 도 12(A)에 나타난 바와 같이, 초기화를 행한다. 이것은 트랜지스터(101)의 게이트, 또는, 드레인(또는 소스)의 전위를 소정의 전위로 설정하는 동작이다. 이것에 의해, 트랜지스터(101)가 온하는 것과 같은 상태로 할 수 있다. 또는, 용량 소자(102)에 소정의 전압이 공급된다. 그 때문에, 용량 소자(102)에는 전하가 보유되게 된다. 스위치(301), 스위치(202), 및 스위치(303)는 도통 상태이고, 온으로 되어 있다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 단, 이것에 한정되는 것은 아니다. 단, 표시 소자(105)에 전류가 흐르지 않는 것이 바람직하기 때문에, 그것을 실현할 수 있는 상태에 있는 것이 바람직하다. 따라서, 스위치(301), 스위치(202), 스위치(303) 중 적어도 어느 하나가 비도통 상태이며, 오프로 되어 있는 것이 바람직하다.

[0143] 또한 도 12(A) 내지 도 12(E) 중, 점선 화살표는 전하의 움직임에 대하여 알기 쉽게 하기 위해 가시화하여 나타낸 것이다. 단, 이것에 한정되지 않고, 소정의 구동을 행하는 전위 관계 등이면 문제 없다.

[0144] 다음에, 도 12(B)에 나타난 바와 같이, 트랜지스터(101)의 스레시홀드 전압의 취득을 행한다. 스위치(301), 스위치(303)는 도통 상태이고, 온으로 되어 있다. 스위치(202), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이 때, 용량 소자(102)에는 도 12(A)의 기간에서 축적된 전하가 있기 때문에, 그 전하가 방전되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 도 12(A)의 기간에서 축적된 전하에 의한 전위로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 트랜지스터(101)의 스레시홀드 전압에 가까워진다. 이러한 동작에 의해, 용량 소자(102)의 양단의 전극 사이에서 스레시홀드 전압의 취득을 행할 수 있다.

[0145] 또한, 이 기간에서, 용량 소자(102)의 전하를 방전하는 경우, 그 기간에 차이가 생겨도 큰 문제는 없다. 왜냐하면, 어느 정도의 시간이 경과하면, 거의 완전히 방전되기 때문에, 기간에 길이가 달라도, 동작에 주는 영향은 작기 때문이다. 따라서, 이 동작은 선순차가 아니라, 점순차를 이용하여 구동시킬 수 있다. 따라서, 구동 회로의 구성을 간단한 구성으로 실현할 수 있다. 그 때문에, 도 11(A)에 나타난 바와 같은 회로를 하나의 화소로 했을 때, 그 화소가 매트릭스 형상으로 배치된 화소부와, 화소부에 신호를 공급하는 구동 회로부에 대하여, 양자를 같은 종류의 트랜지스터를 이용하여 구성하는 것, 또는 같은 기판 위에 형성하는 것이 가능하게 된다. 단, 이것에 한정되지 않고, 선순차 구동을 이용하거나, 화소부와 구동 회로부를 다른 기판 위에 형성하는 것도 가능하다.

[0146] 다음에, 도 12(C)에 나타난 바와 같이, 영상 신호의 입력을 행한다. 스위치(202), 스위치(204)는 도통 상태이고, 온으로 되어 있다. 스위치(301), 스위치(303)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 그리고, 배선(104)으로부터 영상 신호가 공급된다. 이 때, 용량 소자(102)에는, 도 12(B)의 기간에서 축적된 전하가 있기 때문에, 그 전하에 더 축적되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 배선(104)으로부터 공급되는 영상 신호로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 배선(104)으로부터 공급되는 영상 신호보다, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 도 12(B), 도 12(C)의 동작에 의해, 영상 신호의 입력과 스레시홀드 전압의 취득을 행할 수 있다.

[0147] 다음에, 도 12(D)에 나타난 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정한다. 이것은 도 1(C) 등의 기간에 상당한다. 그리고, 스위치(301), 스위치(303)는 도통 상태이고, 온으로 되어 있다. 스위치(202), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이러한 상태로 함으로써, 용량 소자(102)에 축적된 전하가 트랜지스터(101)를 통하여 방전되어 간다. 이와 같이 하여, 트랜지스터(101)를 통

하여 약간 방전시킴으로써, 트랜지스터(101)의 전류의 편차의 영향을 저감할 수 있다.

- [0148] 다음에, 도 12(E)에 나타난 바와 같이, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급한다. 이것은, 도 1(D) 등의 기간에 상당한다. 그리고, 스위치(202), 스위치(303)는 도통 상태이고, 온으로 되어 있다. 스위치(301), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 스테시홀드 전압에 따른 전압과 영상 신호 전압과의 합의 전압으로부터, 트랜지스터(101)의 전류 특성에 따른 전압을 뺀 전압으로 되어 있다. 따라서, 트랜지스터(101)의 전류 특성의 편차의 영향을 저감할 수 있고, 표시 소자(105)에는 적절한 크기의 전류를 공급할 수 있다.
- [0149] 도 12(A) 내지 도 12(E)에 나타난 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 1(C))에서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차가 저감되기 때문에, 표시 소자(105)에 전류가 공급되는 기간(도 1(D))에서, 표시 소자(105)에 공급되는 전류의 편차도 저감된다. 그 결과, 표시 소자(105)의 표시 상태의 편차도 저감되어, 표시 품질이 높은 표시를 행할 수 있다.
- [0150] 또한, 도 11(B)의 회로 구성의 경우에는, 도 12(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(301), 스위치(303), 및 스위치(305)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(202) 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 12(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.
- [0151] 또한, 도 11(C)의 회로 구성의 경우에는, 도 12(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트의 전위를 제어하는 것이 가능하다. 그리고, 스위치(202), 스위치(303), 및 스위치(307)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(301) 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 12(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.
- [0152] 또한, 도 11(D)의 회로 구성의 경우에는, 도 12(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트 및/또는 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(303), 스위치(305), 및 스위치(307)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(202), 스위치(203), 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 12(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.
- [0153] 또한, 도 12(A) 내지 도 12(E)에서, 각 동작으로의 전환시에 있어서, 그 동작 동안에, 다른 동작이나 다른 기간이 제공되어 있는 것도 가능하다. 예를 들면, 도 12(C)에 나타난 바와 같은 상태를 도 12(A)와 도 12(B)의 사이에 제공해도 좋다. 이러한 기간을 제공하여도 지장이 없기 때문에, 문제는 없다.
- [0154] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.
- [0155] [실시형태 4]
- [0156] 다음에, 본 실시형태에서는, 실시형태 1에 설명한 회로 및 구동 방법의 응용예에 대하여 나타낸다.
- [0157] 도 13(A)에, 도 5(A), 도 5(B)의 구체적인 예에 대하여 나타낸다. 스위치(401)의 제1 단자를 트랜지스터(101)의 게이트 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(401)의 제2 단자를 트랜지스터(101)의 제1 단자 및 스위치(403)의 제2 단자와 전기적으로 접속한다. 그리고 스위치(403)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(403)의 제2 단자를 트랜지스터(101)의 제1 단자, 및 스위치(401)의 제2 단자와 전기적으로 접속한다. 그리고 스위치(204)의 제1 단자를 스위치(401)의 제1 단자, 트랜지스터(101)의 게이트, 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(204)의 제2 단자를 배선(104)과 전기적으로 접속한다. 이와 같이, 4개의 스위치를 배치함으로써, 도 5(A), 도 5(B)의 접속 상황을 실현하는 회로 구성을 실현할 수 있다.
- [0158] 도 13(A)과는 다른 예를, 도 13(B), 도 13(C), 도 13(D)에 나타낸다. 도 13(B)에서는, 도 13(A)에 새로 스위치(405)를 설치하여 배선(406)과의 접속을 제어함으로써, 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 13(C)에서는, 도 13(A)에 새로 스위치(407)를 설치하여 배선(408)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 13(D)에서는, 도 13(B)에 새로 스위치(407)를 설치하여 배선(408)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위 및 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 그리고 예를 들면, 배선

(406) 또는 배선(408)의 전위를 변화시킴으로써, 도 5(A) 또는 도 5(B)와 같은 동작을 실현할 수 있다. 그리고, 스위치나 트랜지스터 등이 더 필요한 경우에는, 적절히 배치된다.

- [0159] 또한, 도 13(A) 내지 도 13(D)에서는, 실시형태 1에 설명한 구성에 대한 예의 일부를 나타냈지만, 그 이외의 예에 대해서도, 마찬가지로 구성할 수 있다.
- [0160] 다음에, 동작 방법에 대하여 설명한다. 여기에서는, 도 13(A)의 회로를 이용하여 설명하지만, 그 이외의 회로에 대해서도, 마찬가지로 동작 방법을 이용할 수 있다.
- [0161] 먼저, 도 14(A)에 나타낸 바와 같이, 초기화를 행한다. 이것은 트랜지스터(101)의 게이트, 또는, 드레인(또는 소스)의 전위를 소정의 전위로 설정하는 동작이다. 이것에 의해, 트랜지스터(101)가 온하는 것과 같은 상태로 할 수 있다. 또는, 용량 소자(102)에 소정의 전압이 공급된다. 그 때문에, 용량 소자(102)에는 전하가 보유되게 된다. 스위치(401), 및 스위치(403)는 도통 상태이고, 온으로 되어 있다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(A)의 초기화의 기간에서, 배선(103)의 전위는 다른 배선보다 낮은 전위로 하는 것이 바람직하다. 단, 이것에 한정되는 것은 아니다. 단, 표시 소자(105)에 전류가 흐르지 않는 것이 바람직하기 때문에, 그것을 실현할 수 있는 상태에 있는 것이 바람직하다. 따라서, 적어도, 발광소자에 인가되는 전압이 역바이어스로 되어 있는 것이 바람직하다.
- [0162] 또한 도 14(A) 내지 도 14(E) 중, 점선 화살표는 전하의 움직임에 대하여 알기 쉽게 하기 위해 가시화하여 나타낸 것이다. 단, 이것에 한정되지 않고, 소정의 구동을 행하는 전위 관계 등이면 문제 없다.
- [0163] 다음에, 도 14(B)에 나타낸 바와 같이, 트랜지스터(101)의 스레시홀드 전압의 취득을 행한다. 스위치(401), 스위치(403)는 도통 상태이고, 온으로 되어 있다. 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(B)의 트랜지스터(101)의 스레시홀드 전압 취득의 기간에서, 배선(103)의 전위는 초기화의 기간의 전위보다 높게 하는 것이 바람직하다. 이 때, 용량 소자(102)에는 도 14(A)의 기간에서 축적된 전하가 있기 때문에, 그 전하가 방전되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 도 14(A)의 기간에서 축적된 전하에 의한 전위로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 트랜지스터(101)의 스레시홀드 전압에 가까워진다. 이러한 동작에 의해, 용량 소자(102)의 양단의 전극 사이에서 스레시홀드 전압의 취득을 행할 수 있다.
- [0164] 또한, 이 기간에서, 용량 소자(102)의 전하를 방전하는 경우, 그 기간에 차이가 생겨도 큰 문제는 없다. 왜냐하면, 어느 정도의 시간이 경과하면, 거의 완전히 방전되기 때문에, 기간에 길이가 달라도, 동작에 주는 영향은 작기 때문이다. 따라서, 이 동작은 선순차가 아니라, 점순차를 이용하여 구동시킬 수 있다. 따라서, 구동 회로의 구성이 간단한 구성으로 실현될 수 있다. 그 때문에, 도 13(A)에 나타낸 바와 같은 회로를 하나의 화소로 했을 때, 그 화소가 매트릭스 형상으로 배치된 화소부와, 화소부에 신호를 공급하는 구동 회로부에 대하여, 양자를 같은 종류의 트랜지스터를 이용하여 구성하는 것, 또는 같은 기판 위에 형성하는 것이 가능하게 된다. 단, 이것에 한정되지 않고, 선순차 구동을 이용하거나 화소부와 구동 회로부를 서로 다른 기판 위에 형성하는 것도 가능하다.
- [0165] 다음에, 도 14(C)에 나타낸 바와 같이, 영상 신호의 입력을 행한다. 스위치(204)는 도통 상태이고, 온으로 되어 있다. 스위치(401), 스위치(403)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(C)의 영상 신호 입력의 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 그리고, 배선(104)으로부터 영상 신호가 공급된다. 이 때, 용량 소자(102)에는 도 14(B)의 기간에서 축적된 전하가 있기 때문에, 그 전하에 더 축적되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 배선(104)으로부터 공급되는 영상 신호로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 배선(104)으로부터 공급되는 영상 신호보다, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 도 14(B), 도 14(C)의 동작에 의해, 영상 신호의 입력과 스레시홀드 전압의 취득을 행할 수 있다.
- [0166] 다음에, 도 14(D)에 나타낸 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정한다. 이것은 도 5(A) 등의 기간에 상당한다. 그리고, 스위치(401), 스위치(403)는 도통 상태이고, 온으로 되어 있다. 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(D)의 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 이러한 상태로 함으로써, 용량 소자(102)에 축적된 전하가 트랜지스터(101)를 통하여 방전되어

간다. 이와 같이 하여, 트랜지스터(101)를 통하여 약간 방전시킴으로써, 트랜지스터(101)의 전류의 편차의 영향을 저감할 수 있다.

[0167] 다음에, 도 14(E)에 나타난 바와 같이, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급한다. 이것은 도 5(B) 등의 기간에 상당한다. 그리고, 스위치(403)는 도통 상태이고, 온으로 되어 있다. 스위치(401), 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(E)의 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급하는 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 스테시홀드 전압에 따른 전압과 영상 신호 전압과의 합인 전압으로부터, 트랜지스터(101)의 전류 특성에 따른 전압을 뺀 전압으로 되어 있다. 따라서, 트랜지스터(101)의 전류 특성의 편차의 영향을 저감할 수 있어, 표시 소자(105)에는 적절한 크기의 전류를 공급할 수 있다.

[0168] 도 14(A) 내지 도 14(E)에 나타난 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 5(A))에서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차가 저감되기 때문에, 표시 소자(105)에 전류가 공급되는 기간(도 5(B))에서, 표시 소자(105)에 공급되는 전류의 편차도 저감된다. 그 결과, 표시 소자(105)의 표시 상태의 편차도 저감되어, 표시 품질이 높은 표시를 행할 수 있다.

[0169] 또한, 도 13(B)의 회로 구성의 경우에는, 도 14(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(401), 스위치(403), 및 스위치(405)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0170] 또한, 도 13(C)의 회로 구성의 경우에는, 도 14(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트의 전위를 제어하는 것이 가능하다. 그리고, 스위치(403) 및 스위치(407)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(401) 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0171] 또한, 도 13(D)의 회로 구성의 경우에는, 도 14(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트 및/또는 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(403), 스위치(405), 및 스위치(407)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(401), 및 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 14(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0172] 또한, 도 14(A) 내지 도 14(E)에서, 각 동작으로의 전환시에 있어서, 그 동작 동안에, 다른 동작이나 다른 기간이 형성되는 것도 가능하다. 예를 들면, 도 14(C)에 나타난 바와 같은 상태를 도 14(A)와 도 14(B)의 사이에 제공해도 좋다. 이러한 기간을 제공하여도 지장이 없기 때문에, 문제는 없다.

[0173] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0174] [실시형태 5]

[0175] 다음에, 본 실시형태에서는, 실시형태 1에 설명한 회로 및 구동 방법의 응용예에 대하여 나타낸다.

[0176] 도 15(A)에, 도 5(A), 도 5(B)의 실시형태 4와는 다른 구체예에 대하여 나타낸다. 스위치(501)의 제1 단자를 트랜지스터(101)의 게이트, 용량 소자(102)의 제1 단자, 및 스위치(503)의 제2 단자와 전기적으로 접속하고, 스위치(501)의 제2 단자를 트랜지스터(101)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(503)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(503)의 제2 단자를 트랜지스터(101)의 게이트, 용량 소자(102)의 제1 단자, 및 스위치(501)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(204)의 제1 단자를 스위치(501)의 제1 단자, 트랜지스터(101)의 게이트, 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(204)의 제2 단자를 배선(104)과 전기적으로 접속한다. 이와 같이, 4개의 스위치를 배치함으로써, 도 5(A), 도 5(B)의 접속 상황을 실현하는 회로 구성을 실현할 수 있다.

[0177] 도 15(A)와는 다른 예를 도 15(B), 도 15(C), 도 15(D)에 나타낸다. 도 15(B)에서는, 도 15(A)에 새로 스위치(505)를 제공하여 배선(506)과의 접속을 제어함으로써, 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 15(C)에서는, 도 15(A)에 새로 스위치(507)를 제공하여 배선(508)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 15(D)에서는, 도

15(B)에 새로 스위치(507)를 제공하여 배선(508)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위 및 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 그리고 예를 들면, 배선(506) 또는 배선(508)의 전위를 변화시킴으로써, 도 5(A) 또는 도 5(B)와 같은 동작을 실현할 수 있다. 그리고 스위치나 트랜지스터 등이 더 필요한 경우에는, 적절히 배치된다.

[0178] 또한, 도 15(A) 내지 도 15(D)에서는, 실시형태 1에 설명한 구성에 대한 예의 일부를 나타냈지만, 그 이외의 예에 대해서도, 마찬가지로 구성할 수 있다.

[0179] 다음에, 동작 방법에 대하여 설명한다. 여기에서는, 도 15(A)의 회로를 이용하여 설명하였지만, 그 이외의 회로에 대해서도, 마찬가지로의 동작 방법을 이용할 수 있다.

[0180] 먼저, 도 16(A)에 나타낸 바와 같이, 초기화를 행한다. 이것은 트랜지스터(101)의 게이트, 또는, 드레인(또는 소스)의 전위를 소정의 전위로 설정하는 동작이다. 이것에 의해, 트랜지스터(101)가 온하는 것과 같은 상태로 할 수 있다. 또는, 용량 소자(102)에 소정의 전압이 공급된다. 그 때문에, 용량 소자(102)에는 전하가 보유되게 된다. 스위치(501), 및 스위치(503)는 도통 상태이고, 온으로 되어 있다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(A)의 초기화의 기간에서, 배선(103)의 전위는 다른 배선보다 낮은 전위로 하는 것이 바람직하다. 단, 이것에 한정되는 것은 아니다. 단, 표시 소자(105)에 전류가 흐르지 않는 것이 바람직하기 때문에, 그것을 실현할 수 있는 상태에 있는 것이 바람직하다. 따라서, 적어도, 발광소자에 인가되는 전압이 역바이어스로 되어 있는 것이 바람직하다.

[0181] 또한, 도 16(A) 내지 도 16(E) 중, 점선 화살표는 전하의 움직임에 대하여 알기 쉽게 하기 위해 가시화하여 나타낸 것이다. 단, 이것에 한정되지 않고, 소정의 구동을 행하는 전위 관계 등이면 문제 없다.

[0182] 다음에, 도 16(B)에 나타낸 바와 같이, 트랜지스터(101)의 스레시홀드 전압의 취득을 행한다. 스위치(501), 스위치(503)는 도통 상태이고, 온으로 되어 있다. 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(B)의 트랜지스터(101)의 스레시홀드 전압 취득의 기간에서, 배선(103)의 전위는 초기화의 기간의 전위보다 높게 하는 것이 바람직하다. 이 때, 용량 소자(102)에는 도 16(A)의 기간에서 축적된 전하가 있기 때문에, 그 전하가 방전되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 도 16(A)의 기간에서 축적된 전하에 의한 전위로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 트랜지스터(101)의 스레시홀드 전압에 가까워진다. 이러한 동작에 의해, 용량 소자(102)의 양단의 전극 사이에서 스레시홀드 전압의 취득을 행할 수 있다.

[0183] 또한, 이 기간에 있어서, 용량 소자(102)의 전하를 방전하는 경우, 그 기간에 차이가 생겨도 큰 문제는 없다. 왜냐하면, 어느 정도의 시간이 경과하면, 거의 완전히 방전되기 때문에, 기간에 길이가 달라도, 동작에 주는 영향은 작기 때문이다. 따라서, 이 동작은 선순차가 아니라, 점순차를 이용하여 구동시킬 수 있다. 따라서, 구동 회로의 구성이 간단한 구성으로 실현될 수 있다. 그 때문에, 도 15(A)에 나타낸 바와 같은 회로를 하나의 화소로 했을 때, 그 화소가 매트릭스 형상으로 배치된 화소부와, 화소부에 신호를 공급하는 구동 회로부에 대하여, 양자를 같은 종류의 트랜지스터를 이용하여 구성하는 것, 또는 같은 기판 위에 형성하는 것이 가능하게 된다. 단, 이것에 한정되지 않고, 선순차 구동을 이용하거나 화소부와 구동 회로부를 서로 다른 기판 위에 형성하는 것도 가능하다.

[0184] 다음에, 도 16(C)에 나타낸 바와 같이, 영상 신호의 입력을 행한다. 스위치(204)는 도통 상태이고, 온으로 되어 있다. 스위치(501), 스위치(503)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(C)의 영상 신호 입력의 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 그리고 배선(104)으로부터 영상 신호가 공급된다. 이 때, 용량 소자(102)에는, 도 16(B)의 기간에서 축적된 전하가 있기 때문에, 그 전하에 더 축적되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 배선(104)으로부터 공급되는 영상 신호로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 배선(104)으로부터 공급되는 영상 신호보다, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 도 16(B), 도 16(C)의 동작에 의해, 영상 신호의 입력과 스레시홀드 전압의 취득을 행할 수 있다.

[0185] 다음에, 도 16(D)에 나타낸 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정한다. 이것은 도 5(A) 등의 기간에 상당한다. 그리고 스위치(501), 스위치(503)는 도통 상태이고, 온으로 되어 있다. 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(D)의 트랜지스터(101)의 이동도

등의 전류 특성의 편차를 보정하는 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 이러한 상태로 함으로써, 용량 소자(102)에 축적된 전하가 트랜지스터(101)를 통하여 방전되어 간다. 이와 같이 하여, 트랜지스터(101)를 통하여 약간 방전시킴으로써, 트랜지스터(101)의 전류의 편차의 영향을 저감할 수 있다.

[0186] 다음에, 도 16(E)에 나타낸 바와 같이, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급한다. 이것은 도 5(B) 등의 기간에 상당한다. 그리고 스위치(501), 스위치(503)는 도통 상태이고, 온으로 되어 있다. 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(E)의 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급하는 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 이때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 스톱시홀드 전압에 따른 전압과 영상 신호 전압과의 합의 전압으로부터, 트랜지스터(101)의 전류 특성에 따른 전압을 뺀 전압으로 되어 있다. 따라서, 트랜지스터(101)의 전류 특성의 편차의 영향을 저감할 수 있고, 표시 소자(105)에는 적절한 크기의 전류를 공급할 수 있다.

[0187] 도 16(A) 내지 도 16(E)에 나타낸 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 5(A))에서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차가 저감되기 때문에, 표시 소자(105)에 전류가 공급되는 기간(도 5(B))에서, 표시 소자(105)에 공급되는 전류의 편차도 저감된다. 그 결과, 표시 소자(105)의 표시 상태의 편차도 저감되어, 표시 품질이 높은 표시를 행할 수 있다.

[0188] 또한, 도 15(B)의 회로 구성의 경우에는, 도 16(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(501), 스위치(503), 및 스위치(505)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0189] 또한, 도 15(C)의 회로 구성의 경우에는, 도 16(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트의 전위를 제어하는 것이 가능하다. 그리고, 스위치(501), 스위치(503), 및 스위치(507)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0190] 또한, 도 15(D)의 회로 구성의 경우에는, 도 16(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트 및/또는 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(501), 스위치(503), 스위치(505), 및 스위치(407)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 16(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0191] 또한, 도 16(A) 내지 도 16(E)에서, 각 동작으로의 전환시에 있어서, 그 동작 동안에, 다른 동작이나 다른 기간이 제공되어 있는 것도 가능하다. 예를 들면, 도 16(C)에 나타낸 바와 같은 상태를 도 16(A)와 도 16(B)의 사이에 제공해도 좋다. 이러한 기간을 제공해도 지장이 없기 때문에, 문제는 없다.

[0192] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0193] [실시형태 6]

[0194] 다음에, 본 실시형태에서는, 실시형태 1에 설명한 회로 및 구동 방법의 응용예에 대하여 나타낸다.

[0195] 도 17(A)에 도 5(C), 도 5(D)의 구체적인 예에 대하여 나타낸다. 스위치(601)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(601)의 제2 단자를 트랜지스터(101)의 게이트 및 용량 소자(102)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(603)의 제1 단자를 배선(103)과 전기적으로 접속하고, 스위치(603)의 제2 단자를 트랜지스터(101)의 제1 단자와 전기적으로 접속한다. 그리고 스위치(204)의 제1 단자를 스위치(601)의 제1 단자, 트랜지스터(101)의 게이트, 및 용량 소자(102)의 제1 단자와 전기적으로 접속하고, 스위치(204)의 제2 단자를 배선(104)과 전기적으로 접속한다. 이와 같이, 4개의 스위치를 배치함으로써, 도 5(C), 도 5(D)의 접속 상황을 실현하는 회로 구성을 실현할 수 있다.

[0196] 도 17(A)과는 다른 예를 도 17(B), 도 17(C), 도 17(D)에 나타낸다. 도 17(B)에서는 도 17(A)에 새로 스위치(605)를 제공하여 배선(606)과의 접속을 제어함으로써, 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 17(C)에서는, 도 17(A)에 새로 스위치(607)를 제공하여 배선(608)과의 접속을 제어

함으로써, 트랜지스터(101)의 게이트의 전위를 제어하는 구성에 대하여 나타내고 있다. 도 17(D)에서는 도 17(B)에 새로 스위치(607)를 제공하여 배선(608)과의 접속을 제어함으로써, 트랜지스터(101)의 게이트의 전위 및 트랜지스터(101)의 제2 단자의 전위를 제어하는 구성에 대하여 나타내고 있다. 그리고 예를 들면, 배선(606) 또는 배선(608)의 전위를 변화시킴으로써, 도 5(C) 또는 도 5(D)와 같은 동작을 실현할 수 있다. 그리고 스위치나 트랜지스터 등이 더 필요한 경우에는, 적절히 배치된다.

[0197] 또한, 도 17(A) 내지 도 17(D)에서는, 실시형태 1에 설명한 구성에 대한 예의 일부를 나타냈지만, 그 이외의 예에 대해서도, 마찬가지로 구성할 수 있다.

[0198] 다음에, 동작 방법에 대하여 설명한다. 여기에서는, 도 17(A)의 회로를 이용하여 설명하지만, 그 이외의 회로에 대해서도, 마찬가지로의 동작 방법을 이용할 수 있다.

[0199] 먼저, 도 18(A)에 나타난 바와 같이, 초기화를 행한다. 이것은 트랜지스터(101)의 게이트, 또는, 드레인(또는 소스)의 전위를 소정의 전위로 설정하는 동작이다. 이것에 의해, 트랜지스터(101)가 온하는 것과 같은 상태로 할 수 있다. 또는, 용량 소자(102)에 소정의 전압이 공급된다. 그 때문에, 용량 소자(102)에는 전하가 보유되게 된다. 스위치(601), 및 스위치(603)는 도통 상태이고, 온으로 되어 있다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(A)의 초기화의 기간에서, 배선(103)의 전위는 다른 배선보다 낮은 전위로 하는 것이 바람직하다. 단, 이것에 한정되는 것은 아니다. 단, 표시 소자(105)에 전류가 흐르지 않는 것이 바람직하기 때문에, 그것을 실현할 수 있는 상태에 있는 것이 바람직하다. 따라서, 적어도, 발광소자에 인가되는 전압이 역바이어스로 되어 있는 것이 바람직하다.

[0200] 또한 도 18(A) 내지 도 18(E) 중, 점선 화살표는, 전하의 움직임에 대하여 알기 쉽게 하기 위해 가시화하여 나타낸 것이다. 단, 이것에 한정되지 않고, 소정의 구동을 행하는 전위 관계 등이라면 문제 없다.

[0201] 다음에, 도 18(B)에 나타난 바와 같이, 트랜지스터(101)의 스레시홀드 전압의 취득을 행한다. 스위치(601), 스위치(603)는 도통 상태이고, 온으로 되어 있다. 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(B)의 트랜지스터(101)의 스레시홀드 전압 취득의 기간에서, 배선(103)의 전위는 초기화의 기간의 전위보다 높게 하는 것이 바람직하다. 이 때, 용량 소자(102)에는 도 18(A)의 기간에서 축적된 전하가 있기 때문에, 그 전하가 방전되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 도 18(A)의 기간에서 축적된 전하에 의한 전위로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 트랜지스터(101)의 스레시홀드 전압에 가까워진다. 이러한 동작에 의해, 용량 소자(102)의 양단의 전극 사이에서 스레시홀드 전압의 취득을 행할 수 있다.

[0202] 또한, 이 기간에서, 용량 소자(102)의 전하를 방전하는 경우, 그 기간에 차이가 생겨도 큰 문제는 없다. 왜냐하면, 어느 정도의 시간이 경과하면, 거의 완전히 방전되기 때문에, 기간에 길이가 달라도, 동작에 주는 영향은 작기 때문이다. 따라서, 이 동작은 선순차가 아니라, 점순차를 이용하여 구동시킬 수 있다. 따라서, 구동 회로의 구성이 간단한 구성으로 실현될 수 있다. 그 때문에, 도 17(A)에 나타난 바와 같은 회로를 하나의 화소로 했을 때, 그 화소가 매트릭스 형상으로 배치된 화소부와, 화소부에 신호를 공급하는 구동 회로부에 대하여, 양자를 같은 종류의 트랜지스터를 이용하여 구성하는 것, 또는 같은 기관 위에 형성하는 것이 가능하게 된다. 단, 이것에 한정되지 않고, 선순차 구동을 이용하거나, 화소부와 구동 회로부를 다른 기관 위에 형성하는 것도 가능하다.

[0203] 다음에, 도 18(C)에 나타난 바와 같이, 영상 신호의 입력을 행한다. 스위치(204)는 도통 상태이고, 온으로 되어 있다. 스위치(601), 스위치(603)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(C)의 영상 신호 입력의 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 그리고, 배선(104)으로부터 영상 신호가 공급된다. 이 때, 용량 소자(102)에는, 도 18(B)의 기간에서 축적된 전하가 있기 때문에, 그 전하에 더 축적되어 간다. 그 때문에, 트랜지스터(101)의 게이트의 전위는 배선(104)으로부터 공급되는 영상 신호로부터, 트랜지스터(101)의 스레시홀드 전압(정의 값)을 서로 더한 전위에 가까워진다. 즉, 배선(104)으로부터 공급되는 영상 신호보다, 트랜지스터(101)의 스레시홀드 전압의 절대값만큼 높은 전위에 가까워진다. 도 18(B), 도 18(C)의 동작에 의해, 영상 신호의 입력과 스레시홀드 전압의 취득을 행할 수 있다.

[0204] 다음에, 도 18(D)에 나타난 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정한다. 이것은 도 5(C) 등의 기간에 상당한다. 그리고, 스위치(601), 스위치(603)는 도통 상태이고, 온으로 되어 있다. 스위

치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(D)의 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 이러한 상태로 함으로써, 용량 소자(102)에 축적된 전하가 트랜지스터(101)를 통하여 방전되어 간다. 이와 같이 하여, 트랜지스터(101)를 통하여 약간 방전시킴으로써, 트랜지스터(101)의 전류의 편차의 영향을 저감할 수 있다.

[0205] 다음에, 도 18(E)에 나타난 바와 같이, 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급한다. 이것은 도 5(D) 등의 기간에 상당한다. 그리고, 스위치(601), 스위치(603)는 도통 상태이고, 온으로 되어 있다. 스위치(204)는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(E)의 트랜지스터(101)를 통하여, 표시 소자(105)에 전류를 공급하는 기간에서, 배선(103)의 전위는 다른 배선에 입력되는 전위보다 높게 하는 것이 바람직하다. 이 때, 트랜지스터(101)의 게이트와 소스 사이의 전압은 스테시홀드 전압에 따른 전압과 영상 신호 전압과의 합인 전압으로부터, 트랜지스터(101)의 전류 특성에 따른 전압을 뺀 전압으로 되어 있다. 따라서, 트랜지스터(101)의 전류 특성의 편차의 영향을 저감할 수 있고, 표시 소자(105)에는 적절한 크기의 전류를 공급할 수 있다.

[0206] 도 18(A) 내지 도 18(E)에 나타난 바와 같이, 트랜지스터(101)의 이동도 등의 전류 특성의 편차를 보정하는 기간(도 5(C))에서, 트랜지스터(101)의 이동도 등의 전류 특성의 편차가 저감되기 때문에, 표시 소자(105)에 전류가 공급되는 기간(도 5(D))에서, 표시 소자(105)에 공급되는 전류의 편차도 저감된다. 그 결과, 표시 소자(105)의 표시 상태의 편차도 저감되어, 표시 품질이 높은 표시를 행할 수 있다.

[0207] 또한, 도 17(B)의 회로 구성의 경우에는, 도 18(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(601), 스위치(603), 및 스위치(605)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0208] 또한, 도 17(C)의 회로 구성의 경우에는, 도 18(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트의 전위를 제어하는 것이 가능하다. 그리고, 스위치(601), 스위치(603), 및 스위치(607)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0209] 또한, 도 17(D)의 회로 구성의 경우에는, 도 18(A)에 나타내는 초기화의 기간에서, 트랜지스터(101)의 게이트 및/또는 제2 단자의 전위를 제어하는 것이 가능하다. 그리고, 스위치(601), 스위치(603), 스위치(605), 및 스위치(607)는 도통 상태이며, 온으로 되어 있는 것이 바람직하다. 스위치(204)에 대해서는 비도통 상태이며, 오프로 되어 있는 것이 바람직하다. 또한, 도 18(B) 이후에 대해서는, 마찬가지로 동작시키면 좋다.

[0210] 또한, 도 18(A) 내지 도 18(E)에서, 각 동작으로의 전환시에 있어서, 그 동작 동안에, 다른 동작이나 다른 기간이 제공되어 있는 것도 가능하다. 예를 들면, 도 18(C)에 나타난 바와 같은 상태를 도 18(A)과 도 18(B)의 사이에 제공해도 좋다. 이러한 기간을 제공해도 지장이 없기 때문에, 문제는 없다.

[0211] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0212] [실시형태 7]

[0213] 본 실시형태에서는, 실시형태 1 내지 실시형태 6에 설명한 회로에 대하여, 구체적인 예를 나타낸다.

[0214] 예로서, 도 2(A)에 나타난 회로가 하나의 화소를 구성하고, 그 화소가 매트릭스 형상으로 배치되어 있는 경우의 예에 대하여, 도 19에 나타낸다. 또한, 도 19에서, 스위치는 n 채널형의 트랜지스터를 이용하여 실현된다. 단, 이것에 한정되지 않고, 다른 극성의 트랜지스터를 이용하거나, 양쪽의 극성의 트랜지스터를 이용하거나, 다이오드 또는 다이오드 접속된 트랜지스터 등을 이용하거나 하는 것도 가능하다.

[0215] 도 2(A)에 나타난 회로는, 1개분의 화소인 화소(1200M)를 구성하고 있다. 화소(1200M)와 같은 구성의 화소가, 화소(1200N), 화소(1200P), 화소(1200Q)로서 매트릭스 형상으로 배치되어 있다. 각 화소에서는, 상하, 좌우의 배치에 따라, 같은 배선에 접속되어 있는 경우가 있다.

[0216] 다음에, 도 2(A)의 각 요소와, 화소(1200M)에서의 각 요소와의 대응을 이하에 나타낸다. 배선(104)은 배선

(104M)에 대응하고, 배선(103)은 배선(103M)에 대응하고, 스위치(201)는 트랜지스터(201M)에 대응하고, 스위치(202)는 트랜지스터(202M)에 대응하고, 트랜지스터(101)는 트랜지스터(101M)에 대응하고, 스위치(203)는 트랜지스터(203M)에 대응하고, 스위치(204)는 트랜지스터(204M)에 대응하고, 용량 소자(102)는 용량 소자(102M)에 대응하고, 표시 소자(105)는 발광소자(105M)에 대응하고, 배선(106)은 배선(106M)에 대응한다.

[0217] 트랜지스터(201M)의 게이트는 배선(1204M)과 접속되어 있다. 트랜지스터(202M)의 게이트는 배선(1203M)과 접속되어 있다. 트랜지스터(203M)의 게이트는 배선(1202M)과 접속되어 있다. 트랜지스터(204M)의 게이트는 배선(1201M)과 접속되어 있다.

[0218] 또한, 각각의 트랜지스터의 게이트에 접속되어 있는 배선은 다른 화소의 배선 또는 같은 화소의 다른 배선에 접속되어 있는 것이 가능하다.

[0219] 또한, 배선(106M)은 배선(106P), 배선(106N), 배선(106Q)과 접속되는 것이 가능하다.

[0220] 도 19와 마찬가지로, 다양한 회로를 구성하는 것이 가능하다.

[0221] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0222] [실시형태 8]

[0223] 다음에, 표시 장치의 다른 구성에 및 그 구동 방법에 대하여 설명한다. 본 실시형태에서는, 표시 장치의 외부로부터 입력되는 화상(입력 화상)의 움직임을 보간(補間)하는 화상을, 복수의 입력 화상을 기초로 하여 표시 장치의 내부에서 생성하고, 이 생성된 화상(생성 화상)과 입력 화상을 순차로 표시시키는 방법에 대하여 설명한다. 또한, 생성 화상을 입력 화상의 움직임을 보간하는 화상으로 함으로써, 동영상의 움직임을 부드럽게 할 수 있고, 또한, 홀드 구동에 의한 잔상 등에 의해 동영상의 품질이 저하되는 문제를 개선할 수 있다. 여기서, 동영상의 보간에 대하여 이하에 설명한다. 동영상의 표시는, 이상적으로는, 개개의 화소의 휘도를 리얼 타임으로 제어하여 실현되는 것이지만, 화소의 리얼 타임 개별 제어는, 제어 회로의 수가 방대하게 되는 문제, 배선 스페이스의 문제, 및 입력 화상의 데이터량이 방대하게 되는 문제 등이 존재하여, 실현이 곤란하다. 따라서, 표시 장치에 의한 동영상의 표시는 복수의 정지 화면을 일정한 주기로 순차 표시함으로써, 표시가 동영상으로 보이도록 하여 행해지고 있다. 이 주기(본 실시형태에서는 입력 화상 신호 주기라고 부르고, T_{in} 이라고 나타낸다)는 규격화되어 있고, 예로서, NTSC 규격에서는 1/60초, PAL 규격에서는 1/50초이다. 이 정도 주기에 서도, 임펄스(impulse)형 표시 장치인 CRT에서는 동영상 표시에 문제는 일어나지 않았다. 그러나, 홀드(hold)형 표시 장치에서는, 이러한 규격에 준한 동영상을 그대로 표시하면, 홀드형인 것에 기인하는 잔상 등에 의해 표시가 불선명하게 되는 문제(홀드 번짐: hold blur)가 발생하게 된다. 홀드 번짐은, 인간의 눈의 추종에 의한 무의식적인 움직임의 보간과, 홀드형의 표시와의 불일치(discrepancy)로 인식되는 것이므로, 종래의 규격보다 입력 화상 신호 주기를 짧게 함으로써(화소의 리얼 타임 개별 제어에 가깝게 함으로써) 저감시킬 수 있지만, 입력 화상 신호 주기를 짧게 하는 것은 규격의 변경을 수반하고, 또한, 데이터량도 증대하게 되므로 곤란하다. 그러나, 규격화된 입력 화상 신호를 기초로 하여, 입력 화상의 움직임을 보간하는 화상을 표시 장치 내부에서 생성하고, 이 생성 화상에 의해 입력 화상을 보간하여 표시함으로써, 규격의 변경 또는 데이터량의 증대없이 홀드 번짐을 저감할 수 있다. 이와 같이, 입력 화상 신호를 기초로 하여 표시 장치 내부에서 화상 신호를 생성하고, 입력 화상의 움직임을 보간하는 것을 동영상의 보간이라고 부르기로 한다.

[0224] 본 실시형태에서의 동영상의 보간 방법에 의해, 동적 번짐(motion blur)을 저감시킬 수 있다. 본 실시형태에서의 동영상의 보간 방법은 화상 생성 방법과 화상 표시 방법으로 나눌 수 있다. 그리고, 특정 패턴의 움직임에 대해서는 다른 화상 생성 방법 및/또는 화상 표시 방법을 이용함으로써, 효과적으로 동적 번짐을 저감시킬 수 있다. 도 20(A) 및 도 20(B)는 본 실시형태에서의 동영상의 보간 방법의 일례를 설명하기 위한 모식도이다. 도 20(A) 및 도 20(B)에서, 횡축은 시간이며, 횡방향의 위치에 따라, 각각의 화상이 다루어지는 타이밍을 나타내고 있다. 「입력」이라고 기록된 부분은 입력 화상 신호가 입력되는 타이밍을 나타낸다. 여기에서는, 시간적으로 인접하는 2개의 화상으로서, 화상(5121) 및 화상(5122)에 주목하고 있다. 입력 화상은 주기(T_{in})의 간격으로 입력된다. 또한, 주기(T_{in}) 하나분의 길이를, 1 프레임 혹은 1 프레임 기간이라고 기재하기도 한다. 「생성」이라고 기록된 부분은 입력 화상 신호로부터 새로 화상이 생성되는 타이밍을 나타낸다. 여기에서는, 화상(5121) 및 화상(5122)을 기초로 하여 생성되는 생성 화상인 화상(5123)에 주목하고 있다. 「표시」라고 기록된

부분은 표시 장치에 화상이 표시되는 타이밍을 나타내고 있다. 또한, 주목하고 있는 화상 이외의 화상에 대해서는 파선으로 기재하고 있을 뿐이지만, 주목하고 있는 화상과 마찬가지로 취급함으로써, 본 실시형태에서의 동영상의 보간 방법의 일례를 실현할 수 있다.

[0225] 본 실시형태에서의 동영상의 보간 방법의 일례는, 도 20(A)에 나타내는 바와 같이, 시간적으로 인접한 2개의 입력 화상을 기초로 하여 생성된 생성 화상을 이 2개의 입력 화상이 표시되는 타이밍의 간극에 표시시킴으로써, 동영상의 보간을 행할 수 있다. 이 때, 표시 화상의 표시 주기는 입력 화상의 입력 주기의 1/2이 되는 것이 바람직하다. 단, 이것에 한정되지 않고, 다양한 표시 주기로 할 수 있다. 예를 들면, 표시 주기를 입력 주기의 1/2보다 짧게 함으로써, 동영상을 보다 부드럽게 표시할 수 있다. 또는, 표시 주기를 입력 주기의 1/2보다 길게 함으로써, 소비 전력을 저감할 수 있다. 또한, 여기에서는, 시간적으로 인접한 2개의 입력 화상을 기초로 하여 화상을 생성하고 있지만, 기초로 하는 입력 화상은 2개로 한정되지 않고, 다양한 수를 이용할 수 있다. 예를 들면, 시간적으로 인접한 3개(3개 이상이어도 좋음)의 입력 화상을 기초로 하여 화상을 생성하면, 2개의 입력 화상을 기초로 하는 경우보다, 정밀도가 좋은 생성 화상을 얻을 수 있다. 또한, 화상(5121)의 표시 타이밍을 화상(5122)의 입력 타이밍과 같은 시각, 즉 입력 타이밍에 대한 표시 타이밍을 1 프레임 지연으로 하고 있지만, 본 실시형태에서의 동영상의 보간 방법에서의 표시 타이밍은 이것에 한정되지 않고, 다양한 표시 타이밍을 이용할 수 있다. 예를 들면, 입력 타이밍에 대한 표시 타이밍을 1 프레임 이상 늦출 수 있다. 이렇게 함으로써, 생성 화상인 화상(5123)의 표시 타이밍을 늦출 수 있으므로, 화상(5123)의 생성에 걸리는 시간에 여유를 갖게 할 수 있어, 소비 전력 및 제조 비용의 저감으로 이어진다. 또한, 입력 타이밍에 대한 표시 타이밍을 너무 늦게 하면, 입력 화상을 보유해 두는 기간이 길어져, 보유에 걸리는 메모리 용량이 증대되므로, 입력 타이밍에 대한 표시 타이밍은 1 프레임 지연에서 2 프레임 지연 정도가 바람직하다.

[0226] 여기서, 화상(5121) 및 화상(5122)을 기초로 하여 생성되는 화상(5123)의 구체적인 생성 방법의 일례에 대하여 설명한다. 동영상을 보간하기 위해서는 입력 화상의 움직임 검출을 필요로 하지만, 본 실시형태에서는, 입력 화상의 움직임 검출을 위해, 블록 매칭법으로 불리는 방법을 이용할 수 있다. 단, 이것에 한정되지 않고, 다양한 방법(화상 데이터의 차이분을 취하는 방법, 푸리에 변환(Fourier transformation)을 이용하는 방법 등)을 이용할 수 있다. 블록 매칭법에서는, 먼저, 입력 화상 1장분의 화상 데이터(여기에서는 화상(5121)의 화상 데이터를) 데이터 기억 수단(반도체 메모리, RAM 등의 기억 회로 등)에 기억시킨다. 그리고, 다음의 프레임에서의 화상(여기에서는 화상(5122))을 복수의 영역으로 분할한다. 또한, 분할된 영역은, 도 20(A)과 같이, 같은 형상의 직사각형으로 할 수 있지만, 이것에 한정되지 않고, 다양한 것(화상에 의해 형상 또는 크기를 바꾸는 등)으로 할 수 있다. 그 후, 분할된 영역마다, 데이터 기억 수단에 기억시킨 전의 프레임의 화상 데이터(여기에서는 화상(5121)의 화상 데이터)와 데이터의 비교를 행하여, 화상 데이터가 비슷한 영역을 탐색한다. 도 20(A)의 예에서는, 화상(5122)에서의 영역(5124)과 데이터가 비슷한 영역을 화상(5121) 중에서 탐색하여, 영역(5126)이 탐색된 것으로 하고 있다. 또한, 화상(5121) 중을 탐색할 때, 탐색 범위는 한정되는 것이 바람직하다. 도 20(A)의 예에서는, 탐색 범위로서, 영역(5124)의 면적의 4배 정도의 크기인 영역(5125)을 설정하고 있다. 또한, 탐색 범위를 이것보다 크게 함으로써, 움직임이 빠른 동영상에 있어서도 검출 정밀도를 높게 할 수 있다. 단, 너무 넓게 탐색을 행하면 탐색 시간이 방대하게 되어, 움직임 검출의 실현이 곤란해지기 때문에, 영역(5125)은 영역(5124)의 면적의 2배에서 6배 정도의 크기인 것이 바람직하다. 그 후, 탐색된 영역(5126)과 화상(5122)에서의 영역(5124)과의 위치의 차이를 움직임 벡터(motion vector)(5127)로서 구한다. 움직임 벡터(5127)는 영역(5124)에서의 화상 데이터의 1 프레임 기간의 움직임을 나타내는 것이다. 그리고, 움직임의 중간 상태를 나타내는 화상을 생성하기 때문에, 움직임 벡터의 방향은 그대로 크기를 바꾼 화상 생성용 벡터(5128)를 만들어, 화상(5121)에 있어서의 영역(5126)에 포함되는 화상 데이터를, 화상 생성용 벡터(5128)에 따라 이동시킴으로써, 화상(5123)에 있어서의 영역(5129) 내의 화상 데이터를 형성시킨다. 이러한 일련의 처리를, 화상(5122)에서의 모든 영역에 대하여 행함으로써, 화상(5123)이 생성될 수 있다. 그리고, 입력 화상(5121), 생성 화상(5123), 입력 화상(5122)을 순차 표시함으로써, 동영상을 보간할 수 있다. 또한, 화상 중의 물체(5130)는 화상(5121) 및 화상(5123)에서 위치가 상이하지만(즉 움직이고 있지만), 생성된 화상(5123)은 화상(5121) 및 화상(5122)에서의 물체의 중간점으로 되어 있다. 이러한 화상을 표시함으로써, 동영상의 움직임을 부드럽게 할 수 있어, 잔상 등에 의한 동영상의 불선명함을 개선할 수 있다.

[0227] 또한, 화상 생성용 벡터(5128)의 크기는, 화상(5123)의 표시 타이밍에 따라 결정될 수 있다. 도 20(A)의 예에서는, 화상(5123)의 표시 타이밍은 화상(5121) 및 화상(5122)의 표시 타이밍의 중간점(1/2)으로 하고 있기 때문에, 화상 생성용 벡터(5128)의 크기는 움직임 벡터(5127)의 1/2로 하고 있지만, 그 밖에도, 예를 들면, 표시 타이밍이 1/3의 시점이면, 크기를 1/3로 하고, 표시 타이밍이 2/3의 시점이면, 크기를 2/3로 할 수 있다.

[0228] 또한, 이와 같이, 다양한 움직임 벡터를 가진 복수의 영역을 각각 움직여 새로운 화상을 만드는 경우에는, 이동처의 영역내에 다른 영역이 이미 이동한 부분(중복)이나, 어느 영역으로부터도 이동되지 않은 부분(공백)이 생기는 일도 있다. 이러한 부분에 대해서는, 데이터를 보정할 수 있다. 중복 부분의 보정 방법으로서, 예를 들면, 중복 데이터의 평균을 취하는 방법, 움직임 벡터의 방향 등에 따라 우선도를 붙여 두고, 우선도가 높은 데이터를 생성 화상내의 데이터로 하는 방법, 색(또는 명도)은 어느 쪽인가를 우선시키지만, 명도(또는 색)는 평균을 취하는 방법 등을 이용할 수 있다. 공백 부분의 보정 방법으로서, 화상(5121) 또는 화상(5122)의 이 위치에서의 화상 데이터를 그대로 생성 화상내의 데이터로 하는 방법, 화상(5121) 또는 화상(5122)의 이 위치에서의 화상 데이터의 평균을 취하는 방법 등을 이용할 수 있다. 그리고, 생성된 화상(5123)을 화상 생성용 벡터(5128)의 크기에 따른 타이밍에서 표시시킴으로써, 동영상의 움직임을 부드럽게 할 수 있고, 또한, 홀드 구동에 의한 잔상 등에 의해 동영상의 품질이 저하되는 문제를 개선할 수 있다.

[0229] 본 실시형태에서의 동영상의 보간 방법의 다른 예는, 도 20(B)에 나타내는 바와 같이, 시간적으로 인접한 2개의 입력 화상을 기초로 하여 생성된 생성 화상을 이 2개의 입력 화상이 표시되는 타이밍의 간극에 표시시킬 때에, 각각의 표시 화상을 복수의 서브 화상으로 더욱 분할하여 표시함으로써, 동영상의 보간을 행할 수 있다. 이 경우, 화상 표시 주기가 짧아지는 것에 의한 이점뿐 아니라, 어두운 화상이 정기적으로 표시되는(표시 방법이 임펄스형에 가까워지는) 것에 의한 이점도 얻을 수 있다. 즉, 화상 표시 주기가 화상 입력 주기에 비해 단지 1/2의 길이로 하는 경우보다, 잔상 등에 의한 동영상의 불선명함을 한층 더 개선할 수 있다. 도 20(B)의 예에서는, 「입력」 및 「생성」에 대해서는 도 20(A)의 예와 같은 처리를 행할 수 있으므로 설명을 생략한다. 도 20(B)의 예에서의 「표시」는, 하나의 입력 화상 또는/및 생성 화상을 복수의 서브 화상으로 분할하여 표시를 행할 수 있다. 구체적으로는, 도 20(B)에 나타낸 바와 같이, 화상(5121)을 서브 화상(5121a 및 5121b)으로 분할하여 순차 표시함으로써, 인간의 눈에는 화상(5121)이 표시된 것처럼 지각시켜, 화상(5123)을 서브 화상(5123a 및 5123b)으로 분할하여 순차 표시함으로써, 인간의 눈에는 화상(5123)이 표시된 것처럼 지각시켜, 화상(5122)을 서브 화상(5122a 및 5122b)으로 분할하여 순차 표시함으로써, 인간의 눈에는 화상(5122)이 표시된 것처럼 지각시킨다. 즉, 인간의 눈에 지각되는 화상으로서 도 20(A)의 예와 같은 것으로 하면서, 표시 방법을 임펄스형에 가깝게 할 수 있으므로, 잔상 등에 의한 동영상의 불선명함을 한층 더 개선할 수 있다. 또한, 서브 화상의 분할수는, 도 20(B)에서는 2개로 하고 있지만, 이것에 한정되지 않고 다양한 분할수를 이용할 수 있다. 또한, 서브 화상이 표시되는 타이밍은, 도 20(B)에서는 등간격(1/2)으로 하고 있지만, 이것에 한정되지 않고 다양한 표시 타이밍을 이용할 수 있다. 예를 들면, 어두운 서브 화상(5121b, 5122b, 5123b)의 표시 타이밍을 빠르게 함으로써(구체적으로는, 1/4에서 1/2의 타이밍), 표시 방법을 보다 임펄스형에 가깝게 할 수 있기 때문에, 잔상 등에 의한 동영상의 불선명함을 한층 더 개선할 수 있다. 또는, 어두운 서브 화상의 표시 타이밍을 늦게 함으로써(구체적으로는, 1/2에서 3/4의 타이밍), 밝은 화상의 표시 기간을 길게 할 수 있으므로, 표시 효율을 높일 수 있어, 소비 전력을 저감할 수 있다.

[0230] 본 실시형태에서의 동영상의 보간 방법의 다른 예는, 화상내에서 움직이고 있는 물체의 형상을 검출하여, 움직이고 있는 물체의 형상에 따라 다른 처리를 행하는 예이다. 도 20(C)에 나타낸 예는, 도 20(B)의 예와 마찬가지로 표시의 타이밍을 나타내고 있지만, 표시되는 내용이 움직이는 문자(스크롤 텍스트, 자막, 캡션 등이라고도 불림)인 경우를 나타내고 있다. 또한, 「입력」 및 「생성」에 대해서는, 도 20(B)과 마찬가지로 하여도 좋기 때문에, 도시하지 않았다. 홀드 구동에서의 동영상의 불선명함은 움직이고 있는 것의 성질에 따라 정도가 다른 경우가 있다. 특히, 문자가 움직이고 있는 경우에 현저하게 인식되는 경우가 많다. 왜냐하면, 움직이는 문자를 읽을 때는 아무래도 시선이 문자를 따라가게 되므로, 홀드 번짐이 발생하기 쉬워지기 때문이다. 또한, 문자는 윤곽이 뚜렷한 것이 많기 때문에, 홀드 번짐에 의한 불선명함이 한층 더 강조되는 경우도 있다. 즉, 화상내를 움직이는 물체가 문자인지 아닌지를 판별하여, 문자인 경우에는 더욱 특별한 처리를 행하는 것은, 홀드 번짐의 저감을 위해서는 유효하다. 구체적으로는, 화상내를 움직이고 있는 물체에 대하여, 윤곽 검출 또는/및 패턴 검출 등을 행하여, 이 물체가 문자라고 판단된 경우에는, 같은 화상으로부터 분할된 서브 화상들간이어도 움직임 보간을 행하여, 움직임의 중간 상태를 표시하도록 하여, 움직임을 부드럽게 할 수 있다. 이 물체가 문자가 아니라고 판단된 경우에는, 도 20(B)에 나타낸 바와 같이, 같은 화상으로부터 분할된 서브 화상이라면 움직이고 있는 물체의 위치는 바꾸지 않고 표시할 수 있다. 도 20(C)의 예에서는, 문자라고 판단된 영역(5131)이, 상 방향으로 움직이고 있는 경우를 나타내고 있지만, 화상(5121a)과 화상(5121b)에서, 영역(5131)의 위치를 다르게 하고 있다. 화상(5123a)과 화상(5123b), 화상(5122a)과 화상(5122b)에 대해서도 마찬가지로 한다. 이렇게 함으로써, 홀드 번짐이 특히 인식되기 쉬운 움직이는 문자에 대해서는, 통상의 움직임 보상(motion compensation) 배속 구동보다 한층 더 움직임을 부드럽게 할 수 있으므로, 잔상 등에 의한 동영상의 불선명함을 더욱 개선할 수 있다.

- [0231] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.
- [0232] [실시형태 9]
- [0233] 본 실시형태에서는, 표시 장치의 일례에 대하여 설명한다.
- [0234] 먼저, 도 21(A)를 참조하여, 액정표시 장치의 시스템 블록의 일례에 대하여 설명한다. 액정표시 장치는, 회로(5361), 회로(5362), 회로(5363_1), 회로(5363_2), 화소부(5364), 회로(5365) 및 조명 장치(5366)를 가진다. 화소부(5364)에는, 복수의 배선(5371)이 회로(5362)로부터 연장되어 배치되고, 복수의 배선(5372)이 회로(5363_1) 및 회로(5363_2)로부터 연장되어 배치되어 있다. 그리고, 복수의 배선(5371)과 복수의 배선(5372)의 교차 영역에는, 각각, 액정 소자 등의 표시 소자를 가지는 화소(5367)가 매트릭스 형상으로 배치되어 있다.
- [0235] 회로(5361)는 영상 신호(5360)에 따라, 회로(5362), 회로(5363_1), 회로(5363_2), 및 회로(5365)에 신호, 전압, 또는 전류 등을 공급하는 기능을 가지고, 콘트롤러, 제어 회로, 타이밍 제네레이터, 전원 회로, 또는 레귤레이터 등으로서 기능하는 것이 가능하다. 본 실시형태에서는, 일례로서, 회로(5361)는 회로(5362)에 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클록 신호(SCK), 신호선 구동 회로용 반전 클록 신호(SCKB), 비디오 신호용 데이터(DATA), 래치 신호(LAT)를 공급하는 것으로 한다. 또는, 회로(5361)는, 일례로서, 회로(5363_1), 및 회로(5363_2)에, 주사선 구동 회로용 스타트 신호(GSP), 주사선 구동 회로용 클록 신호(GCK), 및 주사선 구동 회로용 반전 클록 신호(GCKB)를 공급하는 것으로 한다. 또는, 회로(5361)는 회로(5365)에 백 라이트 제어 신호(BLC)를 공급하는 것으로 한다. 단, 이것에 한정되지 않고, 회로(5361)는 그 밖에도 다양한 신호, 다양한 전압, 또는 다양한 전류 등을 회로(5362), 회로(5363_1), 회로(5363_2) 및 회로(5365)에 공급하는 것이 가능하다.
- [0236] 회로(5362)는 회로(5361)로부터 공급되는 신호(예를 들면, SSP, SCK, SCKB, DATA, LAT)에 따라, 비디오 신호를 복수의 배선(5371)에 출력하는 기능을 가지고, 신호선 구동 회로로서 기능하는 것이 가능하다. 회로(5363_1), 및 회로(5363_2)는 회로(5361)로부터 공급되는 신호(GSP, GCK, GCKB)에 따라, 주사 신호를 복수의 배선(5372)에 출력하는 기능을 가지고, 주사선 구동 회로로서 기능하는 것이 가능하다. 회로(5365)는 회로(5361)로부터 공급되는 신호(BLC)에 따라, 조명 장치(5366)에 공급하는 전력의 양, 또는 시간 등을 제어하는 것에 의해, 조명 장치(5366)의 휘도(또는 평균 휘도)를 제어하는 기능을 가지고, 전원 회로로서 기능하는 것이 가능하다.
- [0237] 또한, 복수의 배선(5371)에 비디오 신호가 입력되는 경우, 복수의 배선(5371)은 신호선, 비디오 신호선, 또는 소스선 등으로서 기능하는 것이 가능하다. 복수의 배선(5372)에 주사 신호가 입력되는 경우, 복수의 배선(5372)은 신호선, 주사선, 또는 게이트선 등으로서 기능하는 것이 가능하다. 단, 이것에 한정되는 것은 아니다.
- [0238] 또한, 회로(5363_1) 및 회로(5363_2)에, 같은 신호가 회로(5361)로부터 입력되는 경우, 회로(5363_1)가 복수의 배선(5372)에 출력하는 주사 신호와, 회로(5363_2)가 복수의 배선(5372)에 출력하는 주사 신호는 대개 동일한 타이밍이 되는 경우가 많다. 따라서, 회로(5363_1) 및 회로(5363_2)가 구동하는 부하를 작게 할 수 있다. 따라서, 표시 장치를 크게 할 수 있다. 또는, 표시 장치를 고정세하게 할 수 있다. 또는, 회로(5363_1), 및 회로(5363_2)가 가지는 트랜지스터의 채널 폭을 작게 할 수 있으므로, 좁은 프레임의 표시 장치를 얻을 수 있다. 단, 이것에 한정되지 않고, 회로(5361)는 회로(5363_1)와 회로(5363_2)에 서로 다른 신호를 공급하는 것이 가능하다.
- [0239] 또한, 회로(5363_1)와 회로(5363_2)의 한쪽을 생략하는 것이 가능하다.
- [0240] 또한, 화소부(5364)에는, 용량선, 전원선, 주사선 등의 배선을 새로 배치하는 것이 가능하다. 그리고 회로(5361)는 이들 배선에 신호 또는 전압 등을 출력하는 것이 가능하다. 또는, 회로(5363_1) 또는 회로(5363_2)와 같은 회로를 새로 추가하고, 이 새로 추가한 회로는 새로 추가한 배선에 주사 신호 등의 신호를 출력하는 것이 가능하다.
- [0241] 또한, 화소(5367)가 표시 소자로서 EL 소자 등의 발광소자를 가지는 것이 가능하다. 이 경우, 도 21(B)에 나타낸 바와 같이, 표시 소자가 발광하는 것이 가능하므로, 회로(5365), 및 조명 장치(5366)는 생략되는 것이 가능하다. 그리고 표시 소자에 전력을 공급하기 위하여, 전원선으로서 기능하는 것이 가능한 복수의 배선(5373)을 화소부(5364)에 배치하는 것이 가능하다. 회로(5361)는 전압(ANO)이라는 전원 전압을 배선(5373)에 공급하는

것이 가능하다. 이 배선(5373)은 화소의 색요소별로 접속되는 것이 가능하고, 모든 화소에 공통으로 접속되는 것이 가능하다.

- [0242] 또한, 도 21(B)에서는, 일례로서, 회로(5361)는 회로(5363_1)와 회로(5363_2)에 서로 다른 신호를 공급하는 경우의 일례를 나타낸다. 회로(5361)는 주사선 구동 회로용 스타트 신호(GSP1), 주사선 구동 회로용 클럭 신호(GCK1), 및 주사선 구동 회로용 반전 클럭 신호(GCKB1) 등의 신호를 회로(5363_1)에 공급한다. 그리고 회로(5361)는 주사선 구동 회로용 스타트 신호(GSP2), 주사선 구동 회로용 클럭 신호(GCK2), 및 주사선 구동 회로용 반전 클럭 신호(GCKB2) 등의 신호를 회로(5363_2)에 공급한다. 이 경우, 회로(5363_1)는 복수의 배선(5372) 중 홀수번째행의 배선만을 주사하고, 회로(5363_2)는 복수의 배선(5372) 중 짝수번째행의 배선만을 주사하는 것이 가능하게 된다. 따라서, 회로(5363_1), 및 회로(5363_2)의 구동 주파수를 작게 할 수 있으므로, 소비 전력의 저감을 도모할 수 있다. 또는, 1단분의 플립 플롭을 레이아웃하는 것이 가능한 면적을 크게 할 수 있다. 따라서, 표시 장치를 고정세하게 할 수 있다. 또는, 표시 장치를 대형으로 할 수 있다. 단, 이것에 한정되지 않고, 도 21(A)과 마찬가지로, 회로(5361)는 회로(5363_1)와 회로(5363_2)에 같은 신호를 출력하는 것이 가능하다.
- [0243] 또한, 도 21(B)과 마찬가지로, 도 21(A)에 있어서도, 회로(5361)는 회로(5363_1)와 회로(5363_2)에 다른 신호를 공급하는 것이 가능하다.
- [0244] 이상, 표시 장치의 시스템 블록의 일례에 대하여 설명했다.
- [0245] 다음에, 표시 장치의 구성의 일례에 대하여, 도 22(A), 도 22(B), 도 22(C), 도 22(D), 및 도 22(E)을 참조하여 설명한다.
- [0246] 도 22(A)에서는, 화소부(5364)에 신호를 출력하는 기능을 가지는 회로(예를 들면, 회로(5362), 회로(5363_1), 및 회로(5363_2) 등)는 화소부(5364)와 같은 기판(5380)에 형성된다. 그리고, 회로(5361)는 화소부(5364)와는 다른 기판에 형성된다. 이렇게 하여, 외부 부품의 수가 줄어들기 때문에, 비용의 저감을 도모할 수 있다. 또는, 기판(5380)에 입력되는 신호 또는 전압의 수가 줄어들기 때문에, 기판(5380)과 외부 부품과의 접속수를 줄일 수 있다. 따라서, 신뢰성의 향상, 또는 수율의 향상을 도모할 수 있다.
- [0247] 또한, 회로가 화소부(5364)와는 다른 기판에 형성되는 경우, 이 기판은 TAB(Tape Automated Bonding) 방식에 의해 FPC(Flexible Printed Circuit)에 실장되는 것이 가능하다. 또는, 이 기판은, COG(Chip on Glass) 방식에 의해 화소부(5364)와 같은 기판(5380)에 실장하는 것이 가능하다.
- [0248] 또한, 회로가 화소부(5364)와는 다른 기판에 형성되는 경우, 이 기판에는, 단결정 반도체를 이용한 트랜지스터를 형성하는 것이 가능하다. 따라서, 이 기판에 형성되는 회로는 구동 주파수의 향상, 구동 전압의 향상, 출력 신호의 편차의 저감 등의 메리트를 얻을 수 있다.
- [0249] 또한, 외부 회로로부터는, 입력 단자(5381)를 통하여, 신호, 전압, 또는 전류 등이 입력되는 경우가 많다.
- [0250] 도 22(B)에서는, 구동 주파수가 낮은 회로(예를 들면, 회로(5363_1), 회로(5363_2))는 화소부(5364)와 같은 기판(5380)에 형성된다. 그리고 회로(5361), 및 회로(5362)는 화소부(5364)와는 다른 기판에 형성된다. 이렇게 하여, 이동도가 작은 트랜지스터에 의해, 기판(5380)에 형성되는 회로를 구성하는 것이 가능하게 된다. 따라서, 트랜지스터의 반도체층으로서, 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 이용하는 것이 가능하게 된다. 따라서, 표시 장치의 대형화, 공정수의 삭감, 비용의 저감, 또는 수율의 향상 등을 도모할 수 있다.
- [0251] 또한, 도 22(C)에 나타난 바와 같이, 회로(5362)의 일부(회로(5362a))가 화소부(5364)와 같은 기판(5380)에 형성되고, 나머지의 회로(5362)(회로(5362b))가 화소부(5364)와는 다른 기판에 형성되는 것이 가능하다. 회로(5362a)는 이동도가 낮은 트랜지스터에 의해 구성하는 것이 가능한 회로(예를 들면, 시프트 레지스터, 셀렉터, 스위치 등)를 가지는 경우가 많다. 그리고, 회로(5362b)는 이동도가 높고, 특성 편차가 작은 트랜지스터에 의해 구성하는 것이 바람직한 회로(예를 들면, 시프트 레지스터, 래치 회로, 버퍼 회로, DA 변환 회로, AD 변환 회로 등)를 가지는 경우가 많다. 이렇게 함으로써, 도 22(B)와 마찬가지로, 트랜지스터의 반도체층으로서 비단결정 반도체, 미결정 반도체, 유기 반도체, 또는 산화물 반도체 등을 이용하는 것이 가능하게 되고, 외부 부품의 삭감을 더욱 도모할 수 있다.
- [0252] 도 22(D)에서는, 화소부(5364)에 신호를 출력하는 기능을 가지는 회로(예를 들면, 회로(5362), 회로(5363_1), 및 회로(5363_2) 등), 및 이들 회로를 제어하는 기능을 가지는 회로(예를 들면, 회로(5361))는 화소부(5364)와

는 다른 기판에 형성된다. 이렇게 하여, 화소부와 그 주변 회로를 서로 다른 기판에 형성하는 것이 가능하게 되므로, 수율의 향상을 도모할 수 있다.

[0253] 또한, 도 22(D)와 마찬가지로, 도 22(A)~도 22(C)에서도, 회로(5363_1), 및 회로(5363_2)를 화소부(5364)와는 다른 기판에 형성하는 것이 가능하다.

[0254] 도 22(E)에서는, 회로(5361)의 일부(회로(5361a))가 화소부(5364)와 같은 기판(5380)에 형성되고, 나머지의 회로(5361)(회로(5361b))가 화소부(5364)와는 다른 기판에 형성된다. 회로(5361a)는 이동도가 작은 트랜지스터에 의해 구성하는 것이 가능한 회로(예를 들면, 스위치, 셀렉터, 레벨 시프트 회로 등)를 가지는 경우가 많다. 그리고, 회로(5361b)는 이동도가 높고, 특성의 편차가 작은 트랜지스터를 이용하여 구성하는 것이 바람직한 회로(예를 들면, 시프트 레지스터, 타이밍 제너레이터, 오실레이터, 레귤레이터, 또는 아날로그 버퍼 등)를 가지는 경우가 많다.

[0255] 또한, 도 22(A)~도 22(D)에 있어서도, 회로(5361a)를 화소부(5364)와 같은 기판에 형성하고, 회로(5361b)를 화소부(5364)와는 다른 기판에 형성하는 것이 가능하다.

[0256] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0257] [실시형태 10]

[0258] 본 실시형태에서는, 트랜지스터, 및 용량 소자의 제작 공정의 일례를 나타낸다. 특히, 반도체층으로서, 산화물 반도체를 이용하는 경우의 제작 공정에 대하여 설명한다. 산화물 반도체층으로서, $InMO_3(ZnO)_m(m>0)$ 로 표기되는 층을 이용하는 것이 가능하다. 또한, M로서는, Ga, Fe, Ni, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소 등이 있다. 예를 들면, M으로서, Ga의 경우 외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 산화물 반도체에 있어서, M로서 포함되는 금속 원소 외에, 불순물 원소로서, Fe, Ni 그 외의 전이 금속 원소, 또는 이 전이 금속의 산화물이 포함되어 있는 것이 있다. 이러한 박막을 In-Ga-Zn-O계 비단결정막으로 나타내는 것이 가능하다. 또한, 산화물 반도체로서는, ZnO를 이용하는 것이 가능하다. 또한, 산화물 반도체층의 가동 이온, 대표적으로는 나트륨의 농도는 $5 \times 10^{18}/cm^3$ 이하, 바람직하게는 $1 \times 10^{18}/cm^3$ 이하이면, 트랜지스터의 전기 특성이 변화하는 것을 억제할 수 있기 때문에 바람직하다. 단, 이것에 한정되지 않고, 반도체층으로서는 그 밖에 다양한 재료의 산화물 반도체를 이용하는 것이 가능하다. 또는, 반도체층으로서는, 단결정 반도체, 다결정 반도체, 미결정(마이크로 크리스탈, 또는 나노 크리스탈) 반도체, 비정질(아몰퍼스) 반도체, 또는, 다양한 비단결정 반도체 등을 이용하는 것이 가능하다.

[0259] 도 23(A)~도 23(C)를 참조하여, 트랜지스터, 및 용량 소자의 제작 공정의 일례에 대하여 설명한다. 도 23(A)~도 23(C)는, 트랜지스터(5441), 및 용량 소자(5442)의 제작 공정의 일례이다. 트랜지스터(5441)는 역스태거형 박막 트랜지스터의 일례이며, 산화물 반도체층 위에 소스 전극 또는 드레인 전극을 통하여 배선이 설치되어 있는 트랜지스터의 예이다.

[0260] 먼저, 기판(5420) 위에, 스퍼터링법에 의해 제1 도전층을 전면에 형성한다. 다음에, 제1 포토마스크를 이용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여, 선택적으로 제1 도전층의 에칭을 행하여, 도전층(5421), 및 도전층(5422)을 형성한다. 도전층(5421)은, 게이트 전극으로서 기능하는 것이 가능하고, 도전층(5422)은 용량 소자의 한쪽의 전극으로서 기능하는 것이 가능하다. 단, 이것에 한정되지 않고, 도전층(5421) 및 도전층(5422)은 배선, 게이트 전극, 또는 용량 소자의 전극으로서 기능하는 부분을 가지는 것이 가능하다. 이 후, 레지스트 마스크를 제거한다.

[0261] 다음에, 절연층(5423)을 플라즈마 CVD법 또는 스퍼터링법을 이용하여 전면에 형성한다. 절연층(5423)은 게이트 절연층으로서 기능하는 것이 가능하고, 도전층(5421), 및 도전층(5422)을 덮도록 형성된다. 또한, 절연층(5423)의 막 두께는 50 nm~250 nm인 경우가 많다.

[0262] 또한, 절연층(5423)으로서, 산화실리콘층이 이용되는 경우, 유기 실란 가스를 이용한 CVD법에 의해, 산화실리콘층을 형성하는 것이 가능하다. 유기 실란 가스로서는, 규산에틸(TEOS : 화학식 $Si(OC_2H_5)_4$), 테트라메틸실란(TMS : 화학식 $Si(CH_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메

틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물, 또는, 산화이트륨(Y_2O_3)을 이용하는 것이 가능하다.

- [0263] 다음에, 제2 포토마스크를 이용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여, 절연층(5423)을 선택적으로 에칭하여 도전층(5421)에 이르는 콘택트홀(5424)을 형성한다. 이 후, 레지스트 마스크를 제거한다. 단, 이것에 한정되지 않고, 콘택트홀(5424)을 생략하는 것이 가능하다. 또는, 산화물 반도체층의 형성 후에, 콘택트홀(5424)을 형성하는 것이 가능하다. 여기까지의 단계에서의 단면도가 도 23(A)에 상당한다.
- [0264] 다음에, 산화물 반도체층을 스퍼터링법에 의해 전면에 형성한다. 단, 이것에 한정되지 않고, 산화물 반도체층을 스퍼터링법에 의해 형성하고, 또한, 그 위에 n^+ 층을 형성하는 것이 가능하다. 또한, 산화물 반도체층의 막 두께는 5 nm~200 nm인 경우가 많다.
- [0265] 또한, 산화물 반도체층을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하는 것이 바람직하다. 이 역스퍼터링에 의해, 절연층(5423)의 표면 및 콘택트홀(5424)의 바닥면에 부착되어 있는 오물을 제거할 수 있다. 역스퍼터링이란, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 RF 전원을 이용하여 전압을 인가해 기판에 플라즈마를 형성하여 표면을 개질하는 방법이다. 단, 이것에 한정되지 않고, 아르곤 분위기 대신에 질소, 헬륨 등을 이용하는 것이 가능하다. 또는, 아르곤 분위기에 산소, N_2O 등을 첨가한 분위기에서 행하는 것이 가능하다. 또는, 아르곤 분위기에 Cl_2 , CF_4 등을 첨가한 분위기에서 행하는 것이 가능하다. 또한, 역스퍼터링을 행하면, 절연층(5423)의 표면이 바람직하게는 2~10 nm 정도 깎여진다. 이러한 플라즈마 처리 후에, 대기에 노출시키지 않고 산화물 반도체층을 형성하는 것에 의해, 게이트 절연층과 반도체층과의 계면에 오물 또는 수분을 부착시키지 않는 점에서 유용하다.
- [0266] 다음에, 제3 포토마스크를 이용하여, 선택적으로 산화물 반도체층의 에칭을 행한다. 이 후, 레지스트 마스크를 제거한다.
- [0267] 다음에, 스퍼터링법에 의해 제2 도전층을 전면에 형성한다. 다음에, 제4 포토마스크를 이용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 선택적으로 제2 도전층의 에칭을 행하여, 도전층(5429), 도전층(5430), 및 도전층(5431)을 형성한다. 도전층(5429)은 콘택트홀(5424)을 통하여 도전층(5421)과 접속된다. 도전층(5429), 및 도전층(5430)은 소스 전극 또는 드레인 전극으로서 기능하는 것이 가능하고, 도전층(5431)은 용량 소자의 다른 한쪽의 전극으로서 기능하는 것이 가능하다. 단, 이것에 한정되지 않고, 도전층(5429), 도전층(5430), 및 도전층(5431)은 배선, 소스 혹은 드레인 전극, 또는 용량 소자의 전극으로서 기능하는 부분을 포함하는 것이 가능하다.
- [0268] 또한, 이 후, 열처리(예를 들면, 200℃~600℃의 것)를 행하는 경우, 이 열처리에 견딜 수 있는 내열성을 제2 도전층에 갖게 하는 것이 바람직하다. 따라서, 제2 도전층으로서, Al과 내열성 도전성 재료(예를 들면, Ti, Ta, W, Mo, Cr, Nd, Sc, Zr, Ce 등의 원소, 이들 원소를 조합한 합금, 또는, 이들 원소를 성분으로 하는 질화물 등)를 조합한 재료인 것이 바람직하다. 단, 이것에 한정되지 않고, 제2 도전막을 적층 구조로 하는 것에 의해, 제2 도전막에 내열성을 갖게 할 수 있다. 예를 들면, Al의 상하에, Ti, 또는 Mo 등의 내열성 도전성 재료를 제공하는 것이 가능하다.
- [0269] 또한, 제2 도전층을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 절연층(5423)의 표면, 산화물 반도체층의 표면, 및 콘택트홀(5424)의 바닥면에 부착되어 있는 오물을 제거하는 것이 바람직하다. 단, 이것에 한정되지 않고, 아르곤 분위기 대신에, 질소, 헬륨 등을 이용하는 것이 가능하다. 또는, 아르곤 분위기에 산소, 수소, N_2O 등을 첨가한 분위기에서 행하는 것이 가능하다. 또는, 아르곤 분위기에 Cl_2 , CF_4 등을 첨가한 분위기에서 행하는 것이 가능하다.
- [0270] 또한, 제2 도전층의 에칭 시에, 또한, 산화물 반도체층의 일부를 에칭하여, 산화물 반도체층(5425)을 형성한다. 이 에칭에 의해, 도전층(5421)과 겹치는 부분의 산화물 반도체층(5425), 또는, 상방에 제2 도전층이 형성되어 있지 않은 부분의 산화물 반도체층(5425)은 깎여지므로, 얇아지는 경우가 많다. 단, 이것에 한정되지 않고, 산화물 반도체층은 에칭되지 않는 것이 가능하다. 단, 산화물 반도체층의 위에 n^+ 층이 형성되는 경우에는, 산화물 반도체층은 에칭되는 경우가 많다. 이 후, 레지스트 마스크를 제거한다. 이 에칭이 종료된 단계에서 트랜지스터(5441)와 용량 소자(5442)가 완성된다. 여기까지의 단계에서의 단면도가 도 23(B)에 상당한다.
- [0271] 여기서, 제2 도전층을 스퍼터링법에 의해 형성하기 전에 역스퍼터링을 행하면, 절연층(5423)의 노출부가 바람직

하계는 2~10 nm 정도 깎여지는 일이 있다. 따라서, 절연층(5423)에 오목부가 형성되는 경우가 있다. 또는, 제2 도전층의 에칭을 행하여, 도전층(5429), 도전층(5430), 및 도전층(5431)을 형성한 후, 역스퍼터링하는 것에 의해, 도 23(B)에 나타난 바와 같이, 도전층(5429), 도전층(5430), 및 도전층(5431)의 단부가 만족하는 경우가 있다.

[0272] 다음에, 대기 분위기하 또는 질소 분위기하에서 200℃~600℃의 가열 처리를 행한다. 이 열처리에 의해 In-Ga-Zn-O계 비단결정층의 원자 레벨의 재배열을 한다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형으로부터 해방되기 때문에, 여기서의 열처리(광어닐도 포함함)는 중요하다. 또한, 이 가열 처리를 행하는 타이밍은 한정되지 않고, 산화물 반도체의 형성 후라면, 다양한 타이밍에서 행하는 것이 가능하다.

[0273] 다음에, 절연층(5432)을 전면에 형성한다. 절연층(5432)으로서는, 단층 구조의 것이 가능하고, 적층 구조의 것이 가능하다. 예를 들면, 절연층(5432)으로서 유기 절연층을 이용하는 경우, 유기 절연층의 재료인 조성물을 도포하고, 대기 분위기하 또는 질소 분위기하에서 200℃~600℃의 가열 처리를 행하여, 유기 절연층을 형성한다. 이와 같이, 산화물 반도체층에 접하는 유기 절연층을 형성함으로써, 전기 특성의 신뢰성이 높은 박막 트랜지스터를 제작할 수 있다. 또한, 절연층(5432)으로서 유기 절연층을 이용하는 경우, 유기 절연층 아래에, 질화규소막, 또는 산화규소막을 형성하는 것이 가능하다.

[0274] 또한, 도 23(C)에서는, 비감광성 수지를 이용하여 절연층(5432)을 형성한 형태를 나타내기 때문에, 콘택트홀이 형성되는 영역의 단면에서, 절연층(5432)의 단부가 각져 있다. 그러나, 감광성 수지를 이용하여 절연층(5432)을 형성하면, 콘택트홀이 형성되는 영역의 단면에서, 절연층(5432)의 단부를 만족시키는 것이 가능하게 된다. 이 결과, 후에 형성되는 제3 도전층 또는 화소 전극의 피복율이 향상된다.

[0275] 또한, 조성물을 도포하는 대신, 그 재료에 따라, 딥, 스프레이 도포, 잉크젯법, 인쇄법, 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 이용하는 것이 가능하다.

[0276] 또한, 산화물 반도체층을 형성한 후의 가열 처리를 하지 않고, 유기 절연층의 재료인 조성물의 가열 처리시에, 산화물 반도체층의 가열 처리를 겸하는 것이 가능하다.

[0277] 또한, 절연층(5432)은 200 nm~5 μm, 바람직하게는 300 nm~1 μm로 형성하는 것이 가능하다.

[0278] 다음에, 제3 도전층을 전면에 형성한다. 다음에, 제5 포토마스크를 이용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하고, 제3 도전층을 선택적으로 에칭하여, 도전층(5433), 및 도전층(5434)을 형성한다. 여기까지의 단계에서의 단면도가 도 23(C)에 상당한다. 도전층(5433) 및 도전층(5434)은 배선, 화소 전극, 반사 전극, 투명 전극, 또는 용량 소자의 전극으로서 기능하는 것이 가능하다. 특히, 도전층(5434)은 도전층(5422)과 접촉되므로, 용량 소자(5442)의 전극으로서 기능하는 것이 가능하다. 단, 이것에 한정되지 않고, 제1 도전층과 제2 도전층을 접속하는 기능을 가지는 것이 가능하다. 예를 들면, 도전층(5433)과 도전층(5434)을 접속하는 것에 의해, 도전층(5422)과 도전층(5430)을 제3 도전층(도전층(5433) 및 도전층(5434))을 통하여 접속되는 것이 가능하게 된다.

[0279] 또한, 용량 소자(5442)는 도전층(5422)과 도전층(5434)에 의해, 도전층(5431)이 끼워지는 구조가 되므로, 용량 소자(5442)의 용량값을 크게 할 수 있다. 단, 이것에 한정되지 않고, 도전층(5422)과 도전층(5434)의 한쪽을 생략하는 것이 가능하다.

[0280] 또한, 레지스트 마스크를 웨트 에칭으로 제거한 후, 대기 분위기하 또는 질소 분위기하에서 200℃~600℃의 가열 처리를 행하는 것이 가능하다.

[0281] 이상의 공정에 의해, 트랜지스터(5441)와 용량 소자(5442)를 제작할 수 있다.

[0282] 또한, 도 23(D)에 나타난 바와 같이, 산화물 반도체층(5425)의 위에 절연층(5435)을 형성하는 것이 가능하다. 절연층(5435)은 제2 도전층이 패터닝되는 경우에, 산화물 반도체층이 깎여지는 것을 방지하는 기능을 가지고, 채널 스톱막으로서 기능한다. 따라서, 산화물 반도체층의 막 두께를 얇게 할 수 있으므로, 트랜지스터의 구동 전압의 저감, 오프 전류의 저감, 드레인 전류의 온 오프비의 향상, 또는 S값의 개선 등을 도모할 수 있다. 또한, 절연층(5435)은 산화물 반도체층과 절연층을 연속하여 전면에 형성하고, 그 후, 포토마스크를 이용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 선택적으로 이 절연층을 패터닝하는 것에 의해 형성될 수 있다. 그 후, 제2 도전층을 전면에 형성하여, 제2 도전층과 동시에 산화물 반도체층을 패터닝한다. 즉, 같은 마스크(레티클)를 이용하여, 산화물 반도체층과 제2 도전층을 패터닝하는 것이 가능하게 된다. 이 경우, 제2 도전층 아래에는, 반드시 산화물 반도체층이 형성되게 된다. 이렇게 하여, 공정수를 늘리지 않고, 절

연층(5435)을 형성할 수 있다. 이러한 제조 공정에서는, 제2 도전층 아래에 산화물 반도체층이 형성되는 경우가 많다. 단, 이것에 한정되지 않고, 산화물 반도체층을 패터닝한 후에, 절연층을 전면에 형성하고, 이 절연층을 패터닝함으로써, 절연층(5435)을 형성하는 것이 가능하다.

[0283] 또한, 도 23(D)에서, 용량 소자(5442)는 도전층(5422)과 도전층(5431)에 의해, 절연층(5423)과 산화물 반도체층(5436)이 끼워지는 구조이다. 단, 산화물 반도체층(5436)을 생략하는 것이 가능하다. 그리고, 도전층(5430)과 도전층(5431)은 제3 도전층을 패터닝하여 형성되는 도전층(5437)을 통하여 접속되어 있다. 이러한 구조는, 일례로서, 액정표시 장치의 화소에 이용되는 것이 가능하다. 예를 들면, 트랜지스터(5441)는 스위칭 트랜지스터로서 기능하고, 용량 소자(5442)는 보유 용량으로서 기능하는 것이 가능하다. 그리고, 도전층(5421), 도전층(5422), 도전층(5429), 도전층(5437)은 각각, 게이트선, 용량선, 소스선, 화소 전극으로서 기능하는 것이 가능하다. 단, 이것에 한정되는 것은 아니다. 또한, 도 23(D)과 마찬가지로, 도 23(C)에 있어서도, 도전층(5430)과 도전층(5431)을 제3 도전층을 통하여 접속하는 것이 가능하다.

[0284] 또한, 도 23(E)에 나타난 바와 같이, 제2 도전층을 패터닝한 후에, 산화물 반도체층(5425)을 형성하는 것이 가능하다. 이렇게 하는 것에 의해, 제2 도전층이 패터닝되는 경우, 산화물 반도체층은 형성되어 있지 않기에, 산화물 반도체층이 끼여지는 일이 없다. 따라서, 산화물 반도체층의 막 두께를 얇게 할 수 있으므로, 트랜지스터의 구동 전압의 저감, 오프 전류의 저감, 드레인 전류의 온 오프비의 향상, 또는 S값의 개선 등을 도모할 수 있다. 또한, 산화물 반도체층(5425)은 제2 도전층이 패터닝된 후에, 산화물 반도체층이 전면에서 형성되고, 그 후, 포토마스크를 이용한 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 선택적으로 산화물 반도체층을 패터닝하는 것에 의해 형성될 수 있다.

[0285] 또한, 도 23(E)에서, 용량 소자는 도전층(5422)과, 제3 도전층을 패터닝하여 형성되는 도전층(5439)에 의해, 절연층(5423)과 절연층(5432)이 끼워지는 구조이다. 그리고, 도전층(5422)과 도전층(5430)은, 제3 도전층을 패터닝하여 형성되는 도전층(5438)을 통하여 접속된다. 또한, 도전층(5439)은 제2 도전층을 패터닝하여 형성되는 도전층(5440)과 접속된다. 또한, 도 23(E)과 마찬가지로, 도 23(C) 및 도 23(D)에서도, 도전층(5430)과 도전층(5422)은 도전층(5438)을 통하여 접속되는 것이 가능하다.

[0286] 또한, 산화물 반도체층(또는 채널층)의 막 두께를 트랜지스터가 오프인 경우의 공핍층(空乏層)보다 얇게 하는 것에 의해, 완전 공핍화 상태를 만들어 내는 것이 가능하게 된다. 이렇게 하여, 오프 전류를 저감할 수 있다. 이것을 실현하기 위해서, 산화물 반도체층의 막 두께는 20 nm 이하인 것이 바람직하다. 보다 바람직하게는 10 nm 이하이다. 더욱 바람직하게는 6 nm 이하인 것이 바람직하다.

[0287] 또한, 트랜지스터의 동작 전압의 저감, 오프 전류의 저감, 드레인 전류의 온 오프비의 향상, S값의 개선 등을 도모하기 위해, 산화물 반도체층의 막 두께는 트랜지스터를 구성하는 층 중에서, 제일 얇은 것이 바람직하다. 예를 들면, 산화물 반도체층의 막 두께는, 절연층(5423)보다 얇은 것이 바람직하다. 보다 바람직하게는, 산화물 반도체층의 막 두께는 절연층(5423)의 1/2 이하인 것이 바람직하다. 보다 바람직하게는, 1/5 이하인 것이 바람직하다. 더욱 바람직하게는, 1/10 이하인 것이 바람직하다. 단, 이것에 한정되지 않고, 신뢰성을 향상시키기 위해, 산화물 반도체층의 막 두께는 절연층(5423)보다 두꺼운 것이 가능하다. 특히, 도 23(C)과 같이, 산화물 반도체층이 끼여지는 경우에는, 산화물 반도체층의 막 두께는 두꺼운 것이 바람직하기 때문에, 산화물 반도체층의 막 두께는 절연층(5423)보다 두꺼운 것이 가능하다.

[0288] 또한, 트랜지스터의 내압을 높게 하기 위해, 절연층(5423)의 막 두께는 제1 도전층보다 두꺼운 것이 바람직하다. 보다 바람직하게는, 절연층(5423)의 막 두께는 제1 도전층의 5/4 이상인 것이 바람직하다. 더욱 바람직하게는, 4/3 이상인 것이 바람직하다. 단, 이것에 한정되지 않고, 트랜지스터의 이동도를 높게 하기 위해, 절연층(5423)의 막 두께는 제1 도전층보다 얇은 것이 가능하다.

[0289] 또한, 본 실시형태의 기관, 절연막, 도전막, 및 반도체층으로서, 다른 실시형태에 설명한 재료, 또는 본 명세서에서 설명한 재료와 같은 것을 이용하는 것이 가능하다.

[0290] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0291] [실시형태 11]

[0292] 본 실시형태에서는, 트랜지스터의 구조의 일례에 대하여 도 24(A), 도 24(B), 및 도 24(C)을 참조하여

설명한다.

- [0293] 도 24(A)는 탑 게이트형의 트랜지스터의 구성의 일례이다. 도 24(B)는 보텀 게이트형의 트랜지스터의 구성의 일례이다. 도 24(C)는 반도체 기판을 이용하여 제작되는 트랜지스터의 구조의 일례이다.
- [0294] 도 24(A)에는 기판(5260)과, 기판(5260) 위에 형성되는 절연층(5261)과, 절연층(5261) 위에 형성되고, 영역(5262a), 영역(5262b), 영역(5262c), 영역(5262d), 및 영역(5262e)을 가지는 반도체층(5262)과, 반도체층(5262)을 덮도록 형성되는 절연층(5263)과, 반도체층(5262) 및 절연층(5263)의 위에 형성되는 도전층(5264)과, 절연층(5263) 및 도전층(5264) 위에 형성되고, 개구부를 가지는 절연층(5265)과, 절연층(5265) 위 및 절연층(5265)의 개구부에 형성되는 도전층(5266)과, 도전층(5266) 위 및 절연층(5265) 위에 형성되고, 개구부를 가지는 절연층(5267)과, 절연층(5267) 위 및 절연층(5267)의 개구부에 형성되는 도전층(5268)과, 절연층(5267) 위 및 도전층(5268) 위에 형성되고, 개구부를 가지는 절연층(5269)과, 절연층(5269) 위 및 절연층(5269)의 개구부에 형성되는 발광층(5270)과, 절연층(5269) 위 및 발광층(5270)의 위에 형성되는 도전층(5271)을 나타낸다.
- [0295] 도 24(B)에는, 기판(5300)과, 기판(5300) 위에 형성되는 도전층(5301)과, 도전층(5301)을 덮도록 형성되는 절연층(5302)과, 도전층(5301) 및 절연층(5302) 위에 형성되는 반도체층(5303a)과, 반도체층(5303a) 위에 형성되는 반도체층(5303b)과, 반도체층(5303b) 위 및 절연층(5302) 위에 형성되는 도전층(5304)과, 절연층(5302) 위 및 도전층(5304) 위에 형성되고, 개구부를 가지는 절연층(5305)과, 절연층(5305) 위 및 절연층(5305)의 개구부에 형성되는 도전층(5306)과, 절연층(5305) 위 및 도전층(5306) 위에 배치되는 액정층(5307)과, 액정층(5307) 위에 형성되는 도전층(5308)을 나타낸다.
- [0296] 도 24(C)에는, 영역(5353) 및 영역(5355)을 가지는 반도체 기판(5352)과, 반도체 기판(5352) 위에 형성되는 절연층(5356)과, 반도체 기판(5352) 위에 형성되는 절연층(5354)과, 절연층(5356) 위에 형성되는 도전층(5357)과, 절연층(5354), 절연층(5356), 및 도전층(5357) 위에 형성되고, 개구부를 가지는 절연층(5358)과, 절연층(5358) 위 및 절연층(5358)의 개구부에 형성되는 도전층(5359)을 나타낸다. 이렇게 하여, 영역(5350)과 영역(5351)에, 각각, 트랜지스터가 제작된다.
- [0297] 절연층(5261)은 하지막으로서 기능하는 것이 가능하다. 절연층(5354)은 소자간 분리층(예를 들면, 필드 산화막)으로서 기능한다. 절연층(5263), 절연층(5302), 절연층(5356)은 게이트 절연막으로서 기능하는 것이 가능하다. 도전층(5264), 도전층(5301), 도전층(5357)은 게이트 전극으로서 기능하는 것이 가능하다. 절연층(5265), 절연층(5267), 절연층(5305), 및 절연층(5358)은 층간막, 또는 평탄화막으로서 기능하는 것이 가능하다. 도전층(5266), 도전층(5304), 및 도전층(5359)은 배선, 트랜지스터의 전극, 또는 용량 소자의 전극 등으로서 기능하는 것이 가능하다. 도전층(5268), 및 도전층(5306)은 화소 전극, 또는 반사 전극 등으로서 기능하는 것이 가능하다. 절연층(5269)은 격벽으로서 기능하는 것이 가능하다. 도전층(5271), 및 도전층(5308)은 대향 전극, 또는 공통 전극 등으로서 기능하는 것이 가능하다.
- [0298] 기판(5260), 및 기판(5300)의 일례로서는, 유리 기판, 석영 기판, 단결정 기판(예를 들면, 실리콘 기판), SOI 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 호일을 가지는 기판, 텅스텐 기판, 텅스텐 호일을 가지는 기판 또는 가요성 기판 등이 있다. 유리 기판의 일례로서는, 바륨 붕규산 유리, 알루미늄 붕규산 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르술폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 가지는 합성 수지 등이 있다. 그 밖에도, 부착 필름(폴리프로필렌, 폴리에스테르, 비닐, 폴리불화비닐, 염화비닐 등), 섬유 형상의 재료를 포함하는 종이, 기재 필름(폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 종이류 등) 등이 있다.
- [0299] 반도체 기판(5352)으로서, 일례로서, n형 또는 p형의 도전형을 가지는 단결정 Si 기판을 이용하는 것이 가능하다. 단, 이것에 한정되지 않고, 기판(5260)과 같은 것을 이용하는 것이 가능하다. 영역(5353)은, 일례로서, 반도체 기판(5352)에 불순물이 첨가된 영역이며, 웰(well)로서 기능한다. 예를 들면, 반도체 기판(5352)이 p형의 도전형을 가지는 경우, 영역(5353)은 n형의 도전형을 가지고, n웰(n-well)로서 기능한다. 한편, 반도체 기판(5352)이 n형의 도전형을 가지는 경우, 영역(5353)은 p형의 도전형을 가지고, p웰(p-well)로서 기능한다. 영역(5355)은, 일례로서, 불순물이 반도체 기판(5352)에 첨가된 영역이며, 소스 영역 또는 드레인 영역으로서 기능한다. 또한, 반도체 기판(5352)에 LDD 영역을 형성하는 것이 가능하다.
- [0300] 절연층(5261)의 일례로서는, 산화규소(SiO_x)막, 질화규소(SiN_x)막, 산화질화규소(SiO_xN_y)(x>y)막, 질화산화규소(SiN_xO_y)(x>y)막 등의 산소 혹은 질소를 가지는 막, 또는 이들의 적층 구조 등이 있다. 절연층(5261)이 2층

구조로 형성되는 경우의 일례로서는, 1번째층의 절연층으로서 질화규소막을 형성하고, 2번째층의 절연층으로서 산화규소막을 형성하는 것이 가능하다. 절연층(5261)이 3층 구조로 형성되는 경우의 일례로서는, 1번째층의 절연층으로서 산화규소막을 형성하고, 2번째층의 절연층으로서 질화규소막을 형성하고, 3번째층의 절연층으로서 산화규소막을 형성하는 것이 가능하다.

- [0301] 반도체층(5262), 반도체층(5303a), 및 반도체층(5303b)의 일례로서는, 비단결정 반도체(비정질(아몰퍼스)) 실리콘, 다결정 실리콘, 미결정 실리콘 등), 단결정 반도체, 화합물 반도체 혹은 산화물 반도체(ZnO, InGaZnO, SiGe, GaAs, IZO, ITO, SnO, TiO, AlZnSnO(AZTO)), 유기 반도체, 또는 카본 나노 튜브 등이 있다.
- [0302] 또한, 예를 들면, 영역(5262a)은 불순물이 반도체층(5262)에 첨가되어 있지 않은 진성(眞性) 상태이며, 채널 영역으로서 기능한다. 단, 영역(5262a)에 미소한 불순물을 첨가하는 것이 가능하고, 영역(5262a)에 첨가되는 불순물은 영역(5262b), 영역(5262c), 영역(5262d), 또는 영역(5262e)에 첨가되는 불순물의 농도보다 낮은 것이 바람직하다. 영역(5262b), 및 영역(5262d)은 저농도로 불순물이 첨가된 영역이며, LDD(Lightly Doped Drain: LDD) 영역으로서 기능한다. 단, 영역(5262b), 및 영역(5262d)을 생략하는 것이 가능하다. 영역(5262c), 및 영역(5262e)은 고농도로 불순물이 반도체층(5262)에 첨가된 영역이며, 소스 영역 또는 드레인 영역으로서 기능한다.
- [0303] 또한, 반도체층(5303b)은 불순물 원소로서 인 등이 첨가된 반도체층이며, n형의 도전형을 가진다.
- [0304] 또한, 반도체층(5303a)으로서, 산화물 반도체, 또는 화합물 반도체가 이용되는 경우, 반도체층(5303b)을 생략하는 것이 가능하다.
- [0305] 절연층(5263), 절연층(5302), 및 절연층(5356)의 일례로서는, 산화규소(SiO_x)막, 질화규소(SiN_x)막, 산화질화규소(SiO_xN_y)(x>y)막, 질화산화규소(SiN_xO_y)(x>y)막 등의 산소 혹은 질소를 가지는 막, 또는 이들의 적층 구조 등이 있다.
- [0306] 도전층(5264), 도전층(5266), 도전층(5268), 도전층(5271), 도전층(5301), 도전층(5304), 도전층(5306), 도전층(5308), 도전층(5357), 및 도전층(5359)의 일례로서는, 단층 구조의 도전막, 또는 이들의 적층 구조 등이 있다. 이 도전막의 일례로서는, 알루미늄(Al), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 망간(Mn), 코발트(Co), 니오브(Nb), 규소(Si), 철(Fe), 팔라듐(Pd), 탄소(C), 스칸듐(Sc), 아연(Zn), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn), 산소(O), 지르코늄(Zr), 세륨(Ce)에 의해 구성되는 군으로부터 선택된 하나의 원소의 단체(單體)막, 또는, 상기 군으로부터 선택된 하나 또는 복수의 원소를 포함하는 화합물 등이 있다. 이 화합물의 일례로서는, 상기 군으로부터 선택된 하나 혹은 복수의 원소를 포함하는 합금(인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 포함하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 산화주석(SnO), 산화주석 카드뮴(CTO), 알루미늄-네오디뮴(Al-Nd), 알루미늄-텅스텐(Al-W), 알루미늄-지르코늄(Al-Zr), 알루미늄-티탄(Al-Ti), 알루미늄-세륨(Al-Ce), 마그네슘-은(Mg-Ag), 몰리브덴-니오브(Mo-Nb), 몰리브덴-텅스텐(Mo-W), 몰리브덴-탄탈(Mo-Ta) 등의 합금 재료), 상기 군으로부터 선택된 하나 혹은 복수의 원소와 질소와의 화합물(질화티탄, 질화탄탈, 질화몰리브덴 등의 질화막), 또는, 상기 군으로부터 선택된 하나 혹은 복수의 원소와 실리콘과의 화합물(텅스텐 실리사이드, 티탄 실리사이드, 니켈 실리사이드, 알루미늄 실리콘, 몰리브덴 실리콘 등의 실리사이드막) 등이 있다. 그 밖에도, 카본 나노 튜브, 유기 나노 튜브, 무기 나노 튜브, 또는 금속 나노 튜브 등의 나노 튜브 재료가 있다.
- [0307] 또한, 실리콘(Si)은, n형 불순물(인 등), 또는 p형 불순물(붕소 등)을 포함하는 것이 가능하다. 실리콘이 불순물을 포함함으로써, 도전율의 향상이나, 통상의 도체와 마찬가지로의 기능을 하는 것이 가능하게 되거나 하므로, 배선, 또는 전극 등으로서 이용하기 쉬워진다.
- [0308] 또한, 실리콘으로서, 단결정, 다결정(폴리실리콘), 미결정(마이크로크리스탈 실리콘) 등, 다양한 결정성을 가지는 실리콘, 또는 비정질(아몰퍼스 실리콘) 등의 결정성을 갖지 않는 실리콘 등을 이용하는 것이 가능하다. 실리콘으로서, 단결정 실리콘 또는 다결정 실리콘을 이용함으로써, 배선, 전극, 도전층, 도전막, 단자 등의 저항을 작게 할 수 있다. 실리콘으로서, 비정질 실리콘 또는 미결정 실리콘을 이용함으로써, 간단한 공정으로 배선 등을 형성할 수 있다.
- [0309] 또한, 도전층으로서, 실리콘 등의 반도체 재료를 이용하는 경우, 실리콘 등의 반도체 재료를 트랜지스터가 가지는 반도체층과 동시에 형성하는 것이 가능하다.
- [0310] 또한, 알루미늄, 또는 은은 도전율이 높기 때문에, 신호 지연을 저감할 수 있다. 또한, 알루미늄, 또는 은은

에칭하기 쉽기 때문에, 패터닝하기 쉽고, 미세 가공을 행할 수 있다.

- [0311] 또한, 구리는 도전율이 높기 때문에, 신호 지연을 저감할 수 있다. 구리가 도전층으로서 이용되는 경우, 밀착성을 향상시키기 위해 적층 구조로 하는 것이 바람직하다.
- [0312] 또한, 몰리브덴 또는 티탄은, 산화물 반도체(ITO, IZO 등), 또는 실리콘과 접촉해도, 불량을 일으키기 어렵고, 에칭하기 쉽고, 내열성이 높다는 등의 이점을 가지므로, 바람직하다. 따라서, 산화물 반도체, 또는 실리콘과 접촉하는 도전층으로서, 몰리브덴 또는 티탄을 이용하는 것이 바람직하다.
- [0313] 또한, 텅스텐은 내열성이 높다는 등의 이점을 가지기 때문에, 바람직하다.
- [0314] 또한, 네오디뮴은, 내열성이 높다는 등의 이점을 가지기 때문에, 바람직하다. 특히, 도전층으로서, 네오디뮴과 알루미늄과의 합금 재료를 이용하는 것에 의해, 알루미늄이 힐록을 일으키기 어려워진다. 단, 이것에 한정되지 않고, 알루미늄과, 탄탈, 지르코늄, 티탄, 또는 세륨과의 합금 재료를 이용하는 것에 의해서도, 알루미늄이 힐록을 일으키기 어려워진다. 특히, 알루미늄과 세륨과의 합금 재료는, 아킹(arcing)을 큰폭으로 저감할 수 있다.
- [0315] 또한, ITO, IZO, ITSO, ZnO, Si, SnO, CTO, 또는 카본 나노 튜브 등은 투광성을 가지고 있으므로, 이들 재료를 화소 전극, 대향 전극, 또는 공통 전극 등의 광을 투과시키는 부분에 이용하는 것이 가능하다. 특히, IZO는 에칭하기 쉽고, 가공하기 쉽기 때문에, 바람직하다. IZO는 에칭했을 때에, 잔사(殘渣)가 남게 되는 일이 일어나기 어렵다. 따라서, 화소 전극으로서 IZO를 이용하면, 액정 소자나 발광소자에 문제(쇼트, 배향의 흐트러짐 등)를 초래하는 것을 저감할 수 있다.
- [0316] 또한, 도전층은 단층 구조로 하는 것이 가능하고, 다층 구조로 하는 것이 가능하다. 단층 구조로 함으로써, 배선, 전극, 도전층, 도전막, 단자 등의 제조 공정을 간략화할 수 있어, 공정 날짜를 적게 할 수 있어, 비용을 저감할 수 있다. 한편, 다층 구조로 함으로써, 각각의 재료의 이점을 살리면서, 단점을 저감시켜, 성능이 좋은 배선, 전극 등을 형성할 수 있다. 예를 들면, 저저항 재료(알루미늄 등)를 다층 구조 중에 포함함으로써, 배선의 저저항화를 도모할 수 있다. 다른 예로서, 저내열성의 재료를 고내열성의 재료로 끼우는 적층 구조로 함으로써, 저내열성의 재료가 가지는 이점을 살리면서, 배선, 전극 등의 내열성을 높게 할 수 있다. 이러한 적층 구조의 일례로서는, 알루미늄을 포함하는 층을 몰리브덴, 티탄, 네오디뮴 등을 포함하는 층으로 끼우는 적층 구조로 하면 바람직하다.
- [0317] 또한, 배선, 전극 등이 서로 직접 접하는 경우, 서로 악영향을 미치는 경우가 있다. 예를 들면, 한쪽의 배선, 전극 등이 다른 한쪽의 배선, 전극 등 재료 중에 들어가 있어, 성질이 바뀌어, 본래의 목적을 다할 수 없게 되는 경우가 있다. 다른 예로서, 고저항인 부분을 형성 또는 제조하는 경우에, 문제가 생겨, 정상적으로 제조할 수 없게 되는 경우가 있다. 이러한 경우, 다른 재료와 반응하여 성질이 바뀌는 재료를 이 다른 재료에 반응하기 어려운 재료에 의해 끼우거나 덮거나 하는 것이 가능하다. 예를 들면, ITO와 알루미늄을 접속시키는 경우에는, ITO와 알루미늄과의 사이에, 티탄, 몰리브덴, 네오디뮴 합금 등을 사이에 끼우는 것이 가능하다. 예를 들면, 실리콘과 알루미늄을 접속시키는 경우에는, 실리콘과 알루미늄과의 사이에, 티탄, 몰리브덴, 네오디뮴 합금을 사이에 끼우는 것이 가능하다. 또한, 이들 재료는 배선, 전극, 도전층, 도전막, 단자, 비아, 플러그 등에도 이용하는 것이 가능하다.
- [0318] 절연층(5265), 절연층(5267), 절연층(5269), 절연층(5305), 및 절연층(5358)의 일례로서는, 단층 구조의 절연층, 또는 이들의 적층 구조 등이 있다. 이 절연층의 일례로서는, 산화규소(SiO_x)막, 질화규소(SiN_x)막, 혹은 산화질화규소(SiO_xN_y)(x>y)막, 질화산화규소(SiN_xO_y)(x>y)막 등의 산소 혹은 질소를 포함하는 막, DLC(다이아몬드 라이크 카본)막 등의 탄소를 포함하는 막, 또는, 실록산 수지, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 혹은 아크릴 등의 유기 재료 등이 있다.
- [0319] 발광층(5270)의 일례로서는, 유기 EL 소자, 또는 무기 EL 소자 등이 있다. 유기 EL 소자의 일례로서는, 정공 주입 재료로 된 정공 주입층, 정공 수송 재료로 된 정공 수송층, 발광 재료로 된 발광층, 전자 수송 재료로 된 전자 수송층, 전자 주입 재료로 된 전자 주입층 등, 혹은 이들 재료 중 복수의 재료를 혼합한 층의 단층 구조, 혹은 이들의 적층 구조 등이 있다.
- [0320] 액정층(5307)의 일례로서는, 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모트로픽 액정, 리�트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 플라즈마 어드레스 액정(PALC), 바나나형 액정 등을 들 수 있다. 또한, 액정의 구동 방식으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드,

FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 블루상(Blue Phase) 모드 등이 있다.

- [0321] 또한, 절연층(5305) 위 및 도전층(5306) 위에는, 배향막으로서 기능하는 절연층, 돌기부로서 기능하는 절연층 등을 형성하는 것이 가능하다.
- [0322] 또한, 도전층(5308) 위에는, 칼라 필터, 블랙 매트릭스, 또는 돌기부로서 기능하는 절연층 등을 형성하는 것이 가능하다. 도전층(5308) 아래에는, 배향막으로서 기능하는 절연층을 형성하는 것이 가능하다.
- [0323] 또한, 도 24(A)의 단면 구조에서, 절연층(5269), 발광층(5270), 및 도전층(5271)을 생략하고, 도 24(B)에 나타낸 액정층(5307), 도전층(5308)을 절연층(5267) 위 및 도전층(5268)의 위에 형성하는 것이 가능하다.
- [0324] 또한, 도 24(B)의 단면 구조에서, 액정층(5307), 도전층(5308)을 생략하고, 도 24(A)에 나타낸 절연층(5269), 발광층(5270), 및 도전층(5271)을 절연층(5305) 위 및 도전층(5306)의 위에 형성하는 것이 가능하다.
- [0325] 또한, 도 24(C)의 단면 구조에서, 절연층(5358) 및 도전층(5359) 위에, 도 24(A)에 나타낸 절연층(5269), 발광층(5270), 및 도전층(5271)을 형성하는 것이 가능하다. 혹은, 도 24(B)에 나타낸 액정층(5307), 도전층(5308)을 절연층(5267) 위 및 도전층(5268)의 위에 형성하는 것이 가능하다.
- [0326] 또한, 본 실시형태에서, 각각의 도면에 도시한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0327] [실시형태 12]

[0328] 본 실시형태에서는, 전자기기의 예에 대하여 설명한다.

[0329] 도 26(A) 내지 도 26(H), 도 27(A) 내지 도 27(D)는 전자기기를 나타낸 도면이다. 이러한 전자기기는, 케이스(9630), 표시부(9631), 스피커(9633), LED 램프(9634), 조작 키(9635), 접속 단자(9636), 센서(9637)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9638) 등을 가질 수 있다.

[0330] 도 26(A)는 모바일 컴퓨터이며, 상술한 것 이외에, 스위치(9670), 적외선 포트(9671) 등을 가질 수 있다. 도 26(B)는 기록 매체를 갖춘 휴대형의 화상 재생장치(예를 들어, DVD 재생장치)이며, 상술한 것 이외에, 제2 표시부(9632), 기록 매체 판독부(9672) 등을 가질 수 있다. 도 26(C)는 고글형 디스플레이이며, 상술한 것 이외에, 제2 표시부(9632), 지지부(9673), 이어폰(9674) 등을 가질 수 있다. 도 26(D)는 휴대형 유키기이며, 상술한 것 이외에, 기록 매체 판독부(9672) 등을 가질 수 있다. 도 26(E)는 텔레비전 수상 기능이 있는 디지털 카메라이며, 상술한 것 이외에, 안테나(9675), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 26(F)는 휴대형 유키기이며, 상술한 것 이외에, 제2 표시부(9632), 기록 매체 판독부(9672) 등을 가질 수 있다. 도 26(G)는 텔레비전 수상기이며, 상술한 것 이외에, 튜너, 화상 처리부 등을 가질 수 있다. 도 26(H)는 휴대형 TV 수상기이며, 상술한 것 이외에, 신호의 송수신이 가능한 충전기(9678) 등을 가질 수 있다. 도 27(A)는 디스플레이이며, 상술한 것 이외에, 지지대(9679) 등을 가질 수 있다. 도 27(B)는 카메라이며, 상술한 것 이외에, 외부 접속 포트(9680), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 27(C)는 컴퓨터이며, 상술한 것 이외에, 포인팅 디바이스(9681), 외부 접속 포트(9680), 리더/라이터(9682) 등을 가질 수 있다. 도 27(D)는 휴대전화기이며, 상술한 것 이외에, 송신부, 수신부, 휴대전화·이동단말기 전용의 1 세그먼트(segment) 부분 수신 서비스용 튜너 등을 가질 수 있다.

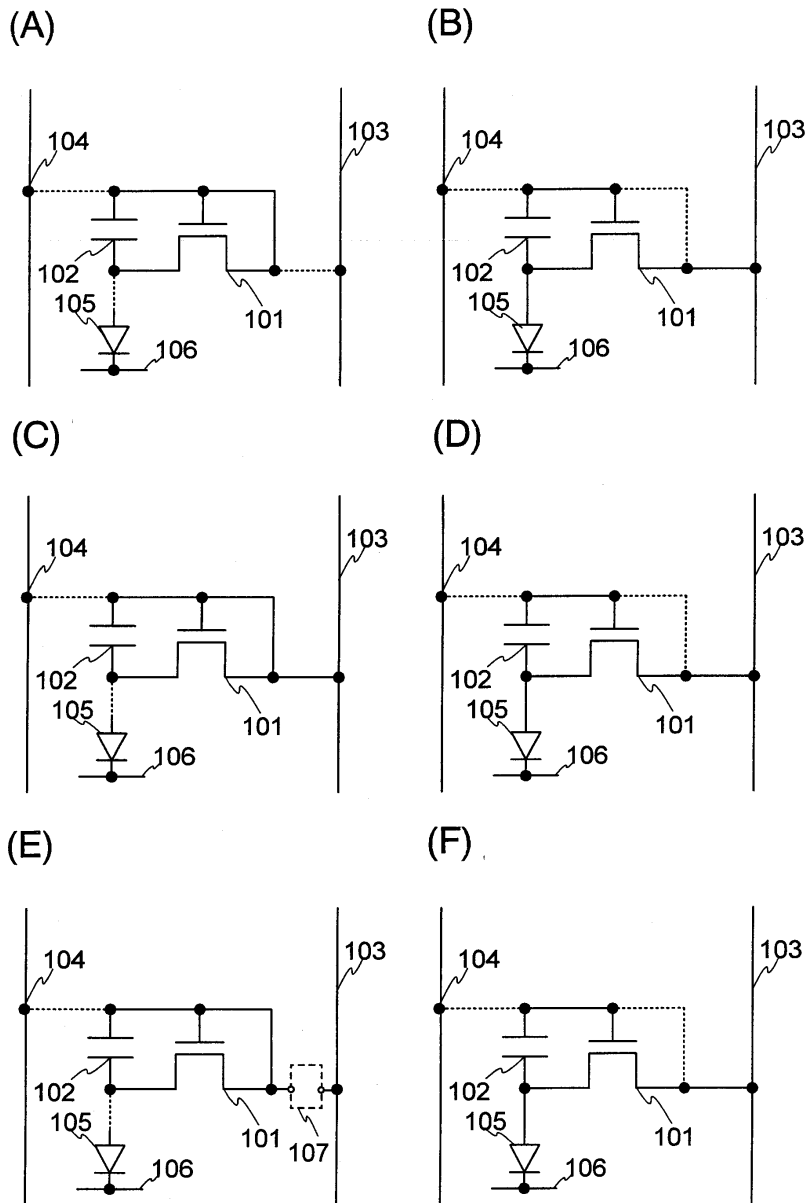
[0331] 도 26(A) 내지 도 26(H), 도 27(A) 내지 도 27(D)에 나타낸 전자기기는, 다양한 기능을 가질 수 있다. 예를 들면, 다양한 정보(정지 화면, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 날짜 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선통신 기능, 무선통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 가지는 전자기기에서는, 하나의 표시부를 주로 화상 정

305: 스위치
307: 스위치
401: 스위치
405: 스위치
407: 스위치
501: 스위치
505: 스위치
507: 스위치
601: 스위치
605: 스위치
607: 스위치

306: 배선
308: 배선
403: 스위치
406: 배선
408: 배선
503: 스위치
506: 배선
508: 배선
603: 스위치
606: 배선
608: 배선

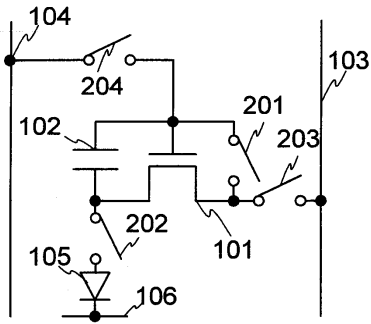
도면

도면1

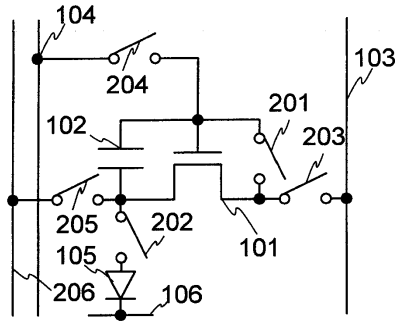


도면2

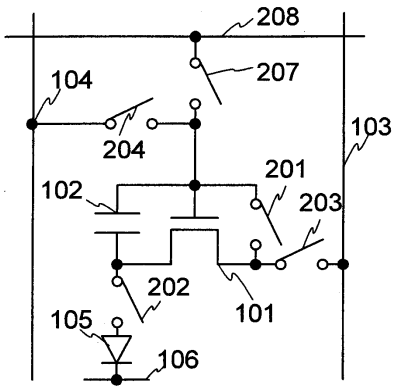
(A)



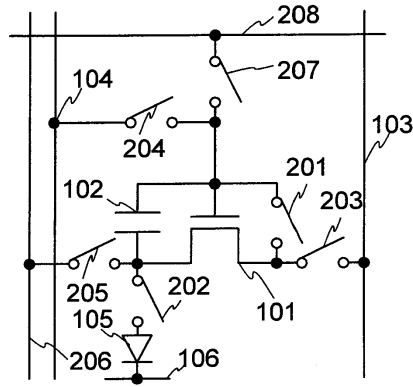
(B)



(C)

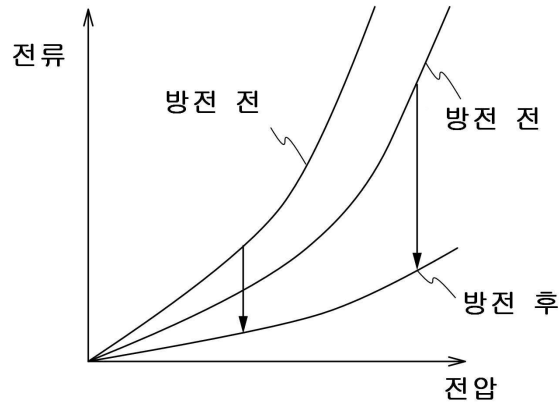


(D)

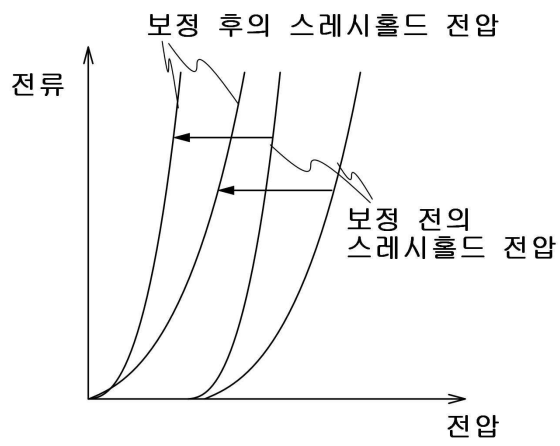


도면3

(A)

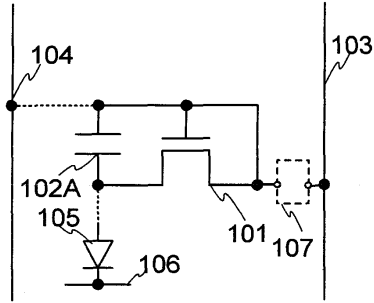


(B)

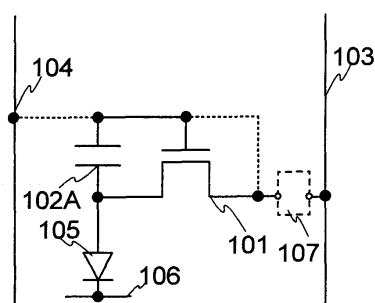


도면4

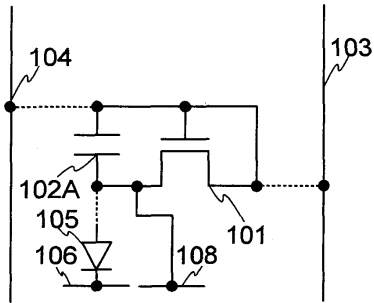
(A)



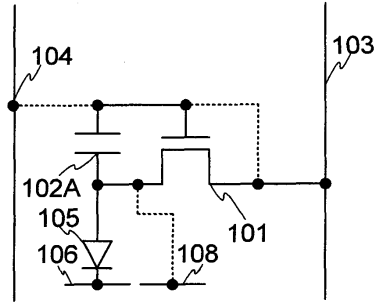
(B)



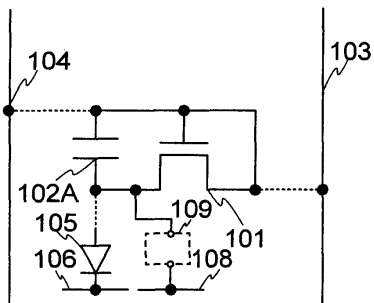
(C)



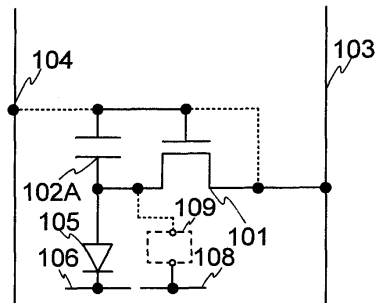
(D)



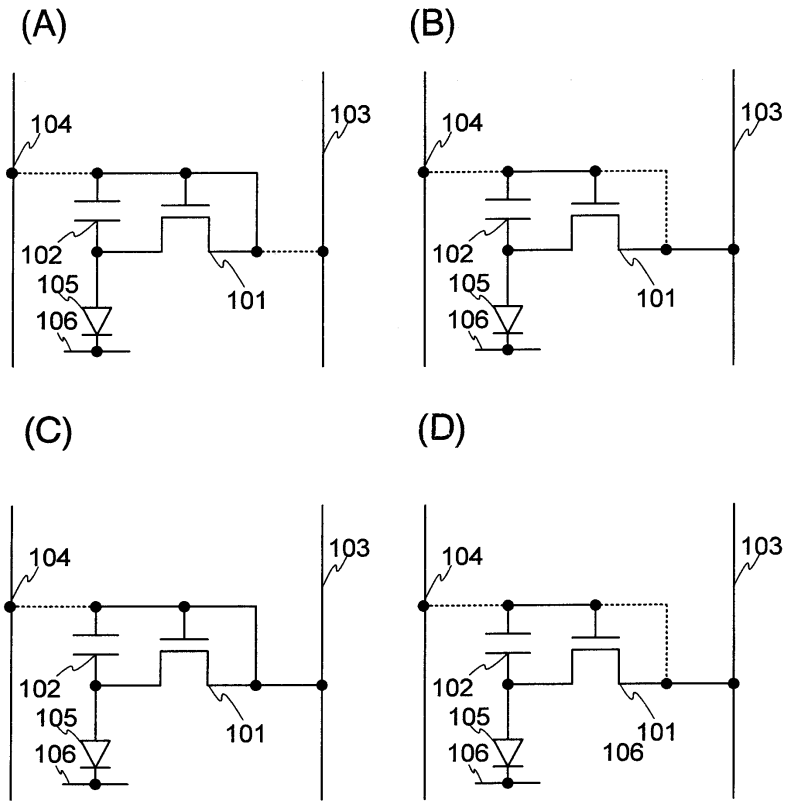
(E)



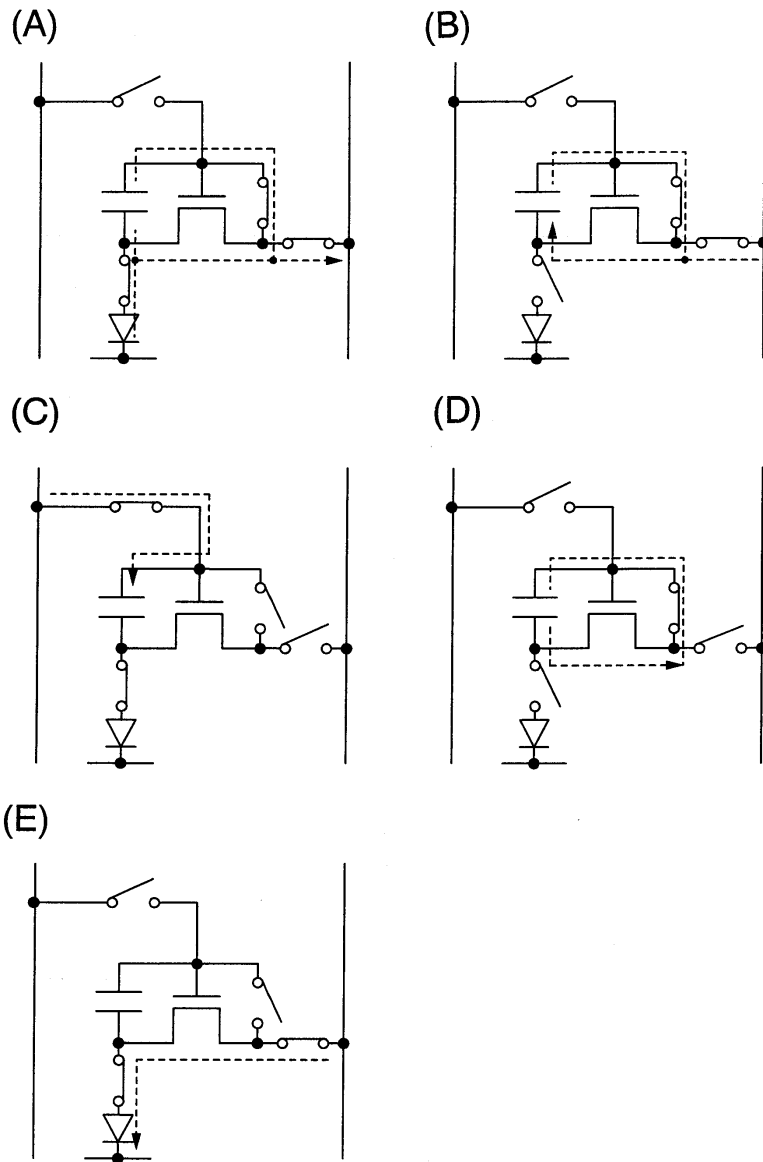
(F)



도면5

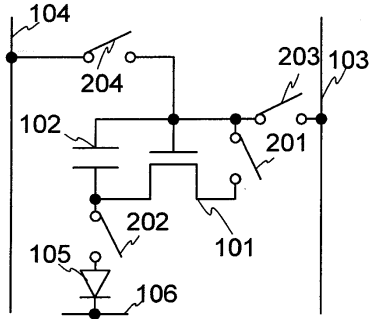


도면6

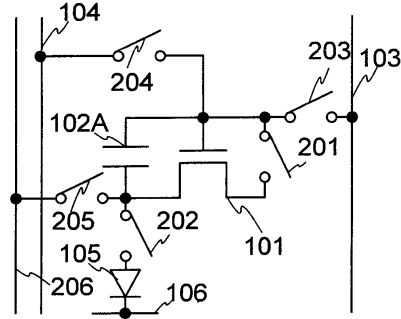


도면7

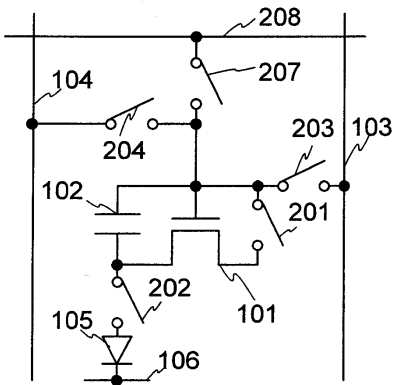
(A)



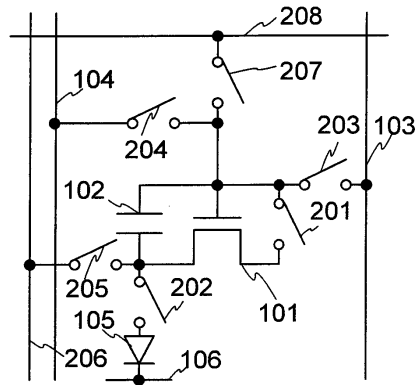
(B)



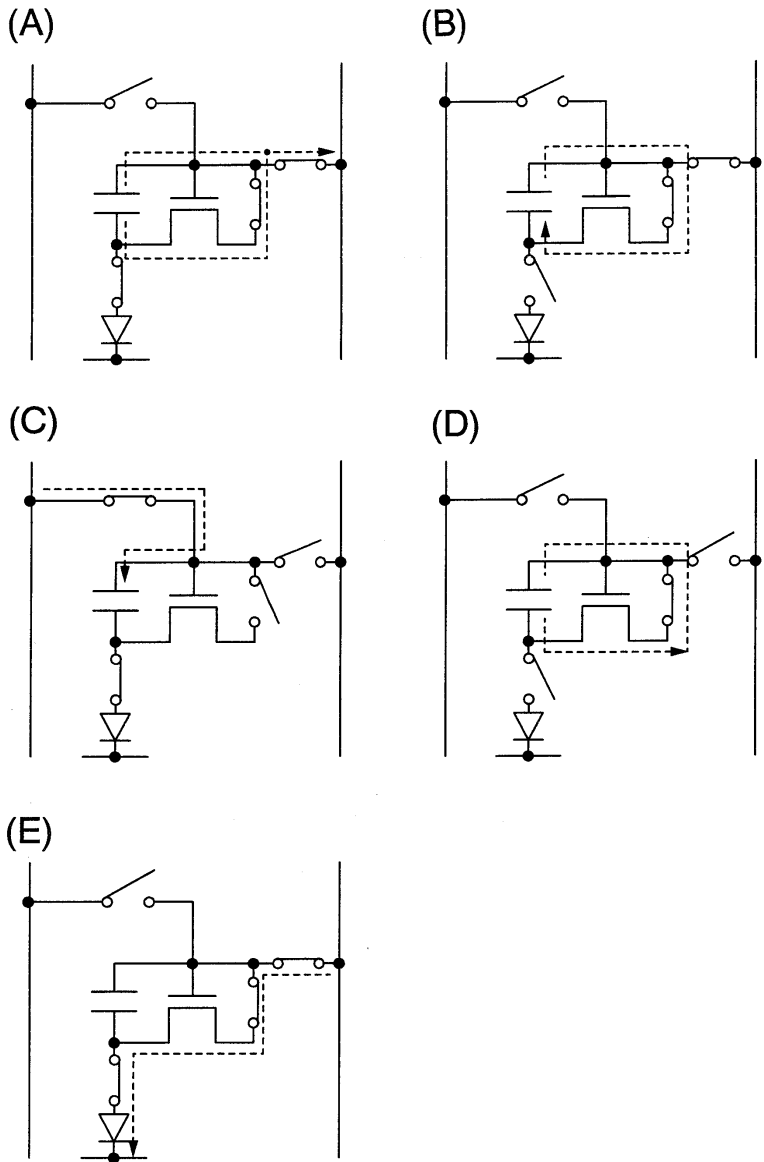
(C)



(D)

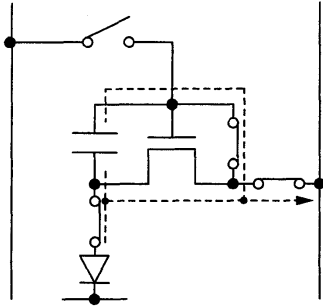


도면8

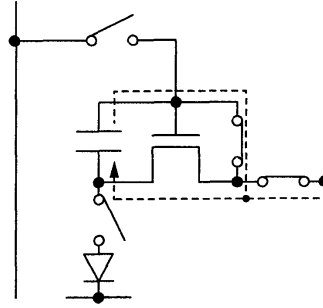


도면9

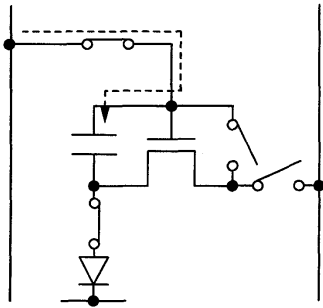
(A)



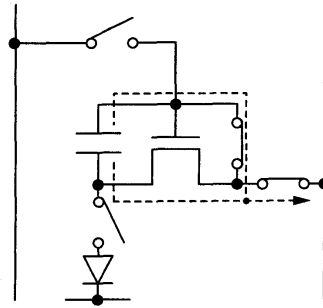
(B)



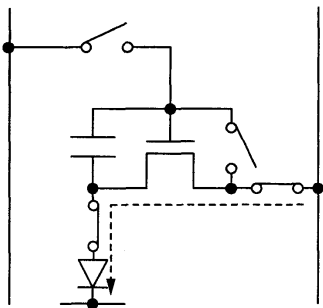
(C)



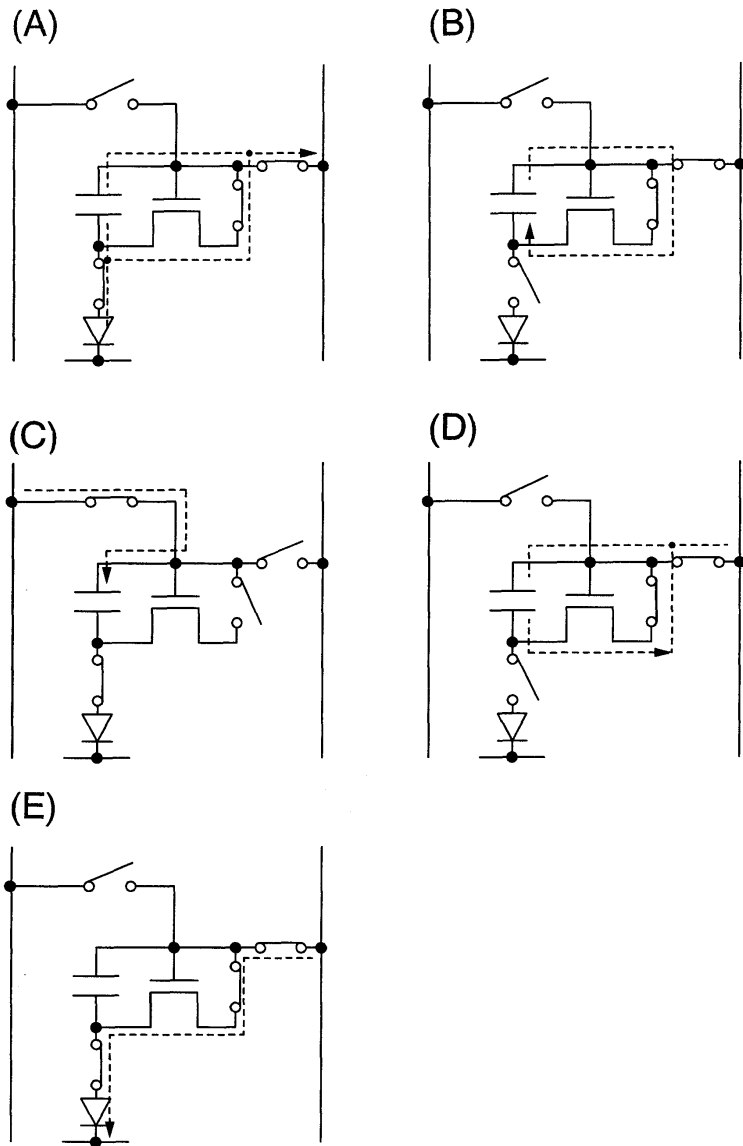
(D)



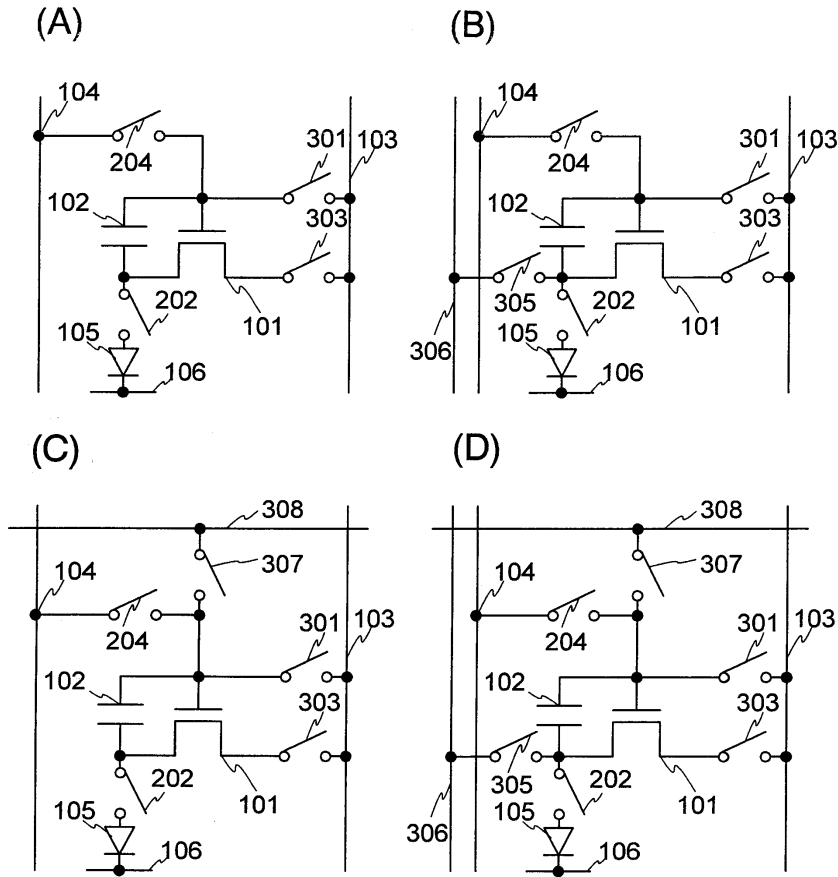
(E)



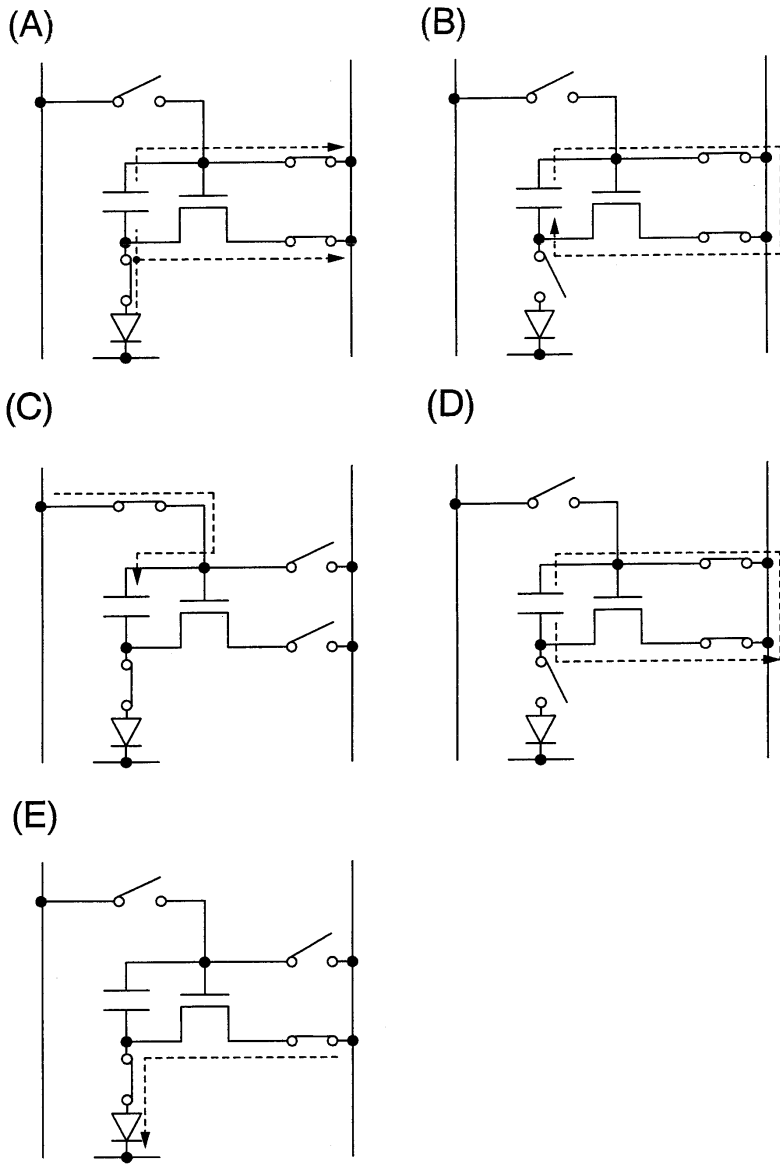
도면10



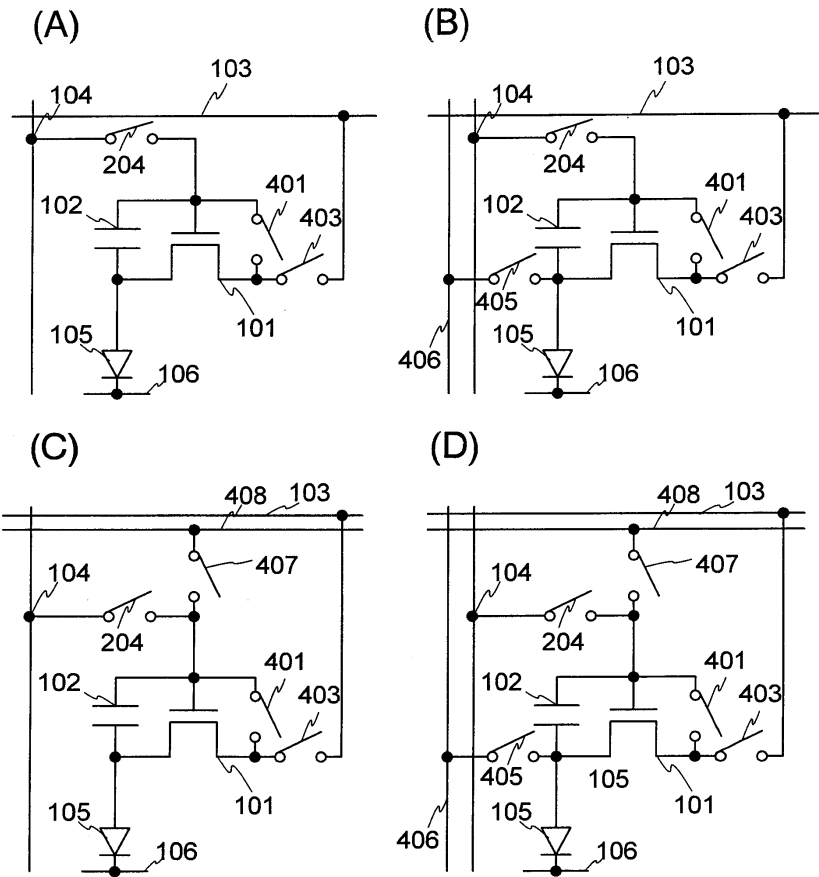
도면11



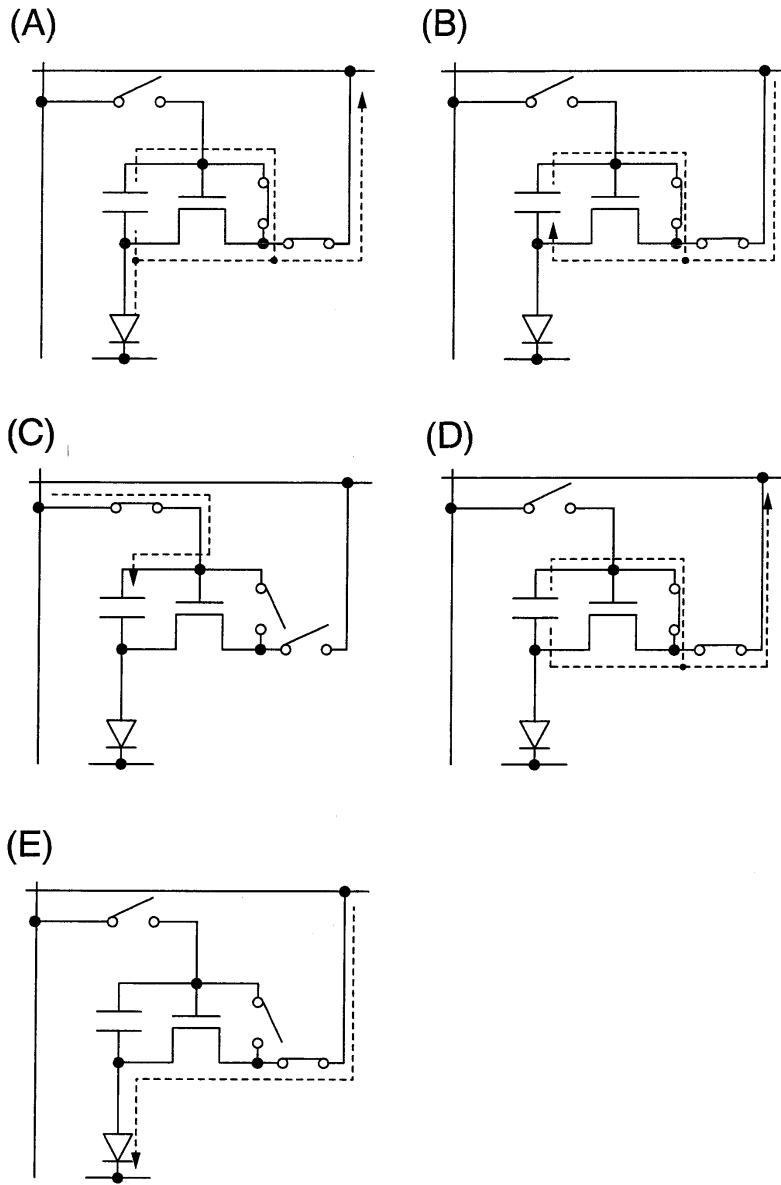
도면12



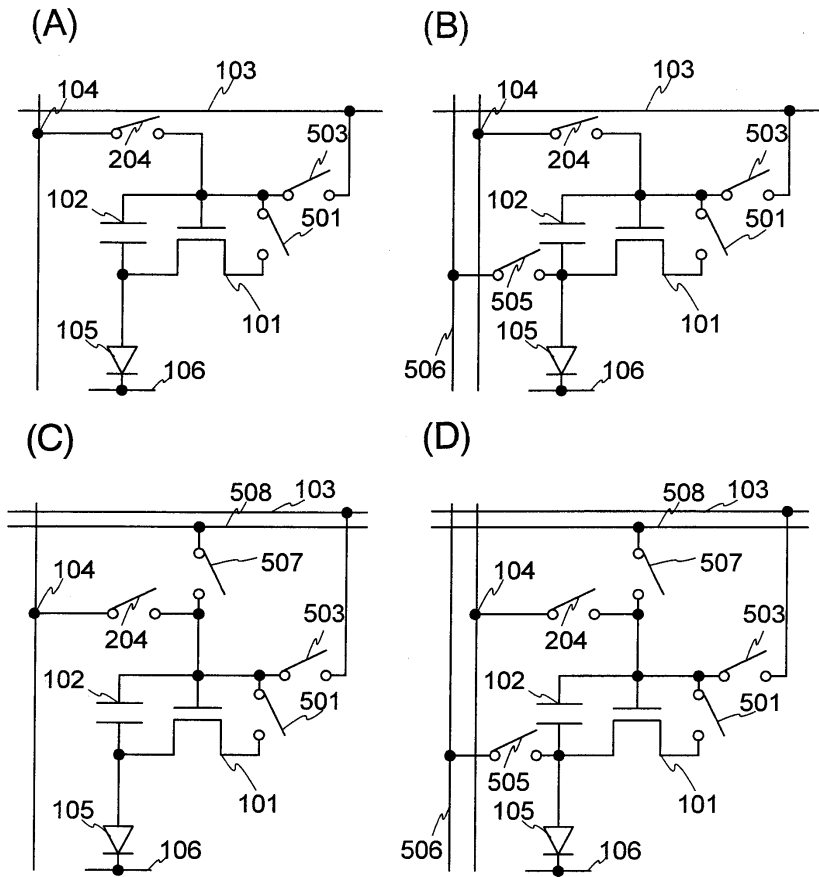
도면13



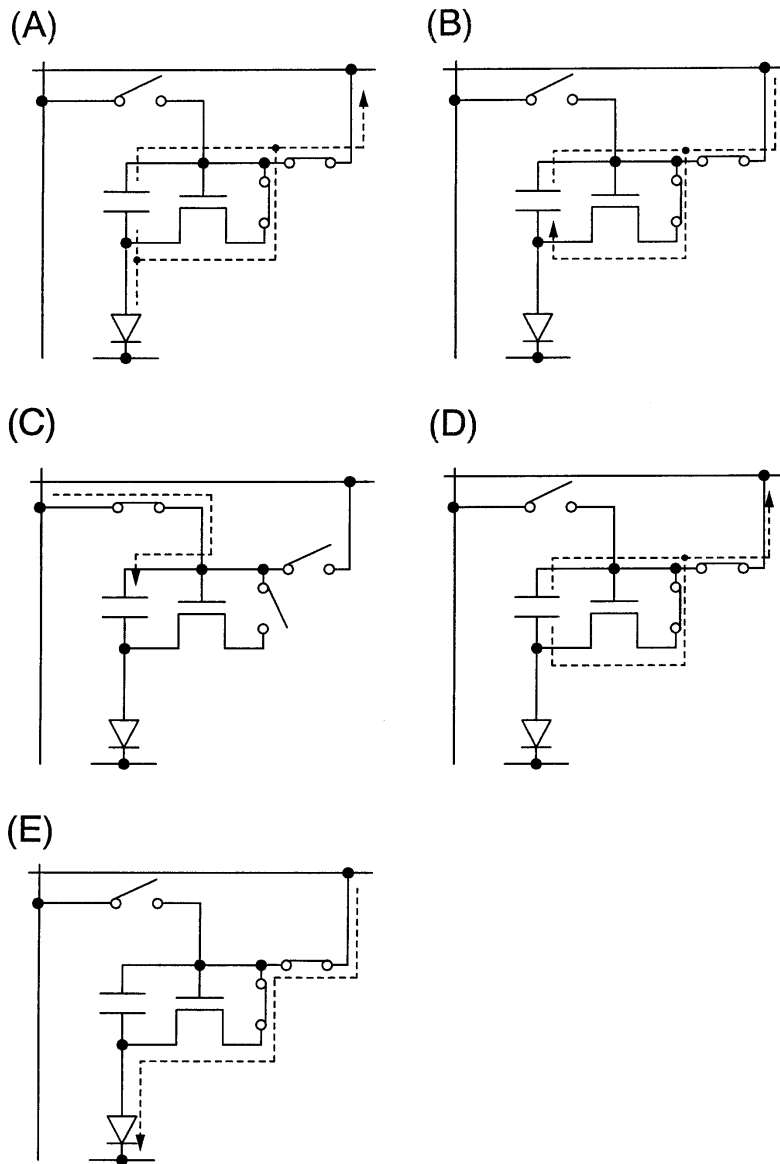
도면14



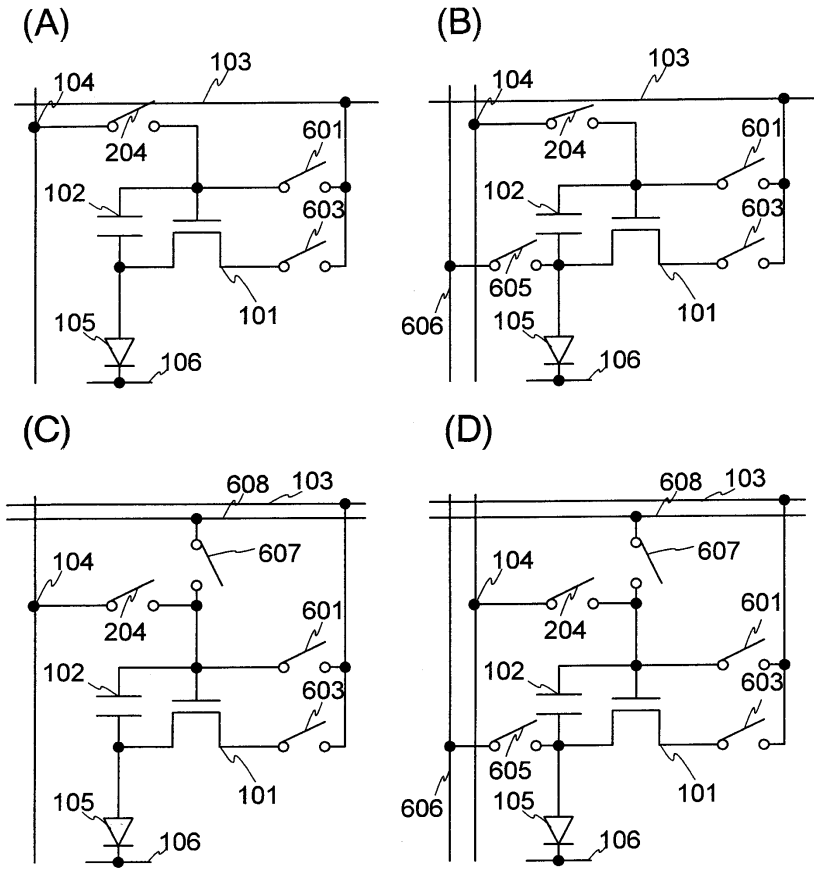
도면15



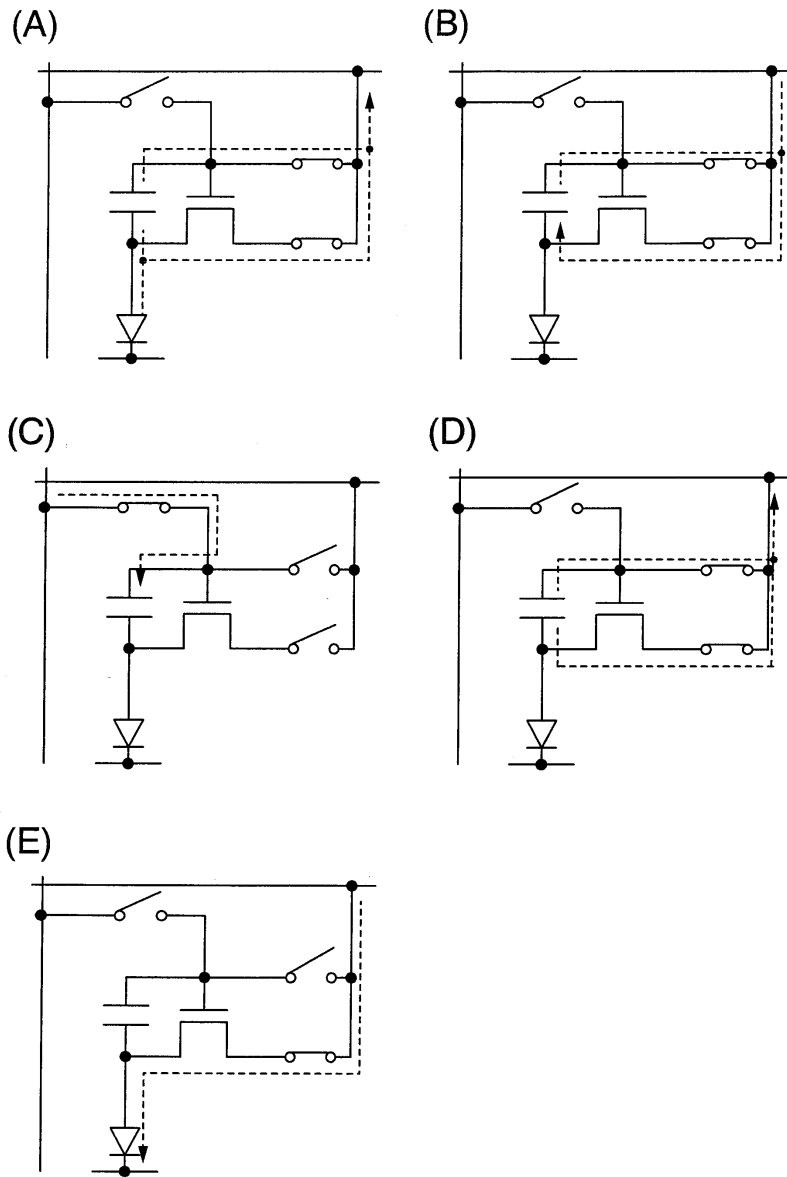
도면16



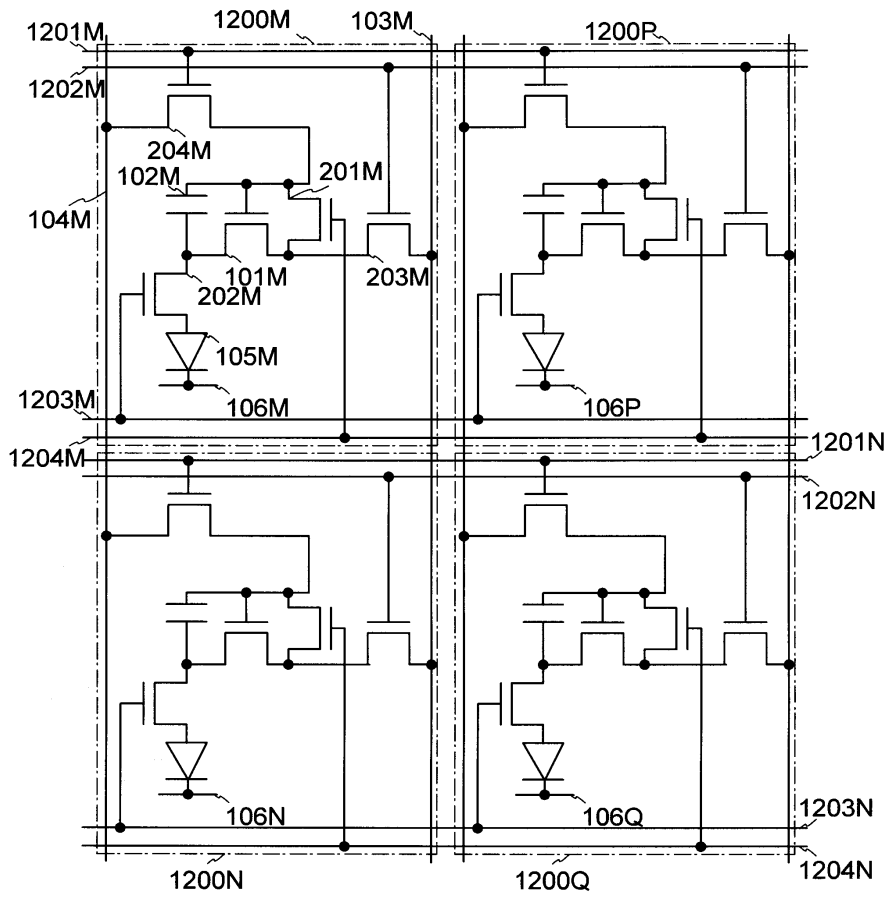
도면17



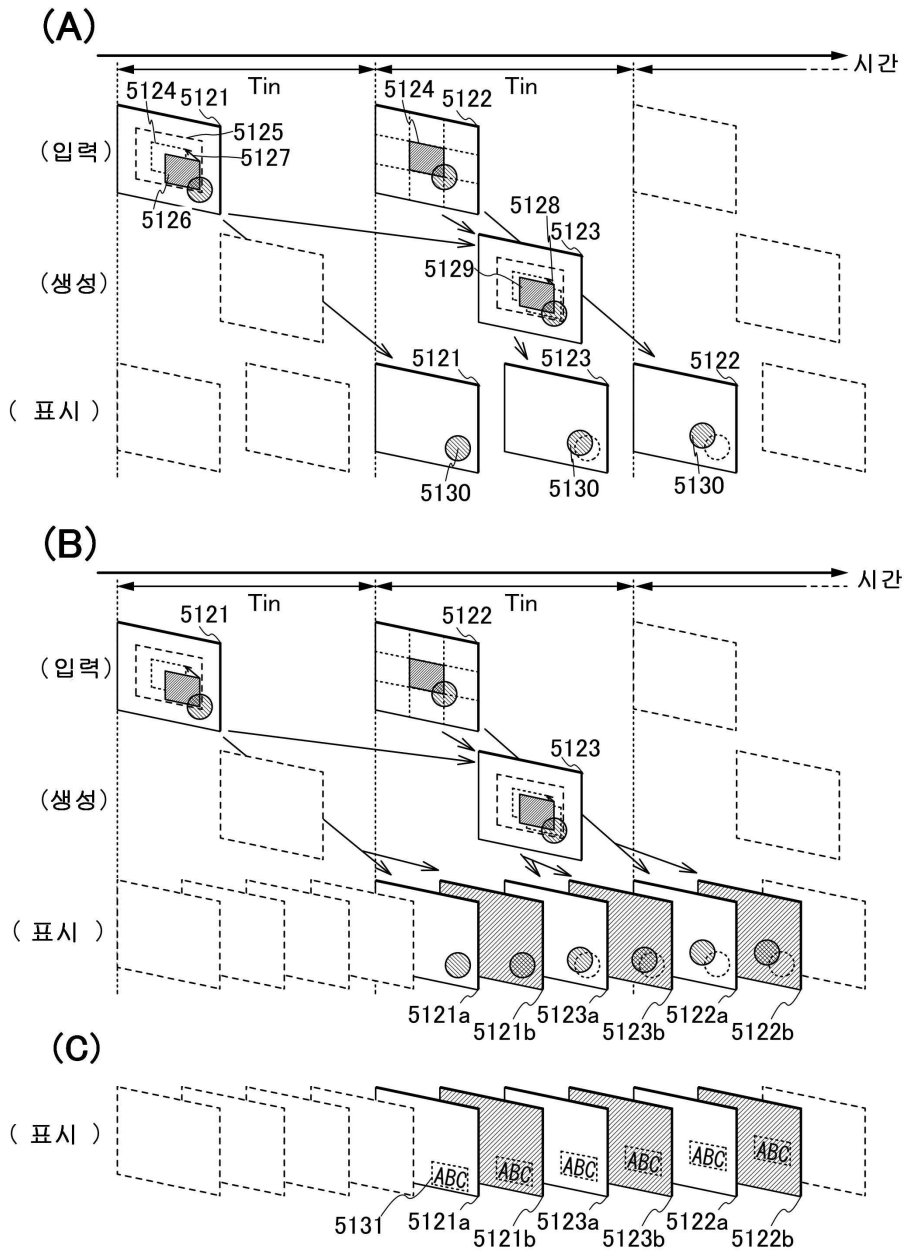
도면18



도면19

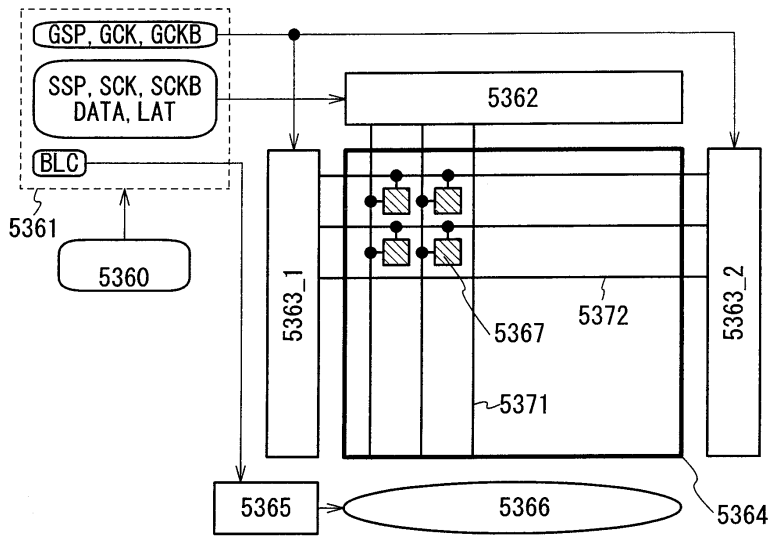


도면20

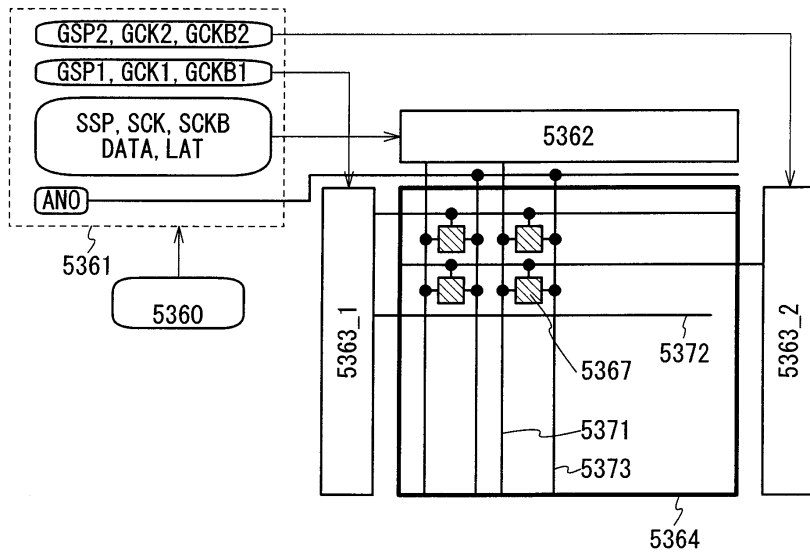


도면21

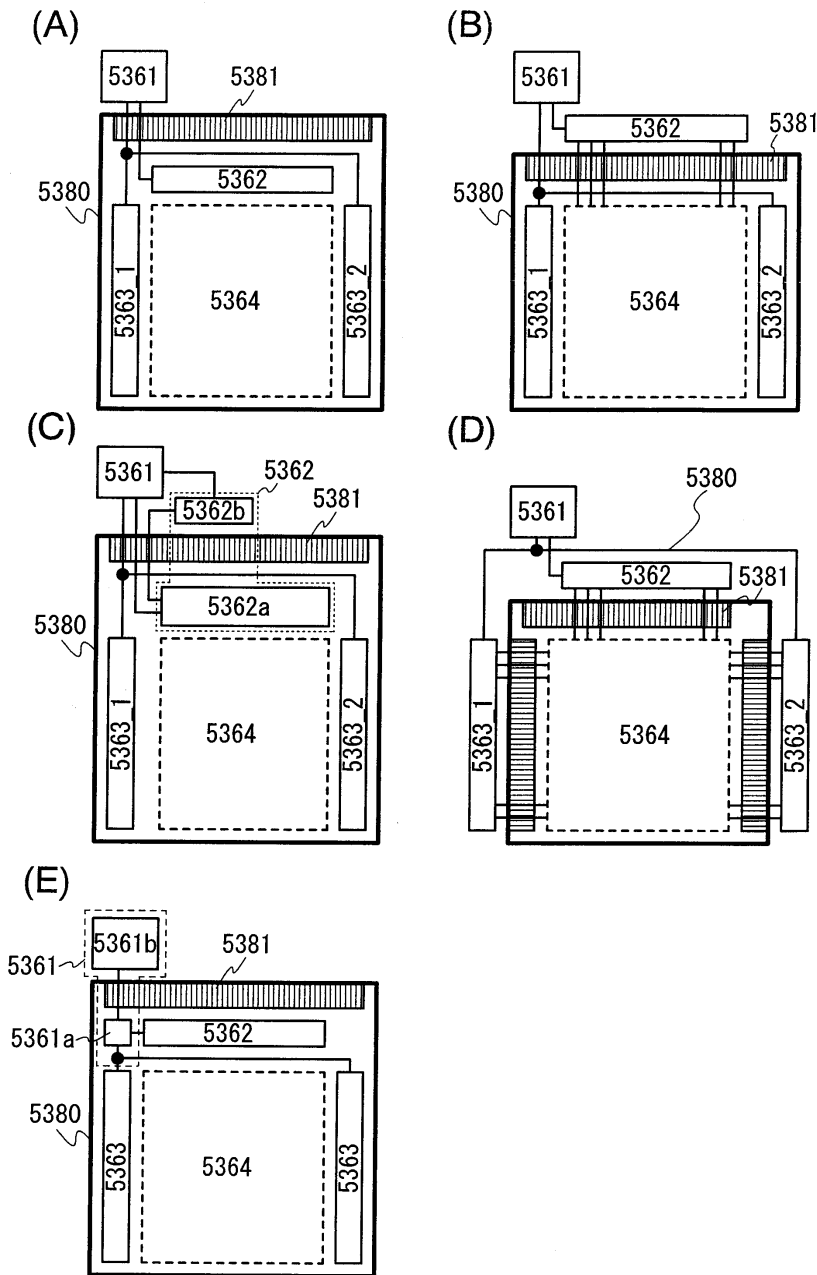
(A)



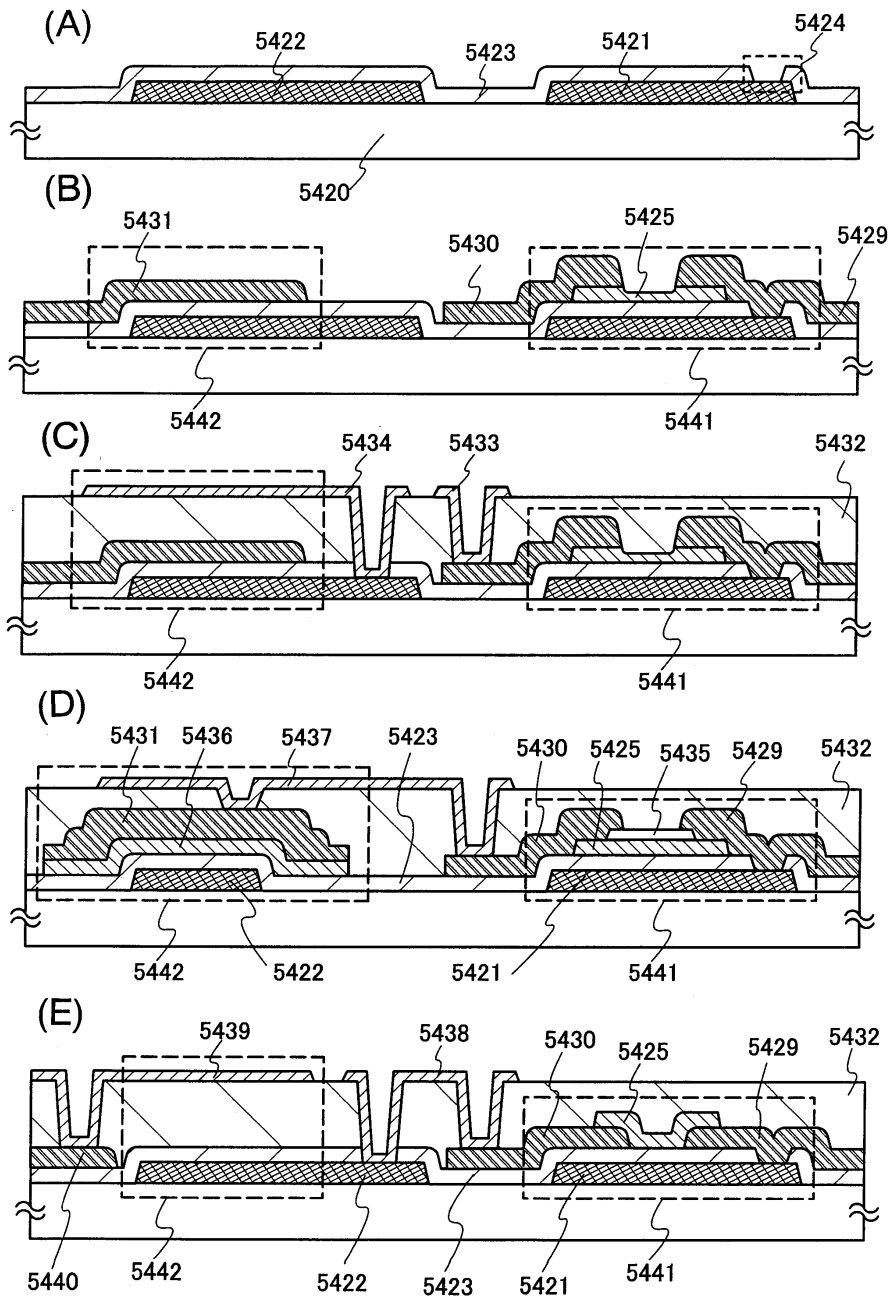
(B)



도면22

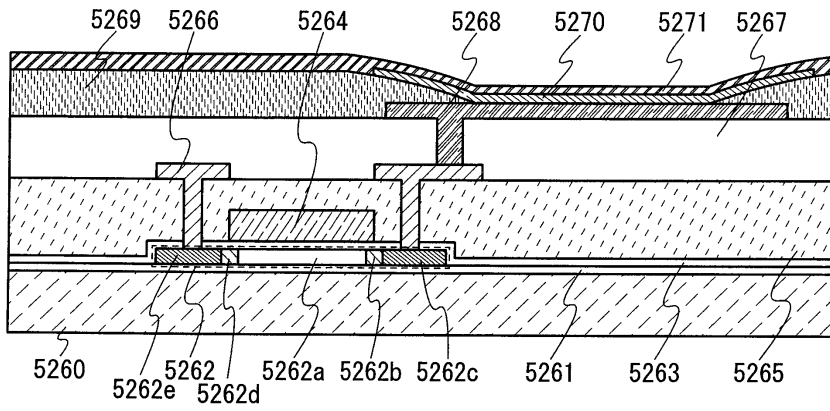


도면23

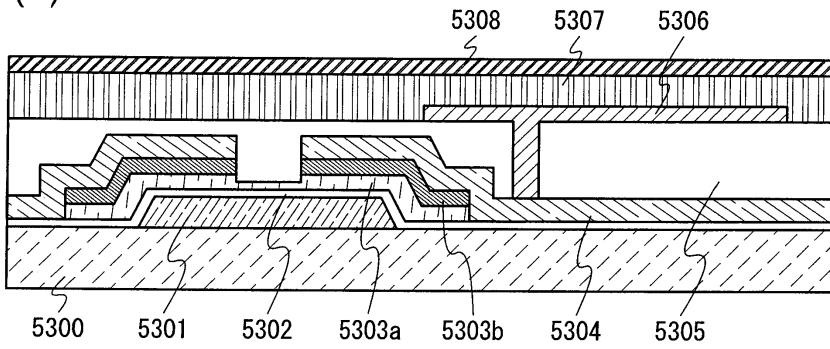


도면24

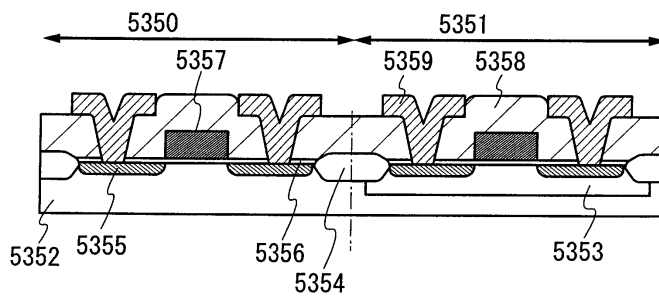
(A)



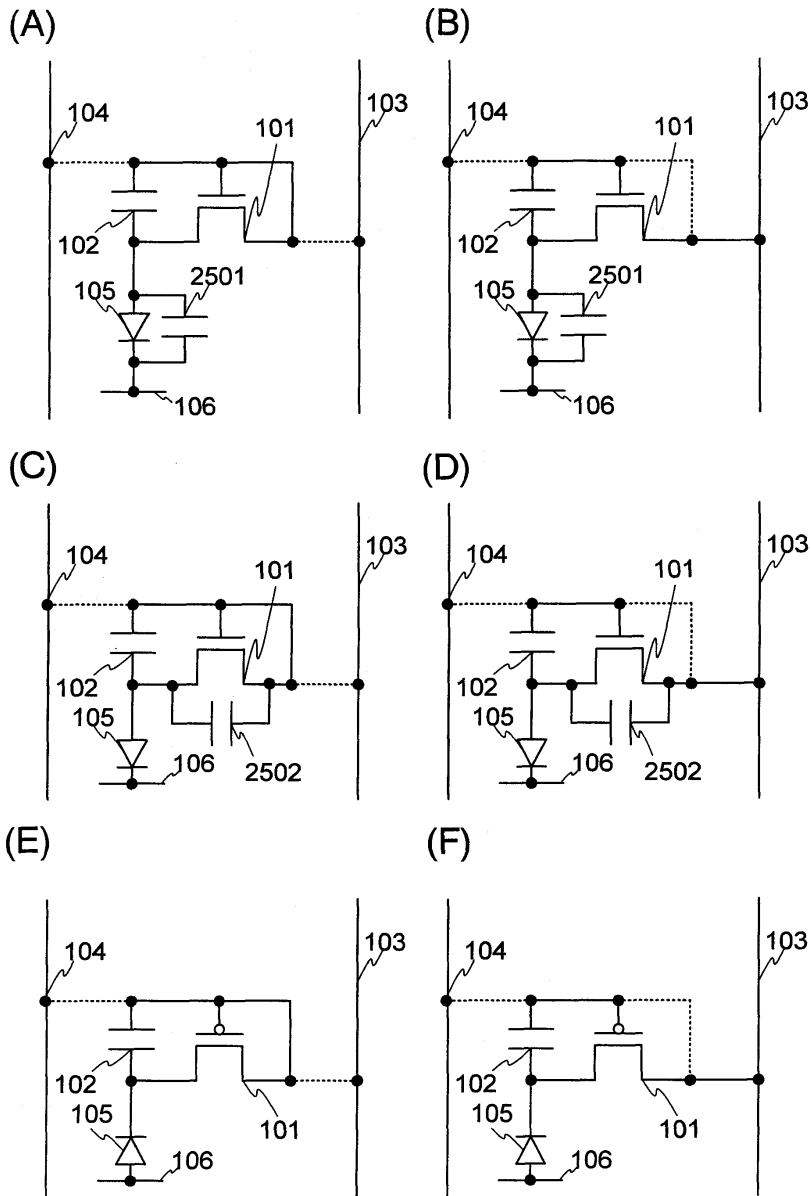
(B)



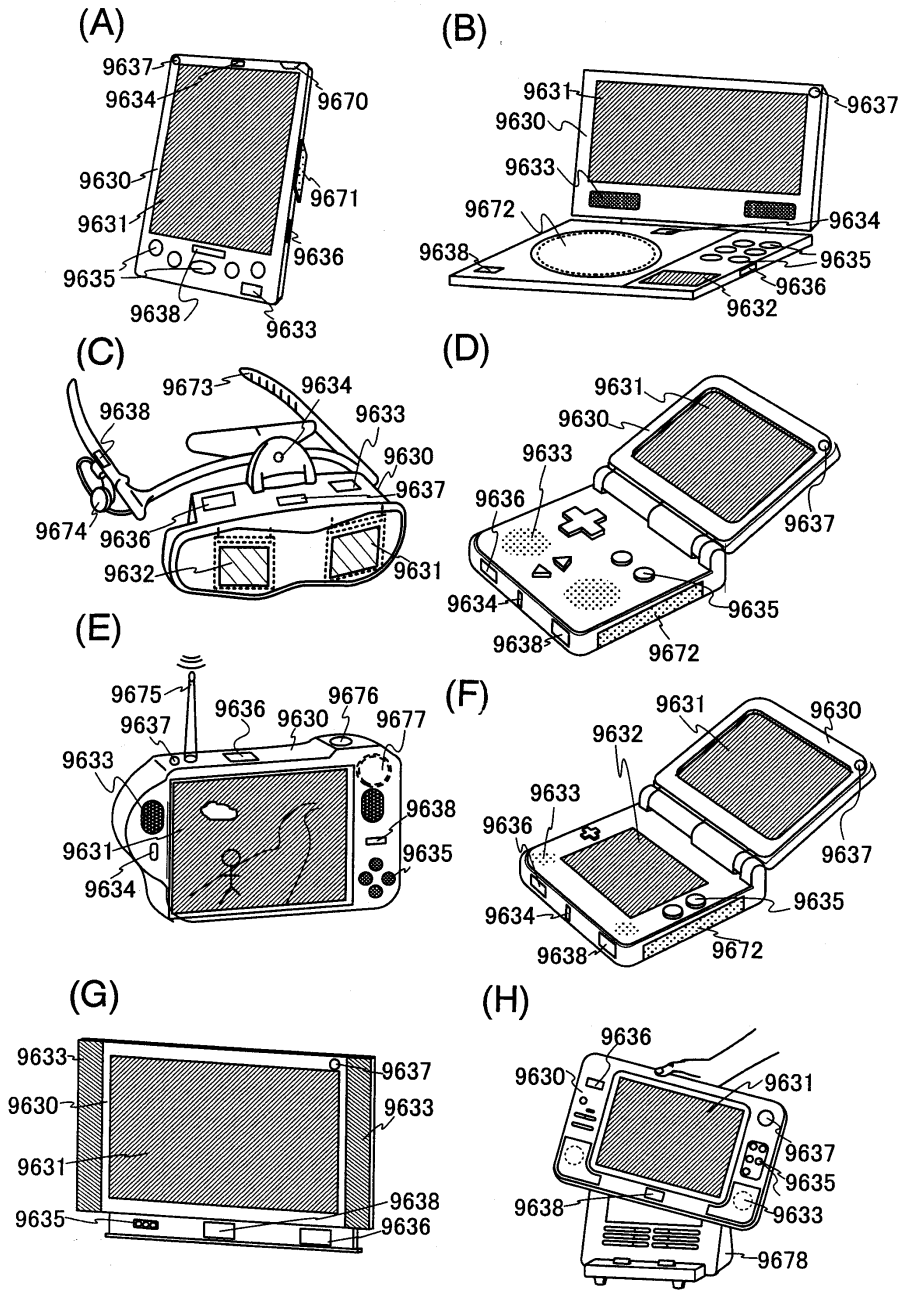
(C)



도면25



도면26



도면27

