



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월29일
 (11) 등록번호 10-0966537
 (24) 등록일자 2010년06월21일

(51) Int. Cl.
H01L 33/62 (2010.01) *H01L 23/12* (2006.01)
 (21) 출원번호 10-2004-7000385
 (22) 출원일자(국제출원일자) 2003년04월16일
 심사청구일자 2008년02월19일
 (85) 번역문제출일자 2004년01월09일
 (65) 공개번호 10-2005-0007282
 (43) 공개일자 2005년01월17일
 (86) 국제출원번호 PCT/JP2003/004821
 (87) 국제공개번호 WO 2003/098709
 국제공개일자 2003년11월27일
 (30) 우선권주장
 JP-P-2002-00146657 2002년05월21일 일본(JP)
 (56) 선행기술조사문헌
 JP2002094123 A
 JP평성11168235 A
 JP2001223391 A
 전체 청구항 수 : 총 8 항

(73) 특허권자
로무 가부시킴가이샤
 일본 교토후 교토시 우교구 사이잉 미조사키쵸 21
 (72) 발명자
이소카와신지
 일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21, 로무 가부시킴가이샤 나이
 (74) 대리인
하상구, 하영욱

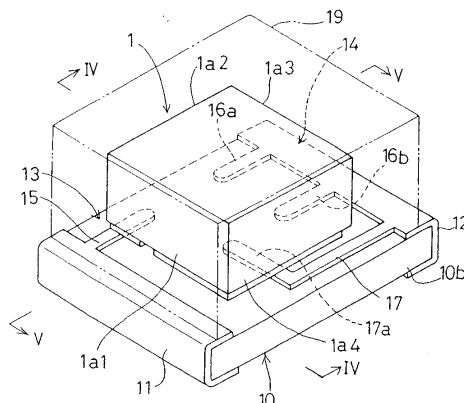
심사관 : 이용배

(54) 반도체 칩을 사용한 반도체 장치

(57) 요약

평면으로 볼 때에 대략 사각형상의 결정기관(1a)의 하나의 코너부에 형성된 하나의 제1전극부(2)와, 상기 하나의 코너부에 대하여 대각선상에 위치하는 다른 코너부를 사이에 두는 결정기관(1a)의 2측변을 따라서 형성된 제2전극부(3)를 구비한 반도체 칩(1)을, 그 제1전극부(2) 및 제2전극부(3)와, 회로기관(10)의 표면에 형성된 제1리드부(15)와, 복수개의 제2리드부(16a, 16b)를 각각 뿔납페이스트(20)에 의해 접합할 때에, 좁은 폭의 1개의 제1리드부(15)는 결정기관(1a)에 있어서의 1측변과 교차하도록 연장되고, 복수의 제2리드부(16a, 16b)는 제1리드부(15)와 반대방향으로 연장되며, 또한 제1리드부(15) 및 제2리드부(16a, 16b)는 서로 적당한 치수만큼 치우쳐서 배치되어 있다. 이것에 의해, 용융뿔납의 표면장력에 의한 반도체 칩(1)이 회로기관(10)의 표면에서 기운 자세로 고정되는 것을 방지한다.

대표도 - 도2



특허청구의 범위

청구항 1

평면으로 볼 때에 사각형상의 결정기관의 편면에, 상기 결정기관의 하나의 코너부에 형성된 하나의 작은 영역의 제1전극부와, 상기 제1전극부와 대치하고 또한 상기 하나의 코너부에 대하여 대각선상에 위치하는 다른 코너부를 포함하며, 상기 다른 코너부를 사이에 두는 결정기관의 2측변을 따라서 연장되도록 형성된 큰 영역의 제2전극부를 구비한 반도체 칩; 및

상기 제1전극부 및 제2전극부에 각각 가열용융성 다이본딩제에 의해 접합되는 한쌍의 외부접속용 전극이 표면에 형성된 회로기관으로 이루어지고,

상기 외부접속용 전극은, 상기 제1전극부에 접속되는 제1리드부를 갖는 제1외부접속용 전극과, 상기 제2전극부에 접속되는 제2리드부를 갖는 제2외부접속용 전극에 의해 구성되며,

상기 제1외부접속용 전극에 있어서의 좁은 폭의 제1리드부는, 상기 결정기관에 있어서의 1측변과 교차하도록 연장되고,

상기 제2외부접속용 전극에 있어서의 1개 이상의 좁은 폭으로 형성된 제2리드부는, 상기 제1리드부가 연장되는 방향과 반대방향으로 연장되며, 또한 상기 제1리드부가 교차되는 상기 1측변과 평행한 결정기관의 1측변에 대하여 교차하도록 연장되어 있고,

상기 제1리드부 및 제2리드부는 직선상으로 나열되지 않도록 서로 치우쳐서 배치되어 있는 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

청구항 2

평면으로 볼 때에 사각형상의 결정기관의 편면에, 상기 결정기관의 하나의 코너부에 형성된 하나의 작은 영역의 제1전극부와, 상기 제1전극부와 대치하고 또한 상기 하나의 코너부에 대하여 대각선상에 위치하는 다른 코너부를 포함하며, 상기 다른 코너부를 사이에 두는 결정기관의 2측변을 따라서 연장되도록 형성된 큰 영역의 제2전극부를 구비한 반도체 칩; 및

상기 제1전극부 및 제2전극부에 각각 가열용융성 다이본딩제에 의해 접합되는 한쌍의 외부접속용 전극이 표면에 형성된 회로기관으로 이루어지고,

상기 외부접속용 전극은, 상기 제1전극부에 접속되는 제1리드부를 갖는 제1외부접속용 전극과, 상기 제2전극부에 접속되는 제2리드부를 갖는 제2외부접속용 전극에 의해 구성되며,

상기 제1외부접속용 전극에 있어서의 좁은 폭의 제1리드부는, 상기 결정기관에 있어서의 1측변과 교차하도록 연장되고,

상기 제2외부접속용 전극에 있어서의 1개 이상의 좁은 폭으로 형성된 제2리드부는, 상기 제1리드부가 연장되는 방향과 반대방향으로 연장되며, 또한 상기 제1리드부가 교차되는 상기 1측변과 평행한 결정기관의 1측변에 대하여 교차하도록 연장되어 있고,

상기 제2리드부의 선단부에는 상기 제2전극부와 접속하고, 또한 상기 제1리드부와 평행형상이며, 제1리드부와 치우쳐서 배치되는 선단전극편을 갖고 있는 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

청구항 3

평면으로 볼 때에 사각형상의 결정기관의 편면에, 상기 결정기관의 1측변의 중앙부에 형성된 하나의 작은 영역의 제1전극부와, 상기 제1전극부와 대치하고 또한 결정기관의 다른 3측변을 따라서 연장되도록 형성된 큰 영역의 제2전극부를 구비한 반도체 칩; 및

상기 제1전극부 및 제2전극부에 각각 가열용융성 다이본딩제에 의해 접합되는 한쌍의 외부접속용 전극이 표면에 형성된 회로기관으로 이루어지고,

상기 외부접속용 전극은, 상기 제1전극부에 접속되는 제1리드부를 갖는 제1외부접속용 전극과, 상기 제2전극부에 접속되는 제2리드부를 갖는 제2외부접속용 전극에 의해 구성되며,

상기 제1외부접속용 전극에 있어서의 좁은 폭의 제1리드부는, 상기 결정기판에 있어서의 1측변과 교차하도록 연장되고,

상기 제2외부접속용 전극에 있어서의 1개 이상의 좁은 폭으로 형성된 제2리드부는, 상기 제1리드부가 연장되는 방향과 반대방향으로 연장되며, 또한 상기 제1리드부가 교차되는 상기 1측변과 평행한 결정기판의 1측변에 대하여 교차하도록 연장되어 있는 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제2외부접속용 전극의 제2리드부에는, 그 선단부에 상기 제2리드부가 연장되는 방향과 적어도 교차하는 방향으로 연장되어 상기 제2전극부에 접속되는 선단전극편을 구비한 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

청구항 5

제1항 또는 제2항에 있어서, 상기 제2외부접속용 전극에 제3리드부를 이어설치하고, 상기 제3리드부는 상기 결정기판에 있어서의 상기 제2리드부가 교차되는 측면과 교차하는 측면에 대하여 평행형상으로 연장되며, 또한 선단이 상기 측면과 교차하여 제2전극부에 접촉하도록 형성되어 있는 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

청구항 6

제5항에 있어서, 상기 제1리드부, 제2리드부 및 제3리드부의 폭치수는, 상기 결정기판에 있어서의 서로 대향하는 각 측면의 길이의 0.3~0.1배로 설정되어 있는 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 반도체 칩은 발광소자이고, 적어도 상기 반도체 칩을 광투과성의 합성수지제의 몰드부로 패키징한 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

청구항 8

제1항 내지 제3항 중 어느 한 항에 있어서, 레지스트막을 상기 제1리드부, 제2리드부 및 제3리드부 중 반도체 칩의 외주 근처의 부위에 형성한 것을 특징으로 하는 반도체 칩을 사용한 반도체 장치.

명세서

기술분야

[0001] 본 발명은 반도체 칩을 사용한 반도체 장치로서, 편면에 제1전극부와 제2전극부가 형성된 반도체 칩을, 회로기판의 표면에 형성한 한쌍의 외부접속용 전극에 댄납접속한 구성에 관한 것이다.

배경기술

[0002] 종래, 예를 들면 선행기술의 일본 특허공개 평11-121797호 공보나 일본 특허공개 2002-94123호 공보에 개시되어 있는 바와 같이, 표면 실장형의 발광다이오드에 탑재되는 반도체 칩으로서의 발광다이오드 칩(발광소자 칩)(1)은, 발광원이 질화갈륨계 화합물 반도체이고, 사파이어유리를 사용한 결정기판의 편면에 복수의 반도체 박막층이, 종래부터 주지의 유기금속 기상성장법에 의해서 막형성되어 있다. 이 박막적층체는, 도 1의 (a) 및 (b)부분에 나타내는 바와 같이, 투명한 사파이어유리를 사용한 평면으로 볼 때에 사각형상의 결정기판(1a)의 표면으로부터 차례로 GaN버퍼층(1b), n형 GaN층(1c), InGaN활성층(1d), p형 AlGaN층(1e), 및 p형 GaN층(1f)으로서 더블헤테로구조를 이룬다.

[0003] 상기 n형 GaN층(1c)의 하나의 코너부의 상면은 에칭에 의해 단차형상으로 제거되어 있다. 이 제거된 부분에 Ti 및 Au의 적층막과 그 위에 Ni와 Au의 적층막을 겹친 n측 전극(2)(이하, 제1전극부라 함)이 증착법에 의해서 형성되어 있다. 또, 상기 에칭에 의한 제거부분을 제외한 최상층의 p형 GaN층(1f)의 상면에는, Ni와 Au의 적층막으로 이루어지는 p형 전극(3)(이하, 제2전극부라 함)이 상기과 마찬가지로 증착법에 의해서 형성되어 있다.

[0004] 그리고, 상기 선행기술에서는, 상기 발광소자 칩(1)에 있어서의 제1전극부 및 제2전극부(3)의 각 상면에는 금(Au)을 원료로 하는 범프부가 형성되어 있다. 그리고, 이들 범프부를 칩형의 회로기판의 표면에 형성된 한쌍의

외부접속용 전극에 대하여 접속고정하도록 구성되어 있었다.

- [0005] 그러나, 상기 범프부는 금(Au)을 원료로 하므로 제조비용이 높아진다는 문제가 있었다. 또, 발광소자 칩(1)(반도체 칩)을 회로기판에 압입하고, 상기 범프부를 통하여 외부접속용 전극에 고정하는 방법에서는, 회로기판에 대한 발광소자 칩의 접근시의 자세 그대로 고정되어 버려, 이하와 같은 장착시의 자세의 불균형을 수정할 수 없었다.
- [0006] 이 금제의 범프부 대신에, 뿔납페이스트 등의 가열용융성의 다이본딩제에 의한 접속고정이 고려되었다. 즉, 상기 다이본딩제의 적당량을 상기 회로기판에 있어서의 각 외부접속용 전극의 표면에 도포하고, 이 다이본딩제 위에 반도체 칩을 얹는다. 이 상태에서 상기 다이본딩제를 가열로 일단 용융한 후 응고한다는 방법을 채용하고 있으면, 이하에 서술하는 바와 같은 문제가 있었다.
- [0007] 즉, 상기 외부접속용 전극의 표면에 도포한 다이본딩제는, 상기 다이본딩제를 가열로 용융하였을 때에, 상기 외부접속용 전극의 표면 사방으로 크게 퍼진다. 이 용융 다이본딩제에 놓여 있는 반도체 칩도, 상기 용융 다이본딩제의 사방으로 퍼짐에 따라서, 외부접속용 전극의 표면을 따라서 설정된 중심으로부터 어긋나도록 횡이동하고, 이 중심으로부터 어긋나 이동한 위치에 있어서, 상기 용융 다이본딩제의 응고로 외부접속용 전극부에 대하여 고정되게 된다.
- [0008] 그리고, 종래의 상기 회로기판의 표면에 형성된 한쌍의 외부접속용 전극의 표면적이 큰 것도 더불어, 상기 횡이동량이 커지게 된다는 문제가 있었다.
- [0009] 또, 예를 들면, 평면으로 볼 때에 사각형상의 회로기판의 좌우 측가장자리와 마찬가지로 평면으로 볼 때에 사각형상의 반도체 칩의 좌우 측가장자리가, 평면으로 볼 때에 비평행상의 상태(기운 상태)이고, 상기 외부접속용 전극에 대하여 반도체 칩이 공급된 경우에, 이 기운 자세는 수정되지 않고 상기 비평행상의 상태인 채로 외부접속용 전극에 고정되게 된다.
- [0010] 따라서, 회로기판에 있어서의 외부접속용 전극에 다이본딩한 반도체 칩을 합성수지제의 몰드부로 패키징하는 경우에는, 상기 몰드부로 패키징하는 반도체 칩이 상기한 바와 같이 중심으로부터 어긋나 이동하는 것, 및 그 각 측가장자리가 회로기판의 각 측가장자리와 비평행의 기운 자세로 되는 것을 예상하여, 이 모든 경우에 있어서도 상기 몰드부로 완전히 패키징할 수 있도록, 이 몰드부의 크기를 크게 하지 않으면 안되기 때문에, 반도체 장치의 대형화 및 중량의 상승을 초래하는 것이었다.
- [0011] 특히, 상기 반도체 장치가 반도체 칩을 발광다이오드 칩으로 하고, 또한 몰드부가 투명합성수지체인 칩형 LED인 경우에는, 상기한 중심으로부터 반도체 칩이 어긋나 이동하는 것, 및 발광다이오드 칩의 각 측면이 회로기판의 각 측면과 비평행의 기운 자세로 되는 것에 의해, 발광다이오드 칩으로부터의 광의 지향성이 변화하기 때문에 광의 지향성의 편차가 커지는 것이다.
- [0012] 본 발명은 이들 문제를 해소하는 것을 기술적 과제로 하는 것이다.

발명의 상세한 설명

- [0013] 이 기술적 과제를 달성하기 위하여, 본 발명의 제1의 국면은, 평면으로 볼 때에 사각형상의 결정기판의 편면에, 상기 결정기판의 하나의 코너부에 형성된 하나의 작은 영역의 제1전극부와, 상기 제1전극부와 대치하고 또한 상기 하나의 코너부에 대하여 대각선상에 위치하는 다른 코너부를 포함하며, 상기 다른 코너부를 사이에 두는 결정기판의 2측변을 따라서 연장되도록 형성된 큰 영역의 제2전극부를 구비한 반도체 칩과, 상기 제1전극부 및 제2전극부에 각각 뿔납페이스트 등의 가열용융성 다이본딩제에 의해 접합되는 한쌍의 외부접속용 전극이 표면에 형성된 회로기판으로 이루어지고, 상기 외부접속용 전극은, 상기 제1전극부에 접속되는 제1리드부를 갖는 제1외부접속용 전극과, 상기 제2전극부에 접속되는 제2리드부를 갖는 제2외부접속용 전극에 의해 구성되며, 상기 제1외부접속용 전극에 있어서의 좁은 폭의 제1리드부는, 상기 결정기판에 있어서의 1측변과 교차하도록 연장되고, 상기 제2외부접속용 전극에 있어서의 적어도 1개의 좁은 폭으로 형성된 제2리드부는, 상기 제1리드부가 연장되는 방향과 반대방향으로 연장되며, 또한 상기 제1리드부가 교차하는 상기 1측변과 대략 평행한 결정기판의 1측변에 대하여 교차하도록 연장되어 있고, 상기 제1리드부 및 제2리드부는 서로 적당한 치수만큼 치우쳐서 배치되어 있는 것을 특징으로 하는 것이다.
- [0014] 본 발명의 제2의 국면은, 반도체 칩을 사용한 반도체 장치에 있어서, 평면으로 볼 때에 대략 사각형상의 결정기판의 편면에 그 결정기판의 하나의 코너부에 형성된 하나의 작은 영역의 제1전극부와, 상기 제1전극부와 대치하고 또한 상기 하나의 코너부에 대하여 대각선상에 위치하는 다른 코너부를 포함하고, 상기 다른 코너부를 사이

에 두는 결정기관의 2측면을 따라서 연장되도록 형성된 큰 영역의 제2전극부를 구비한 반도체 칩과, 상기 제1전극부 및 제2전극부에 각각 뿔납페이스트 등의 가열용융성의 다이본딩체에 의해 접합되는 한쌍의 외부접속용 전극이 표면에 형성된 회로기관으로 이루어지며, 상기 외부접속용 전극은 상기 제1전극부에 접속되는 제1리드부를 갖는 제1외부접속용 전극과, 상기 제2전극부에 접속되는 제2리드부를 갖는 제2외부접속용 전극에 의해 구성되고, 상기 제1외부접속용 전극에 있어서의 좁은 폭의 제1리드부는, 상기 결정기관에 있어서의 1측변과 교차하도록 연장되고, 상기 제2외부접속용 전극에 있어서의 적어도 1개의 좁은 폭으로 형성된 제2리드부는, 상기 제1리드부가 연장되는 방향과 반대방향으로 연장되며, 또한 상기 제1리드부가 교차하는 상기 1측변과 대략 평행한 결정기관의 1측변에 대하여 교차하도록 연장되어 있고, 상기 제2리드부의 선단부에는 상기 제2전극부와 접속하고, 또한 상기 제1리드부와 평행형상으로서 적당한 치수만큼 치우쳐서 배치되는 선단전극편을 갖고 있는 것을 특징으로 하는 것이다.

- [0015] 상기 제1 및 제2의 국면에 의한 발명에서는, 회로기관의 표면에 형성된 상기 제1외부접속용 전극 및 제2외부접속용 전극에 뿔납페이스트 등의 가열용융성의 다이본딩체를 도포한 후, 이들에 반도체 칩의 제1전극부 및 제2전극부를 각각 대응시켜서 합치도록 않는다.
- [0016] 그 경우, 제1외부접속용 전극에 상기 반도체 칩에 있어서의 하나의 코너부에 형성된 작은 영역의 제1전극부가 합쳐지는 한편, 반도체 칩에 있어서의 상기 제1전극부를 둘러싸고, 또한 상기 하나의 코너부와 대각선상에 위치하는 다른 코너부를 포함하는 큰 면적의 제2전극부가 상기 제2외부접속용 전극에 합쳐진다.
- [0017] 이것에 의해, 용융된 다이본딩체는 각 외부접속용 전극의 표면에 사방으로 퍼지고, 특히 좁은 폭의 리드부의 표면을 따르고 또한 반도체 칩(결정기관)의 측면으로부터 연장되는 방향으로 퍼진다. 그리고, 상기 각 리드부와 반도체 칩의 측면과의 교차부에 있어서, 상기 반도체 칩의 측면을 따라서도 용융 다이본딩체가 퍼진다. 그 때의 용융된 다이본딩체의 표면장력이 상기 각 리드부와 그것에 교차하는 반도체 칩(결정기관)의 측면에 동시에 작용하므로, 각 리드부가 연장되는 방향과, 그것에 교차하는 결정기관의 측면의 교차각도가 대략 90도로 되도록 자동적으로 자세변경된다는 셀프얼라이먼트 현상이 발생한다.
- [0018] 특히, 제1의 국면의 발명과 같이, 좁은 폭의 제1리드부와 제2리드부를 적당히 치우치도록 배치함으로써, 제2리드부의 연장선이 반도체 칩의 평면으로 볼 때의 면적의 중심부에 가까운 위치로 되도록 제1외부접속용 전극을 형성하였을 때, 제1리드부(제1외부접속용 전극)가 상기 반도체 칩의 중심으로부터 멀리 떨어진 코너부의 제1전극부에 합쳐지게 된다. 따라서, 상기 제1리드부가 반도체 칩의 측면으로부터 돌출되는 위치는, 제2리드부가 반도체 칩의 측면으로부터 돌출되는 위치보다 상기 반도체 칩의 평면으로 볼 때의 면적의 중심부로부터 먼 위치에 있기 때문에, 상기 표면장력이 작용하는 모멘트력(반도체 칩을 그 중심점 둘레로 회동시키는 힘)은, 제1리드부 측에서 커지므로, 상기 제1리드부 및 제2리드부가 연장되는 방향과 교차되는 결정기관의 2개의 서로 대향하는 측면이, 상기 양 리드부의 연장되는 방향에 대하여 직교하지 않는 비평행의 방향자세(즉, 경사자세)로 놓여진 경우에도, 상기 제1리드부 및 제2리드부가 연장되는 방향과, 그것에 교차하는 결정기관의 2개의 서로 대향하는 측면과의 교차각도가 대략 90도로 되도록 자동적으로 자세변경되는 작용이 강해지는 것이다.
- [0019] 이와 같이, 용융된 다이본딩체의 표면장력에 의한 셀프얼라이먼트에 의해서, 상기 사각형의 반도체 칩은 그 경사자세가 없어지도록 자동적으로 수정됨과 아울러, 상기 반도체 칩을 회로기관의 중심에 정확하게 위치시키도록 자동적으로 수정되게 된다.
- [0020] 이 상태에서 냉각에 의해 상기 용융된 다이본딩체가 고화되면, 상기 자동수정된 자세로 반도체 칩이 회로기관에 대하여 고정되는 것이다. 제2의 국면의 발명에 의하면, 상기 제2외부접속용 전극에는, 상기 제1리드부가 연장되는 방향과 반대방향으로 연장되고, 또한 상기 제1리드부가 교차하는 1측변과 대략 평행한 결정기관의 1측변과 교차하도록 연장되는 적어도 1개의 좁은 폭의 제2리드부를 갖는다. 상기 제2리드부의 선단부에는, 상기 제2전극부와 접속하고 또한 상기 제1리드부와 평행한 형태이며, 적당한 치수만큼 치우쳐서 배치되는 선단전극편을 갖고 있다. 따라서, 용융된 다이본딩체가 상기 선단전극편의 표면과 반도체 칩의 제2전극부의 표면의 간극을 따라서 퍼진다. 또한 제1리드부의 표면과 제1전극부의 표면의 간극을 따라서 퍼진다. 그 때의 상기 선단전극편의 부분에서의 표면장력과 제1리드부에서의 표면장력이, 상기 반도체 칩의 평면으로 볼 때의 면적의 중심부를 사이에 두고 양측에서 밸런스하게 되어, 용융된 다이본딩체의 표면장력에 의한 셀프얼라이먼트로 상기 사각형의 반도체 칩은, 그 경사자세가 없어지도록 자동적으로 수정됨과 아울러, 상기 반도체 칩을 회로기관의 중심에 정확하게 위치시키도록 자동적으로 수정되는 것이다.
- [0021] 또한, 제3의 국면의 발명의 반도체 칩을 사용한 반도체 장치는, 평면으로 볼 때에 대략 사각형상의 결정기관의 편면에, 상기 결정기관의 1측변의 대략 중앙부에 형성된 하나의 작은 영역의 제1전극부와, 상기 제1전극부와 대

치하고 또한 결정기관의 다른 3측면을 따라서 연장되도록 형성된 큰 영역의 제2전극부를 구비한 반도체 칩과, 상기 제1전극부 및 제2전극부에 각각 뿔납페이스트 등의 가열용융성의 다이본딩제에 의해 접합되는 한쌍의 외부 접속용 전극이 표면에 형성된 회로기관으로 이루어지고, 상기 외부접속용 전극은 상기 제1전극부에 접속되는 제1리드부를 갖는 제1외부접속용 전극과, 상기 제2전극부에 접속되는 제2리드부를 갖는 제2외부접속용 전극부에 의해 구성되고, 상기 제1외부접속용 전극에 있어서의 좁은 폭의 제1리드부는, 상기 결정기관에 있어서의 1측면과 교차하도록 연장되고, 상기 제2외부접속용 전극에 있어서의 적어도 1개의 좁은 폭으로 형성된 제2리드부는, 상기 제1리드부가 연장되는 방향과 반대방향으로 연장되며, 또한 상기 제1리드부가 교차하는 상기 1측면과 대략 평행한 결정기관의 1측면에 대하여 교차하도록 연장되어 있는 것을 특징으로 하는 것이다.

[0022] 이 제3의 국면의 발명에 의하면, 평면으로 볼 때에 대략 사각형상의 결정기관의 1측면의 대략 중앙부에 제1전극부가 형성되고, 상기 제1전극부와 대치하고 또한 결정기관의 다른 3측면을 따라서 연장되도록 제2전극부가 형성되기 때문에, 제1전극부와 제2전극부는 반도체 칩의 평면으로 볼 때에 있어서 좌우 대칭형상으로 형성되게 된다. 상기 제1전극부에 합쳐지는 제1리드부와 제2전극부에 합쳐지는 제2리드부가 서로 반대방향으로 연장되기 때문에, 반도체 칩에 있어서의 서로 대향하는 평행형상의 2측면과 상기 각 리드부와 교차부에 있어서는, 상기 반도체 칩의 측면을 따라서도 용융 다이본딩제가 퍼짐과 아울러, 각 리드부가 연장되는 방향으로 퍼진다. 그 때의 용융된 다이본딩제의 표면장력이 상기 각 리드부와 그것에 교차하는 반도체 칩(결정기관)의 측면에 동시에 작용하므로, 각 리드부가 연장되는 방향과 그것에 교차하는 결정기관의 측면의 교차각도가 대략 90도로 되도록 자동적으로 자세변경된다는 셀프얼라이먼트 현상이 발생하여, 회로기관에 대한 반도체 칩의 탑재자세를 조정할 수 있다는 효과를 갖는다.

[0023] 상기 각 발명에 있어서, 상기 제2외부접속용 전극의 제2리드부에는, 그 선단부에 상기 제2리드부가 연장되는 방향과 적어도 교차하는 방향으로 연장되어 상기 제2전극부에 접속되는 선단전극편을 구비한 것으로 구성하면, 이 선단전극편에 의해 제2전극부와 전기적 접합면적이 증대함과 아울러, 이 부분(선단전극편)에서도 용융 다이본딩제에 의한 표면장력으로, 상기 셀프얼라이먼트에 의한 반도체 칩의 자세수정의 효과를 한층 더 달성시킬 수 있다.

[0024] 그리고, 상기 각 발명에 있어서, 상기 제2외부접속용 전극에 제3리드부를 이어설치하고, 이 제3리드부는 상기 결정기관에 있어서의 상기 제2리드부가 교차하는 측면과 교차하는 측면에 대하여 대략 평행형상으로 연장되며, 또한 선단이 상기 측면과 교차하여 제2전극부에 접촉하도록 형성되어 있다. 즉, 제3리드부는 평면으로 볼 때에 L자형으로 형성되고, 그 기단이 상기 제2외부접속용 전극에 이어설치되어 있으며, 이 제3리드부의 선단이 제2리드부가 연장되는 방향과 교차하도록 제2전극부에 접촉하는 것이다. 이와 같이 구성하면, 상기 제1리드부 및 제2리드부에 있어서의 상기 셀프얼라이먼트에 더하여, 이들 양 리드부가 연장되는 방향으로 평행한 결정기관의 측면과 제3리드부의 선단부에 있어서의 셀프얼라이먼트의 작용·효과가 부가되기 때문에, 그 셀프얼라이먼트에 의한 반도체 칩의 자세수정의 효과가 더욱 향상되는 것이다.

[0025] 또한, 상기 각 발명에 있어서, 상기 제1리드부, 제2리드부 및 제3리드부의 폭치수를, 상기 결정기관에 있어서의 서로 대향하는 각 측면의 길이의 0.3~0.1배 정도로 설정하면, 용융된 다이본딩제가 상기 각 리드부의 길이방향으로 연장되는 추가장자리를 따라서 퍼지기 쉽게 되어, 상기 셀프얼라이먼트에 의한 반도체 칩의 자세수정의 효과를 한층 더 달성시킬 수 있다.

[0026] 또한, 상기 각 발명에 있어서, 상기 반도체 칩은 발광소자이고, 적어도 상기 반도체 칩을 광투과성의 합성수지제의 몰드부로 패키징한 구성으로 해도 좋다. 이 구성에 의하면, 회로기관에 대한 발광소자의 배치자세를 조정할 수 있어, 발광소자로부터의 광의 발사방향(광의 지향성)의 편차가 없어짐과 아울러, 이 반도체 칩을 패키징하는 몰드부를, 종래의 경우보다 작게, 나아가서는 반도체 장치를 소형·경량화할 수 있는 것이다.

[0027] 그리고, 상기 각 발명에 있어서, 레지스트막을 상기 제1리드부, 제2리드부 및 제3리드부 중 반도체 칩의 외주 근처 부위에 형성하면, 이 레지스트막에 의해 리드부의 길이방향을 따라서 반도체 칩의 외주로부터 외측으로 흐르는 다이본딩제의 흐름을 막게 되어, 상기 전기적 접촉불량의 발생을 확실하게 방지할 수 있다.

[0028] 또, 레지스트제를 광반사율이 높은 백색 등의 색으로 하여 두면, 발광소자로부터 회로기관의 표면방향으로 발사된 광이 상기 레지스트제로 반사되어, 효율이 좋은 칩형 발광다이오드를 제공할 수 있는 효과를 갖는다.

실시예

[0041] 이하, 본 발명의 실시를 위한 바람직한 형태를, 반도체 장치의 일례로서의 칩형 LED에 적용한 경우의 도면에 대하여 설명한다. 도 1 내지 도 6은 제1실시형태를 나타낸다. 칩형 LED는, 절연기관으로 이루어지는 회로기관(1

0)의 표면에 반도체 칩의 일레로서의 발광다이오드 칩(1)을 마운트하고, 상기 발광다이오드 칩(1)의 전체를 덮도록 회로기판(10)의 표면층에 투광성의 합성수지제의 몰드부(19)를 설치한 것이다(도 2 참조).

[0042] 상기 마운트시에는, 절연기판으로 이루어지는 평면으로 볼 때에 사각형상(정사각형 및 직사각형을 포함함, 이하 동일)의 회로기판(10)의 표면에 형성된 제1외부접속용 전극(13)과 제2외부접속용 전극(14)에, 뿔납페이스트 등의 가열용융성의 다이본딩제를 도포한 후, 이들에 도 1의 상태에서 상하 반전시킨 반도체 칩의 제1전극부(2) 및 제2전극부(3)를 각각 대응시켜서 합치도록 얹어서 가열한 후, 상기 다이본딩제의 응고로 반도체 칩이 위치고정되어 전기적으로 접속시키는 것이다(도 4 참조).

[0043] 도 1의 (a) 및 (b)부분에 나타내는 반도체 칩의 일레로서의 발광다이오드 칩(발광소자)(1)의 구성은 종래예(앞에서 서술함)와 대략 같다. 즉, 투명한 사파이어를 사용한 평면으로 볼 때 사각형상(정사각형 및 직사각형을 포함함, 이하 동일)의 결정기판(1a)으로부터 위로 차례로 GaN버퍼층(1b), n형 GaN층(1c), InGaN활성층(1d), p형 AlGaN층(1e), 및 p형 GaN층(1f)으로서 더블 헤테로구조를 이룬다.

[0044] 상기 n형 GaN층(1c)의 하나의 코너부의 상면은 에칭에 의해 단차형상으로 제거되고, 이 제거된 부분에 Ti 및 Au의 적층막과 그 위에 Ni와 Au의 적층막을 겹친 n층 전극인 제1전극부(2)가 증착법에 의해서 형성되어 있다. 또, 상기 에칭에 의한 제거부분을 제외한 부분, 즉 상기 제1전극부(2)가 위치하는 코너부에 대하여 대각선상에 위치하는 다른 코너부를 포함하고, 또한 상기 다른 코너부를 사이에 두는 결정기판(1a)의 2측변을 따라서 연장하도록 형성된 최상층의 p형 GaN층(1f)의 상면에는, Ni와 Au의 적층막으로 이루어지는 p형 전극인 제2전극부(3)가 증착법에 의해서 형성되어 있다. 따라서, 제1전극부(2)는 상기 하나의 코너부에 작은 영역으로 예를 들면 평면으로 볼 때 대략 5각형상으로 형성되는 한편, 제2전극부(3)는 상기 제1전극부(2)와 평면으로 볼 때에 대략 L자형의 간극(4)을 두고 배치되는 큰 면적(영역)의 대략 L자형으로 형성되어 있다(도 1의 (a)부분 참조).

[0045] 한편, 칩형의 회로기판(10)은, 도 2 및 도 3에 나타내는 바와 같이, 유리에폭시 등의 전기절연성의 평면으로 볼 때 대략 사각형상의 기판으로 이루어진다. 회로기판(10)에는 서로 대치하는 한쌍의 측면에, 금속막에 의한 한쌍의 단자전극(11, 12)이 형성되어 있다. 또한, 상기 양 단자전극(11, 12)은 회로기판(10)의 상면에서 끝면 및 하면에 걸쳐도록 연장되어 있다.

[0046] 회로기판(10)의 표면(상면)에는, 상기 단자전극(11)에 전기적으로 접속되는 제1외부접속용 전극(13)과, 단자전극(12)에 전기적으로 접속되는 제2외부접속용 전극(14)이 마찬가지로 금속막에 의해 패턴형성되어 있다.

[0047] 그리고, 도 2 및 도 3에 나타내어져 있는 바와 같이, 상기 제1외부접속용 전극(13)은, 그 기단이 상기 단자전극(11)에 이어설치된 1개의 제1리드부(15)를 갖는다. 상기 제1리드부(15)는 회로기판(10)의 길이방향으로 연장되는 측가장자리(10a, 10b)와 평행형상으로 형성되어 있다. 제1리드부(15)의 선단부는 상기 발광다이오드 칩(1)에 있어서의 제1전극부(2)와 평면으로 볼 때에 겹치도록 배치된다.

[0048] 제2외부접속용 전극(14)은, 상기 다른쪽의 단자전극(12)에 기단이 각각 이어설치된 복수개의 제2리드부(16a, 16b)와, 평면으로 볼 때에 L자형의 제3리드부(17)를 갖는다. 제2리드부(16a, 16b) 및 제3리드부(17)도, 회로기판(10)의 길이방향으로 연장되는 측가장자리(10a, 10b)와 평행형상으로 형성되어 있고, 또한 제1리드부(15)에 대하여 적어도 1개의 제2리드부(실시예에서는 제2리드부(16b)) 및 제3리드부(17)가, 각각 직선상으로 나열되지 않도록, 적당한 치수(H1, H2)만큼 치우쳐 있다(도 3 참조). 그리고, 상기 제2리드부(16a, 16b) 및 제3리드부(17)의 각 선단부는 상기 발광다이오드 칩(1)에 있어서의 제2전극부(3)와 평면으로 볼 때에 겹치도록 배치되어 있다.

[0049] 또, 상기 제1리드부(15), 제2리드부(16a, 16b) 및 제3리드부(17)의 폭치수(H3)는, 발광다이오드 칩(1)의 결정기판(1a)의 1측변의 길이의 대략 0.3~0.1배 정도의 좁은 폭이고, 단자전극(11) 및 단자전극(12)의 표면층과 일체적으로 패턴형성된 것이다.

[0050] 그리고, 상기 발광다이오드 칩(1)에 있어서의 제1전극부(2) 및 제2전극부(3)의 각 상면을 하향으로 반전시켜, 이 제1전극부(2) 및 제2전극부(3)를 칩형의 회로기판(10)의 표면에 형성된 제1외부접속용 전극(13)에 있어서의 제1리드부(15)와 제2외부접속용 전극(14)에 있어서의 제2리드부(16a, 16b) 및 제3리드부(17)에 대하여, 뿔납페이스트 등의 가열용융성의 다이본딩제(20)에 의해 접속고정하도록 구성되어 있다.

[0051] 그 경우, 제1실시형태에서는, 제1리드부(15), 제2리드부(16a, 16b) 및 제3리드부(17)의 각 선단부 근방의 표면에, 도 6의 (a)부분에서 해칭(hatching)의 위치로 나타내는 바와 같이, 상기 뿔납페이스트 등의 가열용융성의 다이본딩제(20)를 도포한다. 이어서, 이 다이본딩제(20)의 위에, 발광다이오드 칩(1)을 제1전극부(2) 및 제2전극부(3)가 하향으로 되도록 반전시켜서 놓고, 그 상태에서 뿔납 등의 용융점 이상의 온도로 가열한 후, 냉각하

여 다이본딩제(20)를 응고시킨다.

[0052] 상기 제1리드부(15)의 상면의 선단부상에 상기 제1전극부(2)가 위치하고, 또한 제2리드부(16a, 16b) 및 제3리드부(17)의 각 상면의 선단부가 제2전극부(3)상에 겹치도록, 발광다이오드 칩(1)을 배치한다. 이 발광다이오드 칩(1)(결정기관(1a))을 평면으로 보았을 때, 도 2에 나타내는 바와 같이, 결정기관(1a)의 4측변을, 제1측변(1a1), 제2측변(1a2), 제3측변(1a3), 제4측변(1a4)으로 할 때, 도 6의 (a)부분에 나타내는 바와 같이, 평면으로 볼 때에 상기 제1리드부(15)는, 평면에서 보아 사각형의 발광다이오드 칩(결정기관(1a))의 제1측변(1a1)과 교차하도록 연장된다. 또, 제2리드부(16a, 16b)는 상기 발광다이오드 칩(결정기관(1a))의 제3측변(1a3)과 교차하도록 연장된다. 한편, 제3리드부(17)의 기단측은 결정기관(1a)의 제4측변(1a4)과 평행형상이고 또한 상기 제4측변(1a4)보다 밖에 위치하며, 제3리드부(17)의 선단부(17a)(L자형으로 굴곡된 부분)가 상기 제4측변(1a4)과 교차하도록 연장되어 있다.

[0053] 그리고, 상술한 바와 같이, 발광다이오드 칩(1)을 회로기관의 상면에 얹을 때에, 도 6의 (a)부분에 이점쇄선으로 나타내는 바와 같이, 회로기관(10)의 한쌍의 측가장자리(10a, 10b)에 대하여, 발광다이오드 칩(1)에 있어서의 제1측변(1a1) 및 제4측변(1a4)이 비평행형상으로 기운 상태, 혹은 발광다이오드 칩(1)이 상기 회로기관(10) 표면의 중심에서 어긋난 위치에 놓여져 있는 경우에, 가열용융된 뿔납(다이본딩제)(20)에 있어서의 표면장력이, 각 리드부(15, 16a, 16b, 17a)와 발광다이오드 칩(1)의 각 측변(1a1, 1a3, 1a4)의 교차부에 동시에 작용하기 때문에, 이 표면장력에 의한 셀프알라이먼트 현상으로, 평면에서 보아 사각형의 발광다이오드 칩(1)은, 상기 제1리드부(15)가 연장되는 방향과 발광다이오드 칩(1)의 제1측변(1a1)의 교차각도가 평면에서 보아 대략 90도로 되고, 마찬가지로, 제2리드부(16a, 16b)가 연장되는 방향과 제3측변(1a3)의 교차각도가 평면으로 볼 때에 대략 90도로 되며, 또한, 제3리드부(17)의 선단부(17a)가 연장되는 방향과 제4측변(1a4)의 교차각도가 평면으로 볼 때에 대략 90도로 되도록, 자세의 방향이 자동적으로 수정된다(도 6의 (b)부분 참조). 실시형태에서는 상기 제1리드부(15) 및 제2리드부(16a, 16b)가 연장되는 방향이 회로기관(10)의 한쌍의 측가장자리(10a(10b))와 평행형상으로 형성되어 있기 때문에, 사각형의 발광다이오드 칩(1)의 제1측변(1a1)과 회로기관(10)의 측가장자리(10a)가 평행형상으로 되도록 자세수정되는 것이다.

[0054] 그리고, 상기 발광다이오드 칩(1)은, 상기한 바와 같이 수정된 자세인 상태로 용융뿔납의 응고로 고정된다. 상기 도 2 내지 도 6에 있어서, 제3리드부(17)를 생략한 실시형태라도 좋다.

[0055] 또한, 도 6의 (a)부분의 실시형태에서는, 제1리드부(15)의 선단부(제1전극부(2)와의 접합부의 위치) 및 제1리드부(15)가 연장되는 선이, 발광다이오드 칩(결정기관(1a))의 평면으로 볼 때의 면적의 중심에서 크게 벗어나 있는 한편, 제2리드부(16b)가 연장되는 선 및 제3리드부(17)의 선단부(17a)가 연장되는 선은 발광다이오드 칩(1)의 평면으로 볼 때의 면적의 중심에 가깝다. 따라서, 용융된 다이본딩제(20)에 의한 표면장력이 작용하는 모멘트(반도체 칩을 그 중심점 둘레로 회동시키는 힘)은, 제1리드부(15)측에서 커지므로, 상기 제1리드부(15) 및 제2리드부(16b)가 연장되는 방향과 교차하는 결정기관의 2개의 서로 대향하는 측변(제1측변(1a1)과 제3측변(1a3))이, 상기 양 리드부가 연장되는 방향에 대하여 직교하지 않는 비평행의 방향자세(경사자세)로 놓여진 경우에도, 상기 제1리드부(15) 및 제2리드부(16a, 16b)가 연장되는 방향과, 그것에 교차하는 결정기관(1a)의 2개의 서로 대향하는 측변(제1측변(1a1)과 제3측변(1a3))의 교차각도가 대략 90도로 되도록 자동적으로 자세변경됨과 아울러, 상기 발광다이오드 칩(1)이 회로기관(10)의 표면적에 있어서의 중심에 정확하게 위치하도록 자동적으로 수정되는 작용이 강해진다고 생각된다.

[0056] 도 7의 (a) 및 (b)부분에 나타내는 제2실시형태에서는, 상기 제1리드부(15), 제2리드부(16a, 16b) 및 제3리드부(17)의 표면(상면)과 회로기관(10)의 표면 중, 발광다이오드 칩(1)의 외주근처의 부위, 바꾸어 말하면, 각 리드부의 기단측(단자전극(11, 12)에 가까운 쪽)에 레지스트막(21)을 도포하여 덮은 후, 제1리드부(15), 제2리드부(16a, 16b) 및 제3리드부(17)의 각 선단부 근방의 표면에, 도 7의 (a)부분에서 해칭의 위치로 나타내는 바와 같이, 상기 뿔납 등의 가열용융성의 다이본딩제(20)를 도포한다.

[0057] 상기 각 리드부(15, 16a, 16b, 17)의 상면에 도포된 뿔납(다이본딩제)(20)이 용융되었을 때, 예를 들면, 상기 각 리드부(15, 16a, 16b, 17)의 기단측에 도포량이 많아서, 그 방향(기단측)으로 용융뿔납(다이본딩제)(20)이 쏠려서, 제1전극부(2) 및 제2전극부(3)로부터 상기 용융뿔납이 떨어진 위치까지 이동하여 버리면, 각 리드부와 전극부의 전기적 접촉불량이 발생한다. 그러나, 상술한 바와 같은 위치에 레지스트막(21)을 형성하여 두면, 상기 레지스트막(21)에 방해되어 각 리드부가 연장되는 방향을 따른 용융뿔납의 이동이 저지되기 때문에, 상기 셀프알라이먼트에 의한 효과에 의한 자세수정의 작용이 향상됨과 아울러, 전기적 접촉불량도 방지할 수 있다. 이 용융 다이본딩제(20)의 이동을 저지하기 위해서는, 각 리드부에만 레지스트막(21)을 도포하면 된다. 또한, 레지

스트막(21)을 백색 등, 광반사율이 높은 색의 것을 사용한 경우, 발광다이오드 칩(1)으로부터 발사된 광이 회로 기관(10)의 표면측인 레지스트막(21)에서 반사되는 효율이 높아지고, 발광다이오드 칩의 광효율이 향상된다는 효과도 있다.

[0058] 도 8의 (a), (b)부분에 나타내는 제3실시형태에서는, 제1외부접속용 전극(13)으로서의 제1리드부(15)는 상기 제 1, 제2실시형태와 동일위치 및 형상이지만, 제2외부접속용 전극(14)으로서의 제2리드부(22)는 1개이고, 또한 제 1리드부(15)와 제2리드부(22)는 적당한 치수(H4)만큼 치우쳐 있다. 또한, 제2리드부(22)의 선단부는, 평면으로 볼 때에 L자형상 등으로 적어도 제2리드부(22)의 기단이 연장되는 방향과 교차하는 방향으로 연장되도록 선단전 극편(23)이 일체적으로 형성되어 있는 것이다.

[0059] 상기 제1리드부(15)의 선단부와, 제2리드부(22)와 그 각 선단전극편(23)의 근방의 표면에, 도 8의 (a)부분에서 해칭의 위치로 나타내는 바와 같이, 상기 뿔납페이스트 등의 가열용융성의 다이본딩제(20)를 도포한다. 이어서, 이 다이본딩제(20)의 위에, 발광다이오드 칩(1)을 제1전극부(2) 및 제2전극부(3)가 하향으로 되도록 반전시켜서 놓고, 그 상태로 뿔납 등의 용융점 이상의 온도로 가열한 후, 냉각하여 다이본딩제(20)를 응고시킨다.

[0060] 그 경우에, 도 8의 (a)부분에 이점쇄선으로 나타내는 바와 같이, 회로기관(10)의 한쌍의 추가장자리(10a, 10b)에 대하여, 발광다이오드 칩(1)에 있어서의 제1측면(1a1) 및 제4측면(1a4)이 비평행상으로 기운 상태, 혹은 발 광다이오드 칩(1)이 상기 회로기관(10) 표면의 중심에서 어긋난 위치에 놓여져 있는 경우라도, 가열용융된 뿔납 (다이본딩제)(20)에 있어서의 표면장력이, 각 리드부(15, 22)와 발광다이오드 칩(1)의 각 측면(1a1, 1a3)의 교 차부에 동시에 작용하기 때문에, 이 표면장력에 의한 셀프얼라이먼트 현상으로 평면으로 볼 때에 사각형의 발광 다이오드 칩(1)은, 상기 제1리드부(15)가 연장되는 방향과 발광다이오드 칩(1)의 제1측면(1a1)의 교차각도가 평 면으로 볼 때에 대략 90도로 되고, 마찬가지로, 제2리드부(22)가 연장되는 방향과 제3측면(1a3)의 교차각도가 평면으로 볼 때에 대략 90도로 되도록, 자세의 방향이 자동적으로 수정된다(도 8의 (b)부분 참조). 또, 제2리드 부(22)에 있어서의 선단전극편(23)의 존재에 의해 제2전극부(3)와의 전기적 접합이 양호하게 된다.

[0061] 도 9의 (a) 및 (b)부분에 나타내는 제4실시형태는, 상기 제3실시형태의 리드부(15, 22)와 회로기관(10)의 표면에 대하여 발광다이오드 칩(1)의 외주근처 부위에 레지스트막(21)을 도포형성한 경우로서, 제3실시형태에 의한 작용·효과에 더하여, 제2실시형태(도 7의 (a) 및 (b)부분 참조)와 같은 작용·효과를 가질 수 있다.

[0062] 도 10의 (a) 및 (b)부분에 나타내는 제5실시형태는, 상기 제3실시형태의 제1리드부(15)에 대하여 제2리드부(22)의 기부는 평면으로 볼 때에 대략 동일 직선상에 배치되어 있다. 그리고, 이 제2리드부(22)의 선단부에는, 상 기 제2리드부(22)의 기부가 연장되는 방향과 대략 직교하는 방향으로 연장되는 제1선단전극편(23a)과, 상기 제1 선단전극편(23a)과 평면으로 볼 때에 대략 직교하는 방향으로 연장되는 제2선단전극편(23b)이 일체적으로 패턴 형성되어 있으며, 또한 제2선단전극편(23b)은, 상기 제1리드부(15)와 적당한 치수(H5)만큼 치우쳐 있다. 또, 상 기 제1선단전극편(13a) 및 제2선단전극편(23b)은 발광다이오드 칩(1)(결정기관(1a))의 제2전극부(3)에 접속되는 (겹치는) 부위에 형성되어 있는 것이다.

[0063] 이와 같이 구성함으로써, 제1리드부(15)의 선단부와, 제2리드부(22)와, 그 제1선단전극편(23a) 및 제2선단전극 편(23b)의 표면에, 도 10의 (a)부분에서 해칭의 위치로 나타내는 바와 같이, 상기 뿔납페이스트 등의 가열용융 성의 다이본딩제(20)를 도포한다. 이어서, 이 다이본딩제(20)의 위에, 발광다이오드 칩(1)을 제1전극부(2) 및 제2전극부(3)가 하향으로 되도록 반전시켜서 놓고, 그 상태로 뿔납 등의 용융점 이상의 온도로 가열한 후, 냉각 하여 다이본딩제(20)를 응고시킨다.

[0064] 그 경우에, 도 10의 (a)부분에 이점쇄선으로 나타내는 바와 같이, 회로기관(10)의 한쌍의 추가장자리(10a, 10 b)에 대하여, 발광다이오드 칩(1)에 있어서의 제1측면(1a1) 및 제4측면(1a4)이 비평행상으로 기운 상태, 혹은 발 광다이오드 칩(1)이 상기 회로기관(10) 표면의 중심에서 어긋난 위치에 놓여져 있는 경우라도, 가열용융된 뿔 납(다이본딩제)(20)에 있어서의 표면장력이, 각 리드부(15, 22)와 발광다이오드 칩(1)의 각 측면(1a1, 1a3)의 교차부에 동시에 작용함과 아울러 제1선단전극편(23a) 및 제2선단전극편(23b)의 표면과 제2전극부의 표면의 간 극에도 동시에 작용하기 때문에, 이들 표면장력에 의한 셀프얼라이먼트 현상으로 평면으로 볼 때 사각형의 발광 다이오드 칩(1)은, 상기 제1리드부(15)가 연장되는 방향과 발광다이오드 칩(1)의 제1측면(1a1)의 교차각도가 평 면으로 볼 때에 대략 90도로 되고, 마찬가지로, 제2리드부(22)가 연장되는 방향과 제3측면(1a3)의 교차각도가 평면으로 볼 때에 대략 90도로 되도록, 자세의 방향이 자동적으로 수정된다(도 8의 (b)부분 참조). 또, 제2리드 부(22)에 있어서의 제1선단전극편(23a) 및 제2선단전극편(23b)의 존재에 의해 제2전극부(3)와의 전기적 접합이 양호하게 된다.

- [0065] 도 11의 (a) 및 (b)부분에 나타내는 제6실시형태는, 상기 제5실시형태의 리드부(15, 22)와 회로기관(10)의 표면에 대하여 발광다이오드 칩(1)의 외주근처 부위에 레지스트막(21)을 도포형성한 경우로서, 제5실시형태에 의한 작용·효과에 더하여, 제2실시형태(도 7의 (a) 및 (b)부분 참조)와 같은 작용·효과를 가질 수 있다.
- [0066] 도 12에 나타내는 제7실시형태에서는, 발광다이오드 칩(1)에 있어서의 평면으로 볼 때 대략 사각형상의 결정기관(1a)의 편면에 형성된 제1전극부(2)는, 상기 결정기관의 1측변 부근의 대략 중앙부에 형성된 하나의 작은 영역의 것이고, 제2전극부(3)는 상기 제1전극부(2)와 대치하고, 또한 결정기관(1a)의 다른 3측변을 따라서 연장하도록 형성된 큰 영역의 것으로서, 도 12에 있어서 좌우 대칭형상으로 된다. 회로기관(10)의 표면에는, 상기 제1전극부(2) 및 제2전극부(3)에 각각 뿔납페이스트 등의 가열용융성의 다이본딩제(20)에 의해 접합되는 제1외부접속용 전극(13)과 제2외부접속용 전극(14)이 다음에 서술하는 바와 같이 패턴형성되고, 회로기관(10)의 양단의 단자전극(11, 12)에 각각 일체적으로 이어설치되어 있다.
- [0067] 그리고, 상기 제1외부접속용 전극(13)에는, 상기 결정기관(1a)에 있어서의 1측변과 교차하도록 연장되는 좁은 폭의 제1리드부(24)를 일체적으로 설치하고, 상기 제2외부접속용 전극(14)에는, 상기 제1리드부(24)가 연장되는 방향과 반대방향으로 연장하며, 또한 상기 제1리드부(24)가 교차하는 1측변과 대략 평행한 결정기관(1a)의 1측변과 교차하도록 연장하는 1개의 제2리드부(25)를 설치하고, 이 제2리드부(25)의 선단에는 상기 제2전극부(3)에 접합할 수 있는 선단전극편(25a)이 일체적으로 형성되어 있는 것이다.
- [0068] 본 실시형태에서는, 발광다이오드 칩(1)에 있어서의 제1전극부(2) 및 제2전극부(3)가 좌우 대칭형상임과 아울러, 제1리드부(24)와 제2리드부(25)가 동일 직선상에 연장되어 있으므로, 가열용융된 뿔납에 있어서의 표면장력이 제1리드부(24)와 제2리드부(25)가 연장되는 방향과 그들에 교차하는 발광다이오드 칩(1)(결정기관(1a))의 서로 대치하는 2개의 측면을 따르는 방향으로 동시에 또한 대략 동일 강도로(대략 균등하게) 작용한다. 따라서, 발광다이오드 칩(1)에 있어서의 각 측면이 회로기관(10)에 있어서의 좌우 측가장자리(10a, 10b)에 대하여 비평행의 방향자세로 놓여져 있거나, 혹은 발광다이오드 칩(1)이 상기 회로기관(10)의 표면 중심으로부터 어긋난 위치에 놓여져 있는 경우에도, 상기 표면장력에 의한 셀프얼라이먼트 작용으로 상기 사각형의 발광다이오드 칩(1)은, 그 각 측면이 사각형의 회로기관(10)에 있어서의 각 측가장자리와 평행 또는 대략 평행하게 되는 자세의 방향으로 자동적으로 수정됨과 아울러, 상기 발광다이오드 칩(1)이 회로기관(10)의 표면적의 중심에 정확하게 위치하도록 자동적으로 수정되게 된다.
- [0069] 그리고, 상기 발광다이오드 칩(1)은, 상기와 같이 수정된 자세인 채로 용융뿔납의 응고로 고정된다.
- [0070] 상기 각 실시형태에 있어서, 본 발명자들의 실험에 의하면, 가열용융된 뿔납에 있어서의 표면장력의 셀프얼라이먼트에 의한 상기한 자동적인 수정은, 각 리드부의 폭치수를 상기 발광다이오드 칩(1)에 있어서의 사각형의 각 변의 길이치수의 0.1~0.3배 정도로 하였을 때 확실하게 달성할 수 있는 것이고, 도전성 페이스트 등의 뿔납페이스트 이외의 열용융성의 다이본딩제에 대해서도 동일하였다.
- [0071] 즉, 상기 각 실시형태와 같이 구성함으로써, 회로기관(10)에 대한 발광다이오드 칩(1)의 다이본딩시에, 다이본딩시에 있어서의 셀프얼라이먼트에 의해 회로기관(10)에 있어서의 각 리드부가 연장되는 방향과 발광다이오드 칩(1)의 한쌍의 측면이 대략 평행하게 되도록, 자세수정할 수 있기 때문에 이 발광다이오드 칩(1)을 패키징하는 몰드부(19) 및 회로기관(10)에 있어서의 폭치수를, 종래의 경우보다 작게 할 수 있고, 나아가서는 칩형 LED를 소형·경량화할 수 있음과 아울러, 발광다이오드 칩(1)으로부터 방사되는 광의 지향성의 편차를 작게 할 수 있는 것이다.
- [0072] 상기 실시형태는 발광다이오드 칩을 사용한 칩형 LED에 적용한 경우였지만, 본 발명은 이 칩형 LED에 한정되지 않고, 다이오드 또는 트랜지스터 등의 다른 반도체 장치에도 적용할 수 있는 것은 물론이다.

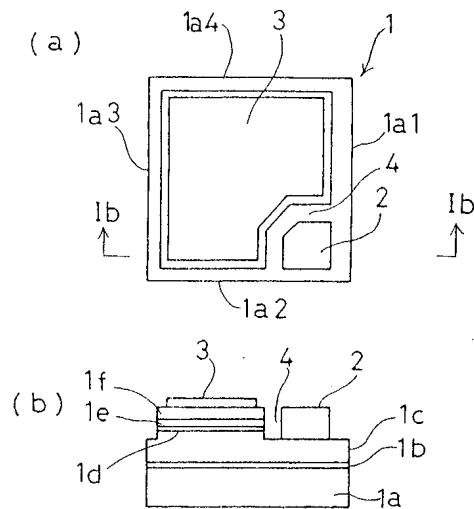
도면의 간단한 설명

- [0029] 도 1의 (a)부분은 본 발명에 적용하는 제1실시형태의 발광다이오드 칩의 상면도이고, (b)부분은 (a)부분의 Ib-Ib선 단면도이다.
- [0030] 도 2는 제1실시형태의 칩형 LED를 나타내는 사시도이다.
- [0031] 도 3은 제1실시형태의 칩형 LED를 나타내는 평면도이다.
- [0032] 도 4는 도 2 및 도 3의 IV-IV선 단면도이다.
- [0033] 도 5는 도 2 및 도 3의 V-V선 단면도이다.

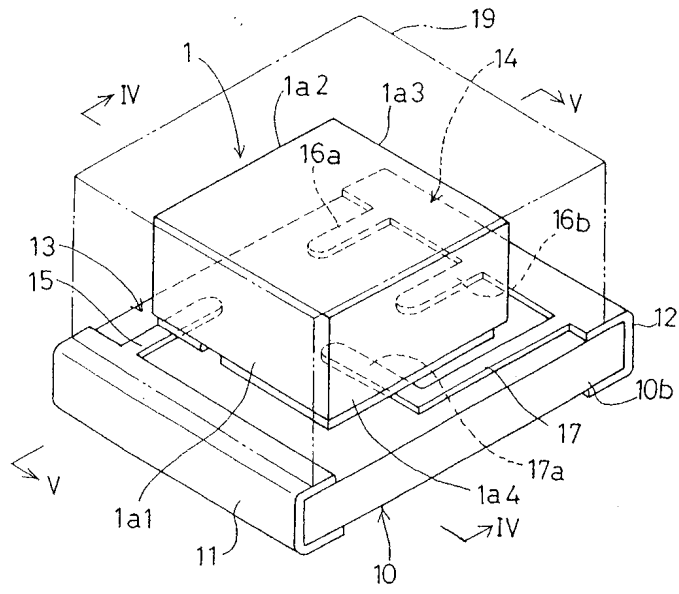
- [0034] 도 6의 (a)부분은 제1실시형태에 있어서 회로기판에 발광다이오드 칩을 엮은 상태를 나타내는 평면도, (b)부분은 다이본딩제가 응고되어 발광다이오드 칩의 자세가 유지된 상태를 나타내는 평면도이다.
- [0035] 도 7의 (a)부분은 제2실시형태에 있어서의 레지스트막의 배치를 나타내는 평면도, (b)부분은 다이본딩제가 응고되어 발광다이오드 칩의 자세가 유지된 상태를 나타내는 평면도이다.
- [0036] 도 8의 (a)부분은 제3실시형태에 있어서 회로기판에 발광다이오드 칩을 엮은 상태를 나타내는 평면도, (b)부분은 다이본딩제가 응고되어 발광다이오드 칩의 자세가 유지된 상태를 나타내는 평면도이다.
- [0037] 도 9의 (a)부분은 제4실시형태에 있어서의 레지스트막의 배치를 나타내는 평면도, (b)부분은 다이본딩제가 응고되어 발광다이오드 칩의 자세가 유지된 상태를 나타내는 평면도이다.
- [0038] 도 10의 (a)부분은 제5실시형태에 있어서의 회로기판에 발광다이오드 칩을 엮은 상태를 나타내는 평면도, (b)부분은 다이본딩제가 응고되어 발광다이오드 칩의 자세가 유지된 상태를 나타내는 평면도이다.
- [0039] 도 11의 (a)부분은 제6실시형태에 있어서의 레지스트막의 배치를 나타내는 평면도, (b)부분은 다이본딩제가 응고되어 발광다이오드 칩의 자세가 유지된 상태를 나타내는 평면도이다.
- [0040] 도 12는 제7실시형태에 있어서의 다이본딩제가 응고되어 발광다이오드 칩의 자세가 유지된 상태를 나타내는 평면도이다.

도면

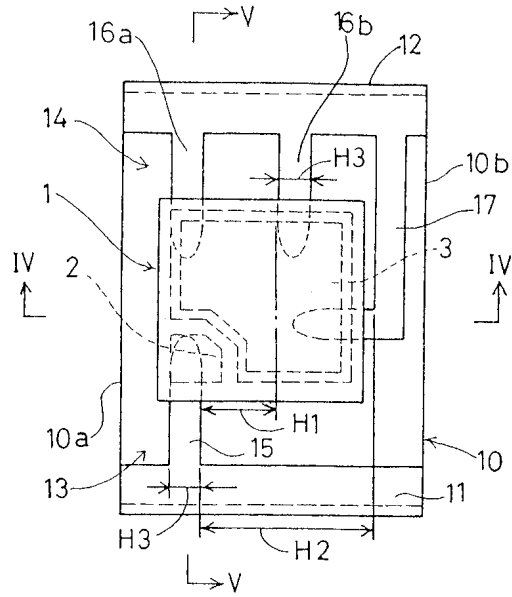
도면1



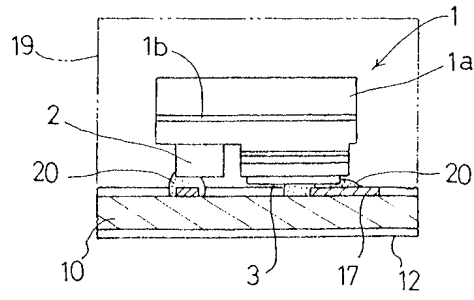
도면2



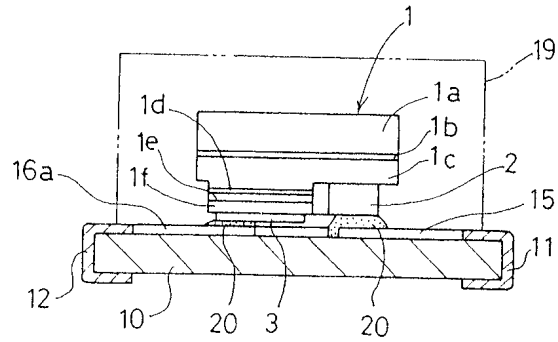
도면3



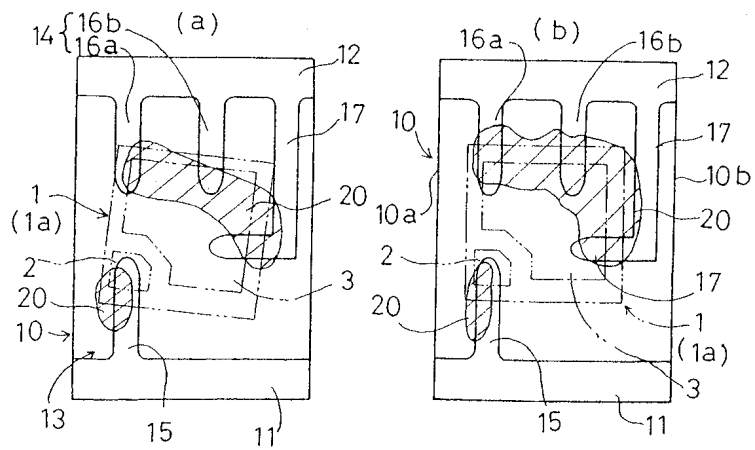
도면4



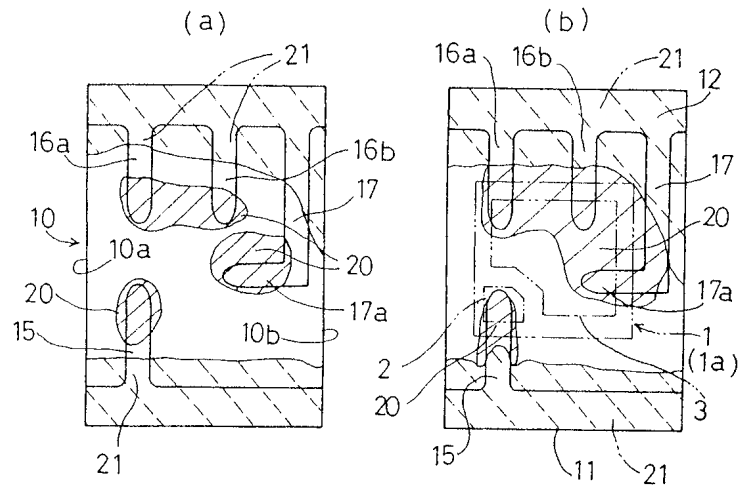
도면5



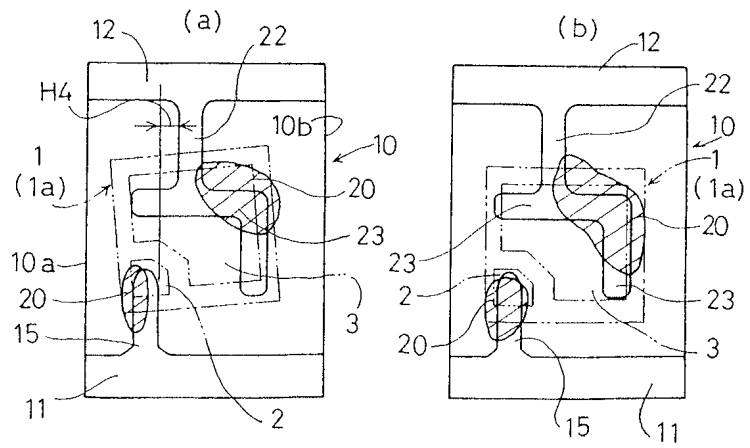
도면6



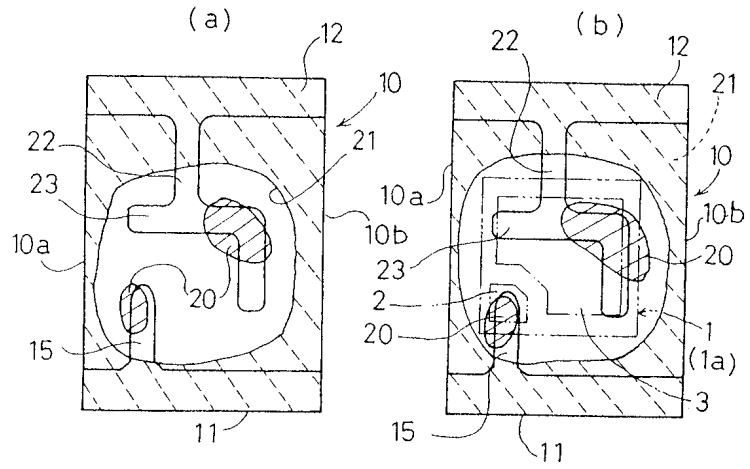
도면7



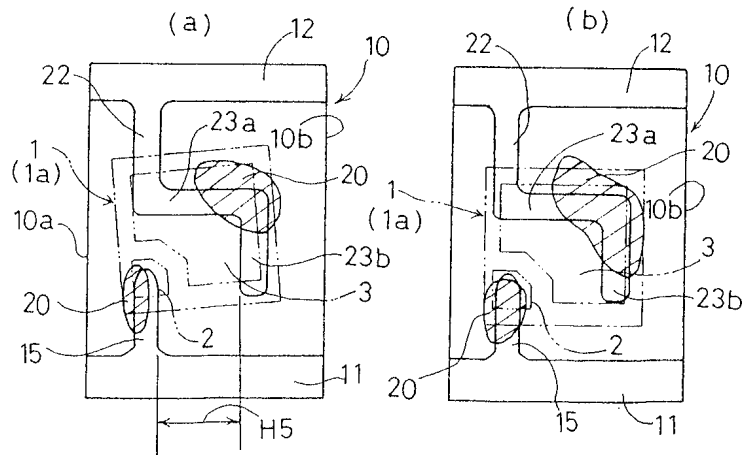
도면8



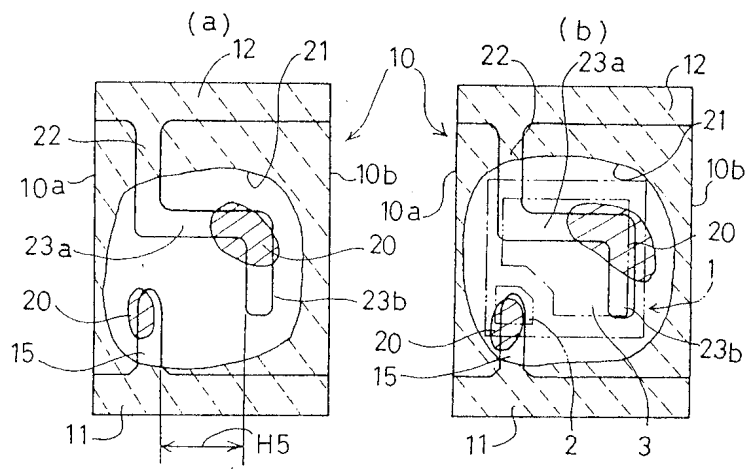
도면9



도면10



도면11



도면12

