



(12) 发明专利

(10) 授权公告号 CN 102598248 B

(45) 授权公告日 2015. 09. 23

(21) 申请号 201080047028. 0

H01L 27/00(2006. 01)

(22) 申请日 2010. 09. 27

H01L 27/04(2006. 01)

(30) 优先权数据

H01L 27/092(2006. 01)

2009-242689 2009. 10. 21 JP

H01L 29/786(2006. 01)

(85) PCT国际申请进入国家阶段日

2012. 04. 18

(56) 对比文件

US 5112765 A, 1992. 05. 12,

CN 101258607 A, 2008. 09. 03,

(86) PCT国际申请的申请数据

PCT/JP2010/067294 2010. 09. 27

JP 11-233789 A, 1999. 08. 27,

US 7339235 B1, 2008. 03. 04,

(87) PCT国际申请的公布数据

W02011/048929 EN 2011. 04. 28

审查员 陈冠源

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 小山润 今井馨太郎

(74) 专利代理机构 上海专利商标事务所有限公司

司 31100

代理人 张欣

(51) Int. Cl.

H01L 21/8238(2006. 01)

H01L 21/822(2006. 01)

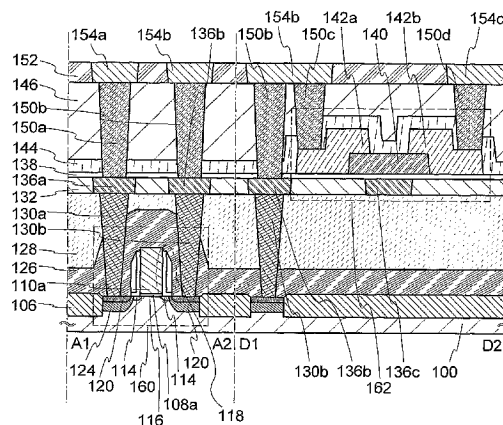
权利要求书5页 说明书19页 附图13页

(54) 发明名称

半导体器件

(57) 摘要

本发明的目的是提供具有新结构的半导体器件。公开了半导体器件,其包括第一晶体管,其包括位于含有半导体材料的衬底中的沟道形成区、沟道形成区插入之间的杂质区、位于沟道形成区上的第一栅绝缘层、位于第一栅绝缘层上的第一栅电极、以及电连接至该杂质区的第一源电极和第一漏电极;以及第二晶体管,其包括位于含有半导体材料的衬底上的第二栅电极、位于该第二栅电极上的第二栅绝缘层、位于该第二栅绝缘层上的氧化物半导体层、以及电连接至该氧化物半导体层的第二源电极和第二漏电极。



1. 一种半导体器件,包括:  
第一晶体管,包括:  
位于含有半导体材料的衬底中的沟道形成区;  
所述沟道形成区插入其间的杂质区;  
位于所述沟道形成区上的第一栅绝缘层;  
位于所述第一栅绝缘层上的第一栅电极;以及  
电连接至所述杂质区的第一源电极和第一漏电极;  
位于所述第一晶体管上的绝缘层;以及  
位于所述绝缘层上的第二晶体管,该第二晶体管包括:  
位于所述衬底上的第二栅电极;  
位于所述第二栅电极上的第二栅绝缘层;  
位于所述第二栅绝缘层上的氧化物半导体层;以及  
电连接至所述氧化物半导体层的第二源电极和第二漏电极,  
其中所述第一栅电极和所述第二栅电极彼此电连接,且  
其中所述第一源电极和所述第一漏电极中的一个电连接至所述第二源电极和所述第  
二漏电极中的一个。

2. 一种半导体器件,包括:  
第一晶体管,包括:  
位于含有半导体材料的衬底中的沟道形成区;  
所述沟道形成区插入其间的杂质区;  
位于所述沟道形成区上的第一栅绝缘层;  
位于所述第一栅绝缘层上的第一栅电极;以及  
电连接至所述杂质区的第一源电极和第一漏电极;  
位于所述第一晶体管上的绝缘层;以及  
位于所述绝缘层上的第二晶体管,该第二晶体管包括:  
位于所述衬底上的第二栅电极;  
位于所述第二栅电极上的第二栅绝缘层;  
位于所述第二栅绝缘层上的氧化物半导体层;以及  
电连接至所述氧化物半导体层的第二源电极和第二漏电极,  
其中,所述第一栅电极电连接至所述第二源电极和所述第二漏电极中的一个。

3. 一种半导体器件,包括:  
第一晶体管,包括:  
位于含有半导体材料的衬底中的沟道形成区;  
所述沟道形成区插入其间的杂质区;  
位于所述沟道形成区上的第一栅绝缘层;  
位于所述第一栅绝缘层上的第一栅电极;以及  
电连接至所述杂质区的第一源电极和第一漏电极;  
位于所述第一晶体管上的绝缘层;以及  
位于所述绝缘层上的第二晶体管,该第二晶体管包括:

位于所述衬底上的第二栅电极；  
位于所述第二栅电极上的第二栅绝缘层；  
位于所述第二栅绝缘层上的氧化物半导体层；以及  
电连接至所述氧化物半导体层的第二源电极和第二漏电极；以及  
第三晶体管，所述第三晶体管包括：  
位于所述衬底中的第二沟道形成区；  
所述第二沟道形成区插入其间的第二杂质区；  
位于所述沟道形成区上的第三栅绝缘层；  
位于所述第三栅绝缘层上的第三栅电极；以及  
电连接到所述第二杂质区的第三源电极和第三漏电极，  
其中所述第一栅电极和所述第三栅电极电连接至所述第二漏电极。

4. 一种半导体器件，包括：

第一晶体管，包括：

位于含有半导体材料的衬底中的沟道形成区；  
所述沟道形成区插入其间的杂质区；  
位于所述沟道形成区上的第一栅绝缘层；  
位于所述第一栅绝缘层上的第一栅电极；以及  
电连接至所述杂质区的第一源电极和第一漏电极；  
位于所述第一栅电极上的第一绝缘层；  
位于所述第一晶体管上的第二绝缘层；以及  
位于所述第一绝缘层上的第二晶体管，该第二晶体管包括：  
位于所述衬底上的第二栅电极，该第二栅电极内嵌在所述第二绝缘层中；  
位于所述第二栅电极上的第二栅绝缘层；  
位于所述第二栅绝缘层上的氧化物半导体层；以及  
电连接至所述氧化物半导体层的第二源电极和第二漏电极，  
其中所述第一栅电极和所述第二栅电极彼此电连接，且

其中所述第一源电极和所述第一漏电极中的一个电连接至所述第二源电极和所述第二漏电极中的一个。

5. 一种半导体器件，包括：

第一晶体管，包括：

位于含有半导体材料的衬底中的沟道形成区；  
所述沟道形成区插入其间的杂质区；  
位于所述沟道形成区上的第一栅绝缘层；  
位于所述第一栅绝缘层上的第一栅电极；以及  
电连接至所述杂质区的第一源电极和第一漏电极；  
位于所述第一栅电极上的第一绝缘层；  
位于所述第一晶体管上的第二绝缘层；以及  
位于所述第一绝缘层上的第二晶体管，该第二晶体管包括：  
位于所述衬底上的第二栅电极，该第二栅电极内嵌在所述第二绝缘层中；

位于所述第二栅电极上的第二栅绝缘层；  
位于所述第二栅绝缘层上的氧化物半导体层；以及  
电连接至所述氧化物半导体层的第二源电极和第二漏电极，  
其中，所述第一栅电极电连接至所述第二源电极和所述第二漏电极中的一个。

6. 一种半导体器件，包括：

第一晶体管，包括：

位于含有半导体材料的衬底中的沟道形成区；

所述沟道形成区插入其间的杂质区；

位于所述沟道形成区上的第一栅绝缘层；

位于所述第一栅绝缘层上的第一栅电极；以及

电连接至所述杂质区的第一源电极和第一漏电极；

位于所述第一栅电极上的第一绝缘层；

位于所述第一晶体管上的第二绝缘层；以及

位于所述第一绝缘层上的第二晶体管，该第二晶体管包括：

位于所述衬底上的第二栅电极，该第二栅电极内嵌在所述第二绝缘层中；

位于所述第二栅电极上的第二栅绝缘层；

位于所述第二栅绝缘层上的氧化物半导体层；以及

电连接至所述氧化物半导体层的第二源电极和第二漏电极；以及第三晶体管，所述第三晶体管包括：

位于所述衬底中的第二沟道形成区；

所述第二沟道形成区插入其间的第二杂质区；

位于所述沟道形成区上的第三栅绝缘层；

位于所述第三栅绝缘层上的第三栅电极；以及

电连接到所述第二杂质区的第三源电极和第三漏电极，

其中所述第一栅电极和所述第三栅电极电连接至所述第二漏电极。

7. 一种半导体器件，包括：

第一晶体管，包括：

位于含有半导体材料的衬底中的沟道形成区；

所述沟道形成区插入其间的杂质区；

位于所述沟道形成区上的第一栅绝缘层；

位于所述第一栅绝缘层上的第一栅电极；以及

电连接至所述杂质区的第一源电极和第一漏电极；

位于所述第一栅电极上的第一绝缘层；

位于所述第一晶体管上的第二绝缘层；

内嵌在所述第二绝缘层中的第一电极；

位于所述第一绝缘层上的第二晶体管，该第二晶体管包括：

位于所述衬底上的第二栅电极，该第二栅电极内嵌在所述第二绝缘层中；

位于所述第二栅电极上的第二栅绝缘层；

位于所述第二栅绝缘层上的氧化物半导体层；以及

电连接至所述氧化物半导体层的第二源电极和第二漏电极；  
在所述氧化物半导体层上的第三绝缘层；  
位于所述第三绝缘层上的第四绝缘层；以及  
内嵌在所述第四绝缘层中的第二电极，  
其中所述第一栅电极和第二栅电极彼此电连接，且  
其中所述第一源电极和所述第一漏电极中的一个通过所述第一电极和所述第二电极电连接至所述第二源电极和所述第二漏电极中的一个。

8. 一种半导体器件，包括：

第一晶体管，包括：

位于含有半导体材料的衬底中的沟道形成区；

所述沟道形成区插入其间的杂质区；

位于所述沟道形成区上的第一栅绝缘层；

位于所述第一栅绝缘层上的第一栅电极；以及

电连接至所述杂质区的第一源电极和第一漏电极；

位于所述第一栅电极上的第一绝缘层；

位于所述第一晶体管上的第二绝缘层；

内嵌在所述第二绝缘层中的第一电极；

位于所述第一绝缘层上的第二晶体管，该第二晶体管包括：

位于所述衬底上的第二栅电极，该第二栅电极内嵌在所述第二绝缘层中；

位于所述第二栅电极上的第二栅绝缘层；

位于所述第二栅绝缘层上的氧化物半导体层；以及

电连接至所述氧化物半导体层的第二源电极和第二漏电极；

在所述氧化物半导体层上的第三绝缘层；

位于所述第三绝缘层上的第四绝缘层；

内嵌在所述第四绝缘层中的第二电极，

其中所述第一栅电极通过所述第一电极和所述第二电极电连接至所述第二源电极和所述第二漏电极中的一个。

9. 如权利要求 2、3 以及 5 至 8 中任一项所述的半导体器件，其特征在于，

所述半导体器件是非易失性存储器。

10. 如权利要求 1 至 8 中任一项所述的半导体器件，其特征在于，

其中所述第一晶体管是 p- 型晶体管；且

其中所述第二晶体管是 n- 型晶体管。

11. 如权利要求 1 至 8 中任一项所述的半导体器件，其特征在于，所述衬底是单晶半导体衬底或 SOI 衬底。

12. 如权利要求 1 至 8 中任一项所述的半导体器件，其特征在于，所述半导体材料是硅。

13. 如权利要求 1 至 8 中任一项所述的半导体器件，其特征在于，所述氧化物半导体层含有 In-Ga-Zn-O 基的氧化物半导体材料。

14. 如权利要求 1 至 8 中任一项所述的半导体器件，其特征在于，所述氧化物半导体层含有  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  晶体。

15. 如权利要求 1 至 8 中任一项所述的半导体器件,其特征在于,所述氧化物半导体的氢浓度为  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 或更小。

16. 如权利要求 1 至 8 中任一项所述的半导体器件,其特征在于,所述第二晶体管的截止态电流是  $1 \times 10^{-13}$  A 或更小。

17. 如权利要求 1 至 8 中任一项所述的半导体器件,其特征在于,其中所述杂质区包括电连接至所述第一源电极和所述第一漏电极的金属化合物区。

18. 如权利要求 1 至 8 中任一项所述的半导体器件,其特征在于,其中所述第一晶体管还包括位于所述第一栅电极侧上的侧壁绝缘层。

19. 如权利要求 1 或 4 所述的半导体器件,其特征在于,还包括:

位于所述衬底上的第四栅绝缘层;以及

位于所述第四栅绝缘层上的栅引线,

其中所述栅引线电连接至所述第二栅电极。

20. 如权利要求 1 至 8 中任一项所述的半导体器件,其特征在于,

其中所述杂质区包括硼或铝。

21. 如权利要求 4 至 6 中任一项所述的半导体器件,其特征在于,还包括:

内嵌在所述第二绝缘层中的第一电极;

在所述氧化物半导体层上的第三绝缘层;

位于所述第三绝缘层上的第四绝缘层;以及

内嵌在所述第四绝缘层中且与所述第一电极电接触的第二电极。

## 半导体器件

## 技术领域

[0001] 本发明的技术领域涉及半导体器件以及该半导体器件的制造方法。注意,此处,半导体器件是指利用半导体特性而起作用的通用元件和器件。

## 背景技术

[0002] 有众多种类的金属氧化物,且金属氧化物具有各种应用。氧化铟是众所周知的材料,且已经被用于液晶显示设备等中所需要的透明电极。

[0003] 一些金属氧化物具有半导体特性。具有半导体特性的金属氧化物的示例为氧化铟、氧化锡、氧化铟、和氧化锌等。已经描述了具有由这样的金属氧化物中的任意制成的沟道形成区的薄膜晶体管(见专利文献1到4以及非专利文献1等)。

[0004] 附带地,不仅是单组分氧化物,还有多组分氧化物也被称为金属氧化物。例如,已知同系列化合物  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$  是自然数) 是含有 In、Ga 和 Zn 的多组分氧化物(如,见非专利文献2到4等)。

[0005] 含有这样的 In-Ga-Zn-基氧化物的氧化物半导体也被已知为可应用于薄膜晶体管的沟道形成层(如,见专利文献5、非专利文献5和6等)。

[0006] [参考文献]

[0007] [专利文献]

[0008] [专利文献1] 日本公开专利申请 No. S60-198861

[0009] [专利文献2] 日本公开专利申请 No. H8-264794

[0010] [专利文献3] PCT 国际申请的日本翻译 H11-505377

[0011] [专利文献4] 日本公开专利申请 No. 2000-150900

[0012] [专利文献5] 日本公开专利申请 No. 2004-103957

[0013] [非专利文献1] M. W. Prins、K. O. Grosse-Holz、G. Muller、J. F. M. Cillessen、J. B. Giesbers、R. P. Weening、和 R. M. Wolf, "A ferroelectric transparent thin-film transistor(铁电透明薄膜晶体管)", Appl. Phys. Lett., 1996年6月17日, 68卷, 3650-3652页

[0014] [非专利文献2] M. Nakamura, N. Kimizuka 和 T. Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ -ZnO System at 1350°C (在 1350°C 的  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ -ZnO 系统中的相位关系)", J. Solid State Chem., 1991, 93卷, 298-315页

[0015] [非专利文献3] Kimizuka, M. Isobe 和 M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m = 3, 4, \text{ and } 5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m = 7, 8, 9, \text{ and } 16$ ) in the  $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ -ZnO System ( $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ -ZnO 系统中的同系列化合物、 $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m = 3, 4, \text{ and } 5$ )、 $\text{InGaO}_3(\text{ZnO})_3$ 、以及  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m = 7, 8, 9, \text{ and } 16$ ) 的合成与单晶数据)", J. Solid State Chem., 1995, 116卷, 170-178页

[0016] [非专利文献4] M. Nakamura, N. Kimizuka, T. Mohri 和 M. Isobe, "Syntheses

and crystal structures of new homologous compounds, indium iron zinc oxides ( $\text{InFeO}_3(\text{ZnO})_m$ ) ( $m$ : natural number) and related compounds (新的同系列复合物, 包括氧化锌 ( $\text{InFeO}_3(\text{ZnO})_m$ ) ( $m$ : 自然数) 和相关复合物的合成与晶体结构)”, KOTAIBUTSURI (SOLID STATE PHYSICS), 1993, 28 卷, 第 5 期, 317-327 页

[0017] [非专利文献 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano 和 H. Hosono, “Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor (在单晶透明氧化物半导体中制造的薄膜晶体管)”, SCIENCE, 2003, 300 卷, 1269-1272 页

[0018] [非专利文献 6] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano 和 H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors (使用非晶氧化物半导体的对透明柔性薄膜晶体管的室温制造)”, NATURE, 2004, 432 卷, 488-492 页

[0019] 本发明的公开内容

[0020] 场效应晶体管 (是半导体器件的典型示例) 一般使用诸如硅之类的材料形成。然而, 使用硅等的半导体器件并不具有充足的开关特性; 如, 一项问题在于, 在 CMOS 反相器电路的情况下, 半导体器件由极高的流经电流所损坏, 且功耗被极高的流经电流所增加。

[0021] 另外, 使用硅等的半导体器件的截止态电流 (也被称为漏电流) 并不如基本为零这样低。

[0022] 因此, 不管半导体器件所意在的行为如何, 微小电流会发生, 且因此难以确保在诸如存储器或液晶显示器之类的电荷保留半导体器件的制造情况中电荷保留的充足时间段。

[0023] 进一步的问题在于截止态电流增加了功耗。由于此, 本发明的一个实施例的目的在于提供具有解决上述问题的新结构的半导体器件。

[0024] 本发明的一个实施例是具有使用氧化物半导体的晶体管和具有使用非氧化物半导体的材料的晶体管的堆叠的半导体。例如, 该半导体器件可采用如下结构。

[0025] 本发明的一个实施例是半导体器件, 其包括第一晶体管, 其包括位于含有半导体材料的衬底中的沟道形成区、杂质区 (沟道形成区夹在杂质区中间)、位于沟道形成区上的第一栅绝缘层、位于第一栅绝缘层上的第一栅电极、以及电连接至该杂质区的第一源电极和第一漏电极; 以及第二晶体管, 其包括位于含有半导体材料的衬底上的第二栅电极、位于该第二栅电极上的第二栅绝缘层、位于该第二栅绝缘层上的氧化物半导体层、以及电连接至该氧化物半导体层的第二源电极和第二漏电极。

[0026] 优选地, 在上述结构中, 第一栅电极和第二栅电极彼此电连接, 且第一源电极或第一漏电极中的一个电连接至第二源电极或第二漏电极中的一个。此外, 优选地, 第一晶体管是 p- 型晶体管 (p- 沟道晶体管), 且第二晶体管是 n- 型晶体管 (n- 沟道晶体管)。

[0027] 可选地, 在上述结构中, 第一栅电极电连接至第二源电极或第二漏电极。

[0028] 优选地, 在上述结构中, 含有半导体材料的衬底是单晶半导体衬底或 SOI 衬底。特定地, 半导体材料优选为硅。

[0029] 优选地, 在上述结构中, 氧化物半导体层含有 In-Ga-Zn-O 基的氧化物半导体材料。具体地, 氧化物半导体层优选含有  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  晶体。此外, 优选地, 氧化物半导体层的氢浓度为  $5 \times 10^{19}/\text{cm}^3$  或更小。此外, 优选地, 第二晶体管的截止态电流为  $1 \times 10^{-13}\text{A}$  或更小。



[0030] 在上述结构中,可在与第一晶体管交迭的区中提供第二晶体管。

[0031] 注意,可使用与第二源电极或第二漏电极一样的半导体层形成第一源电极或第一漏电极。换言之,第二源电极或第二漏电极可部分地用作第一源电极或第一漏电极,且第一源电极或第一漏电极可部分地用作第二源电极或第二漏电极。

[0032] 注意在本说明书中,像“之上”和“之上”之类的术语并不必须分别表示在组件之间的物理关系的描述中的“直接地之上”和“直接地之下”。例如,表达“在第一栅绝缘层上的第一栅电极”可对应于这样的情况:栅绝缘层和第一栅电极之间有附加组件。术语“之上”和“之上”仅被用于解释的便利,且它们可被互换,除非有其他规定。

[0033] 在本说明书中,术语“电极”或“引线”不限制组件的功能。例如,可使用“电极”作为部分的“引线”,且可使用“引线”作为部分的“电极”。此外,例如,术语“电极”或“引线”还可表示多个“电极”和“引线”的组合。

[0034] 通常,术语“SOI 衬底”指的是在绝缘表面上具有硅半导体层的一种衬底。在本文说明书中,术语“SOI 衬底”还表示一种衬底,其具有在绝缘表面上的使用除硅以外材料的半导体层。换言之,包括在“SOI 衬底”中的半导体层并不限于硅半导体层。此外,“SOI 衬底”中的衬底并不限于诸如硅晶片之类的半导体衬底,且可能是诸如玻璃衬底、石英衬底、蓝宝石衬底、以及金属衬底之类的非半导体衬底。换言之,“SOI 衬底”还包括具有绝缘表面的导电衬底或具有在绝缘衬底上的半导体材料层的衬底。此外,在本说明书等中,“半导体衬底”指示仅有半导体材料的衬底,并且还指示含有半导体材料的一般衬底。换言之,在本说明书中,“SOI 衬底”也属于半导体衬底的宽泛类别中。

[0035] 本发明的一个实施例提供了半导体器件,在其下部有使用氧化物半导体之外的材料的晶体管、在其上部有使用氧化物半导体的晶体管。

[0036] 使用氧化物半导体之外的材料的晶体管和使用氧化物半导体的晶体管的组合允许制造出要求不同于使用氧化物半导体的晶体管的电特性的电特性的半导体器件(如,在载流子特性方面不同,这对于元件的行为有影响)。

[0037] 进一步,使用氧化物半导体的晶体管具有良好的开关特性,所以利用这些特性可制成优秀的半导体器件。例如,CMOS 反相器电路可将流经电流减少至充分程度,藉此减少半导体器件的功耗并防止由于高电流对于半导体器件的损坏。进一步,使用氧化物半导体的晶体管具有极低的截止态电流,且因此这个晶体管的使用可减少半导体器件的功耗。

[0038] 附图简述

[0039] 图 1A 是示出半导体器件的截面图且图 1B 是其平面图。

[0040] 图 2 是示出半导体器件的电路图。

[0041] 图 3A 是示出半导体器件的截面图且图 3B 是其平面图。

[0042] 图 4A 至图 4H 示出半导体器件的制造方法的截面图。

[0043] 图 5A 至图 5G 示出半导体器件的制造方法的截面图。

[0044] 图 6A 至图 6D 示出半导体器件的制造方法的截面图。

[0045] 图 7A 是示出半导体器件的截面图且图 7B 是其平面图。

[0046] 图 8 是示出半导体器件的电路图。

[0047] 图 9A 是示出半导体器件的截面图且图 9B 是其平面图。

[0048] 图 10 是示出半导体器件的电路图。

[0049] 图 11A 至图 11F 是用于解释使用半导体器件的电子电器的图。

[0050] 用于实现本发明的最佳模式

[0051] 在下文中,将参考附图描述本发明的各实施例。注意,本发明不限于以下描述,并且本领域技术人员将容易理解,可在不背离本发明精神与范围的情况下进行各种改变和修改。因此,本发明不应被解释为限于诸实施例的以下描述。

[0052] 注意,在一些情况下,在附图等中,每一个组件的位置、尺寸、排列并不是实际的,以此帮助理解。

[0053] 要注意,在本说明书中,为了避免组件之间的混淆使用诸如“第一”、“第二”和“第三”的序数,这些术语并不在数量上限制组件。

[0054] (实施例 1)

[0055] 在本实施例中,根据本发明的一个实施例的半导体器件的结构和制造方法将参考图 1A 和 1B、图 2、图 3A 和 3B、图 4A 到 4H、图 5A 到 5G、以及图 6A 到 6D 而描述。

[0056] < 半导体器件的结构 >

[0057] 图 1A 示出根据这个实施例的半导体器件的截面图。图 1B 示出根据这个实施例的半导体器件的平面图。此处,图 1A 对应于图 1B 中所示的截面 A1-A2 和 D1-D2。图 1A 和 1B 中所示的半导体器件包括在其下部的 p- 型晶体管 160 和在其上部使用氧化物半导体的 n- 型晶体管 162。

[0058] p- 型晶体管 160 包括在含有半导体材料的衬底中的沟道形成区 116 ;杂质区 114 和重掺杂区 120、杂质区 114 和重掺杂区 120 的组合可简单地被称为杂质区,在杂质区之间插入有沟道形成区 116 ;在沟道形成区 116 上的栅绝缘层 108a ;在栅电极层 108a 上的栅电极 110a ;电连接至位于沟道形成区 116 的一侧上的第一杂质区 114 的源或漏电极 130a ;以及电连接至位于沟道形成区 116 的另一侧上的第二杂质区 114 的源或漏电极 130b。

[0059] 此处,侧壁绝缘层 118 形成在栅电极 110a 侧边上。另外,当从上面看时,侧壁绝缘层 118 的至少部分被包括在形成于衬底 100 区中的重掺杂区 120 之间,且金属化合物区 124 呈现于重掺杂区 120 上。进一步,元件隔离绝缘层 106 形成在衬底 100 上从而围绕着 p- 型晶体管 160,且形成层间绝缘层 126 和层间绝缘层 128 来覆盖 p- 型晶体管 160。通过层间绝缘层 126 和层间绝缘层 128 中的开口,源或漏电极 130a 电连接至位于沟道形成区 116 的一侧上的第一金属化合物区 124,且源或漏电极 130b 电连接至位于沟道形成区 116 的另一侧上的第二金属化合物区 124。换言之,源或漏电极 130a 通过位于沟道形成区 116 的一侧上的第一金属化合物区 124 电连接至第一重掺杂区 120 和第一杂质区 114,且源或漏电极 130b 通过位于沟道形成区 116 的另一侧上的第二金属化合物区 124 电连接至第二重掺杂区 120 和第二杂质区 114。

[0060] n- 型晶体管 162 包括在层间绝缘层 128 上的栅电极 136c ;在栅电极 136c 上的栅绝缘层 138 ;在栅绝缘层 138 上的氧化物半导体层 140 ;以及位于氧化物半导体层 140 上且电连接至氧化物半导体层 140 的源或漏电极 142a 和源或漏电极 142b。

[0061] 此处,形成 n- 型晶体管 162 的栅电极 136c 以使其被嵌入在位于层间绝缘层 128 上的绝缘层 132 中。进一步,与栅电极 136c 的情况一样,形成电极 136a 和电极 136b 位于 p- 型晶体管 160 的源和漏电极 130a 和 130b 上。

[0062] 在 n- 型晶体管 162 上形成保护绝缘层 144,以使其与氧化物层 140 的部分相接触。

在保护绝缘层 144 上形成层间绝缘层 146。此处,保护绝缘层 144 和层间绝缘层 146 被设置有达到源或漏电极 142a 和源或漏电极 142b 的开口。电极 150c 和电极 150d 每一个通过开口与源或漏电极 142a 和源或漏电极 142b 中的一个相接触。与电极 150c 和电极 150d 的情况一样,形成电极 150a 和电极 150b,通过栅绝缘层 138、保护绝缘层 144、以及层间绝缘层 146 中的开口分别与电极 136a 和电极 136b 相接触。

[0063] 氧化物半导体层 140 优选地具有高纯度,通过对诸如氢之类的杂质的充分移除而制成。具体地,氧化物半导体层 140 的氢浓度为  $5 \times 10^{19}/\text{cm}^3$  或更小。优选地,氧化物半导体层 140 的氢浓度为  $5 \times 10^{18}/\text{cm}^3$  或更小,且更有选地为  $5 \times 10^{17}/\text{cm}^3$  或更小。通过使用由充分降低氢浓度制成的具有高纯度的氧化物半导体层 140, n- 型晶体管 162 可具有良好的截止态电流特性。例如,当漏电压  $V_d$  为 +1 或 +10V 且栅电压  $V_g$  从 -20 到 -5V 范围时,截止态电流为  $1 \times 10^{-13}\text{A}$  或更小。因此, n- 型晶体管 162 的截止态电流通过使用由充分降低氢浓度制成的具有高纯度的氧化物半导体层 140 而减少,藉此导致具有良好特性的半导体器件。注意,上述氧化物半导体层中的氢浓度通过 SIMS(二次离子质谱法)来测量。

[0064] 在层间绝缘层 146 上形成绝缘层 152。形成电极 154a、电极 154b、以及电极 154c 来嵌在绝缘层 152 中。此处,电极 154a 与电极 150a 相接触,电极 154b 与电极 150b 和 150c 相接触,且电极 154c 与电极 150d 相接触。

[0065] 换言之,在图 1A 和 1B 中所示的半导体器件中,通过电极 136b、电极 150b、电极 154b、以及电极 150c, p- 型晶体管 160 的源或漏电极 130b 电连接至 n- 型晶体管 162 的源或漏电极 142a。

[0066] 另外,通过层间绝缘层 126 和层间绝缘层 128 中所内建的电极, p- 型晶体管 160 的栅电极 110a 电连接至 n- 型晶体管 162 的栅电极 136c。

[0067] 注意, p- 型晶体管 160 的源或漏电极 130a,通过电极 154a、150a、以及电极 136a,电连接至用于提供第一电势的电源线。n- 型晶体管 162 的源或漏电极 142b,通过电极 154c 和电极 150d,电连接至用于提供第二电势的电源线。

[0068] 图 2 示出其中 p- 型晶体管 160 以互补方式连接至 n- 型晶体管 162 的 CMOS 反相器电路的等效电路。图 2 示出图 1A 和 1B 中所示的半导体器件的示例,其中正电势 VDD 被施加到电极 154a 且接地电势 GND 被施加到电极 154c。注意,接地电势 GND 还可被称为负电势 VDL。

[0069] 接着,将参考图 3A 和 3B 而描述半导体器件,其中 n- 型晶体管或 p- 型晶体管与前述半导体器件一样的衬底单独使用的。图 3A 示出在下部的 p- 型晶体管 164 和在上部的使用氧化物半导体的 n- 型晶体管 166 的截面图。图 3B 示出其平面图。注意,图 3 是示出图 3B 中的截面 B1-B2 和截面 C1-C2 的截面图。在图 3A 和 3B 中,与图 1A 和 1B 中一样的组件用图 1A 和 1B 中组件一样的参考标号来表示。

[0070] 首先,将描述 p- 型晶体管 164 的结构和电连接。p- 型晶体管 164 的源或漏电极 130c 和源或漏电极 130d 分别电连接至电极 136d 和电极 136e, 136d 和电极 136e 被形成以将其自身嵌入在绝缘层 132 中。电极 136d 和电极 136e 分别连接至电极 150e 和电极 150f, 电极 150e 和电极 150f 被形成从而嵌入栅绝缘层 138、保护绝缘层 144、以及层间绝缘层 146 中。电极 150e 和电极 150f 分别电连接至电极 154d 和电极 154e 中,电极 154d 和电极 154e 被形成从而嵌入绝缘层 152 中。因此, p- 型晶体管 164 的源或漏电极 130c,通过电极 136d、

电极 150e、以及电极 154d,电连接至提供第一电势的电源线,且源或漏电极 130d,通过电极 136e、电极 150f、以及电极 154e,电连接至提供第二电势的电源线。因此,可单独使用 p- 型晶体管 164。

[0071] 接着,将描述 n- 型晶体管 166 的结构和电连接。在元件隔离绝缘层 106 上形成栅绝缘层 108b。在栅绝缘层 108b 上提供栅引线 110b。栅引线 110b 电连接至电极 130e,电极 130e 被形成从而嵌在层间绝缘层 126 和层间绝缘层 128 中。电极 130e 电连接至栅电极 136f,栅电极 136f 被形成从而嵌在绝缘层 132 中。因此,n- 型晶体管 166 的栅电极 136f,通过电极 130e,电连接至栅引线 110n,所以可单独使用 n- 型晶体管 166。

[0072] < 半导体器件的制造方法 >

[0073] 接着,将描述上述半导体器件的制造方法的示例。首先,是在下部中的 p- 型晶体管的制造方法,然后将描述上部中的 n- 型晶体管的制造方法。

[0074] < p- 型晶体管的制造方法 >

[0075] 首先,制备含有半导体材料的衬底 100 (见图 4A)。具有硅、碳化硅等的单晶半导体衬底;微晶半导体衬底;具有硅锗等的化合物半导体衬底;以及 SOI 衬底等可被用作含有半导体材料的衬底 100。此处,描述了使用单晶硅衬底作为含有半导体材料的衬底 100 的情况。注意,一般,术语“SOI 衬底”指的是在其绝缘表面上具有硅半导体层的半导体衬底。在本文说明书等中,术语“SOI 衬底”还表示一种衬底,其具有在其绝缘表面上的使用除硅以外材料的半导体层。换言之,包括在“SOI 衬底”中的半导体层并不限于硅半导体层。SOI 衬底的示例包括诸如玻璃之类的绝缘衬底,在其表面上具有半导体层、在半导体层和绝缘衬底之间有绝缘层。

[0076] 用于形成绝缘元素绝缘层的掩模的保护层 102 被形成于衬底 100 之上 (见图 4A)。氧化硅、氮化硅、氮氧化硅等的绝缘层可被用作保护层 102。注意,在这个步骤前后,可给衬底 100 添加给出 n- 型导电率的杂质元素或给出 p- 型导电率的杂质元素以控制晶体管的阈值电压。在用硅作为半导体的情况下,可使用磷、砷等作为给出 n- 型导电率的杂质。另一方面,可使用硼、铝、镓等作为给出 p- 型导电率的杂质。

[0077] 接着,使用保护层 102 作为掩模而蚀刻未覆盖有保护层 102 的衬底 100 的区 (暴露区)。因此,形成孤立的半导体区 104 (参见图 4B)。尽管优选采用干法蚀刻作为蚀刻,也可采用湿法蚀刻作为蚀刻。可根据所要蚀刻的层的材料而适当地选择蚀刻气体和蚀刻剂。

[0078] 接着,形成绝缘层从而覆盖半导体区 104,且选择性地蚀刻与半导体区 104 交迭的绝缘层的区,形成元件隔离绝缘层 106。使用氧化硅、氮化硅、氮氧化硅等形成绝缘层。在半导体区 104 上移除绝缘层的方法包括蚀刻、诸如 CMP 之类的抛光、等,且这些的任意都可被应用。注意,在形成半导体区 104 之后或形成元件隔离绝缘层 106 之后,移除保护层 102。

[0079] 接着,在半导体区 104 上形成绝缘层,且在绝缘层上形成含有导电材料的层。

[0080] 推荐的是,将要成为栅绝缘层的绝缘层,具有通过 CVD、溅射等获得的,含有氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等的膜的单层结构或层叠结构。可选地,绝缘层可通过经高密度等离子体处理或热氧化处理来氧化或氮化半导体区 104 的表面而被形成。可使用例如诸如 He、Ar、Kr、或 Xe 之类的稀有气体,以及氧、氧化氮、氨、氮、氢等之类的混合气体,来执行高密度等离子体处理。对于绝缘层的厚度没有特别限制;例如,绝缘层的厚度可在从 1 至 100nm 范围内。

[0081] 可使用诸如铝、铜、钛、钽和钨之类的金属材料形成含有导电材料的层。可选地,含有导电材料的层可使用诸如含有导电材料的多晶硅的半导体材料而被形成。对于形成含有导电材料的层的方法没有特别限制;可应用各种沉积方法,诸如蒸镀沉积、CVD、溅射、以及旋涂。注意在这个实施例中,描述了使用金属材料形成含有导电材料的层的情况。

[0082] 此后,选择性地蚀刻绝缘层和含有导电材料的层,藉此形成栅绝缘层 108a 和栅电极 110a(见图 4C)。注意,图 3A 和 3B 中所示的栅引线 110b 可在此处的同一个成形步骤中被形成。

[0083] 接着,形成覆盖栅电极 110a 的绝缘层 112(见图 4C)。然后将硼(B)、铝(Al)等添加到半导体区 104,形成具有浅结深度的杂质区 114(见图 4C)。注意,通过形成杂质区 114,半导体区 104 的低于栅绝缘层 108a 的部分成为沟道形成区 116(见图 4C)。此处,所添加的杂质的浓度可适当地设置;优选地根据半导体元件的小型化程度而提升浓度。此处,采用了在绝缘层 112 形成之后形成杂质区 114 的工艺;可选地,可采用在杂质区 114 形成之后形成绝缘层 112 的工艺。

[0084] 接着,形成侧壁绝缘层 118(见图 4D)。通过形成覆盖绝缘层 112 的绝缘层且然后在该绝缘层上执行高度各向异性的蚀刻,可以自对齐的方式形成侧壁绝缘层 118。此处,部分地蚀刻了绝缘层 112,所以暴露了栅电极 110a 的顶部表面和杂质区 114 的顶部表面。

[0085] 接着,形成绝缘层从而覆盖栅电极 110a、杂质区 114、侧壁绝缘层 118 等。然后,将硼(B)、铝(Al)等添加到绝缘层与杂质区 114 相接触的区域,藉此形成高掺杂区 120(见图 4E)。此后,移除绝缘层,且形成金属层 122 从而覆盖栅电极 110a、侧壁绝缘层 118、高掺杂区 120 等(见图 4E)。通过多种方法可形成金属层 122,诸如蒸镀沉积、溅射、旋涂。优选的是使用金属材料形成金属层 122,通过将金属材料与包括在半导体区 104 中含有的半导体材料反应,可成为具有低电阻的金属化合物。这样的金属材料的示例包括钛、钽、钨、镍、钴和铂。

[0086] 接着,执行热处理,所以金属层 122 与半导体材料反应。因此,形成与重掺杂区 120 相接触的金属化合物区 124(见图 4F)。注意,当使用多晶硅等作为栅电极 110a 时,还在栅电极 110a 与金属层 122 相接触的部分中形成了金属化合物区。

[0087] 例如,用闪光灯的照射可被用于上述热处理。当然,别的热处理是可接受的;优选地使用实现热处理的简短时间的方法,从而改进涉及金属化合物形成的化学反应的可控性。注意,金属化合物区具有足够高导电率,因为它们是通过金属材料 and 半导体材料的反应而形成的。金属化合物区可充分地减少电阻并改进元件特性。注意,在金属化合物区 124 形成之后,移除金属层 122。

[0088] 接着,形成层间绝缘层 126 和层间绝缘层 128 从而覆盖在上述步骤中形成的元件(见图 4G)。使用包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、以及氧化钽)的材料形成层间绝缘层 126 和 128。可选地,可使用诸如聚酰亚胺和丙烯酸之类的有机绝缘材料。尽管此处层间绝缘层 126 和层间绝缘层 128 形成了两层结构,层间绝缘层的结构并不限于此。在形成层间绝缘层 128 之后,其表面优选地用 CMP、蚀刻等使其变平。

[0089] 在下一个步骤中,在层间绝缘层中形成接触到金属化合物区 124 的开口,且在开口中形成源或漏电极 130a 和源或漏电极 130b(其每一个也被称为源引线或漏引线)(见图 4H)。例如,以如下方式形成源或漏电极 130a 和源或漏电极 130b:在含有开口的区中用

PVD、CVD 等形成导电层,然后通过蚀刻或 CMP 部分地移除该导电层。

[0090] 注意,在通过移除导电层的部分形成源或漏电极 130a 和源或漏电极 130b 的情况下,优选的是处理其表面使其变平。例如,在含有开口的区中已经形成了薄钛膜或薄氮化钛膜之后形成被嵌在开口中的钨膜的情况下,其后执行的 CMP 可移除钨膜、钛膜、氮化钛膜等的不需要的部分,且改进表面的平面度。在之后的步骤中通过对于源或漏电极 130a 和源或漏电极 130b 的表面的平面度的这样的改进,可形成足够的电极、引线、绝缘层、半导体层等。

[0091] 尽管此处仅示出与金属化合物区 124 相接触的源或漏电极 130a 和源或漏电极 130b,可在同一个成形步骤中形成与栅电极 110a 等相接触的引线。进一步,在这个时候,可形成图 3A 和 3B 中示出的与栅引线 110b 相接触的连接电极 130e。对于源或漏电极 130a 和源或漏电极 130b 的材料没有特殊限制;各种导线材料都可应用。例如,诸如钼、钛、铬、钽、钨、铝、铜、钆、和铈之类的导电材料可应用。

[0092] 上述工艺允许使用含有半导体材料的衬底 100 的 p-型晶体管被形成。在上述工艺之后,可形成附加引线等。使用层间绝缘层和导电层的层叠结构的多层互连结构提供了高度集成的半导体器件。

[0093] <N-型晶体管的制造方法>

[0094] 接着,将参考图 5A 到 5G 以及图 6A 到 6D 而描述在层间绝缘层 128 上形成 n-型晶体管的工艺。图 5A 到 5G 以及图 6A 到 6D 说明了 n-型晶体管的制造方法且示出沿在图 1A 和 1B 中的截面 A1-A2 以及截面 D1-D2 的截面图。注意,在图 5A 到 5G 以及图 6A 到 6D 中省略了位于 n-型晶体管下的 p-型晶体管。

[0095] 首先,在层间绝缘层 128、源或漏电极 130a、以及源或漏电极 130b 上形成绝缘层 132(见图 5A)。可通过 PVD、CVD 等形成绝缘层 132。可使用包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、以及氧化钽)的材料形成绝缘层 132。

[0096] 接着,在绝缘层 132 上形成达到源或漏电极 130a 的开口、以及达到源或漏电极 130b 的开口。此时,在将要形成栅电极的区中形成附加开口。然后,形成导电层 134 从而充填这些开口(见图 5B)。可通过蚀刻等使用掩模形成开口。例如,通过使用光掩模的暴露制成掩模。无论湿法蚀刻或干法蚀刻都可被用作蚀刻;考虑到做精细图案,干法蚀刻是优选的。可通过诸如 PVD 和 CVD 之类的沉积方法形成导电层 134。导电层 134 的材料的示例包括诸如钼、钛、铬、钽、钨、铝、铜、钆、以及铈之类、以及这些材料中的任意合金和化合物(如,氮化)的导电材料。

[0097] 具体地,该方法可采用在含有开口的区中通过 PVD 形成的薄钛膜、由 CVD 形成的薄氮化钛膜、以及所形成的钨膜来充填开口。此处,通过 PVD 形成的钛膜具有减少位于与低电极(此处,源或漏电极 130a 或源或漏电极 130b)的界面处的氧化物膜的功能,且因此减少了与低电极的接触电阻。其后要形成的氮化钛膜具有阻挡导电材料的扩散的阻挡件功能。

[0098] 在导电层 134 形成之后,通过蚀刻或 CMP 移除导电层 134 的一部分,且因此暴露了绝缘层 132,藉此形成电极 136a、电极 136b、以及栅电极 136c(见图 5C)。注意当通过移除导电层 134 的一部分而形成电极 136a、电极 136b、以及栅电极 136c 时,优选的是绝缘层 132、电极 136a、电极 136b、以及栅电极 136c 的表面被处理为平的。在之后的步骤中通过对于绝缘层 132、电极 136a、电极 136b、以及栅电极 136c 的表面的平面度的这样的改进,可形成足

够的电极、引线、绝缘层、半导体层等。

[0099] 接着,形成栅绝缘层 138 以覆盖绝缘层 132、电极 136a、电极 136b、以及栅电极 136c(见图 5D)。可通过 CVD、溅射等形成栅绝缘层 138。栅绝缘层 138 优选地含有氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝等。注意,栅绝缘层 138 具有单层结构或层叠结构。例如,可通过使用硅烷( $\text{SiH}_4$ )、氧、和氮作为源气的等离子体 CVD 形成氧氮化硅的栅绝缘层 138。对于栅绝缘层 138 的厚度没有特别限制;例如,绝缘层的厚度可从 20 变化至 500nm。当采用层叠结构时,栅绝缘层 138 优选地具有从 50 到 200nm 的厚度的第一栅引线层、和具有从 5 到 300nm 厚度的覆盖在第一栅引线层上的第二栅引线层。

[0100] 通过移除杂质获得 i- 型或基本 i- 型的氧化物半导体(具有高纯度的氧化物半导体)非常敏感于界面态密度或界面电荷。因此,氧化物半导体层和栅绝缘层之间的界面在使用这样的氧化物半导体用于氧化物半导体层的情况下是非常重要的因素。换言之,与具有高纯度的氧化物半导体层相接触的栅绝缘层 138 需要具有高质量。

[0101] 例如,使用微波(2.45GHz)的高密度等离子体 CVD 优选的是,其产生具有高耐受电压的紧凑的高质量栅绝缘层 138。这是由于具有高纯度的氧化物半导体层和高质量栅绝缘层之间的紧密接触减少了界面态密度并产生足够的界面特性。

[0102] 毋庸置疑,即使当使用了具有高纯度的氧化物半导体时,如果能产生良好质量的栅绝缘层,可应用诸如溅射和等离子体 CVD 之类的另一种方法。可选地,通过在沉积绝缘层之后执行热处理,可形成绝缘层,以使改善栅绝缘层的质量以及栅绝缘层与氧化物半导体层之间的界面特性。在任何情况下,只要可使用该层用作栅绝缘层,可减少栅绝缘层和氧化物半导体层之间的界面态密度,且可提供良好的界面,该层就是可接受的。

[0103] 另外,当氧化物半导体中有杂质时,在  $85^\circ\text{C}$  下通过  $2 \times 10^6 \text{V/cm}$  的电场强度达 12 小时的偏置温度测试(BT 测试)中,可通过强电场(B:偏置)和高温(T:温度)来切断杂质和氧化物半导体的主要组分之间的键,因此所生成的悬空键导致阈值电压( $V_{\text{th}}$ )的偏移。

[0104] 另一方面,本发明的一个实施例可提供即使当经受 BT 测试时也稳定的晶体管,通过移除氧化物半导体中的杂质,尤其是氢或水,并给出栅绝缘层和氧化物半导体层之间的良好的界面特性,如上所述。

[0105] 接着,在栅绝缘层 138 上形成氧化物半导体层,且通过使用掩模等的蚀刻来处理氧化物半导体层,形成岛状的氧化物半导体层 140(见图 5E)。

[0106] 这样的氧化物半导体层优选为氧化物半导体层,尤其是使用如下氧化物半导体之一的非晶氧化物半导体层:In-Ga-Zn-O-基氧化物半导体、In-Sn-Zn-O-基氧化物半导体、In-Al-Zn-O-基氧化物半导体、Sn-Ga-Zn-O-基氧化物半导体、Al-Ga-Zn-O-基氧化物半导体、Sn-Al-Zn-O-基氧化物半导体、In-Zn-O-基氧化物半导体、Sn-Zn-O-基氧化物半导体、Al-Zn-O-基氧化物半导体、In-O-基氧化物半导体、Sn-O-基氧化物半导体、以及 Zn-O-基氧化物半导体。在这个实施例中,通过溅射,使用 In-Ga-Zn-O-基氧化物半导体形成非晶氧化物半导体层作为氧化物半导体层。将硅添加至非晶氧化物半导体层抑制了层的晶化;因此,可使用含有在 2 到 10wt. % 的  $\text{SiO}_2$  靶形成氧化物半导体层。

[0107] 通过溅射用于形成氧化物半导体的这样的靶可以是意在氧化物半导体的沉积的靶,且其主要组分为氧化锌,或者是意在氧化物半导体的沉积的靶且其含有 In、Ga 和 Zn(组分为  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ (摩尔比))。意在氧化物半导体的沉积且含

有 In、Ga 和 Zn 的靶的组分比率可以是  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  (摩尔比) 或  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$  (摩尔比)。意在氧化物半导体的沉积的靶的填充系数为 90 到 100%，且优选的是 95 到 99.9%。具有高填充系数的意在氧化物半导体的沉积的靶产生紧凑的氧化物半导体层。

[0108] 用于沉积的气氛优选是稀有气体（通常是氩气）气氛、氧气气氛、或稀有气体（通常是氩气）和氧气的混合气氛等。具体地，高纯度气体（其中诸如氢、水、羟基、以及氢化物之类的杂质的浓度被减少为约每百万数份（优选地是每十亿数份））是优选的。

[0109] 对于氧化物半导体层的沉积，以减少的气压在室中设置衬底，且设置衬底温度为被包括在 100 到 600℃ 之间，且优选地在 200 和 400℃ 之间。在加热衬底的同时沉积减少了所沉积的氧化物半导体层中所含有的杂质浓度且还减少了由于溅射对层的损害。然后，在将溅射气体（从中移除氢和湿气）引入使用金属氧化物作为靶的处理室的同时移除处理室中剩余的湿气，藉此形成氧化物半导体层。为了移除处理室中剩余的湿气，优选使用吸附真空泵。可使用低温泵、离子泵、或钛升华泵。排气单元可以是设置有冷阱的涡轮泵。当用低温泵排气时，氢原子、含有氢原子的化合物，诸如  $(\text{H}_2\text{O})$ ，（更有选地也是含有碳原子的化合物）等被从沉积室中移除，藉此减少了形成在沉积室中的氧化物半导体层的杂质浓度。

[0110] 例如，沉积条件如下：衬底和靶之间的距离是 100mm，压力是 0.6Pa，直流 (DC) 功率是 0.5kW，且气氛是氧气（氧流速中氧的比例是 100%）。注意，使用脉冲直流 (DC) 电源是优选的，其减少了可能在沉积时发生的粉末物质（也被称为颗粒或灰尘），且其使得膜厚度均匀。氧化物半导体层的厚度优选地从 2 到 200nm，优选为 5 到 30nm。注意，合适的厚度取决于所使用的氧化物半导体材料而变化，且因此取决于所用材料而适当地选择厚度。

[0111] 注意，在通过溅射形成氧化物半导体层之前，优选地通过由引入氩气而产生的等离子体的反溅射来移除粘附在栅绝缘层 138 表面的灰尘。此处反溅射是指用于通过离子击打表面改进表面质量的方法，而一般的溅射是过离子击打溅射靶而获得的。用于使离子击打表面的方法包括在氩气气氛下对表面施加高频电压，且在衬底附近产生等离子体。要注意，可使用氮气气氛、氦气气氛、氧气气氛等来替代氩气气氛。

[0112] 氧化物半导体膜的蚀刻可以是干法蚀刻或湿法蚀刻。当然，可选地，蚀刻可以是干法蚀刻和湿法蚀刻的组合。根据材料，为了使材料被蚀刻为理想的形状而适当地选择蚀刻条件（诸如蚀刻气体、蚀刻剂、蚀刻时间、以及温度）。

[0113] 例如，可使用含氯的气体（诸如氯气  $(\text{Cl}_2)$ 、三氯化硼  $(\text{BCl}_3)$ 、四氯化硅  $(\text{SiCl}_4)$  或四氯化碳  $(\text{CCl}_4)$  的氯基气体）作为用于干法蚀刻的蚀刻气体。可选地，可使用含氟气体（诸如四氟化碳  $(\text{CF}_4)$ 、氟化硫  $(\text{SF}_6)$ 、氟化氮  $(\text{NF}_3)$  或三氟甲烷  $(\text{CHF}_3)$  之类的氟基气体）、溴化氢  $(\text{HBr})$ 、氧气  $(\text{O}_2)$ 、添加了诸如氦气  $(\text{He})$  或氩气  $(\text{Ar})$  之类的稀有气体的这些气体中的任一种等。

[0114] 平行板 RIE（反应离子蚀刻）或 ICP（感应耦合等离子体）蚀刻可被采用作为干法蚀刻。为了将膜蚀刻成期望形状，可适当地调整蚀刻条件（施加到线圈状电极的电功率量、施加到基板侧上的电极的电功率量、基板侧上电极的温度等）。

[0115] 可使用磷酸、乙酸、以及硝酸等混合溶液用作湿法蚀刻的蚀刻剂。可选地，可使用 IT007N（Kanto 化学有限公司制造）等。

[0116] 接着，将氧化物半导体层经受第一热处理。第一热处理允许氧化物半导体层进行



脱水或脱氢。第一热处理的温度被包括在 300 到 750℃ 之间,且优选地大于 400℃ 且小于衬底的应变点。例如,衬底被引入使用电阻加热元件等之类的电炉中,且氧化物半导体层 140 在 450℃ 在氮气气氛中经受热处理达一小时。在处理过程中,氧化物半导体层 140 没有暴露给空气从而放置空气中存在的水或氢的污染。

[0117] 热处理装置不限于电炉;热处理装置可以是使用通过诸如被加热的气体等的媒介所给的热传导或热辐射加热对象的装置。例如,可应用诸如 GRTA(气体快速热退火)装置或 LRTA(灯快速热退火)装置之类的 RTA(快速热退火)装置。LRTA 装置是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)的辐射对物体加热的装置。GRTA 装置是用于使用高温气体来进行热处理的装置。可使用在热处理过程中不与物体反应的惰性气体(诸如,氮气或诸如氩气之类的稀有气体)。

[0118] 例如,第一热处理可采用 GRTA,其中将衬底移动到的惰性气体中被加热至 650 到 700℃ 且在那里被加热达数分钟,且然后将衬底移出惰性气体。GRTA 确保短时高温热处理。进一步,即使在超过衬底应变点的温度,这样短时间的热处理是可应用的。

[0119] 注意,在第一热处理中,优选地使用含有氮或稀有气体(氮、氖、氩等)作为其主要组分且不含有水、氢等的气氛。例如,向热处理装置中引入的氮气或诸如氦气、氖气或氩气的稀有气体的纯度优选为 6N(99.9999%)或更高,更优选为 7N(99.99999%)或更高(即,杂质浓度优选为 1ppm 或更低,更优选为 0.1ppm 或更低)。

[0120] 取决于第一热处理的条件和氧化物半导体层的成分,氧化物半导体层晶化为微晶或多晶。例如,在一些情况下,氧化物半导体层晶化为变成结晶度为 90% 或更大、或者 80% 或更大的微晶氧化物半导体层。进一步,取决于第一热处理的条件和氧化物半导体的组分,氧化物半导体层变为不含结晶组分的非晶氧化物半导体膜。

[0121] 在一些情况下,氧化物半导体层变为其中微晶部分(具有晶粒直径为 1 到 20nm,一般 2 到 4nm)被混合到非晶氧化物半导体(如,氧化物半导体层的表面)中的氧化物半导体层。例如,在使用意在氧化物半导体的沉积的 In-Ga-Zn-O 基的靶形成氧化物半导体层的情况下,可通过提供其中具有电各向异性的  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  的晶粒被对齐的微晶部分而可改变氧化物半导体层的电特性。通过形成其中  $\text{In}_2\text{Ga}_2\text{ZnO}_7$  的晶粒在氧化物半导体层的表面对齐的微晶部分,氧化物半导体层在与该表面平行的方向中表现出增强的电导率,在与该表面垂直的方向中表现出增强的电阻率。进一步,这样的微晶部分具有防止诸如水和氢之类的杂质进入氧化物半导体层的功能。注意,上述氧化物半导体层可通过由 GRTA 加热氧化物半导体层的表面而获得。使用含有比 Zn 更多的 In 或 Ga 的溅射靶允许以优选方式形成上述氧化物半导体层。

[0122] 在还未被处理成岛状氧化物半导体层 140 的氧化物半导体层上执行在氧化物半导体层 140 上执行的第一热处理。在此情况下,在第一热处理之后从加热装置取出衬底,并且随后经受光刻处理。

[0123] 注意,第一热处理还被称为脱水或脱氢处理,因为它有效地对氧化物半导体层 140 进行了脱水或脱氢。可能在形成氧化物半导体层后、在氧化物半导体层 140 上形成源或漏电极层后、或者在源或漏电极上形成保护绝缘层之后,执行这样的脱水处理或脱氢处理。可进行多于一次的这样的脱水处理或脱氢处理。

[0124] 接着,形成源或漏电极 142a 和源或漏电极 142b 从而与氧化物半导体层 140 相接

触（见图 5F）。通过形成导电层从而导电层覆盖氧化物半导体层 140 并且然后选择性地蚀刻导电层，而形成源或漏电极 142a 和源或漏电极 142b。

[0125] 可通过诸如溅射之类的 PVD 或诸如等离子体 CVD 之类的 CVD 来形成导电层。导电层的材料的示例包括选自铝、铬、铜、钽、钛、钼、及钨中的元素；以及含有这些元素中的任意作为组分的合金。可选地，对于导电层，可使用从锰、镁、锆、铍和钨中选择的一种或多种材料。可选地，对于导电层，可选择铝与选自钛、钽、钨、钼、铬、钨、和钨中的一个或多个元素的组合。导电层可具有单层结构或包含两层或更多层的层叠结构。例如，可给出包括硅的铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、其中以此顺序堆叠第一钛膜、铝膜、以及第二钛膜的三层结构作为示例。

[0126] 此处，有限地使用紫外线、KrF 激光束、或者 ArF 激光束用于制造蚀刻掩模的暴露。晶体管的沟道长度 (L) 由将氧化物半导体 140 上的源或漏电极 142a 和源或漏电极 142b 分开的距离所确定。在沟道长度 (L) 小于 25nm 的情况下，在具有数纳米到数十纳米的极短波长的极紫外范围中执行制造掩模的暴露。在极紫外范围内的暴露获得高分辨率和很大的焦点深度。因此，晶体管（之后形成的）的沟道长度 (L)，可以是 10 到 1000nm，且因此可增加电路的运行率。进一步，由于截止态电流极低，即使在精细图案 (fine patterning) 的情况下也不增加功耗。

[0127] 适当地调节每一个材料和蚀刻条件，以使氧化物半导体层 140 在导电层的蚀刻过程中可不被移除。在这个步骤中，取决于氧化物半导体层的组分和蚀刻条件，可部分地蚀刻氧化物半导体层 140 成为具有槽（降低的部分）的氧化物半导体层。

[0128] 可在氧化物半导体层 140 和源或漏电极 142a 之间、或者在氧化物半导体层 140 和源或漏电极 142b 之间，形成氧化物导电层。可能连续地形成将成为源或漏电极 142a 或源或漏电极 142b 的氧化物导电层和金属层（连续沉积）。氧化物导电层可用作源或漏区。这样的氧化物导电层导致源区或漏区电特性的下降，且因此实现晶体管的高速操作。

[0129] 为了减少所使用的掩模的数量或制造步骤的数量，可使用用灰色调掩模制成的抗蚀剂掩模来执行蚀刻，灰色调掩模是曝光掩模从而通过该掩模透射的光具有多个亮度。通过灰色调掩模制成的抗蚀剂掩模具有多个厚度且可通过灰化在形状上进一步变化；因此，可在用于不同图案的多个蚀刻步骤中使用这样的抗蚀剂掩模。换言之，可通过单个灰色调掩模制成可应用于至少两个或更多种类的不同图案的抗蚀剂掩模。这减少了暴露掩模的数量以及对应的光刻步骤，藉此简化了工艺。

[0130] 注意，优选地在上述处理之后进行使用诸如  $N_2O$ 、 $N_2$ 、和 Ar 之类的气体的等离子体处理。该等离子体处理移除了粘附于氧化物半导体被暴露的表面上的水等。等离子体处理可使用氧和氩的混合气体。

[0131] 接着，在成形步骤过程中在不暴露于空气的情况下形成与氧化物半导体层 140 的部分相接触的保护绝缘层 144（见图 5G）。

[0132] 将保护绝缘层 144 形成为厚度 1nm 或更大，且可使用合适的方法来形成，诸如溅射，通过该方法可防止诸如水或氢之类的杂质进入保护绝缘层 144。保护绝缘层 144 的材料示例包括氧化硅、氮化硅、氧氮化硅、以及氮氧化硅。其结构可以是单层结构或层叠结构。用于保护绝缘层 144 的沉积的衬底温度优选为室温或更大且小于  $300^\circ\text{C}$ 。用于保护绝缘层 144 的沉积的气氛优选是稀有气体（通常是氩气）气氛、氧气氛、或稀有气体（通常是氩）

和氧的混合气氛。

[0133] 混入保护绝缘层 144 的氢导致氧化物半导体层由于氢的污染、由于氢引起的氧与氧化物半导体层的剥离等,由此将会减少氧化物半导体层的背沟道的电阻且可形成寄生沟道。因此,重要的是当形成保护绝缘层 144 时不使用氢气,从而使得进入保护绝缘层 144 的氢气最小化。

[0134] 优选的是在移除处理室中剩余湿气的同时形成保护绝缘层 144。这是为了防止氢、羟基、或水进入氧化物半导体层 140 和保护绝缘层 144。

[0135] 为了移除处理室中剩余的湿气,优选使用吸附真空泵。例如,优选地使用低温泵、离子泵、或钛升华泵。排气单元可以是设置有冷阱的涡轮泵。当用低温泵排气时,氢原子、含有氢原子的化合物,诸如 (H<sub>2</sub>O) 等被从沉积室中移除,藉此减少了形成在沉积室中的保护绝缘层 144 的杂质浓度。

[0136] 用于保护绝缘层 144 的沉积的溅射气体优选地是高纯度空气,其中诸如氢、水、羟基、和氢化物之类的杂质的浓度被减少为大约每百万数份(优选地是大约每十亿数份)。

[0137] 接下来,优选地在惰性气体气氛或氧气氛(优选在 200°C 到 400°C,例如,在 250°C 且到 350°C)中进行第二热处理。例如,在氮气氛中,在 250°C 下进行第二热处理达 1 小时。第二热处理可减少晶体管之间电特性方面的不同。

[0138] 可在空气气氛中在 100 到 200°C 进行热处理达 1 到 30 小时。可在混合的加热温度或如下的温度循环中进行这个热处理:温度重复地从室温上升至 100 到 200°C 的加热温度后从加热温度降至室温。可在减少的压力下在保护绝缘层的沉积之前执行这个热处理。在减少的压力下的热处理缩短了加热时间。注意,这个热处理可替代第二热处理或者在第二热处理之后执行。

[0139] 接着,在保护绝缘层 144 上形成层间绝缘层 146(见图 6A)。可通过 PVD、CVD 等形成层间绝缘层 146。此外,可使用包括无机绝缘材料(诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、以及氧化钽)的材料形成层间绝缘层 146。在形成层间绝缘层 146 之后,其表面优选地用 CMP、蚀刻等使其变平。

[0140] 接着,在层间绝缘层 146、保护绝缘层 144、以及栅绝缘层 138 中形成达到电极 136a、电极 136b、源或漏电极 142a、源或漏电极 142b 的开口。然后,形成导电层 148 从而嵌在这些开口中(见图 6B)。可通过使用掩模的蚀刻形成开口。例如,通过使用光掩模的暴露制成掩模。无论湿法蚀刻或干法蚀刻都可被用作蚀刻;在精细图案的情况下,干法蚀刻是优选使用的。可通过诸如 PVD 和 CVD 之类的沉积方法形成导电层 148。导电层 148 的材料的示例包括诸如钼、钛、铬、钽、钨、铝、铜、钹、以及钪之类、以及这些材料中的任意合金和化合物(如,氮化)的导电材料。

[0141] 具体地,该方法可采用:在含有开口的区中通过 PVD 形成的薄钛膜、由 CVD 形成的薄氮化钛膜、以及被形成用来充填开口的钨膜。此处,通过 PVD 形成的钛膜具有减少位于与低电极(此处,电极 136a、电极 136b、源或漏电极 142a、或源或漏电极 142b)的界面处的氧化物膜的功能,且因此减少了与低电极的接触电阻。其后要形成的氮化钛膜具有阻挡导电材料的扩散的阻挡件功能。

[0142] 在导电层 148 形成之后,通过蚀刻或 CMP 移除导电层 148 的一部分,且因此暴露出层间绝缘层 146,藉此形成电极 150a、电极 150b、电极 150c、以及电极 150d(见图 6C)。注意

当通过移除导电层 148 的一部分形成电极 150a、电极 150b、电极 150c、以及电极 150d 时,优选的是表面被处理为平坦的。通过对于层间绝缘层 146、电极 150a、电极 150b、电极 150c、以及电极 150d 的表面的平面度的这样的改进,在之后的步骤中可形成足够的电极、引线、绝缘层、半导体层等。

[0143] 进一步,形成绝缘层 152,且在绝缘层 152 中形成达到电极 150a、电极 150b、电极 150c、以及电极 150d 的开口。然后,形成导电层从而填充这些开口。此后,通过蚀刻或 CMP 移除导电层的一部分,且因此暴露了绝缘层 152,藉此形成电极 154a、电极 154b、以及电极 154c(见图 6D)。这个处理类似于上述的形成电极 150a 等的处理,因此省略了细节。

[0144] 当用上述方式形成 n-型晶体管 162 时,氧化物半导体层 140 的氢浓度为  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 或更低,且该 n-型晶体管 162 的截止态电流是  $1 \times 10^{-13}$  A 或更低且优选地是 100zA/ $\mu$ m 或更低。具有使用通过充分地减少氢浓度而产生的高纯度的这样的氧化物半导体层 140 的使用产生具有优秀特性的 n-型晶体管 163,还产生了具有优秀特性的半导体器件,在其下部具有 p-型晶体管且在其上部具有使用氧化物半导体的 n-型晶体管。

[0145] 使用氧化物半导体之外的材料的晶体管和使用氧化物半导体的晶体管的组合允许制造出要求不同于使用氧化物半导体的晶体管的电特性的电特性的半导体器件(如,在载流子特性方面不同,这对于元件的行为有影响)。

[0146] 使用氧化物半导体的晶体管具有良好的开关特性,所以可制成利用这些特性的优秀的半导体器件。例如,CMOS 反相器可充分地减少流经电流,藉此减少半导体器件的功耗并防止由于高电流对于半导体器件的损坏。另一方面,使用氧化物半导体的晶体管具有极低的截止态电流,藉此减少了半导体器件的功耗。

[0147] 注意,尽管在这个实施例中,描述了堆叠 p-型晶体管 160 和 n-型晶体管 162 的情况作为示例,根据这个实施例的半导体器件不限于此;可在同一个衬底上形成 p-型晶体管 160 和 n-型晶体管 162。另外,尽管在这个实施例中描述了 p-型晶体管 160 的沟道长度方向垂直于 n-型晶体管 162 的沟道长度方向作为示例,p-型晶体管 160 和 n-型晶体管 162 之间的物理关系并不限于此。此外,p-型晶体管 160 和 n-型晶体管 162 可彼此交迭。

[0148] 在这个实施例中所描述的方法和结构可适当地与在其他实施例中描述的方法和结构中的任意而组合。

[0149] (实施例 2)

[0150] 在这个实施例中,参考图 7A 和 7B 和图 8 而描述根据所公开的本发明的另一个实施例的半导体器件的结构。注意,在这个实施例中,描述了可被用作存储器元件的半导体器件的结构。

[0151] 图 7A 示出根据这个实施例的半导体器件的截面图。图 7B 示出根据这个实施例的半导体器件的平面图。此处,图 7A 示出图 7B 的截面 E1-E2 和截面 F1-F2。图 7A 和 7B 中示出的半导体器件包括位于其下部的晶体管 260(该晶体管用氧化物半导体之外的材料形成)以及位于其上部的晶体管 262,该晶体管使用氧化物半导体形成。

[0152] 使用氧化物半导体之外的材料的晶体管 260 包括:在含有半导体材料的衬底 200 中的沟道形成区 216、杂质区 214 以及重掺杂区 220(被一起简称为杂质区),杂质区之间插入有沟道形成区 216、位于沟道形成区 216 上的栅绝缘层 208a;在栅绝缘层 208a 上的栅电极 210a;电连接至位于沟道形成区 216 的一侧上的第一杂质区 214 的源或漏电极 230a;以

及电连接至位于沟道形成区 216 的另一侧上的第一杂质区 214 的源或漏电极 230b。注意, 优选地, 源或漏电极 230a 通过在沟道形成区 216 一侧上的第一金属化合物区 224 电连接至位于沟道形成区 216 一侧上的第一杂质区 214, 且源或漏电极 230b 通过在沟道形成区 216 另一侧上的第二金属化合物区 224 电连接至位于沟道形成区 216 另一侧上的第二杂质区 214。如上所述, 晶体管 260 的结构类似于实施例 1 中所描述的 p- 型晶体管 160 的结构, 且因此晶体管 260 的其他细节可参看实施例 1。注意晶体管 260 可以是 p- 型晶体管或 n- 型晶体管。

[0153] 使用氧化物半导体的晶体管 262 包括: 在绝缘层 228 上的栅电极 236c、在栅电极 236c 上的栅绝缘层 238、在栅绝缘层 238 上的氧化物半导体层 240、以及在氧化物半导体层 240 上且电连接至氧化物半导体层 240 的源或漏电极 242a 和 242b。如上所述, 晶体管 262 的结构类似于实施例 1 中所描述的 n- 型晶体管 162 的结构, 且因此晶体管 262 的其他细节可参看实施例 1。注意晶体管 262 可以是 n- 型晶体管或 p- 型晶体管。

[0154] 接着, 将描述晶体管 260 和晶体管 262 的电连接。晶体管 260 中的源或漏电极 230a 通过电极 236a、电极 250a、电极 254a 等电连接至第一引线。晶体管 260 中的源或漏电极 230b 通过电极 236b、电极 250b、电极 254b 等电连接至第二引线。

[0155] 晶体管 262 的源或漏电极 242a 通过电极 250d、电极 254c、电极 250c、电极 236b、以及电极 230c 电连接至晶体管 260 的栅电极 210a。晶体管 262 中的源或漏电极 242b 通过电极 250e、电极 254d 等电连接至第三引线。

[0156] 注意在图 7A 和 7B 中, 元件隔离绝缘层 206 对应于实施例 1 中的元件隔离绝缘层 106; 侧壁绝缘层 218 对应于实施例 1 中的侧壁绝缘层 118; 层间绝缘层 226 对应于实施例 1 中的层间绝缘层 126; 绝缘层 232 对应于实施例 1 中的绝缘层 132; 保护绝缘层 244 对应于实施例 1 中的保护绝缘层 144; 层间绝缘层 246 对应于实施例 1 中的层间绝缘层 146; 且绝缘层 252 对应于实施例 1 中的绝缘层 152。

[0157] 图 8 示出使用上述半导体器件作为存储器元件的电路示图的示例。

[0158] 使用氧化物半导体之外的材料的晶体管 260 的源电极电连接至第一源引线 (源极 1)。使用氧化物半导体之外的材料的晶体管 260 的漏电极电连接至漏引线 (漏极)。使用氧化物半导体之外的材料的晶体管 260 的栅电极电连接至使用氧化物半导体的晶体管 262 的漏电极。

[0159] 使用氧化物半导体的晶体管 262 的源电极电连接至第二源引线 (源极 2)。使用氧化物半导体的晶体管 262 的栅电极电连接至栅引线 (栅极)。

[0160] 此处, 使用氧化物半导体的晶体管 262 其特征在于极低的截止态电流。因此, 当晶体管 262 处于截止状态时, 晶体管 260 的栅电极的电势可被保持达极长的时间段。

[0161] 通过使用晶体管 262 的特性, 即保持栅电极的电势, 半导体器件可作为存储器元件, 例如通过执行下列操作来实现。首先, 栅引线 (栅极) 的电势成为打开导通晶体管 262 的电势, 且因此晶体管 262 被导通。这允许第二源引线 (源极 2) 的电势被施加到晶体管 260 的栅电极 (写入操作)。此后, 栅引线 (栅极) 的电势成为截止晶体管 262 的电势, 且因此晶体管 262 被截止。

[0162] 由于晶体管 262 的截止态电流极低, 晶体管 260 的栅电极的电势可被保持达极长的时间段。具体地, 例如, 当晶体管 260 的栅电极的电势是导通晶体管 260 的电势时, 晶体

管 260 被保持在导通状态达长时间段。另一方面,当晶体管 260 的栅电极的电势是截止晶体管 260 的电势时,晶体管 260 被保持在截止状态达长时间段。

[0163] 因此,漏引线(漏极)的电势的值取决于被晶体管 260 的栅电极所保持的电势而变化。例如,当晶体管 260 的栅电极的电势是导通晶体管 260 的电势时,晶体管 260 被保持在导通状态,所以漏引线(漏极)的电势变得与第一源引线(源极 1)的电势相等。如上所述,漏引线(漏极)的电势的值取决于被晶体管 260 的栅电极所保持的电势而变化,且通过读取这个变化的值(读操作),该半导体器件用作存储器元件。

[0164] 可能使用根据这个实施例的半导体器件作为基本非易失性存储元件,因为利用晶体管 262 的截止态电流特性,该半导体器件能使数据被保持极长的时间段。

[0165] 注意,尽管在这个实施例中,为了便于理解仅描述了存储器元件的基本单位,半导体器件的结构并不限于此。还可能用适当地彼此互连的多个存储器元件制成更先进的半导体器件。例如,可能通过使用多于一个的上述存储器元件而制成 NAND-型或 NOR-型半导体器件。此外,引线连接并不限于图 8 中的这些,且可适当地被改变。

[0166] 如上所述,本发明的一个实施例形成利用晶体管 262 的截止态电流特性的基本非易失性存储单元。因此,本发明的一个实施例提供了具有新结构的半导体器件。

[0167] 在这个实施例中所描述的方法和结构可适当地与在其他实施例中描述的方法和结构中的任意项相组合。

[0168] (实施例 3)

[0169] 在这个实施例中,参考图 9A 和 9B 和图 10 而描述根据所公开的本发明的另一个实施例的半导体器件的结构。注意,在这个实施例中,描述了可被用作存储器元件的半导体器件的结构。

[0170] 图 9A 示出根据这个实施例的半导体器件的截面图。图 9B 示出根据这个实施例的半导体器件的平面图。此处,图 9A 示出图 9B 中的截面 G1-G2 和截面 H1-H2。图 9A 和 9B 中所示的半导体器件包括,在其下部,使用氧化物半导体材料之外的材料形成的 p-型晶体管 460 和 n-型晶体管 464,且包括,在其上部,使用氧化物半导体的晶体管 462。

[0171] 使用氧化物半导体材料之外的材料形成的 p-型晶体管 460 和 n-型晶体管 464 具有与实施例 1 和 2 中的 p-型晶体管 160、晶体管 260 等的结构类似的结构。使用氧化物半导体的晶体管 462 具有与实施例 1 和 2 中的 n-型晶体管 162、晶体管 262 等的结构类似的结构。因此,也基于实施例 1 和 2 中的那些晶体管的组件而描述这些晶体管的组件。细节可参见实施例 1 和 2。

[0172] 注意在图 9A 和 9B 中,衬底 400 对应于实施例 1 中的衬底 100;元件隔离绝缘层 406 对应于实施例 1 中的元件隔离绝缘层 106;栅绝缘层 408a 对应于实施例 1 中的栅绝缘层 108a;栅电极 410a 对应于实施例 1 中的栅电极 110a;栅引线 410b 对应于实施例 1 中的栅引线 110b;杂质区 414 对应于实施例 1 中的杂质区 114;沟道形成区 416 对应于实施例 1 中的沟道形成区 116;侧壁绝缘层 418 对应于实施例 1 中的侧壁绝缘层 118;重掺杂区 420 对应于实施例 1 中的重掺杂区 120;金属化合物区 424 对应于实施例 1 中的金属化合物区 124;层间绝缘层 426 对应于实施例 1 中的层间绝缘层 126;层间绝缘层 428 对应于实施例 1 中的层间绝缘层 128;源或漏电极 430a 对应于实施例 1 中的源或漏电极 130a;源或漏电极 430b 对应于实施例 1 中的源或漏电极 130b;且源或漏电极 430c 对应于实施例 2 中的源

或漏电极 130e。

[0173] 此外,绝缘层 432 对应于实施例 1 中的绝缘层 132 ;电极 436a 对应于实施例 1 中的电极 136a ;电极 436b 对应于实施例 1 中的电极 136b ;栅电极 436c 对应于实施例 1 中的栅电极 136c ;栅绝缘层 438 对应于实施例 1 中的栅绝缘层 138 ;氧化物半导体层 440 对应于实施例 1 中的氧化物半导体层 140 ;源或漏电极 442a 对应于实施例 1 中的源或漏电极 142a ;源或漏电极 442b 对应于实施例 1 中的源或漏电极 142b ;保护绝缘层 444 对应于实施例 1 中的保护绝缘层 144 ;层间绝缘层 446 对应于实施例 1 中的层间绝缘层 146 ;电极 450a 对应于实施例 1 中的电极 150a ;电极 450b 对应于实施例 1 中的电极 150b ;电极 450c 对应于实施例 1 中的电极 150b ;电极 450d 对应于实施例 1 中的电极 150c ;电极 450e 对应于实施例 1 中的电极 150d ;绝缘层 452 对应于实施例 1 中的绝缘层 152 ;电极 454a 对应于实施例 1 中的电极 154a ;电极 454b 对应于实施例 1 中的电极 154b ;电极 454c 对应于实施例 1 中的电极 154b ;且电极 454d 对应于实施例 1 中的电极 154c。

[0174] 根据这个实施例的半导体器件不同于根据实施例 1 或 2 的半导体器件,在于:具有彼此电连接的晶体管 462 的漏电极、p- 型晶体管 460 的栅电极、以及 n- 型晶体管 464 的栅电极(见图 9A 和 9B)。这个结构允许 CMOS 反相器电路的输入信号(INPUT) 被暂时地保持。

[0175] 在这个实施例中所描述的方法和结构可适当地与在其他实施例中描述的方法和结构中的任意而组合。

[0176] (实施例 4)

[0177] 在这个实施例中,将参考图 11A 到 11F 而描述装配有根据实施例 1、2 和 3 中的任意的半导体器件的电子器具的示例。根据实施例 1、2 和 3 中的任意的半导体器件包括使用具有良好开关特性的氧化物半导体的晶体管,且因此降低了电子器具的功耗。此外,利用了氧化物半导体的特性的具有新结构的半导体器件(如,存储器元件)允许具有新结构的器具的实现。注意,根据实施例 1、2 和 3 中的任意的半导体器件可被单独或与其他组件相结合地安装在电路衬底等上,且因此被构建入电子器具。

[0178] 在很多情况下,结合了半导体器件的集成电路,除了包括根据实施例 1、2 和 3 中的任意的半导体器件之外,还包括诸如电阻器、电容器和线圈之类的多种电路组件。集成电路的示例有被高度集成算法电路、反相器电路、放大器电路、存储器电路、以及涉及这些电路中的任意的电路。可以说,MPU(微处理器单元)和 CPU(中央处理器单元)是上述的典型示例。

[0179] 此半导体器件可被应用于显示设备中的开关元件等。在这个情况下,优选地在同一个衬底上提供半导体器件和驱动器电路。当然,还可能仅对显示设备的驱动器电路使用半导体器件。

[0180] 图 11A 示出含有根据实施例 1、2 和 3 中的任意的半导体器件的笔记本 PC。该笔记本 PC 包括主体 301、外壳 302、显示部分 303、键盘 304 等。

[0181] 图 11B 示出含有根据实施例 1、2 和 3 中的任意的半导体器件的个人数字助理(PDA)。个人数字助理包括设置有显示部分 313、外部界面 315、操作键 314 等的主体 311。此外,个人数字助理包括作为用于操作的附件的指示笔 312。

[0182] 图 11C 示出作为含有根据实施例 1、2 和 3 中的任意的半导体器件的电子纸的示例的电子书 320。电子书 320 包括两个外壳:外壳 321 和外壳 323。外壳 321 和外壳 323 通过

枢纽 337 组合,从而该电子书 320 可使用枢纽 337 为轴打开和关闭。这样的结构允许电子书 320 如纸书一样的使用。

[0183] 外壳 321 包括显示部分 325、而外壳 323 含有显示部分 327。显示部分 325 和显示部分 327 可显示连续图像或不同图像。用于显示不同图像的结构能使文字显示在右显示部分(图 11C 中的显示部分 325)上,且图像显示在左显示部分(图 11C 中的显示部分 327)上。

[0184] 图 11C 示出外壳 321 含有操作部分的情况的示例。例如,外壳 321 包括电源按钮 331、控制键 333、扬声器 335 等。控制键 333 可允许翻页。注意,还可在作为显示部分的同一面上设置键盘、指向装置等。进一步,可在外壳的背面或侧面上设置外部连接端子(耳机端子、USB 端子、可连接至诸如 AC 适配器和 USB 电缆之类的各种电缆的端子等)、记录介质插入部分等。电子书 320 还可用作电子词典。

[0185] 此外,电子书 320 可无线地发送并接收信息。通过无线通信,可从电子书服务器购买和下载想要的图书数据等。

[0186] 注意,电子纸可用被于所有领域的电子器具,只要它们显示数据。例如,为了显示数据,除了电子书外,可将电子纸应用于海报、诸如火车等车辆中的广告、诸如信用卡之类的多种卡、等。

[0187] 图 11D 示出含有根据实施例 1、2 和 3 中的任意的半导体器件的移动电话。该移动电话包括两个外壳:外壳 340 和外壳 341。外壳 341 包括显示面板 342、扬声器 343、麦克风 344、指向设备 346、摄像机透镜 347、外部连接端子 348 等。外壳 340 包括对移动电话进行充电的太阳能电池 349、外部存储槽 350 等。天线内建在外壳 341 中。

[0188] 显示面板 342 包括触摸面板。被显示为图像的多个控制键 345 在图 11D 中用虚线表示。注意,移动电话包括用于将从太阳能电池 349 输出的电压增至每一个电路所需要的电压的升压电路。除了上述结构外,可能对于移动电话使其具有其中形成非接触式 IC 芯片、小型记录设备等的结构。

[0189] 显示面板 342 的显示取向根据应用模式而适当地变化。进一步,摄像头透镜 347 被提供在与显示面板 342 同一面上,所以可将移动电话用作视频电话。可将扬声器 343 和麦克风 344 用作视频呼叫、录音、以及播放声音等。另外,图 11D 中示为未折叠的外壳 340 和 341 可通过滑动彼此交迭。因此,该移动电话可为用于便携式使用的合适尺寸。

[0190] 外部连接端子 348 可连接至 AC 适配器和诸如 USB 线的多种线,其能实现使移动电话的充电以及移动电话与个人计算机等之间的数据通信。另外,通过插入记录介质到外部存储器槽 350 中可保存和移动大量数据。除了上述之外,移动电话可进行红外通信、电视接收等。

[0191] 图 11E 示出含有根据实施例 1、2 和 3 中的任意的半导体器件的数字照相机。数字照相机包括主体 361,显示部分 A367、目镜 363、操作开关 364、显示部分 B365、电池 366 等。

[0192] 图 11F 示出含有根据实施例 1、2 和 3 中的任意的半导体器件的电视机。电视机 370 有含有显示部分 373 的外壳 371。可在显示部分 373 上显示图像。这里,外壳 371 由支架 375 支承。

[0193] 可由包括在外壳 371 中的操作开关或遥控器 380 操作电视机 370。可通过包括在遥控器 380 中的控制键 379 控制频道和音量,且因此可控制显示在显示部分 373 上的图像。



此外,遥控器 380 可设置有用于显示来自遥控器 380 的数据的显示部分 377。

[0194] 注意,电视机 370 优选地含有接收器、调制解调器等。接收器允许电视机 370 接收一般的电视广播。此外,当电视机 370 通过经由调制解调器的有线或无线连接被连接至通信网络时,能单向(从发射器到接收器)或双向(发射器与接收器之间、接收器之间等)数据通信。

[0195] 在这个实施例中所描述的方法和结构可适当地与在其他实施例中描述的方法和结构中的任意而组合。

[0196] 本申请基于 2009 年 10 月 21 日向日本专利局提交的日本专利申请号 2009-242689,该申请的全部内容通过引用结合于此。

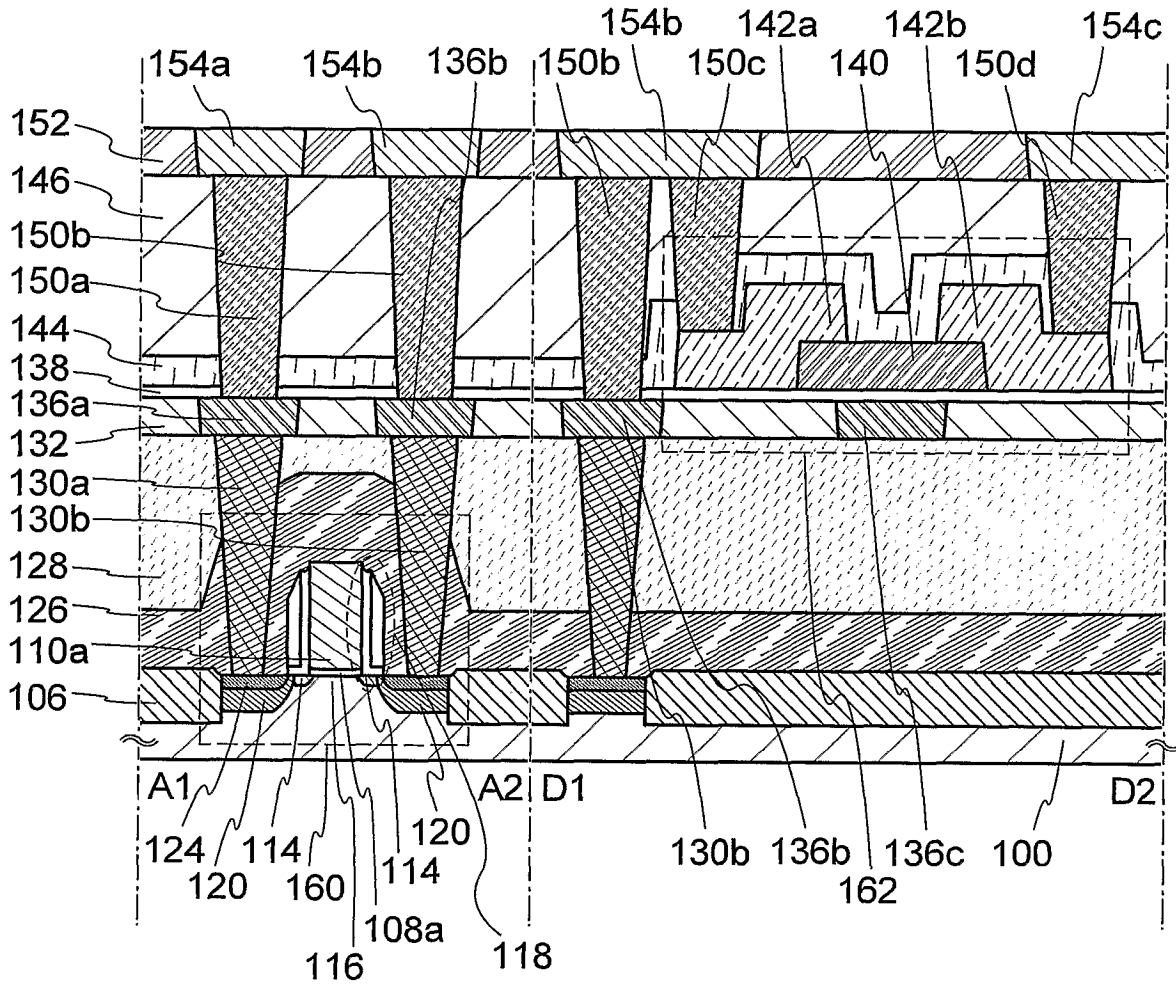


图 1A

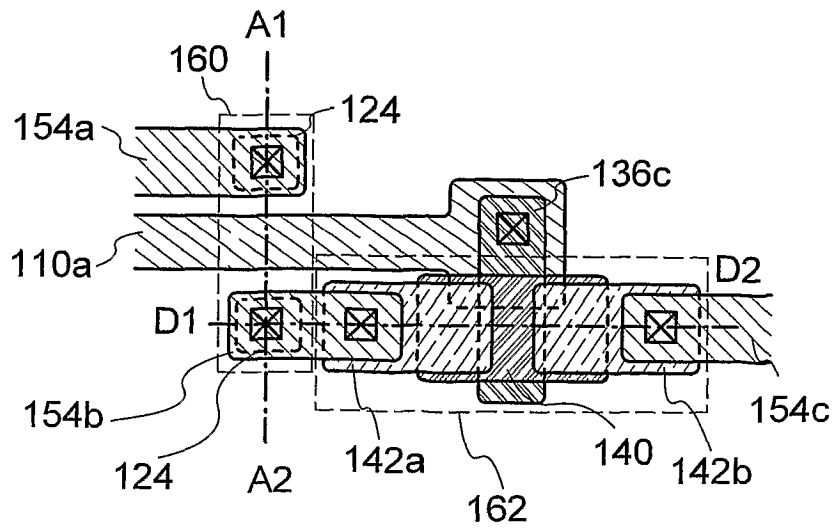


图 1B

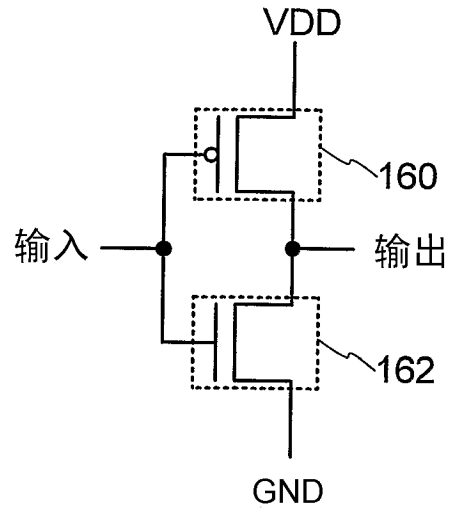


图 2

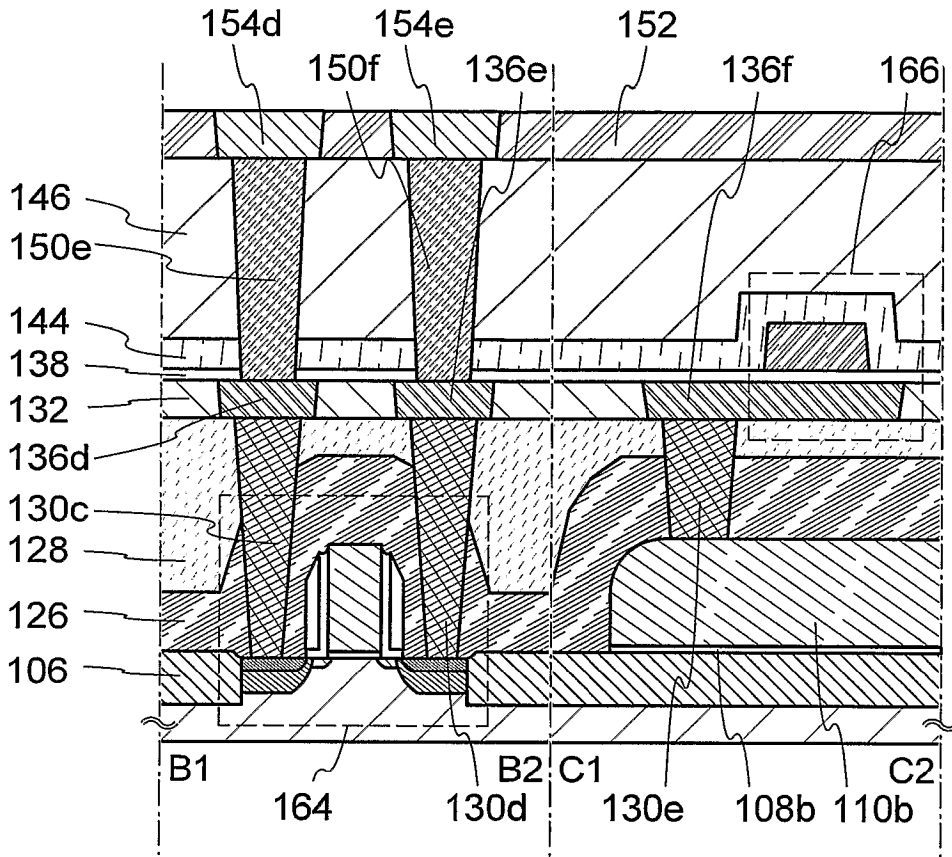


图 3A

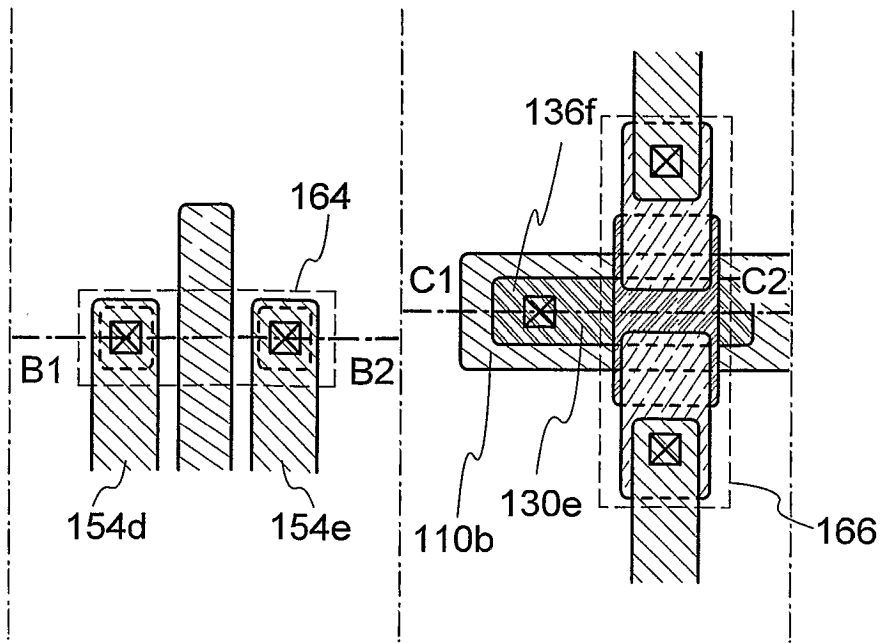


图 3B

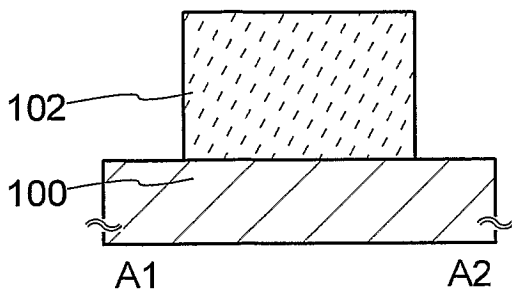


图 4A

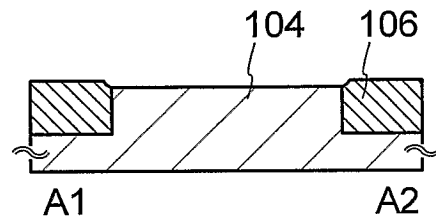


图 4B

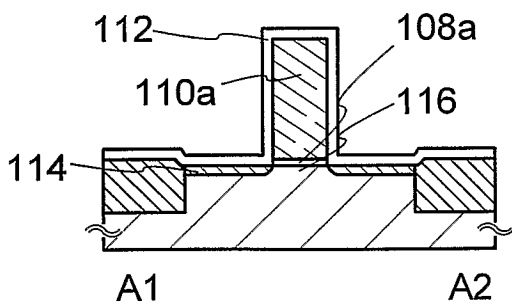


图 4C

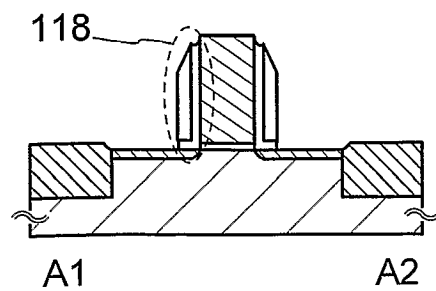


图 4D

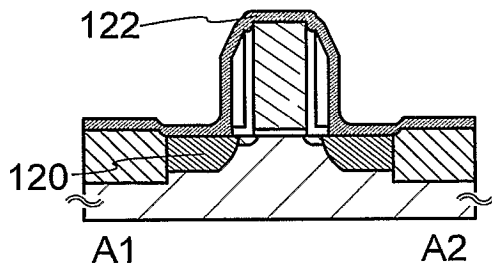


图 4E

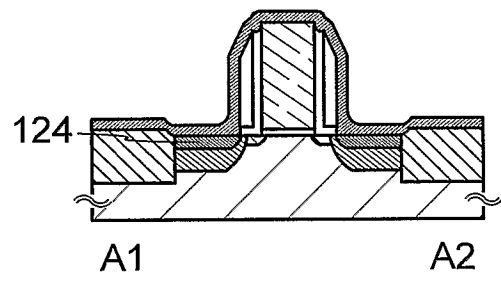


图 4F

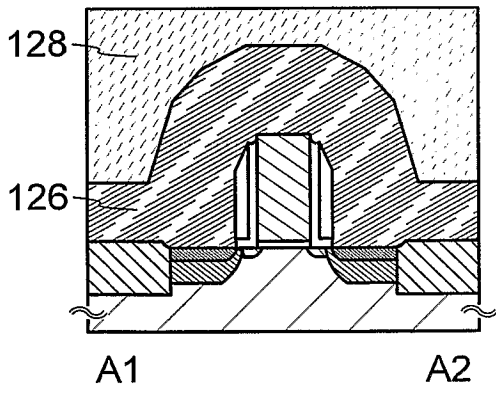


图 4G

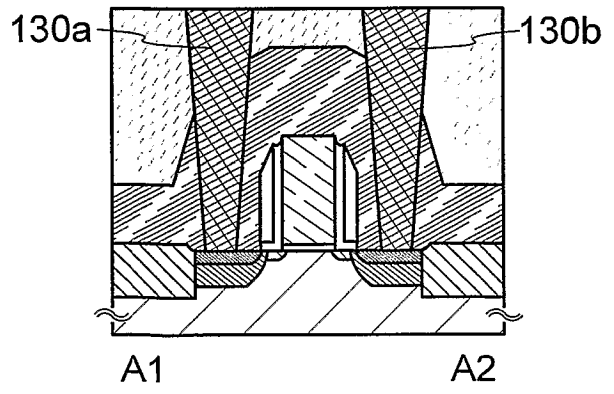


图 4H

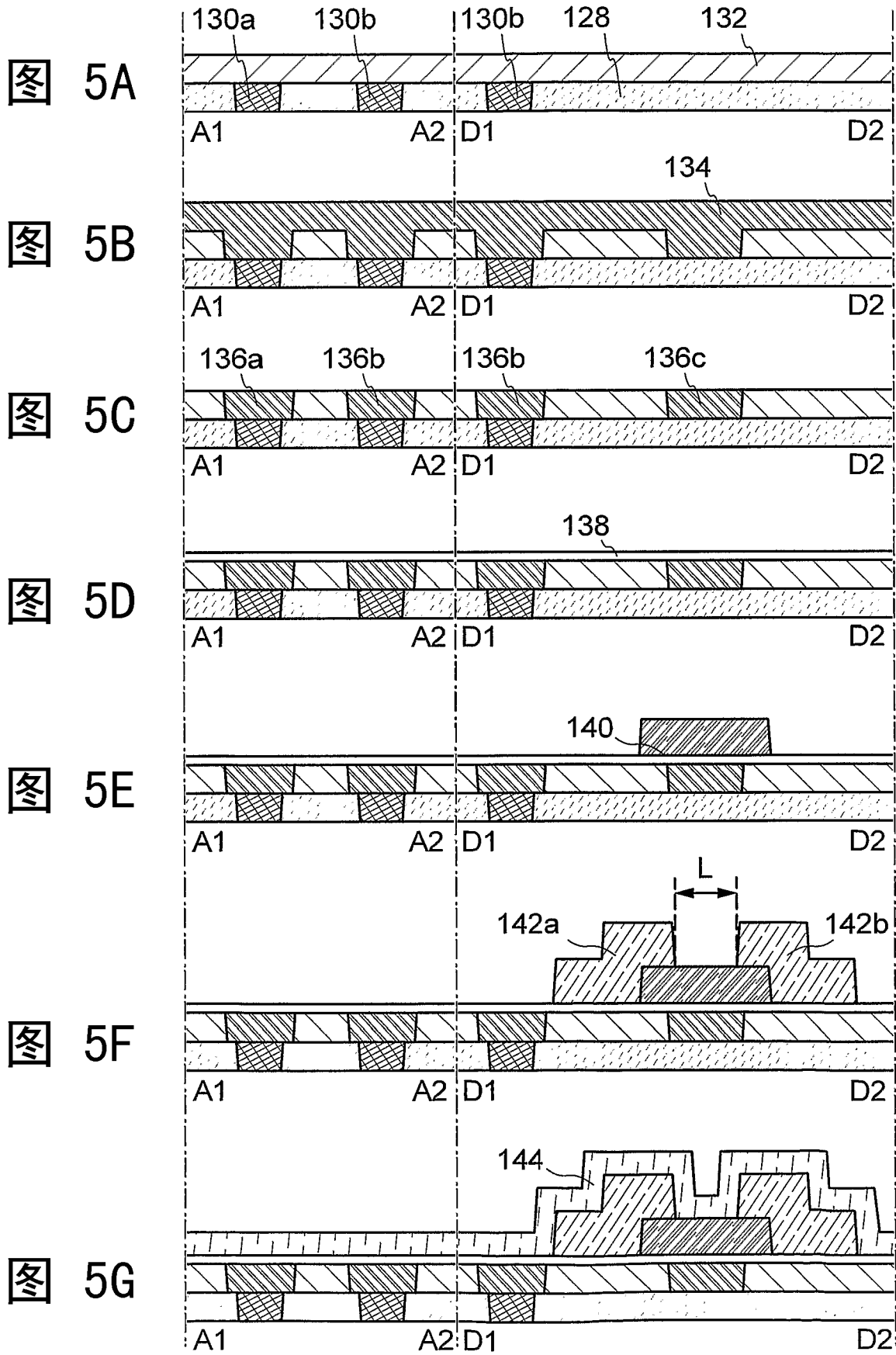


图 6A

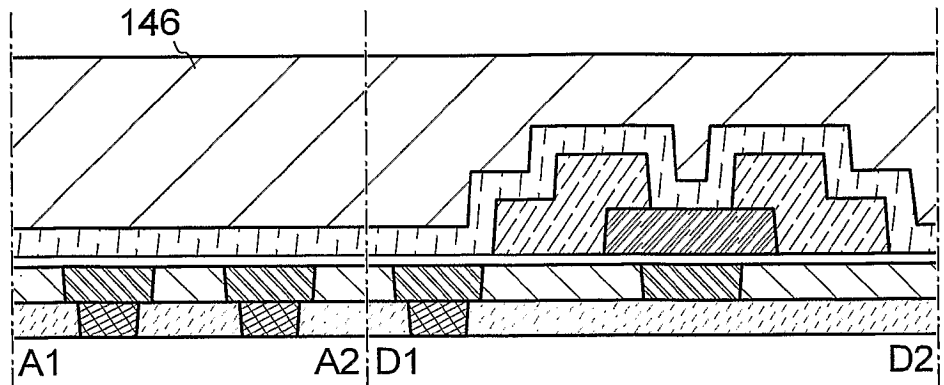


图 6B

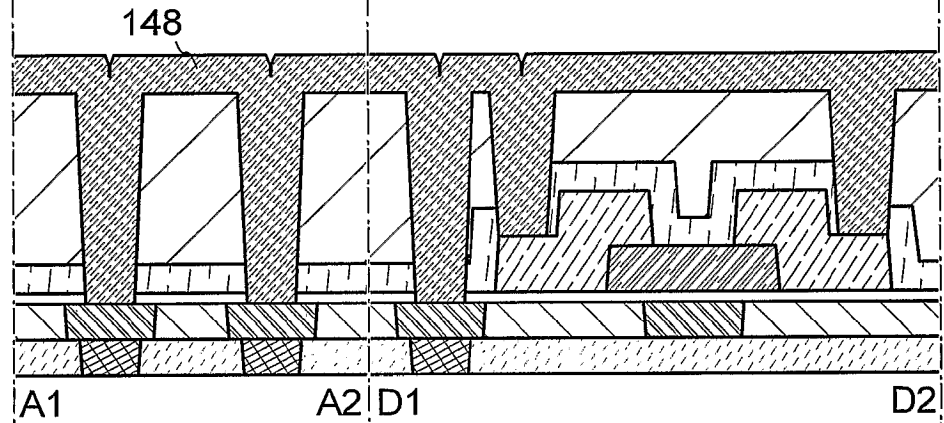


图 6C

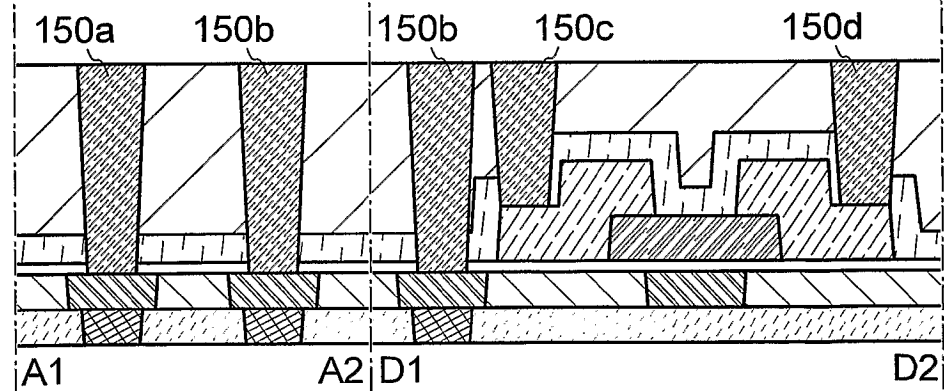
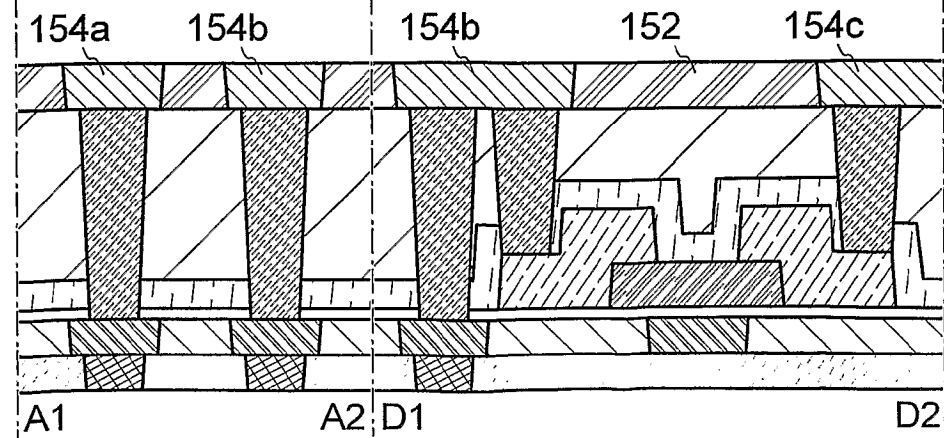


图 6D



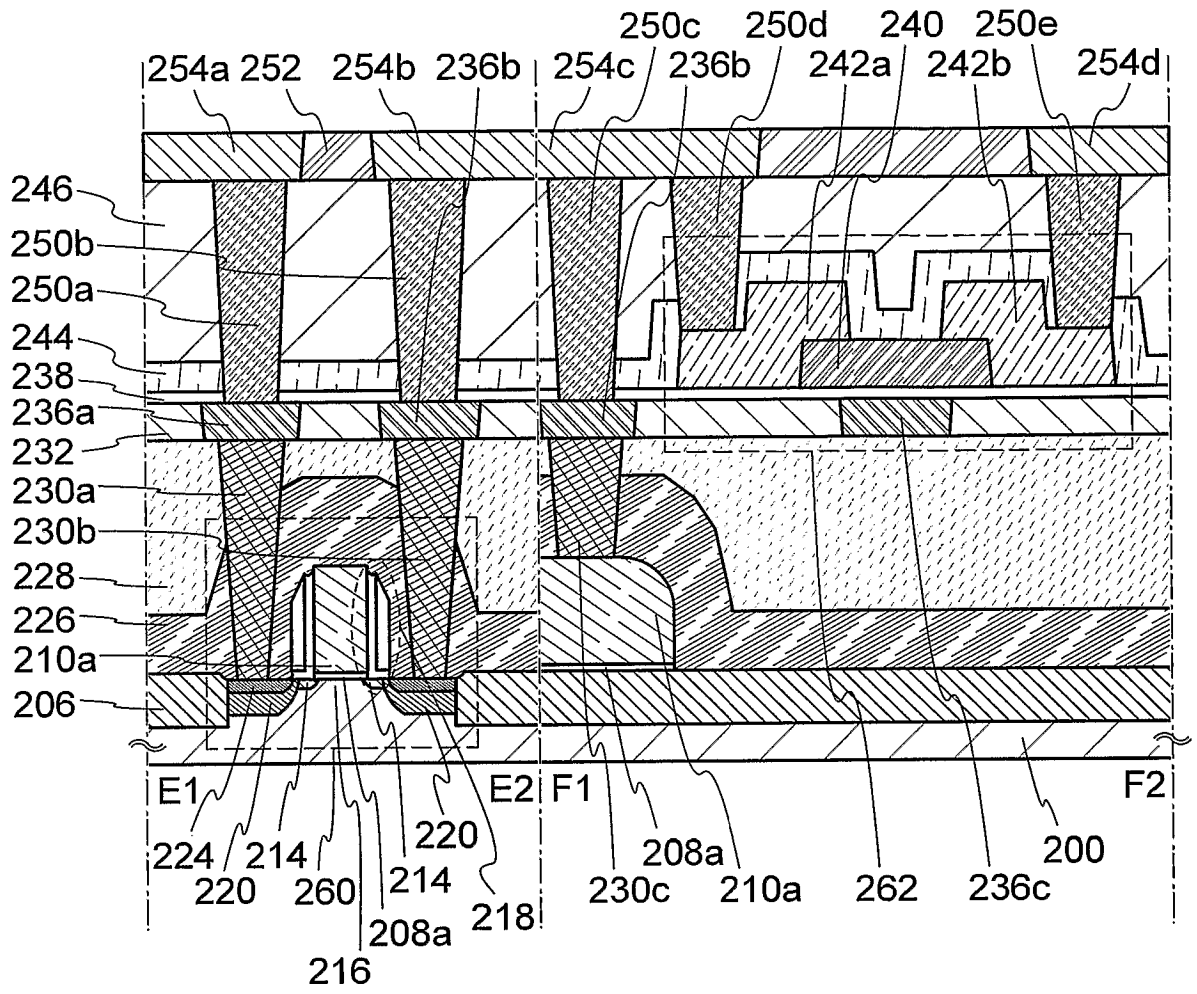


图 7A



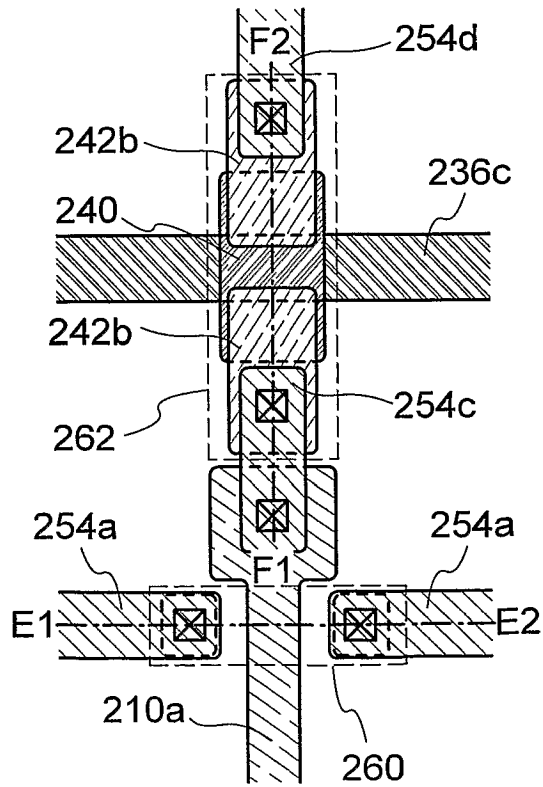


图 7B

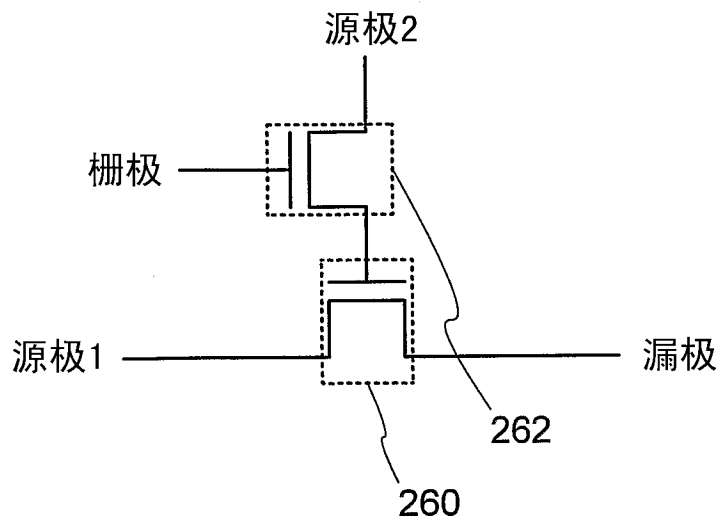


图 8

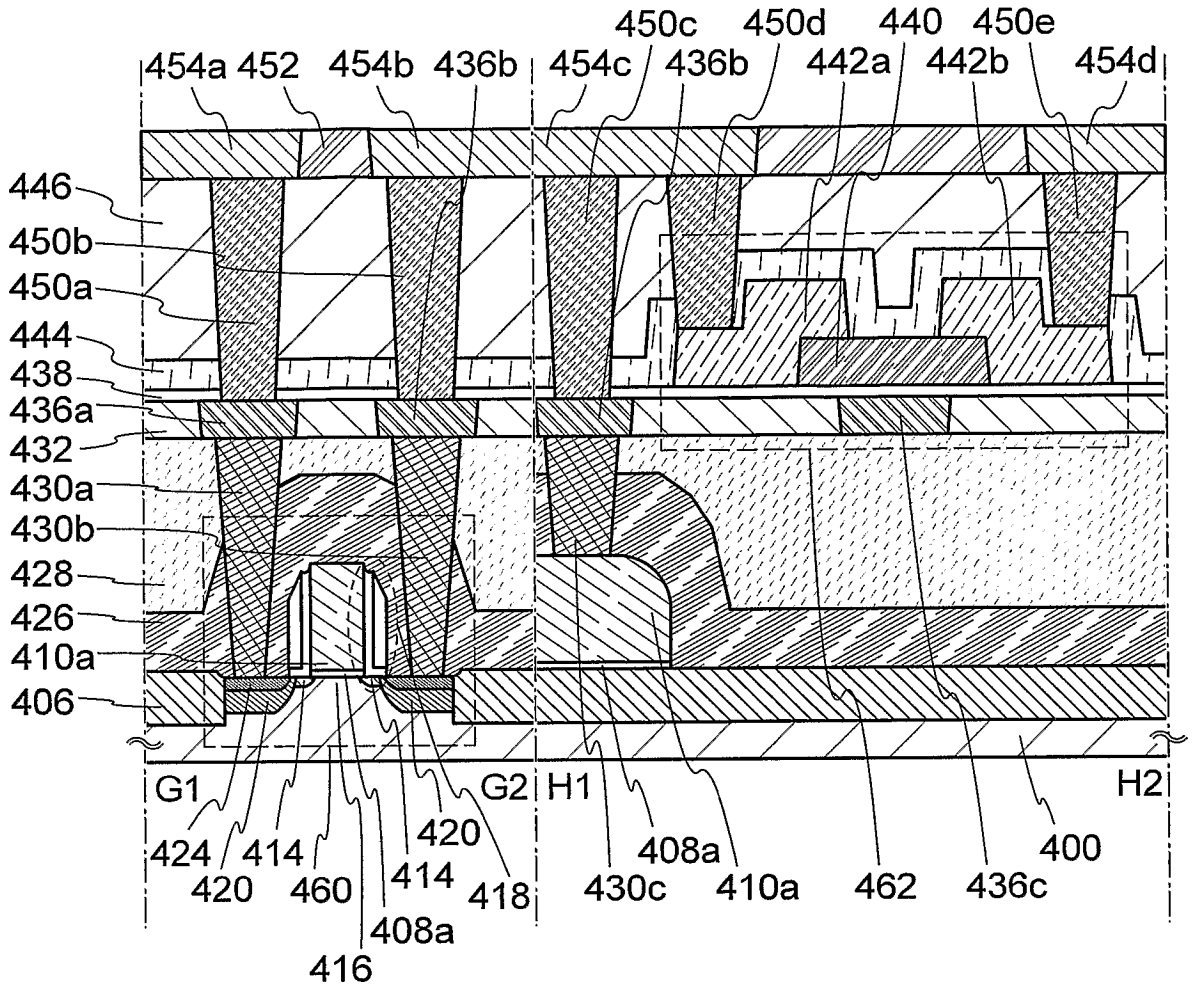


图 9A

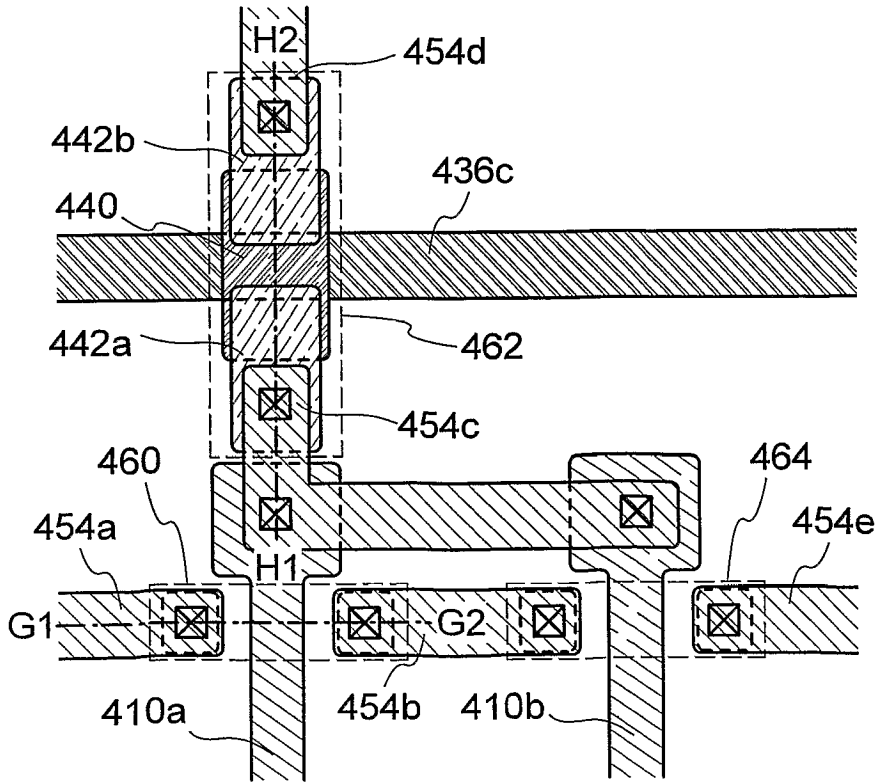


图 9B

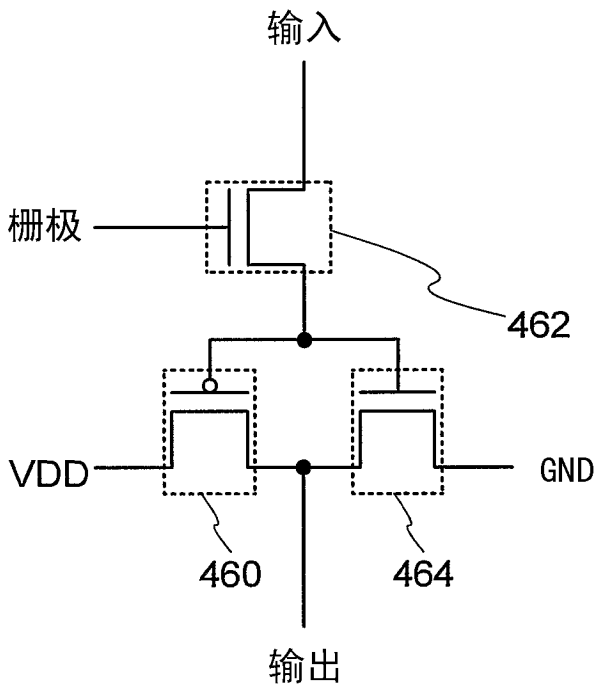


图 10

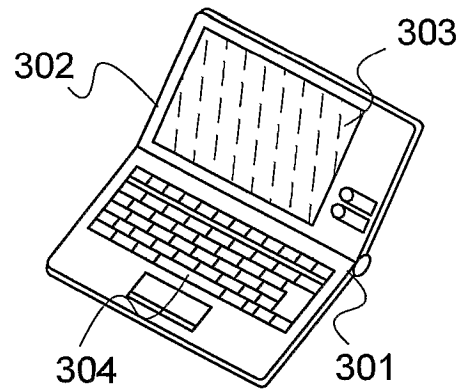


图 11A

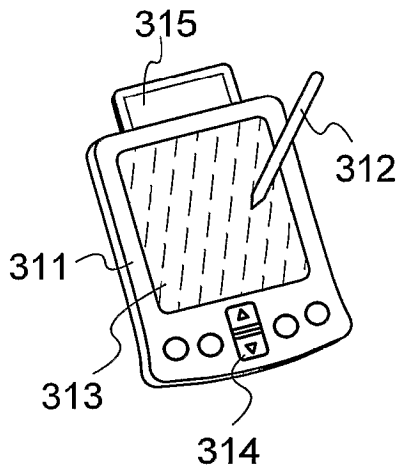


图 11B

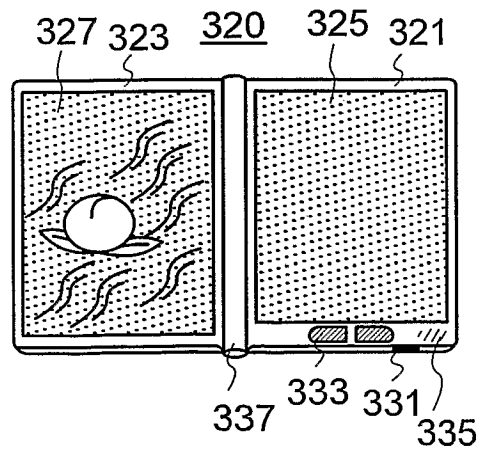


图 11C

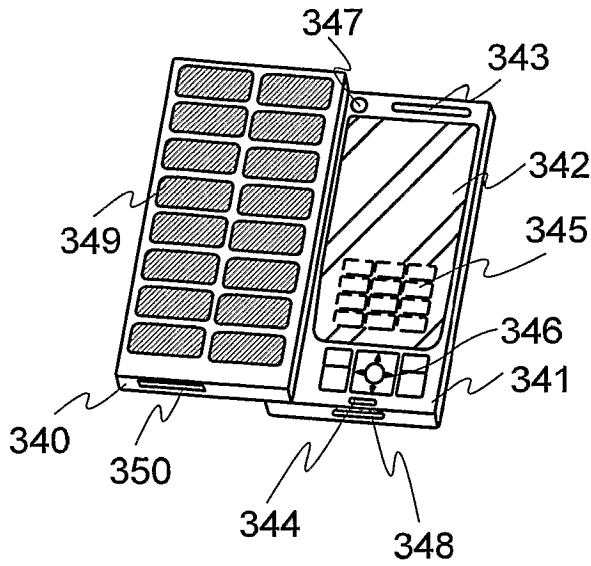


图 11D

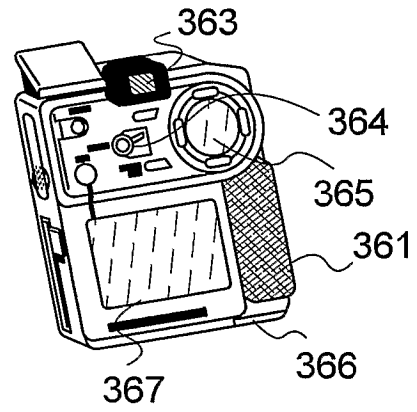


图 11E

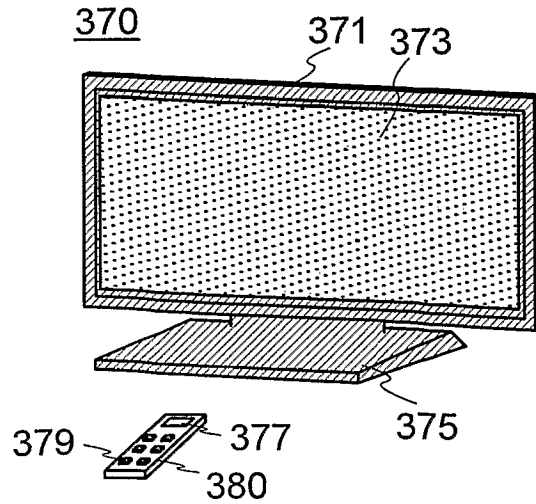


图 11F

参考标记解释

100 :衬底,102 :保护层,104 :半导体区,106 :元件隔离绝缘层,108a :栅绝缘层,108b :栅绝缘层,110a :栅电极,110b :栅引线,110c :引线,112 :绝缘层,114 :杂质区,116 :沟道形成区,118 :侧壁绝缘层,120 :重掺杂区,122 :金属层,124 :金属化合物区,126 :层间绝缘层,128 :层间绝缘层,130a :源或漏电极,130b :源或漏电极,130c :源或漏电极,130d :源或漏电极,130e :电极,132 :绝缘层,134 :导电层,136a :电极,136b :电极,136c :栅电极,136d :电极,136e :电极,136f :栅电极,138 :栅绝缘层,140 :氧化物半导体层,142a :源或漏电极,142b :源或漏电极,144 :保护绝缘层,146 :层间绝缘层,148 :导电层,150a :电极,150b :电极,150c :电极,150d :电极,150e :电极,150f :电极,152 :绝缘层,154a :电极,154b :电极,154c :电极,154d :电极,154e :电极,160 :p-型晶体管,162 :n-型晶体管,164 :p-型晶体管,166 :n-型晶体管,200 :衬底,206 :元件隔离绝缘层,208a :栅绝缘层,210a :栅电极,214 :杂质区,216 :沟道形成区,218 :侧壁绝缘层,220 :重掺杂区,224 :金属化合物区,226 :层间绝缘层,228 :绝缘层,230a :源或漏电极,230b :源或漏电极,230c :电极,232 :绝缘层,236a :电极,236b :电极,236c :栅电极,238 :栅绝缘层,240 :氧化物半导体层,242a :源或漏电极,242b :源或漏电极,244 :保护绝缘层,246 :层间绝缘层,250a :电极,250b :电极,250c :电极,250d :电极,250e :电极,252 :绝缘层,254a :电极,254b :电极,254c :电极,254d :电极,260 :晶体管,262 :晶体管,301 :主体,302 :外壳,303 :显示部分,304 :键盘,311 :主体,312 :指示笔,313 :显示部分,314 :控制键,315 :外部界面,320 :电子书,321 :外壳,323 :外壳,325 :显示部分,327 :显示部分,331 :电源按钮,333 :控制键,335 :扬声器,337 :枢纽,340 :外壳,341 :外壳,342 :显示面板,343 :扬声器,344 :麦克风,345 :控制键,346 :指向设备,347 :摄像头透镜,348 :外部连接端子,349 :太阳能电池,350 :外部存储器槽,361 :主体,363 :目镜,364 :操作开关,365 :显示部分 B,366 :电池,367 :显示部分 A,370 :电视机,371 :外壳,373 :显示部分,375 :支架,377 :显示部分,379 :控制键,380 :遥控器,400 :衬底,406 :元件隔离绝缘层,408a :栅绝缘层,410a :栅电极,410b :栅引线,414 :杂质区,416 :沟道形成区,418 :侧壁绝缘层,420 :重掺杂区,424 :金属化合物区,426 :层间绝缘层,428 :层间绝

缘层, 430a :源或漏电极, 430b :源或漏电极, 430c :源或漏电极, 432 :绝缘层, 436a :电极, 436b :电极, 436c :栅电极, 438 :栅绝缘层, 440 :氧化物半导体层, 442a :源或漏电极, 442b :源或漏电极, 444 :保护绝缘层, 446 :层间绝缘层, 450a :电极, 450b :电极, 450c :电极, 450d :电极, 450e :电极, 452 :绝缘层, 454a :电极, 454b :电极, 454c :电极, 454d :电极, 460 :p-型晶体管, 462 :晶体管, 464 :n-型晶体管。