

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3557078号  
(P3557078)

(45) 発行日 平成16年8月25日(2004.8.25)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int. Cl.<sup>7</sup>

F I

G 1 1 C 16/02  
G 1 1 C 16/04

G 1 1 C 17/00 6 1 1 F  
G 1 1 C 17/00 6 2 2 E

請求項の数 10 (全 25 頁)

(21) 出願番号	特願平9-172251	(73) 特許権者	000003078
(22) 出願日	平成9年6月27日(1997.6.27)		株式会社東芝
(65) 公開番号	特開平11-16381		東京都港区芝浦一丁目1番1号
(43) 公開日	平成11年1月22日(1999.1.22)	(74) 代理人	100058479
審査請求日	平成13年3月13日(2001.3.13)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

ゲートとソースとドレイン及び電荷蓄積層を有する電気的に書き換え可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルにデータを書き込むデータ書込手段と、前記メモリセルのデータを読み出すデータ読出手段と、前記メモリセルのデータを消去するデータ消去手段と、を有し、前記メモリセルへのデータの書き込みの際、書き込み禁止される所定のメモリセルに対し、ゲートに第1の信号を印加し、ソース及びドレインの少なくともいずれかに容量結合したノードに第2の信号を印加する不揮発性半導体記憶装置において、前記第1の信号が前記第2の信号より遅れて立ち下がるように制御されることを特徴とする不揮発性半導体記憶装置。

10

【請求項2】

前記第1の信号を起動する信号を、前記第2の信号を起動する信号に対して遅延させる回路を更に有することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】

前記第1及び第2の信号を起動する信号は、それぞれ第3の信号から得られることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】

前記第1及び第2の信号を起動する信号を、クロックを発振するクロック発振回路と、こ

20

のクロックの入力を受け複数のクロックを出力するバイナリカウンタと、前記複数のクロックの論理演算結果を出力する論理回路によって得ることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記複数のメモリセルのソース及びドレインのいずれかは、互いに直列に接続されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記ノードは、メモリセルのゲート・チャネル間容量を介して前記ソース及びドレインの少なくともいずれかに容量結合することを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記ノードは、前記ソース及びドレインのいずれかが互いに直列に接続された前記複数のメモリセルのうち、書込を行わない所定のメモリセルのゲートであることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】

第 1 の導電型半導体基板及び第 2 の導電型半導体基板に形成された第 1 の導電型ウエルの少なくともいずれかに第 2 の導電型ウエルが形成され、

前記第 2 の導電型ウエル内に形成された第 1 の導電型のソース、ドレイン拡散層、当該ソース、ドレイン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された電荷蓄積層である浮遊ゲート、及びこの浮遊ゲート上に層間絶縁膜を介して積層された制御ゲートを有し、前記電荷蓄積層と第 2 の導電型ウエルとの間の電荷の授受によりデータ書き換えを行う書き換え可能な複数のメモリセルが、前記第 2 の導電型ウエルに配置され、

前記複数のメモリセルは、そのソース、ドレインを隣接するもの同士で共用するような形で直列接続されて NAND セルを構成し、これがマトリクスに配列されメモリセルアレイを構成し、

上記各 NAND セルの一端部のドレインは、選択ゲートを介して列方向に配置されたビット線に接続され、他端部のソースは、選択ゲートを介して複数の NAND セルに共有されたソース線に接続され、各 NAND セル内の制御ゲートは行方向に並ぶ NAND セルについて連続的に配設されてワード線を構成し、

上記各メモリセルに対して、その浮遊ゲートに蓄えられる電荷量により所望のデータを記憶させる為の書き込み動作時に、ソース側の選択ゲートトランジスタをカットオフさせながら、書き込みを行う NAND セルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせない第 1 の電圧を与える一方、書き込み禁止される NAND セルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせる第 2 の電位を与え、複数のデータについて一括して書き込みを行う不揮発性半導体記憶装置において、書き込みを行うワード線に所定の書き込み電圧パルスが与えられ、書き込みを行わないワード線に所定の転送電圧パルスが与えられる際、これら 2 つのパルスの立ち下りのタイミングに関して、書き込み電圧パルスが立ち下りを開始する時間よりも転送電圧パルスが立ち下りを開始する時間を早く設定することを特徴とする不揮発性半導体記憶装置。

【請求項 9】

第 1 の導電型半導体基板及び第 2 の導電型半導体基板に形成された第 1 の導電型ウエルの少なくともいずれかに第 2 の導電型ウエルが形成され、

前記第 2 の導電型ウエル内に形成された第 1 の導電型のソース、ドレイン拡散層、当該ソース、ドレイン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された電荷蓄積層である浮遊ゲート、及びこの浮遊ゲート上に層間絶縁膜を介して積層された制御ゲートを有し、前記電荷蓄積層と第 2 の導電型ウエルとの間の電荷の授受によりデータ書き換えを行う書き換え可能な複数のメモリセルが、前記第 2 の導電型ウエルに配置され、

前記複数のメモリセルは、そのソース、ドレインを隣接するもの同士で共用するような形で直列接続されて NAND セルを構成し、これがマトリクスに配列されメモリセルアレイを構成し、

10

20

30

40

50

上記各NANDセルの一端部のドレインは、選択ゲートを介して列方向に配置されたビット線に接続され、他端部のソースは、選択ゲートを介して複数のNANDセルに共有されたソース線に接続され、各NANDセル内の制御ゲートは行方向に並ぶNANDセルについて連続的に配設されてワード線を構成し、

上記各メモリセルに対して、その浮遊ゲートに蓄えられる電荷量により所望のデータを記憶させる為の書き込み動作時に、ソース側の選択ゲートトランジスタをカットオフさせながら、書き込みを行うNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせない第1の電圧を与える一方、書き込み禁止されるNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせる第2の電位を与え、複数のデータについて一括して書き込みを行う不揮発性半導体記憶装置において、  
書き込みを行うワード線に所定の書き込み電圧パルスが与えられ、書き込みを行わないワード線に所定の転送電圧パルスが与えられる際、これら2つのパルスの立ち下りのタイミングに関して、書き込み電圧パルスが最小値に達する時間よりも転送電圧パルスが最小値に達する時間の方を早く設定することを特徴とする不揮発性半導体記憶装置。

10

【請求項10】

第1の導電型半導体基板及び第2の導電型半導体基板に形成された第1の導電型ウエルの少なくともいずれかに第2の導電型ウエルが形成され、

前記第2の導電型ウエル内に形成された第1の導電型のソース、ドレイン拡散層、当該ソース、ドレイン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された電荷蓄積層である浮遊ゲート、及びこの浮遊ゲート上に層間絶縁膜を介して積層された制御ゲートを有し、前記電荷蓄積層と第2の導電型ウエルとの間の電荷の授受によりデータ書き換えを行う書き換え可能な複数のメモリセルが、前記第2の導電型ウエルに配置され、

20

前記複数のメモリセルは、そのソース、ドレインを隣接するもの同士で共用するような形で直列接続されてNANDセルを構成し、これがマトリクスに配列されメモリセルアレイを構成し、

上記各NANDセルの一端部のドレインは、選択ゲートを介して列方向に配置されたビット線に接続され、他端部のソースは、選択ゲートを介して複数のNANDセルに共有されたソース線に接続され、各NANDセル内の制御ゲートは行方向に並ぶNANDセルについて連続的に配設されてワード線を構成し、

上記各メモリセルに対して、その浮遊ゲートに蓄えられる電荷量により所望のデータを記憶させる為の書き込み動作時に、ソース側の選択ゲートトランジスタをカットオフさせながら、書き込みを行うNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせない第1の電圧を与える一方、書き込み禁止されるNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせる第2の電位を与え、複数のデータについて一括して書き込みを行う不揮発性半導体記憶装置において、  
書き込みを行うワード線に所定の書き込み電圧パルスが与えられ、書き込みを行わないワード線に所定の転送電圧パルスが与えられる際、これら2つのパルスの立ち下りのタイミングに関して、書き込み電圧パルスが立ち下りを開始する時間よりも転送電圧パルスが立ち下りを開始する時間を早く設定し、

30

上記2つのパルスの立ち上がりのタイミングに関して、書き込み電圧パルスが立ち上がりを開始する時間よりも転送電圧パルスが立ち上がりを開始する時間の方を早く設定することを特徴とする不揮発性半導体記憶装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電荷蓄積用の浮遊ゲート電極と制御ゲート電極が積層された構造の電氣的書き換え可能なメモリセルを用いた不揮発性半導体記憶装置に係り、特に複数の該メモリセルを直列に接続したNAND構成の不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】

50

従来より、電気的に書き換え可能で且つ高集積化が可能な不揮発性半導体記憶装置（EEPROM：Electrically Erasable Programmable ROM）として、複数個のメモリセルを直列に接続したNANDセル型のEEPROMが知られている。

【0003】

このようなNANDセル型のEEPROMにおいて、その1つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート電極と制御ゲート電極が積層された「スタックゲート構造」を有している。そして、複数個のメモリセルが、隣接するもの同士でソース・ドレインを共有する形で直列に接続され、これを1単位としてビット線に接続されてNANDセルが構成されている。更に、かかるNANDセルがマトリクス状に配置されてメモリセル

10

【0004】

そして、上記メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、それぞれ選択ゲート電極を介してデータ線たるビット線に接続されており、他端側は選択ゲート電極を介してソース線、さらには基準電位配線たる共通ソース線に接続されている。また、各メモリセルの制御ゲート電極及び選択ゲート電極は、上記メモリセルアレイの行方向に、それぞれワード線たる制御ゲート線、選択ゲート線となって共有に接続されている。

【0005】

このようなNANDセル型のEEPROMの書き込み動作方式においては、より低電圧動作を実現することで、即ちビット線に接続されているカラムデコーダ等を構成するトランジスタを全てV<sub>cc</sub>系トランジスタで構成することができ、従って、その周辺回路の面積を小さくすることが可能となる。かかる点に着目して、チップ面積の縮小を可能にする「セルフブースト書き込み方式」に関する種々の技術が提案され、既に実用化に至っている。

20

【0006】

以下、上記セルフブースト書き込み方式による動作を説明する。

図19は上記NANDセル型のEEPROMのメモリセル部の等価回路の構成を示す図である。同図において、符号BLはビット線、符号SGは選択ゲート線、符号CGはワード線、符号SLはソース線をそれぞれ示している。

30

【0007】

複数のデータを行方向の複数のメモリセルに対して一括して書き込む場合において、通常

の書き込み動作では、ビット線BLから離れた位置のメモリセルから動作が行われ、ランダム書き込み動作では、ビット線BLとソース線SLの間の任意のメモリセルの書き込みがランダムに行われる。即ち、先ずソース線SL側の選択ゲート線SG<sub>2</sub>に0Vを与えて当該トランジスタをカットオフさせた状態において、“0”データを書き込むべきメモリセルが接続されているNANDセルのビット線BL<sub>1</sub>乃至BL<sub>n</sub>に0Vを与える。そして、“1”データを書き込むメモリセルが接続されているNANDセルのビット線BL<sub>1</sub>乃至BL<sub>n</sub>には、ドレイン側の選択ゲート電圧と同じ電圧、それ以上の電圧、或いはドレイン側の選択ゲート電圧より小さくてもドレイン側の選択ゲートが十分カットオフする電位

40

【0008】

このような状態において、選択ブロックの全てのワード線CG<sub>1</sub>乃至CG<sub>n</sub>にメモリセルがON状態となる電位、即ち書き込みパルス電圧V<sub>pp</sub>或いは非選択ワード線の転送電圧パルスV<sub>pass</sub>が与えられるときに、該電圧パルスの立上がりの過程の所定の電位においてメモリセルがON状態となる電位が与えられると、“0”書き込みを行うビット線BL<sub>1</sub>乃至BL<sub>n</sub>に接続されたNANDセルのチャンネルには0Vが転送されることになる。

【0009】

こうして、“0”データの書き込みを行うメモリセルが接続されている選択ワード線CG

50

1乃至CG<sub>n</sub>に書き込み電圧パルスV<sub>pp</sub>が与えられると、0Vが与えられている選択ビット線BL<sub>1</sub>乃至BL<sub>n</sub>に接続されている選択メモリセルには“0”データが書き込まれる。

【0010】

また、“1”データの書き込みを行うビット線BL<sub>1</sub>乃至BL<sub>n</sub>に接続されたNANDセルのチャンネルには、ビット線BL<sub>1</sub>乃至BL<sub>n</sub>から、該ビット線側の選択ゲート線SG<sub>1</sub>を介してビット線BL<sub>1</sub>乃至BL<sub>n</sub>の電位から当該選択ゲートトランジスタのしきい値分だけを差し引いた所定の初期電位が転送された状態でビット線側の選択ゲートトランジスタがカットオフフローティングとなる。この時、ソース線SLには、0V或いはソース側の選択ゲートを十分カットオフさせる為に、所定の正の電位が与えられている。

10

【0011】

ここで、書き込み電圧パルスV<sub>pp</sub>が与えられる選択ワード線に接続され、且つ“1”データの書き込みを行う書き込み非選択メモリセル、即ちビット線側の選択ゲートトランジスタがカットオフし、チャンネルがフローティング状態となっているメモリセルのチャンネル電位は、“0”データの書き込みが行われないように、即ちしきい値変動が許容範囲以下であるように、十分大きい必要がある。これは、このメモリセルに対しては、書き込み電圧パルスV<sub>pp</sub>とチャンネル電位V<sub>ch</sub>の差が大きい程、しきい値の変動は少ないからである。

【0012】

この為、書き込みを行わない非選択ワード線には、所定の転送電圧パルスV<sub>pass</sub>を与え、ゲートチャンネル間容量を利用してチャンネルの電位を初期電位からある電位まで上昇させている。従って、この転送電圧パルスV<sub>pass</sub>が大きい程、このメモリのしきい値変動は少なくなる。

20

【0013】

然るして、ビット線BL<sub>1</sub>乃至BL<sub>n</sub>のうち0Vが与えられている選択ビット線に接続されているメモリセルで、“0”データの書き込みを行わないメモリセルに対しても、この転送電圧パルスV<sub>pass</sub>が与えられることになる。従って、この転送電圧パルスV<sub>pass</sub>が大きい程、しきい値の変動が起こり易くなる。これらを考慮して、転送電圧パルスV<sub>pass</sub>の最小値と最大値が決定される。

【0014】

通常、この転送電圧パルスV<sub>pass</sub>と書き込み電圧パルスV<sub>pp</sub>は“0”データのメモリセルのしきい値の分布を小さくし、且つ誤書き込みを少なくする為に、各所定の初期電圧やステップ電圧、最終電圧、パルス幅等が最適化されている「ステップアップ方式」で行われている。

30

【0015】

一方、データ消去では、NAND型セル内の全てのメモリセルに対して同時に行われる「一括消去」か、或いは所定のバイト単位毎に行われる「ブロック消去」のいずれかが行われる。即ち、全ての或いは選択されたブロック内において全ての制御ゲートを0Vとし、ブロック消去の場合は、非選択ブロックの制御ゲート及び選択ゲートに書き込み電圧パルスV<sub>pp</sub>（例えば、20V）を印加し、ビット線及びソース線を浮遊状態とし、pウエルに例えば20Vといった高電圧を印加する。これにより、全ての或いは選択されたブロック内の全てのメモリセルにおいて浮遊ゲートの電子がpウエルに放出され、しきい値が負方向に移動する。さらに、データの読み出しは、選択ゲートトランジスタ及び選択メモリセル以外の非選択メモリセルのワード線に読み出し電圧（例えば、4.5V）を印加することによりオン状態とし、選択メモリセルのワード線に0Vが与えられる。この時、ビット線BL<sub>1</sub>乃至BL<sub>n</sub>側に流れる電流を検出することにより、“0”、“1”の判定がなされる。

40

【0016】

【発明が解決しようとする課題】

しかしながら、上述したような従来技術に係るNANDセル型のEEPROMの書き込み

50

方式である「セルフブースト書き込み方式」においては、以下に説明するような問題が生じており、その解決が囑望されていた。

【0017】

図20はフローティングチャンネル書き込み時のメモリセルの各電極、及びメモリセルA、メモリセルBを示すNANDセル型のEEPROMの等価回路の構成を示す図である。上記メモリセルAは、チャンネルがフローティング且つワード線に書き込み電圧パルス $V_{pp}$ が与えられ、“1”データ書き込みが行われる書き込み非選択メモリセルである。上記メモリセルBは、ビット線に0V、且つワード線に転送電圧パルス $V_{pass}$ が与えられ、書き込みを行わない非選択メモリセルである。ここで、 $V_{BL}$ はビット線に与えられる電圧、 $V_{SG}$ は選択ゲート線に与えられる電圧、 $V_{CG}$ はワード線に与えられる電圧、 $V_{SL}$ はソース線に与えられる電圧を示している。ここでは、ビット線 $BL_1$ 乃至 $BL_n$ 側から数えて2番目のメモリセルを選択ワード線としたが、通常動作時は任意のメモリセルが選択される。

10

【0018】

以下、図21のタイミングチャートを参照して、図20に対応する各電極の電圧とそのタイミングを詳細に説明する。

まず、ビット線 $BL_1$ 乃至 $BL_n$ には、書き込むべきデータに対応して、0V或いは $V_{cc}$ (例えば、3.3V)が与えられ、ビット線 $BL_1$ 乃至 $BL_n$ 側の選択ゲート $SG_1$ には $V_{cc}$ (例えば、3.3V)、ソース線 $SL$ 側の選択ゲート $SG_2$ には0Vが与えられる。この状態で、“1”データを書き込むビット線( $V_{BL_1}$ )のNANDセルのチャンネルはチャンネル電位 $V_{chinit}$ が転送された後、フローティングとなっている。この後、選択ワード線に書き込み電圧パルス $V_{pp}$ 、非選択ワード線に転送電圧パルス $V_{pass}$ が与えられ、フローティング状態となっているチャンネルが所定の電位 $V_{ch}$ にブートされることになる。この時のチャンネル電位 $V_{ch}$ と各電極の電位との関係は次の式(1)で示される。

20

【0019】

$$V_{ch} = V_{sg} - V_{sgth}(V_{chinit}) + Cr1(V_{pass} - V_{passsth} - V_{chinit}) + Cr2(V_{pp} - V_{passsth} - V_{chinit}) - (Tp_w / (16C_{ins} + C_{ch})) \cdot I(1)$$

尚、上記(1)式において、 $V_{sgth}(V_{chinit})$ はチャンネル電位が $V_{chinit}$ である時のドレイン側の選択ゲートのしきい値を示し、 $Cr1$ はチャンネルのブート比(転送電圧パルス $V_{pass}$ が与えられるメモリセルの容量と該パルス $V_{pass}$ によりチャンネル下に広がる空乏層容量の比)を示し、 $Cr2$ はチャンネルのブート比(書き込み電圧パルス $V_{pp}$ が与えられるメモリセルの容量と該パルス $V_{pp}$ によりチャンネル下に広がる空乏層容量の比)を示し、 $V_{passsth}$ はチャンネル電位が $V_{chinit}$ である時の転送電圧パルス $V_{pass}$ が与えられるメモリセルがON状態になるために必要な電位を示している。また、 $Tp_w$ は書き込み電圧パルス幅、 $C_{ins}$ はメモリセル1個あたりの容量、 $C_{ch}$ はチャンネル下に広がる空乏層容量、 $I$ はチャンネルからウエルや隣接ビット線に抜ける電流を示している。

30

【0020】

ここで、上記選択ゲート $SG_1$ 、 $SG_2$ やメモリセル、及びこれらを形成する半導体基板中の不純物濃度( $p$ セルに形成するときには、ボロンの不純物濃度等)のプロファイル、選択ゲート $SG_1$ 、 $SG_2$ やメモリセルのチャンネル部に導入されるチャンネルインプラ等の不純物濃度、選択ゲート $SG_1$ 、 $SG_2$ やメモリセルのソース・ドレイン拡散層の濃度プロファイル等の選択ゲートやメモリセルを形成する際の様々な条件により、ビット線 $BL_1$ 乃至 $BL_n$ からチャンネルに転送される初期電圧 $V_{chinit}$ の低下、チャンネル下の空乏層やその他の0V端子-チャンネル間の容量の増大によるチャンネルブート効率( $Cr1$ 、 $Cr2$ )の低下等により、十分なチャンネル電位が得られず、“1”データ書き込みのメモリセルのしきい値が変動し、誤書き込みが起こることがある。

40

【0021】

50

図22は前述した書き込みを行う場合の転送電圧パルス $V_{pass}$ と“1”データ書き込みのメモリセル(メモリセルA)のしきい値の関係を示す図である。

同図において、縦軸はしきい値を、横軸は $V_{pass}$ を示しており、符号AはセルAの特性を示し、符号BはセルBの特性を示している。

【0022】

この図に示されるように、転送電圧パルス $V_{pass}$ を十分大きくしないとメモリセルAのしきい値は正側に変動する。これに対して、転送電圧パルス $V_{pass}$ を余り大きくしてやると、今度はメモリセルBのしきい値が変動してしまう。

【0023】

このようなしきい値の変動は、メモリセルのゲート幅、ゲート長、ウイング幅、トンネル酸化膜厚、インターポリ絶縁膜(層間絶縁膜)厚等の不均一さに起因する書き込み特性のばらつきが大きくなると、それに従って大きくなる傾向にあり、特に書き込み時の選択ブロックのビット数が大きくなる程、起こり易くなってくる。

【0024】

さらに、フローティング状態のチャンネルやソース・ドレイン拡散層とウエル間、或いは隣接ビット線間のリーク電流が大きいと、上記しきい値変動は更に大きくなってしまう。また、ビット線電位をチャンネルに転送する、選択ゲートトランジスタの特性のばらつきも大きく影響することになる。

【0025】

このように、メモリセルや選択ゲートトランジスタの特性が誤書き込み特性を悪化させることが判っており、その改善のためには、プロセス上或いは構造上、動作上の改善(文献「1996 Symposium on VLSI Technology Digest of Technical Papers」のD.J.Kim等著の“Process Integration for the High Speed NAND Flash Memory Cell”や“A Novel Booster Plate Technology in High Density NAND Flash Memories for Voltage Scaling - Down and Zero Program Disturbance”参照)が必要となり、その為、工程の複雑化、工程数の増大、チップ面積の増大等の問題が生じてくる。また、このしきい値の変動が存在すると、読み出しや放置時のメモリセルのデータ保持特性に大きく影響し、信頼性の低下を招くという問題もある。

【0026】

然るに、このような誤書き込みに関する従来の対策法においては、書き込み電圧パルス $V_{pp}$ や非選択ワード線の転送電圧パルス $V_{pass}$ を与えるタイミングや立ち上がり、立ち下がり時間に関する記述は無く、実用化もされていない。

【0027】

特に、従来は、書き込み電圧パルス $V_{pp}$ と転送電圧パルス $V_{pass}$ に関して、チャンネルの電位を該パルス $V_{pass}$ によりブートしている間に上記パルス $V_{pp}$ を与えることが最も誤書き込みを小さくするものと考えられていた為、逆に誤書き込みをより大きくしていたという問題があった。

【0028】

ここで、図23は従来の書き込み電圧パルス $V_{pp}$ と転送電圧パルス $V_{pass}$ のタイミングを示す図である。同図(a)は $V_{pp}$ を、同図(b)は $V_{pass}$ を示す。

同図において、 $t_1$ ,  $t_1'$ は、それぞれパルス $V_{pp}$ ,  $V_{pass}$ を発生する時間、 $t_2$ ,  $t_2'$ はパルスが立ち上がり、最大値に達する時間、 $t_3$ ,  $t_3'$ は立ち下がりを開始する時間、 $t_4$ ,  $t_4'$ は完全にパルスが立ち下がる時間を示している。このような従来技術によれば、パルス $V_{pp}$ ,  $V_{pass}$ は、略同時に与えられるか、或いはパルス $V_{pp}$ よりもパルス $V_{pass}$ の方が先に出ている必要があるとの考えからパルス $V_{pp}$ の方が遅れて与えられ( $t_1 > t_1'$ )、その為、若干、パルス $V_{pass}$ の方が早めに立

10

20

30

40

50

ち上がる ( $t_2' < t_2$ )。また、立ち下がりに関しては、同時か或いはパルス  $V_{pp}$  がでている間はパルス  $V_{pass}$  がでている必要が有るという考えから、パルス  $V_{pass}$  の方が遅れて立ち下がる ( $t_3 > t_3'$ 、 $t_4 > t_4'$ )。しかしながら、実際には、ばらつきも含めて厳密にパルスのタイミングが制御されておらず、上記のようなタイミングで、全メモリセルが動作しているとは限らない。この為、より誤書き込みが起り易くなっていったことが考えられる。

本発明は上記問題に鑑みてなされたもので、その目的とするところは、誤書き込み特性を著しく改善した不揮発性半導体記憶装置を提供することにある。

【0029】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の態様による不揮発性半導体記憶装置は、ゲートとソースとドレイン及び電荷蓄積層を有する電氣的に書き換え可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルにデータを書き込むデータ書込手段と、前記メモリセルのデータを読み出すデータ読出手段と、前記メモリセルのデータを消去するデータ消去手段と、を有し、前記メモリセルへのデータの書き込みの際、書き込み禁止される所定のメモリセルに対し、ゲートに第1の信号を印加し、ソース及びドレインの少なくともいずれかに容量結合したノードに第2の信号を印加する不揮発性半導体記憶装置において、前記第1の信号が前記第2の信号より遅れて立ち下がるように制御されることを特徴とする。

【0030】

第2の態様による不揮発性半導体記憶装置は、第1の導電型半導体基板及び第2の導電型半導体基板に形成された第1の導電型ウエルの少なくともいずれかに第2の導電型ウエルが形成され、前記第2の導電型ウエル内に形成された第1の導電型のソース、ドレイン拡散層、当該ソース、ドレイン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された電荷蓄積層である浮遊ゲート、及びこの浮遊ゲート上に層間絶縁膜を介して積層された制御ゲートを有し、前記電荷蓄積層と第2の導電型ウエルとの間の電荷の授受によりデータ書き換えを行う書き換え可能な複数のメモリセルが、前記第2の導電型ウエルに配置され、前記複数のメモリセルは、そのソース、ドレインを隣接するもの同士で共用するような形で直列接続されてNANDセルを構成し、これがマトリクスに配列されメモリセルアレイを構成し、上記各NANDセルの一端部のドレインは、選択ゲートを介して列方向に配置されたビット線に接続され、他端部のソースは、選択ゲートを介して複数のNANDセルに共有されたソース線に接続され、各NANDセル内の制御ゲートは行方向に並ぶNANDセルについて連続的に配設されてワード線を構成し、上記各メモリセルに対して、その浮遊ゲートに蓄えられる電荷量により所望のデータを記憶させる為の書き込み動作時に、ソース側の選択ゲートトランジスタをカットオフさせながら、書き込みを行うNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせない第1の電圧を与える一方、書き込み禁止されるNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせる第2の電位を与え、複数のデータについて一括して書き込みを行う不揮発性半導体記憶装置において、書き込みを行うワード線に所定の書き込み電圧パルスが与えられ、書き込みを行わないワード線に所定の転送電圧パルスが与えられる際、これら2つのパルスの立ち下がりタイミングに関して、書き込み電圧パルスが立ち下がりを開始する時間よりも転送電圧パルスが立ち下がりを開始する時間を早く設定することを特徴とする。

【0031】

第3の態様による不揮発性半導体記憶装置は、第1の導電型半導体基板及び第2の導電型半導体基板に形成された第1の導電型ウエルの少なくともいずれかに第2の導電型ウエルが形成され、前記第2の導電型ウエル内に形成された第1の導電型のソース、ドレイン拡散層、当該ソース、ドレイン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された電荷蓄積層である浮遊ゲート、及びこの浮遊ゲート上に層間絶縁膜を介して積層された制御ゲートを有し、前記電荷蓄積層と第2の導電型ウエルとの間の電荷の授受によりデータ

10

20

30

40

50



書き換えを行う書き換え可能な複数のメモリセルが、前記第2の導電型ウエルに配置され、前記複数のメモリセルは、そのソース、ドレインを隣接するもの同士で共用するような形で直列接続されてNANDセルを構成し、これがマトリクスに配列されメモリセルアレイを構成し、上記各NANDセルの一端部のドレインは、選択ゲートを介して列方向に配置されたビット線に接続され、他端部のソースは、選択ゲートを介して複数のNANDセルに共有されたソース線に接続され、各NANDセル内の制御ゲートは行方向に並ぶNANDセルについて連続的に配設されてワード線を構成し、上記各メモリセルに対して、その浮遊ゲートに蓄えられる電荷量により所望のデータを記憶させる為の書き込み動作時に、ソース側の選択ゲートトランジスタをカットオフさせながら、書き込みを行うNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせない第1の電圧を与える一方、書き込み禁止されるNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせる第2の電位を与え、複数のデータについて一括して書き込みを行う不揮発性半導体記憶装置において、書き込みを行うワード線に所定の書き込み電圧パルスが与えられ、書き込みを行わないワード線に所定の転送電圧パルスが与えられる際、これら2つのパルスの立ち下がりタイミングに関して、書き込み電圧パルスが最小値に達する時間よりも転送電圧パルスが最小値に達する時間の方を早く設定することを特徴とする。

10

#### 【0032】

第4の態様による不揮発性半導体記憶装置は、第1の導電型半導体基板及び第2の導電型半導体基板に形成された第1の導電型ウエルの少なくともいずれかに第2の導電型ウエルが形成され、前記第2の導電型ウエル内に形成された第1の導電型のソース、ドレイン拡散層、当該ソース、ドレイン拡散層に挟まれた領域にトンネル絶縁膜を介して形成された電荷蓄積層である浮遊ゲート、及びこの浮遊ゲート上に層間絶縁膜を介して積層された制御ゲートを有し、前記電荷蓄積層と第2の導電型ウエルとの間の電荷の授受によりデータ書き換えを行う書き換え可能な複数のメモリセルが、前記第2の導電型ウエルに配置され、前記複数のメモリセルは、そのソース、ドレインを隣接するもの同士で共用するような形で直列接続されてNANDセルを構成し、これがマトリクスに配列されメモリセルアレイを構成し、上記各NANDセルの一端部のドレインは、選択ゲートを介して列方向に配置されたビット線に接続され、他端部のソースは、選択ゲートを介して複数のNANDセルに共有されたソース線に接続され、各NANDセル内の制御ゲートは行方向に並ぶNANDセルについて連続的に配設されてワード線を構成し、上記各メモリセルに対して、その浮遊ゲートに蓄えられる電荷量により所望のデータを記憶させる為の書き込み動作時に、ソース側の選択ゲートトランジスタをカットオフさせながら、書き込みを行うNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせない第1の電圧を与える一方、書き込み禁止されるNANDセルのビット線には、ドレイン側の選択ゲートトランジスタをカットオフさせる第2の電位を与え、複数のデータについて一括して書き込みを行う不揮発性半導体記憶装置において、書き込みを行うワード線に所定の書き込み電圧パルスが与えられ、書き込みを行わないワード線に所定の転送電圧パルスが与えられる際、これら2つのパルスの立ち下がりタイミングに関して、書き込み電圧パルスが立ち下がりを開始する時間よりも転送電圧パルスが立ち下がりを開始する時間を早く設定し、上記2つのパルスの立ち上がりタイミングに関して、書き込み電圧パルスが立ち上がりを開始する時間よりも転送電圧パルスが立ち上がりを開始する時間の方を早く設定する、ことを特徴とする。

20

30

40

#### 【0033】

##### 【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について説明する。

本発明の実施の形態は、セルフブースト書き込み方式を用いる全てのEEPROMに対して有効であり、メモリセルの構造、素子分離の構造(LOCOS、トレンチ)、選択ゲートの構造や数、メモリセルに記憶できるデータの数(2値メモリ)、製造方法等に依存せず、その効果を発揮する。

50

## 【 0 0 3 4 】

図 1 は本発明に係る不揮発性半導体記憶装置の構成を示す図である。

同図に示される不揮発性半導体記憶装置 1 において、アドレスレジスタ 6 の出力は、ワード線駆動回路 7、ロウデコーダ 4、カラムデコーダ 9 の入力に接続されており、ワード線駆動回路 7 の出力はロウデコーダ 4 の入力に、カラムデコーダ 9 の出力はビット線制御回路 5 及び I/Oバッファ 10 の入力にそれぞれ接続されている。一方、コマンドレジスタ 8 の出力は、上記ワード線駆動回路 7、ロウデコーダ 4、I/Oバッファ 10、ビット線制御回路 5、ウエル電圧制御回路 2、ソース線駆動回路 11 の入力にそれぞれ接続されており、ビット線制御回路 5 と I/Oバッファ 10 は相互に接続されている。上記ロウデコーダ 4、ウエル電圧制御回路 2、ソース線駆動回路 11、ビット線制御回路 5 の出力はメモリセルアレイ 3 の入力にそれぞれ接続されている。尚、上記メモリセルアレイ 3 は、詳細には、マトリクス状に形成された複数の不揮発性メモリセルからなる。

10

## 【 0 0 3 5 】

このような構成において、上記メモリセルアレイ 3 は、データの書き込み、読み出し又は消去を行う為のものである。ビット線制御回路 5 は、書き込み時にメモリセルアレイ 3 のメモリセルに書き込むべきデータをラッチし、或いは読み出し時にビット線に現れる読み出しデータをセンスし、ラッチするものである。I/Oバッファ 10 は、書き込み時に不揮発性半導体記憶装置 1 の外部からデータを入力し、ビット線制御回路 5 に出力するものである。上記カラムデコーダ 9 は、複数のビット線制御回路 5 と 1 つの I/Oバッファ 10 を相互に接続させるものである。上記ロウデコーダ 4 は、メモリセルアレイ 3 の中から入力されたアドレスのブロックを選択するものである。ワード線駆動回路 7 は、その選択されたメモリセルのワード線に与える電圧を出力するものである。また、上記アドレスレジスタ 6 は、外部より入力されたアドレスデータをラッチし、選択された特定のメモリセルのワード線とビット線を、カラムデコーダ 9、ロウデコーダ 4、ワード線駆動回路 7 を介して選択するものである。上記ウエル電圧制御回路 2 とソース線駆動回路 11 は、データの読み出しや書き込み等の動作モードに応じてメモリセルアレイ 3 のウエルとソースの電位を制御するものである。コマンドレジスタ 8 は、入力された所定のコマンドに係る読み出し、書き込み、消去命令に応じて本装置の各制御回路に所定の指示信号を送出するものである。

20

## 【 0 0 3 6 】

ここで、図 2 は上記メモリセルアレイ 3 を構成する NANDセルの「ストリング」の詳細な構成を示す図である。

同図に示されるように、1つのストリングでは、M個のメモリセルMC1~MC4が相互に直列に接続されており、それら接続の両端には選択トランジスタMN13, MN14が接続されている。この選択トランジスタMN13は、更にビット線BLijに接続されており、選択トランジスタMN14は、ソース線SLに接続されている。上記メモリセルMC1からMC4と選択トランジスタMN13, MN14は全て同一のウエル上に形成されている。各メモリセルの制御ゲートは、ワード線WLn1~WLnM(n=1, ..., N)に接続される。尚、同一のnに属するメモリセルの集合は、ブロックを構成し、データの操作、即ち書き込み、読み出し及び消去は、ブロック単位で行われる。

30

40

## 【 0 0 3 7 】

次に図 3 に上記ロウデコーダ 4 の具体例の構成を示し説明する。

同図において、選択されたブロックはロウアドレスRAnがHighレベル、選択されないブロックはロウアドレスRAnがLowレベルとなる。図中、点線で囲まれた回路はブラスター回路であり、図 4 はそのブロック構成図である。選択されたブラスター回路は、入力クロックCLKによって入力電圧VBLKを昇圧し、信号線VBLKWLに出力する。VBLKの値は、読み出し時にはVread、書き込み時にはVpgm、消去時にはVccである。

## 【 0 0 3 8 】

ここで、上記Vread、Vpgmは、それぞれ4~5V、16~20V程度の大きさ

50

であり、Vccは電源電圧である。このように、選択されたロウデコーダでは、転送ゲートトランジスタMN5乃至MN9がオンし、全ブロックに共通な信号GSGD、GWL1乃至GWLm、GSGSは、それぞれSGDn、Wln1乃至WlnM、SGSnに接続される。

【0039】

次に図5はGWL駆動回路の構成を示す図である。

同図において、第1のブースター回路BST1は、クロック信号CLKの入力を受ける端子CLKと、信号EreadのインバータI5を介した反転入力と信号Tmの入力を受けたNOR回路G7の信号が入力される端子ENBと、信号Vreadを受ける端子Vinを有しており、これらの入力信号の状態により端子VBSTより所定の信号を出力し、トランジスタMN18の状態を制御する。

10

【0040】

第2のブースター回路BST2は、クロック信号WCLKの入力を受ける端子CLKと、信号Epgmと信号Tmの入力を受けたNAND回路G2の信号のインバータ回路I3を介した反転入力を受ける端子ENBと、信号Vpgmの入力を受ける端子Vinを有し、これらの入力信号状態により端子VBSTより所定の信号を出力し、トランジスタMN15の状態を制御する。

【0041】

同様に、第3のブースター回路BST3は、クロック信号WCLKの入力を受ける端子CLKと、信号EvpassのインバータI4を介した反転入力と信号Tmの入力を受けたNOR回路G3の信号の入力を受ける端子ENBと、信号Vpassの入力を受ける端子Vinを有し、これらの状態により端子VBSTより信号を出力し、トランジスタMN16の状態を制御する。

20

【0042】

そして、信号Tmと信号Ereadの入力を受けるNAND回路G6の出力信号のインバータI6を介した信号はトランジスタMN19のゲートに接続されており、この出力信号の状態によりトランジスタMN19の状態が制御される。さらに、上記トランジスタMN18を介した信号Vreadと、トランジスタMN15を介した信号Vpgmと、トランジスタMN16を介した信号Vpassと、トランジスタMN19を介した信号Vmonは、出力端子GWLmへと導かれる同一の信号線に接続されている。

30

【0043】

更に、同信号線には、そのゲートに信号Tmと信号Evpassの入力を受けるNOR回路G5の出力が接続されたトランジスタMN21のドレインと、そのゲートに信号Tmの反転入力とEvpgmの入力を受けるNOR回路G4の出力が接続されたトランジスタMN20のドレインが接続されている。上記トランジスタMN21とMN20のソースは相互に接続され、その接続端はトランジスタMN22のドレインに接続されている。このトランジスタMN22のゲートには、信号Epgmが入力され、ソースは設置されている。

【0044】

この他、上記信号線には、トランジスタMN17のドレインが接続されており、このトランジスタMN17のゲートには信号Epgmと信号Ereadの入力を受けるNOR回路G0の出力が接続され、そのソースは設置されている。

40

【0045】

このような構成において、トランジスタMN15、MN16、MN18、MN19の状態に応じて、Vpgm、Vpass、Vread、Vmonのいずれかが信号GWLmとして後述するタイミングで出力されることになる。

【0046】

図6はGSGD駆動回路の構成を示す図である。

同図に示されるように、この駆動回路では、クロック信号CLKの入力を受ける端子CLKと、信号Ereadの入力を受ける端子ENBと、信号Vreadの入力を受ける端

50

子  $V_{in}$  を有するブースター回路の端子  $V_{BST}$  からの信号によりトランジスタ  $MN_{23}$  の状態が制御される。上記トランジスタ  $MN_{23}$  のドレインは信号  $V_{read}$  の入力端子に接続され、ソースは出力  $GSGD$  へと導かれる。上記トランジスタ  $MN_{23}$  のソースと  $GSGD$  端との間にはトランジスタ  $MD_1$  を介して電圧  $V_{cc}$  端が接続されており、このトランジスタ  $MD_1$  のゲートには、信号  $E_{read}$  のインバータ  $I_8$  を介した反転入力に接続される。即ち、 $E_{read}$  によりトランジスタ  $MD_1$  の状態が制御されることになる。このような構成において、トランジスタ  $MN_{23}$ 、 $MD_1$  の状態に応じて  $V_{read}$ 、 $V_{cc}$  のいずれかが後述する所定のタイミングで出力  $GSGD$  より出力されることになる。

#### 【0047】

図7は  $GSGS$  駆動回路の構成を示す図である。

同図に示されるように、クロック信号  $RCLK$  の入力を受ける端子  $CLK$  と信号  $E_{read}$  の入力を受ける端子  $ENB$  と信号  $V_{read}$  の入力を受ける端子  $V_{in}$  を有するブースター回路の出力端子  $V_{BST}$  は、トランジスタ  $MN_{24}$  のゲートに接続されている。このトランジスタ  $MN_{24}$  のドレインは、信号  $V_{read}$  の入力を受け、ソースはトランジスタ  $MN_{25}$  のドレインに接続されている。信号  $E_{era}$  と信号  $E_{read}$  の入力を受ける  $NOR$  回路  $G_8$  の出力はトランジスタ  $MN_{25}$  のゲートに接続されており、このトランジスタ  $MN_{25}$  のソースは接地されている。信号  $E_{era}$  の入力はトランジスタ  $MD_2$  のゲートに、信号  $E_{era}$  の反転入力はトランジスタ  $MP_1$  のゲートにそれぞれ接続され、このトランジスタ  $MP_1$  のドレインは電圧  $V_{cc}$  端に、ソースはトランジスタ  $MD_2$  のドレインに接続されている。そして、このトランジスタ  $MD_2$  のソースと、上記トランジスタ  $MN_{24}$  と  $MN_{25}$  の接続端は出力  $GSGS$  へと導かれている。

#### 【0048】

このような構成において、トランジスタ  $MN_{24}$ 、 $MN_{25}$ 、トランジスタ  $MP_1$ 、 $MD_2$  の状態に応じて、電圧  $V_{read}$ 、 $V_{cc}$  のいずれかが出力  $GSGS$  より後述するような所定のタイミングで出力されることになる。

#### 【0049】

図8は  $SL$  駆動回路の構成を示す図である。

同図に示されるように、信号  $E_{pgm}$  のインバータ  $I_{10}$  を介した出力はトランジスタ  $MP_2$  のゲートに接続され、信号  $E_{pgm}$  の出力はトランジスタ  $MD_3$  のゲートに接続されている。トランジスタ  $MP_2$  のドレインは電圧  $V_{cc}$  端に接続され、ソースはトランジスタ  $MD_3$  のドレインに接続されている。一方、信号  $E_{read}$  の入力端子は、トランジスタ  $MN_{26}$  のゲートに接続されており、ソースは接地されている。上記トランジスタ  $MD_3$  と  $MN_{26}$  の接続端は出力  $SL$  へと導かれている。このような構成において、トランジスタ  $MP_2$ 、 $MD_3$ 、 $MN_{26}$  の状態に応じて、電圧  $V_{cc}$  が出力  $SL$  として、後述するような所定のタイミングで出力されることになる。

#### 【0050】

図9はウエル駆動回路の構成を示す図である。

同図に示されるように、信号  $ECLK$  の入力を受ける端子  $CLK$  と信号  $E_{era}$  の入力を受ける端子  $ENB$  と信号  $V_{era}$  の入力を受ける端子  $V_{in}$  を有するブースター回路の出力端子  $V_{BST}$  は、トランジスタ  $MN_{27}$  のゲートに接続されている。このトランジスタ  $MN_{27}$  のドレインは信号  $V_{era}$  の入力端に、ソースはトランジスタ  $MN_{28}$  のドレインに接続されている。このトランジスタ  $MN_{28}$  のゲートには上記信号  $E_{era}$  の反転入力に接続され、ソースは接地されている。そして、トランジスタ  $MN_{27}$  と  $MN_{28}$  の接続端は出力  $Well$  側に導かれている。このような構成において、トランジスタ  $MN_{27}$ 、 $MN_{28}$  の状態に応じて電圧  $V_{era}$  がウエルに後述するタイミングで出力されることになる。

#### 【0051】

図10はビット線制御回路の構成を示す図である。

同図に示されるように、信号  $BL_{ij}$  の入力端は、トランジスタ  $MN_{31}$ 、 $MN_{30}$ 、イ

10

20

30

40

50

ンバータI12, I13、トランジスタMN29を介して信号IOjの入力端子に接続されている。信号VPREの入力端はトランジスタMN30を介して上記トランジスタMN31とMN30の接続端に接続されると共にトランジスタMN32のゲートに接続されている。上記インバータI12, I13の接続端はトランジスタMN33、MN34に接続されており、このトランジスタMN33とMN34の接続端はトランジスタMN32のドレインに接続される。上記トランジスタMN31のゲートは信号BLCの入力を受け、トランジスタMN30のゲートは信号PREを入力を受け、トランジスタMN40のゲートは信号BLWRTの入力を受け、トランジスタMN33, 34のゲートは信号LCH2, 1の入力を受け、トランジスタMN29のゲートは信号CAiの入力を受けるように構成されている。上記インバータI12とトランジスタMN29の接続端はトランジスタMN50のゲートに接続されており、このトランジスタMN50のドレインは信号PFの入力を受けるように構成されている。

10

#### 【0052】

図14は、GWL駆動回路の二つの入力信号Evpass、Evp gmを発生する回路の5つの例を示す図である。図中、GはNOR回路、Iはインバータ回路である。図14(a), (b)においては、信号EvpassとEvp gmは略同時にHighレベルになるが、信号Evp gmはEvpassより遅延時間TDだけ遅れて立ち下がる。尚、ここでの遅延回路12の代表的な構成例を図14(f)に示す。また、図14(c)は、信号Evpass、Evp gmの発生回路としてクロックCLKの周期の2倍、4倍・・・の周期を持った複数のクロックCLK1-Nを発生するバイナリカウンタ(BC)13と、該複数のクロックの論理演算をする論理回路(L1, L2)14で構成した例を示している。さらに、図14(a), (b)では、立ち上がりはEvp gm、Evpassが略同時にHighレベル、立ち下がりにはEvpassが先にLowとなるものであるのに対し、図14(d), (e)では、それぞれ立ち上がりと立ち下がりともEvpassを早くする回路の構成を示している。尚、図14(c)では、クロック信号を制御することで、どちらのバリエーションも実現可能である。

20

#### 【0053】

以下、図11乃至図13のタイミングチャートを参照して、本発明の不揮発性半導体記憶装置による書き込み、読み出し及び消去の動作を説明する。  
先ず図11を参照して、書き込み動作について説明する。

30

#### 【0054】

書き込み動作を示す信号EpgmがHighレベルになると、書き込みデータ入力動作が開始される。この書き込みデータは、I/Oバッファ10を介してIO線(IOj)に現れる。選択カラムアドレスCAiがHighレベルになるタイミングで、書き込みデータは、インバータI12, I13で構成されるラッチ回路にラッチされる。ここで、"0"書き込みデータは、ノードN1がLowレベル、ノードN2がHighレベルに対応し、"1"書き込みデータは、ノードN1がHighレベル、ノードN2がLowレベルに対応する。

#### 【0055】

こうしてデータロードが終了すると、メモリセルへの書き込み動作が始まる。制御信号Evp gm、EvpassがHighレベルとなって、クロックCLK、WCLKが動き出すと、選択ワード線には電圧Vp gmが、非選択ワード線には電圧Vpass(~10V)が印加される。一方、ビット線制御回路の制御信号BLC、BLWRTは、書き込みビット線電圧0Vと書き込み非選択ビット線電圧Vccをビット線に転送するため、電圧Vpassが印加される。書き込み選択されたメモリセルのゲート-チャンネル間の電位差はVp gmであり、トンネル電流が流れる結果、メモリセルのデータは"0"となる。

40

#### 【0056】

書き込みを行わないメモリセル及び書き込み非選択のメモリセルのゲート-チャンネル間の電位差は、それぞれVpass又はVpass-VboastとVp gm-Vboast

50

s t であり、実質的にトンネル電流が流れないので、メモリセルのデータが保持される。ここで、電圧  $V_{boast}$  は、選択ゲート  $SGD$  のソースフォロワでストリングのチャンネルに転送された電位がワード線との容量結合によって上昇した電圧を示す。その後、信号  $E_{vpas}$  が  $Low$  レベルになり、非選択ワード線は  $0V$  になる。さらに、所定時間  $TD$  経過の後、信号  $E_{vpgm}$  は  $Low$  レベルになり、選択ワード線は  $0V$  になる。書き込み動作を示す信号  $E_{pgm}$  が  $Low$  レベルになったところで書き込み動作を終了することとなる。

#### 【0057】

次に図12を参照して、書込むべきメモリセルにデータが書き込まれたか否かを確認するためのペリファイ読み出し動作を説明する。

10

ペリファイ動作は、図12において通常の読み出し動作と異なった部分のみの点線で示し、同じ動作の部分は実線で示す。

#### 【0058】

$V_{PRE}$  は  $High$  レベルとなってビット線  $BL_{ij}$  はプリチャージされる。 $PRE$  が  $Low$  レベルとなってビット線はフローティングにされる。信号  $E_{read}$  が  $High$  レベルになり、クロック  $CLK$ 、 $RCLK$  が動作し始めると、選択ワード線は  $V_{vrfy}$  ( $\sim 1V$ ) に、非選択ワード線、選択ゲート  $GSGD$ 、 $GSGS$  は  $V_{read}$  に、それぞれされる。選択ワード線に接続するメモリセルのデータが "1" であればビット線の電位は低下し、一方、"0" であればビット線の電位はプリチャージされたままとなる。直前の書き込み動作のときに "0" ラッチされていた (ビット線に  $0V$  を出力するようにラッチ 20 されていた) 場合、ビット線に現れたデータが "0" データである場合には  $LCH1$  が  $High$  レベルでラッチは反転し、"1" データである場合には  $LCH2$  が  $High$  レベルでラッチは反転しない。この場合には、直後の書き込み動作時には "1" ラッチ状態 (ビット線に  $V_{cc}$  を出力する) になる。また、直前の書き込み動作時に "1" ラッチされていた場合には  $LCH1$  によってラッチに影響はない。

#### 【0059】

このように、"0" ラッチされていて、且つペリファイ読み出し動作で "1" データであったラッチのみ "0" ラッチ状態を維持し、その他の組み合わせの場合には "1" ラッチとなる。書き込み対象のメモリセル全てが書き込まれた場合にのみ、プリチャージされフローティングにされた信号  $PF$  は  $High$  レベルを維持し、これによって書き込みは終了 30 になる。

#### 【0060】

一方、書込むべきセルのうちひとつでも書き込み不十分なセルがあるとそのセルに対応したラッチ回路のノード  $N2$  は  $High$  レベルであるため、トランジスタ  $MN50$  はオンし、信号  $PF$  は  $Low$  レベルになる。信号  $PF$  が  $Low$  レベルの場合、再書き込み動作が開始する。再書き込み動作及びその後のペリファイ読み出し動作は、信号  $PF$  が  $High$  レベルとなったら終了する。

#### 【0061】

次に図12を参照して読み出し動作を説明する。

即ち、ラッチ回路のプリセット動作は以下の通りである。

40

$BLC$  が  $Low$  レベル、 $V_{PRE}$ 、 $PRE$ 、 $LCH2$  が  $High$  レベルとなって、全てのラッチ回路のノード  $N1$  が  $High$  レベル、ノード  $N2$  が  $Low$  レベルにプリセットされる。その後、ビット線は  $V_{PRE}$  によってプリチャージされフローティングにされる。信号  $E_{read}$  が  $High$  レベルになり、クロック  $CLK$ 、 $RCLK$  が動作し始めると、選択ワード線は  $0V$  に、非選択ワード線、選択ゲート  $GSGD$ 、 $GSGS$  は  $V_{read}$  に、それぞれされる。

#### 【0062】

選択のメモリセルのデータが "1" であればビット線の電位は低下し、一方、"0" であればビット線の電位はプリチャージされたままとなる。ビット線に現れたデータは、 $LCH1$  が  $High$  レベルとなってラッチ回路に取り込まれる。"0" データであればラン 50

ジスタMN32はオンするため、ノードN1はLowレベルに反転することになる。

【0063】

一方、“1”データであれば、トランジスタMN32はオフするため、ラッチは反転しない。このラッチされたデータはカラムアドレス信号CAiがHighレベルとなってIO線に転送され、I/Oバッファを介して外部に出力されることになる。

【0064】

次に図13を参照して消去動作を詳細に説明する。

消去動作を示す信号EeraがHighレベルになると、クロックCLKによってメモセルのウエルの電圧Wellは消去電圧Vera (~20V)になる。選択されたブロックの全てのワード線は0Vに固定され、ゲート-ウエル間の電位差Veraによってフローティングゲートの電子はウエルに引き抜かれ“1”データとなる。一方、非選択ブロック中のメモセルのワード線はフローティングのためウエルとの容量比でVera近くまで上昇する。これらのメモセルでは、ゲート-ウエル間の電位差が小さいので電子はフローティングゲートに閉じ込められたままでデータは変わらない。

10

【0065】

以下、上記回路により達成される本発明の実施の形態を説明する。

先ず本発明の第1の実施の形態について説明する。

図15は第1の実施の形態に係る不揮発性半導体記憶装置の書き込み電圧パルスVppと転送電圧パルスVpassの立ち上がりに係るタイミングを示したタイミングチャートである。同図(a)はVppを、(b)はVpassを示している。

20

【0066】

同図に示されるように、この実施の形態では、非選択ワード線の転送電圧パルスVpass(例えば、8V)を与える時間を、選択ワード線の書き込み電圧パルスVpp(例えば、18V)を与える時間よりも十分早くする( $t1' < t1$ 且つ $t2' < t2$ )。さらに、各メモセルでのパルスのばらつきを考慮して、パルスの立ち上がり時間を例えば5 $\mu$ sとした場合、例えば $t1 - t1' = 3\mu$ sとする。

【0067】

これにより、書き込み電圧パルスVppが転送電圧パルスVpassよりも先に出ることはなく、メモセルのデータパターンによらず、書き込み電圧パルスVppが与えられる“1”書き込みのメモセルのしきい値変動は少なくなる。ここで、書き込み電圧パルスVpp、転送電圧パルスVpassの立ち下がりタイミングは、図11に示される通りである。

30

【0068】

次に本発明の第2の実施の形態について説明する。

図16は第2の実施の形態に係る不揮発性半導体記憶装置の書き込み電圧パルスVppと転送電圧パルスVpassの立ち下がりに係るタイミングを示したタイミングチャートである。同図(a)はVppを、(b)はVpassを示している。

【0069】

同図に示されるように、この実施の形態では、非選択ワード線の転送電圧パルスVpass(例えば8V)が立ち下がり始める時間を選択ワード線の書き込み電圧パルスVpp(例えば18V)が立ち下がり始める時間よりも十分早くする( $t3' < t3$ )。さらに、各メモセルでのパルスのばらつきを考慮して、パルスの立ち下がり時間を例えば5 $\mu$ sとした場合、例えば、 $t3 - t3' = 3\mu$ sとする。これにより、書き込み電圧パルスVppが転送電圧パルスVpassよりも先に下がることはなくなり、書き込み電圧パルスVppが与えられる“1”書き込みのメモセルのしきい値変動は少なくなる。ここで、書き込み電圧パルスVpp、転送電圧パルスVpassの立ち上りのタイミングは任意でよいことは勿論である。

40

【0070】

次に本発明の第3の実施の形態について説明する。

ここでも、図16のタイミングチャートを参照して説明する。

50

同図に示されるように、この実施の形態では、非選択ワード線の転送電圧パルス  $V_{pass}$  (例えば 8 V) が十分立ち下がる時間を選択ワード線の書き込み電圧パルス  $V_{pp}$  (例えば 18 V) が十分立ち下がる時間よりも十分早くする ( $t_{4'} < t_4$ )。さらに、各メモリセルでのパルスのばらつきを考えると、パルスの立ち下がり時間を例えば  $5 \mu s$  とした場合、例えば、 $t_4 - t_{4'} = 3 \mu s$  とする。これにより、書き込み電圧パルス  $V_{pp}$  が転送電圧パルス  $V_{pass}$  よりも先に立ち下がることはなくなり、書き込み電圧パルス  $V_{pp}$  が与えられる“1”書き込みのメモリセルのしきい値変動は少なくなる。ここで、書き込み電圧パルス  $V_{pp}$ 、転送電圧パルス  $V_{pass}$  の立ち上がりのタイミングは任意でよいことは勿論である。

【0071】

次に本発明の第4の実施の形態について説明する。

図17は第4の実施の形態に係る不揮発性半導体記憶装置の書き込み電圧パルス  $V_{pp}$  と転送電圧パルス  $V_{pass}$  のタイミングチャートである。この実施の形態では、上記第1及び第2の実施の形態を組み合わせたものであり、より誤書き込みが少ない特性が得られる。同図に示されるように、非選択ワード線の転送電圧パルス  $V_{pass}$  (例えば 8 V) を与える時間を選択ワード線の書き込み電圧パルス  $V_{pp}$  (例えば 18 V) を与える時間よりも十分早くする ( $t_{1'} < t_1$  かつ  $t_{2'} < t_2$ )。各メモリセルでのパルスのばらつきを考えると、パルスの立ち上がり時間を例えば  $5 \mu s$  とした場合、例えば、 $t_1 - t_{1'} = 3 \mu s$  とする。

【0072】

また、非選択ワード線の転送電圧パルス  $V_{pass}$  (例えば 8 V) が立ち下がりをはじめの時間を選択ワード線の書き込み電圧パルス  $V_{pp}$  (例えば 18 V) が立ち下がりをはじめの時間よりも十分早くする ( $t_{3'} < t_3$ )。各メモリセルでのパルスのばらつきを考えると、パルスの立ち下がり時間を例えば  $5 \mu s$  とした場合、例えば、 $t_3 - t_{3'} = 3 \mu s$  とする。

【0073】

これらにより、書き込み電圧パルス  $V_{pp}$  が転送電圧パルス  $V_{pass}$  よりも先に出ることはなく、かつ、書き込み電圧パルス  $V_{pp}$  が転送電圧パルス  $V_{pass}$  よりも先に立ち下がることはなくなり、メモリセルのデータパターンによらず、書き込み電圧パルス  $V_{pp}$  が与えられる“1”書き込みのメモリセルのしきい値変動は少なくなる。

【0074】

次に本発明の第5の実施の形態について説明する。

ここでも、図17のタイミングチャートを参照して説明する。

この実施の形態は、上記第1の実施の形態及び第3の実施の形態を組み合わせたものであり、より誤書き込みが少ない特性が得られる。尚、同図(a)は  $V_{pp}$  を、(b)は  $V_{pass}$  を示している。

【0075】

同図に示されるように、この実施の形態では、非選択ワード線の転送電圧パルス  $V_{pass}$  (例えば 8 V) を与える時間を選択ワード線の転送電圧パルス  $V_{pp}$  (例えば 18 V) を与える時間よりも十分早くする ( $t_{1'} < t_1$  かつ  $t_{2'} < t_2$ )。さらに、各メモリセルでのパルスのばらつきを考えると、パルスの立ち上がり時間を例えば  $5 \mu s$  とした場合、例えば、 $t_1 - t_{1'} = 3 \mu s$  とする。

【0076】

また、非選択ワード線の転送電圧パルス  $V_{pass}$  (例えば 8 V) が十分立ち下がる時間を選択ワード線の書き込み電圧パルス  $V_{pp}$  (例えば 18 V) が十分立ち下がる時間よりも十分早くする ( $t_{4'} < t_4$ )。各メモリセルでのパルスのばらつきを考えると、パルスの立ち下がり時間を例えば  $5 \mu s$  とした場合、例えば、 $t_4 - t_{4'} = 3 \mu s$  とする。

【0077】

これらにより、書き込み電圧パルス  $V_{pp}$  が転送電圧パルス  $V_{pass}$  よりも先に出ることはなく、且つ書き込み電圧パルス  $V_{pp}$  が転送電圧パルス  $V_{pass}$  よりも先に立ち下

10

20

30

40

50



がることはなくなり、メモリセルのデータパターンによらず、書き込み電圧パルス  $V_{pp}$  が与えられる “ 1 ” 書き込みのメモリセルのしきい値変動は少なくなる。

【 0 0 7 8 】

以上説明したように、本発明の不揮発性半導体記憶装置によれば、以下に示すような各種の効果を得る（図 1 8 参照）。尚、図 1 8 において、符号  $A'$  は従来方式に係るセル  $A$  の特性を示し、符号  $A$  は本発明の方式によるセル  $A$  の特性を示し、 $V_{th}$  は “ 0 ” データと “ 1 ” データの境界を示している。

【 0 0 7 9 】

即ち、第 1 に、本発明によれば、セルフブースト書き込み方式において、パルス  $V_{pp}$  が立ち下がりを開始する時間よりも、パルス  $V_{pass}$  が立ち下がりを開始する時間を早くすること、あるいは、パルス  $V_{pp}$  が最小値に達する時間よりもパルス  $V_{pass}$  が最小値に達する時間の方を早くすることにより、パルス  $V_{pp}$  が与えられる選択ワード線に接続されている、“ 1 ” 書き込みを行う書き込み禁止メモリセルのしきい値変動を非常に小さくすることができる。

10

【 0 0 8 0 】

この場合、各パルス  $V_{pp}$  ,  $V_{pass}$  の立ち上がりのタイミングにはあまり依存せず、絶大な効果が得られる。しかし、この効果はパルス  $V_{pp}$  が与えられる選択ワード線よりもビット線に近いメモリセルのうち、チャンネルがフローティング状態となる。ビット線に接続されているメモリセルのデータがすべて “ 1 ” データであるときには十分に得られるが、“ 0 ” データが 1 つでもあると、その効果は小さくなってしまふ。

20

【 0 0 8 1 】

従って、ランダムプログラムを許さず、ソース側から順に書き込んで行く書き込み方式の場合に用いられることが望ましい。しかし、ランダムプログラムを許す場合においても、通常のソース側からの書き込み時のしきい値変動が少ないため、誤書き込みはかなりの改善が見られると考えられる。

【 0 0 8 2 】

また、この効果は、ソース側から書き込みを行う場合において、一番ビット線に近いワード線が選択されたとき、かつ、チャンネルがフローティングとなる書き込み非選択のビット線に接続されているメモリセルのうち、選択ワード線よりもソース線側のすべてのメモリセルが “ 0 ” データの場合にもっとも大きくなる。このパターンはランダムプログラムを許さない条件において、もっとも誤書き込みされやすい場合である。

30

【 0 0 8 3 】

従って、大規模のメモリセルを考えたときには大幅なチップの誤書き込み特性の改善が得られ、また、誤書き込みされない場合でも、“ 1 ” データのしきい値の変動がより少なくなり、リードディスタープ（読み出し時のしきい値の変動）や、リテンション（室温、高温放置時のしきい値の変動）特性の大幅な改善も期待できる。

【 0 0 8 4 】

第 2 に、本発明によれば、パルス  $V_{pp}$  が立ち上がりを開始する時間よりもパルス  $V_{pass}$  が立ち上がりを開始する時間の方を早くすること、またはパルス  $V_{pp}$  が最大値に達する時間よりもパルス  $V_{pass}$  が最大値に達する時間の方を早くすることにより、メモリセルのデータパターンによらず、さらに誤書き込み特性を改善することができる。

40

【 0 0 8 5 】

この効果は、チャンネルがフローティングとなる書き込み非選択のビット線に接続されているメモリセルのデータが “ 1 ” データの時で、そのしきい値が負の方向に大きいほど絶大な効果がある。仮に、パルス  $V_{pp}$  が与えられる選択ワード線以外の非選択ワード線に接続されているメモリセルのデータがすべて “ 0 ” データであった場合、パルス  $V_{pp}$  が選択ワード線に与えられたときにパルス  $V_{pass}$  が 0 V であると（パルス  $V_{pp}$  が先に立ち上がった場合）、選択ワード線及び書き込み非選択のビット線に接続されている “ 1 ” 書き込みの非選択メモリセル以外のメモリセルはカットオフ状態となり、“ 1 ” 書き込みを行うメモリセルは、ローカルセルフブースト状態となる為、しきい値の変動はほとんど

50

ないことになる。

【0086】

一方、この場合より“0”データの数が減るとそれだけカットオフするメモリセルの数が減るために、しきい値の変動が大きくなる。さらに、これらのメモリセルがすべて“1”データの場合は、そのしきい値によりローカルセルフブースト状態になったりならなかったりするので(“1”データでもしきい値が負の側にあまり大きくない場合はメモリセルはカットオフするし、負の側にしきい値が大きい場合はカットオフしない)、しきい値の変動が大きくなる。

【0087】

これらのしきい値の変動は、パルスV<sub>pass</sub>が立ち上がる前、即ち、フローティング状態であるチャンネルがパルスV<sub>pass</sub>によって持ち上がる前にパルスV<sub>pp</sub>が選択ワード線に与えられるので、この状態の時はチャンネルと選択ワード線間の電位差が大きくなるために起こる。従って、パルスV<sub>pp</sub>が立ち上がる前にパルスV<sub>pass</sub>を十分立ち上がらせておくことにより、データパターンによらず、しきい値変動、及び誤書き込みを少なくできる。

【0088】

即ち、本発明は、上記第1及び第2の効果を組み合わせることにより、“1”書き込み時(パルスV<sub>pp</sub>が与えられる選択ワード線及びチャンネルがフローティングとなる書き込みの非選択ビット線に接続されているメモリセルに対する書き込み)におけるしきい値の変動や誤書き込みを大幅に改善する。

【0089】

尚、以上では、パルスV<sub>pp</sub>が与えられる選択ワード線、及びチャンネルがフローティングとなる書き込み非選択のビット線に接続されている“1”データを書き込む非選択メモリセルのしきい値変動や誤書き込みについてその改善効果を説明したが、その結果として、0Vが転送されているビット線、及びパルスV<sub>pass</sub>が与えられている非選択ワード線に接続されているデータを保持すべき非選択メモリセルのしきい値変動や誤書き込みに対しても大きく改善する効果があることは勿論である。

【0090】

即ち、上記第1乃至第2の効果により、パルスV<sub>pass</sub>をそれほど大きくしなくても良くなる。従って、パルスV<sub>pass</sub>が誤書き込みの要因となるビット線に0V、ワード線にパルスV<sub>pass</sub>が与えられる非選択メモリセルについて、パルスV<sub>pass</sub>が小さくしてしきい値の変動や誤書き込みを少なくすることができる。この結果、“1”データの変動や“0”データへの誤書き込みが大幅に改善され、特により大規模のメモリセルの信頼性が向上する。また、しきい値の変動があると、書き込み後の読み出し(リードディスタンプ)や常温、高温放置時(リテンション)の際のマージンも少なくなり、信頼性が劣化するが、本発明により、メモリセルのデータ保持時間の向上も期待できる。

【0091】

【発明の効果】

以上詳述したように、本発明によれば、誤書き込み特性を著しく改善した不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体記憶装置の構成を示す図である。

【図2】メモリセルアレイ3を構成するNANDセルの「ストリング」の詳細な構成を示す図である。

【図3】ロウデコーダ4の具体例の構成を示す図である。

【図4】ロウデコーダ4のブースター回路のブロック構成図である。

【図5】GWL駆動回路の構成を示す図である。

【図6】GSGD駆動回路の構成を示す図である。

【図7】GSSS駆動回路の構成を示す図である。

【図8】SL駆動回路の構成を示す図である。

10

20

30

40

50

【図 9】ウエル駆動回路の構成を示す図である。

【図 10】ビット線制御回路の構成を示す図である。

【図 11】本発明の不揮発性半導体記憶装置による書き込み動作を説明するためのタイミングチャートである。

【図 12】本発明の不揮発性半導体記憶装置による読み出し動作、及び書き込むべきメモリセルにデータが書き込まれたか否かを確認するためのベリファイ読み出し動作を説明するためのタイミングチャートである。

【図 13】本発明の不揮発性半導体記憶装置による消去動作を説明するためのタイミングチャートである。

【図 14】GWL 駆動回路の二つの入力信号  $E_{vp\ pass}$ 、 $E_{vp\ gm}$  を発生する回路の 5 つの例及び遅延回路 12 の代表的な構成例を示す図である。 10

【図 15】第 1 の実施の形態に係る書き込み電圧パルス  $V_{pp}$  と転送電圧パルス  $V_{p\ as\ s}$  のタイミングチャートを示す図である。

【図 16】第 2 及び第 3 の実施の形態に係る書き込み電圧パルス  $V_{pp}$  と転送電圧パルス  $V_{p\ as\ s}$  のタイミングチャートを示す図である。

【図 17】第 4 及び第 5 の実施の形態に係る書き込み電圧パルス  $V_{pp}$  と転送電圧パルス  $V_{p\ as\ s}$  のタイミングチャートを示す図である。

【図 18】本発明の効果を説明するための図である。

【図 19】従来技術に係る NAND 型 EEPROM メモリセル部の等価回路図である。

【図 20】従来技術に係るセルフブースト書き込み方式の各電位を示す等価回路図である 20

。【図 21】従来方式のセルフブースト書き込み方式時の各電位のタイミングチャートである。

【図 22】従来方式の誤書き込みを示す図である。

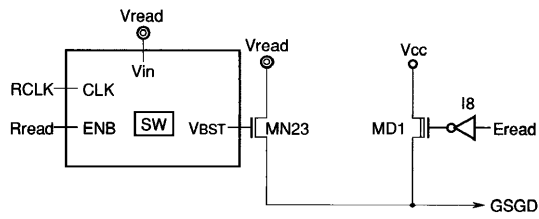
【図 23】従来方式の書き込み電圧パルス  $V_{pp}$  と転送電圧パルス  $V_{p\ as\ s}$  のタイミングチャートを示す図である。

#### 【符号の説明】

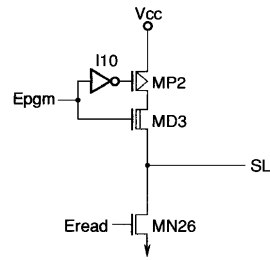
- 1 不揮発性半導体記憶装置
- 2 ウエル電圧制御回路
- 3 メモリセルアレイ
- 4 ロウデコーダ
- 5 ビット線制御回路
- 6 アドレスレジスタ
- 7 ワード線駆動回路
- 8 コマンドレジスタ
- 9 カラムデコーダ
- 10 I/Oバッファ
- 11 ソース線駆動回路



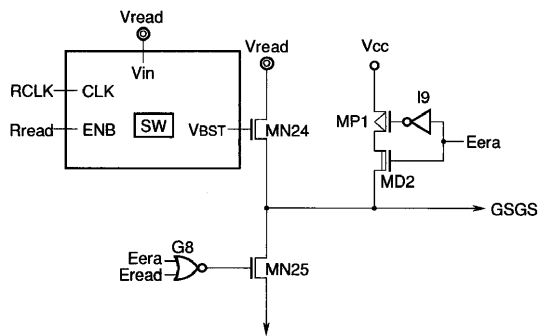
【 図 6 】



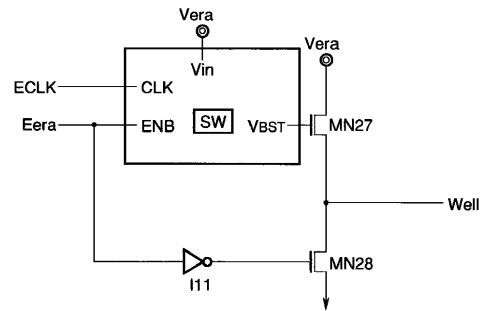
【 図 8 】



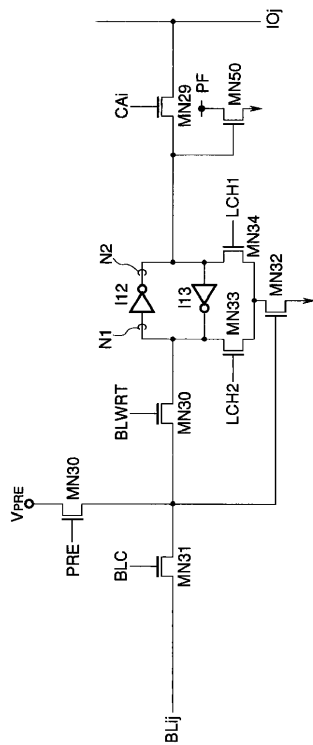
【 図 7 】



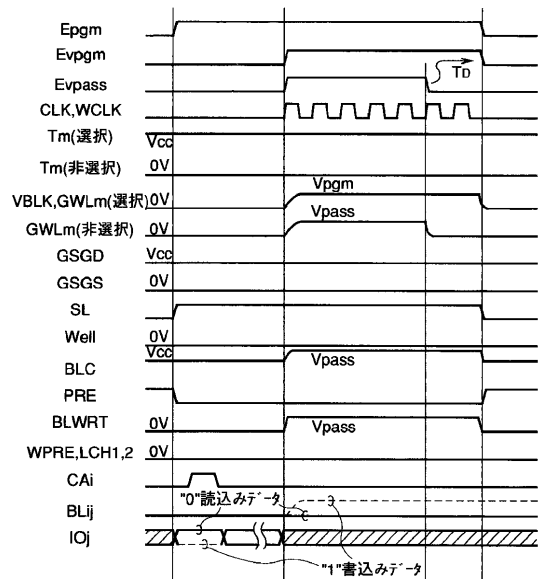
【 図 9 】



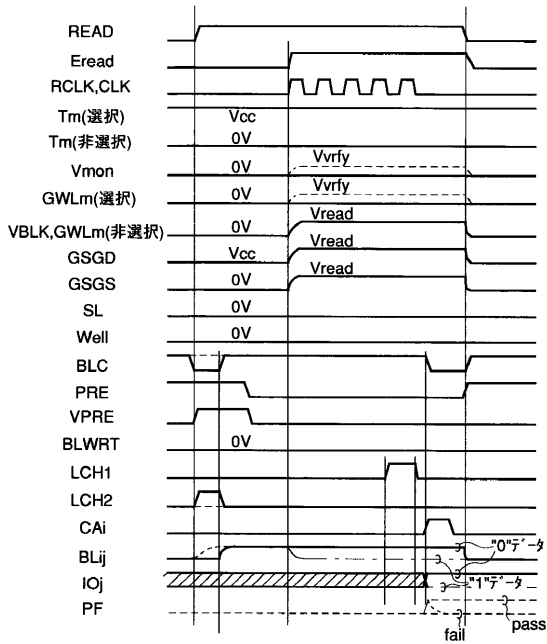
【 図 10 】



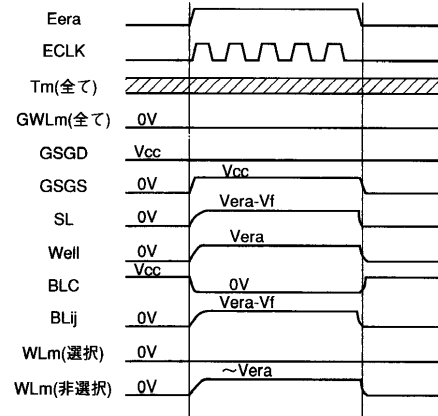
【 図 11 】



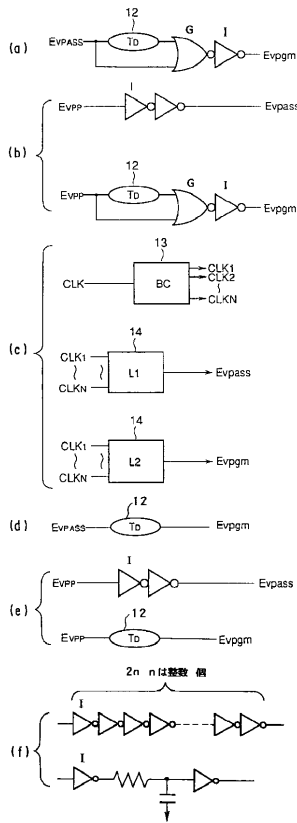
【 図 1 2 】



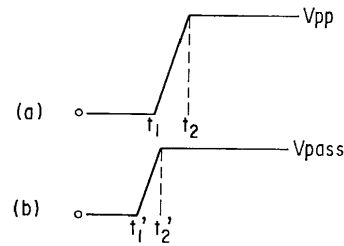
【 図 1 3 】



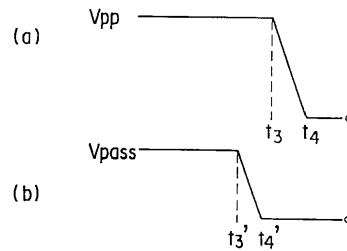
【 図 1 4 】



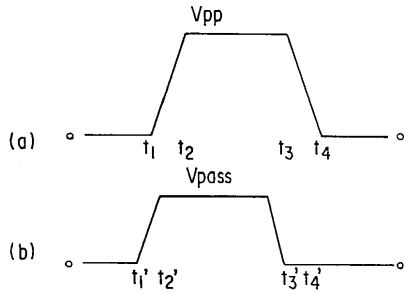
【 図 1 5 】



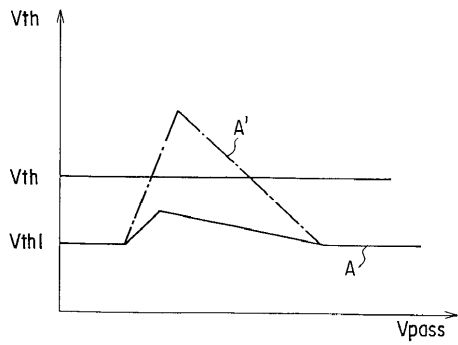
【 図 1 6 】



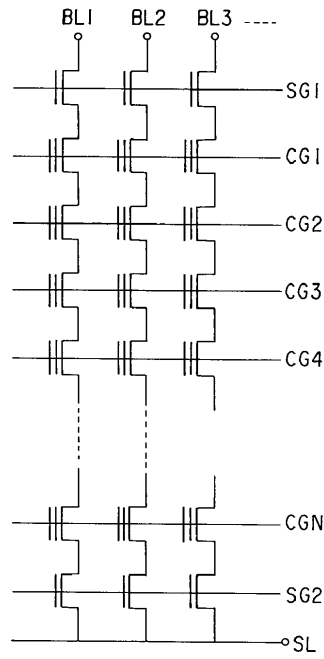
【 図 1 7 】



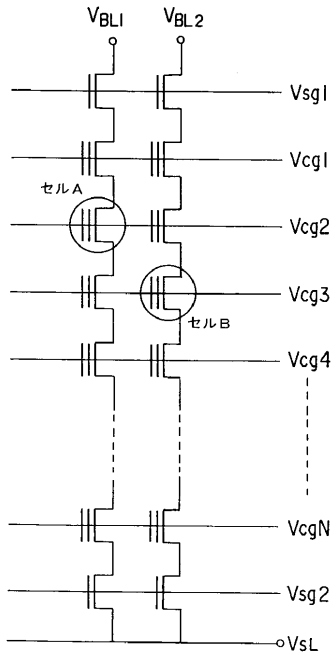
【 図 1 8 】



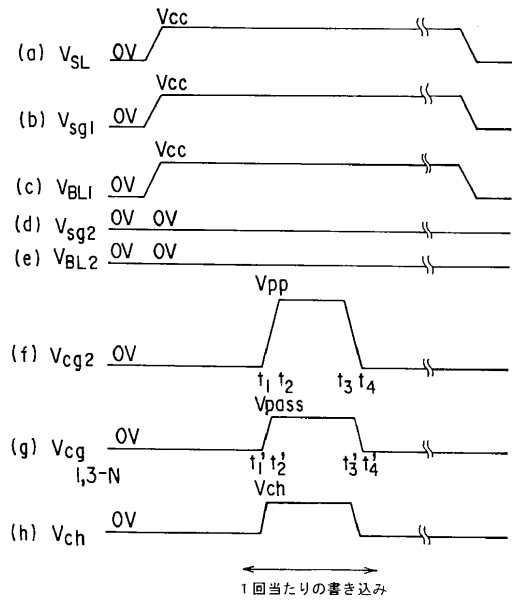
【 図 1 9 】



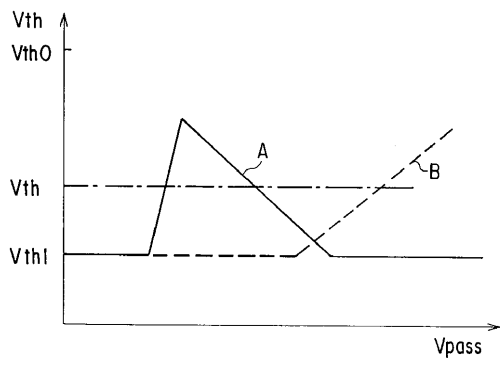
【 図 2 0 】



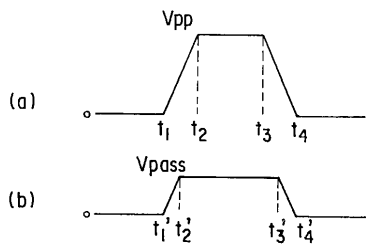
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】





---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 佐藤 信司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 白田 理一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 丹沢 徹

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 長島 孝志

(56)参考文献 特開平08-279297(JP,A)

特開平01-173654(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G11C 16/00-16/34