

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-80032

(P2019-80032A)

(43) 公開日 令和1年5月23日(2019.5.23)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/20 (2006.01)	H05K 3/20	B 5E316
H05K 3/46 (2006.01)	H05K 3/46	B 5E343

審査請求 未請求 請求項の数 12 O L (全 16 頁)

(21) 出願番号 特願2018-85870 (P2018-85870)
 (22) 出願日 平成30年4月26日 (2018.4.26)
 (31) 優先権主張番号 10-2017-0140400
 (32) 優先日 平成29年10月26日 (2017.10.26)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 大韓民国、キョンギド、スウォンシ、
 ヨントング、(マエタンドン) マエヨ
 ンロー 150
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 パク、ヨンジン
 大韓民国、キョンギド、スウォンシ、
 ヨントング、(マエタンドン) マエヨ
 ンロー 150 サムソン エレクトロ
 メカニクス カンパニーリミテッド. 内

最終頁に続く

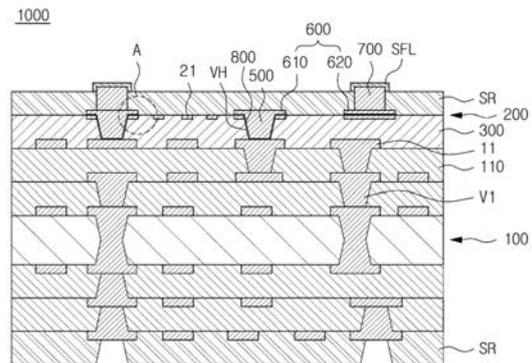
(54) 【発明の名称】 多層プリント回路基板

(57) 【要約】 (修正有)

【課題】 製造収率が向上するあるいは表面平坦度が向上する多層プリント回路基板を提供する。

【解決手段】 本発明の多層プリント回路基板 1000 は、接合絶縁層 300 と、接合絶縁層の一面に埋め込まれた第 1 導体パターン層 11 を含む下部基板と、接合絶縁層の他面に埋め込まれた第 2 導体パターン層 21 を含む、下部基板上に配置されるインタポーザ基板と、接合絶縁層及び第 2 導体パターン層を貫通する接続ビアホール VH と、第 1 導体パターン層と第 2 導体パターン層とを接続するために接続ビアホールを充填する接続ビア 500 と、接合絶縁層の他面に突出形成されるビアパッド 610 と、を含む。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

接合絶縁層と、
前記接合絶縁層の一面に埋め込まれた第 1 導体パターン層を含む下部基板と、
前記接合絶縁層の他面に埋め込まれた第 2 導体パターン層を含み、前記下部基板上に配置されるインタポーザ基板と、
前記接合絶縁層及び前記第 2 導体パターン層を貫通する接続ビアホールと、
前記第 1 導体パターン層と前記第 2 導体パターン層とを接続するために、前記接続ビアホールを充填する接続ビアと、
前記接合絶縁層の他面に突出形成されるビアパッドと、
を含む、多層プリント回路基板。

10

【請求項 2】

前記接続ビアと前記ビアパッドは、一体に形成される請求項 1 に記載の多層プリント回路基板。

【請求項 3】

前記ビアパッドに形成される金属フィラーを含む請求項 1 または 2 に記載の多層プリント回路基板。

【請求項 4】

前記接合絶縁層の他面に露出した前記第 2 導体パターン層の一面及び前記接続ビアホールの内壁に形成されるシード層を含む請求項 1 から 3 のいずれか一項に記載の多層プリント回路基板。

20

【請求項 5】

前記第 2 導体パターン層の一面には、溝が形成される請求項 4 に記載の多層プリント回路基板。

【請求項 6】

前記第 2 導体パターン層の一面と前記シード層との間に形成された金属箔をさらに含む請求項 4 に記載の多層プリント回路基板。

【請求項 7】

前記シード層と前記金属箔とは、互いに異なる金属で形成される請求項 6 に記載の多層プリント回路基板。

30

【請求項 8】

前記金属箔は、前記接合絶縁層の他面から突出形成される請求項 6 または 7 に記載の多層プリント回路基板。

【請求項 9】

接合絶縁層と、
前記接合絶縁層の一面に埋め込まれた第 1 導体パターン層と、
前記接合絶縁層の他面に埋め込まれた第 2 導体パターン層と、
前記第 1 導体パターン層と前記第 2 導体パターン層とを接続するために、前記接合絶縁層及び前記第 2 導体パターン層を貫通する接続ビアと、
前記接合絶縁層の他面に突出形成され、前記接続ビアに接続するビアパッドを含むパッドパターン層と、
を含む多層プリント回路基板。

40

【請求項 10】

前記パッドパターン層に形成される金属フィラーをさらに含む請求項 9 に記載の多層プリント回路基板。

【請求項 11】

前記第 2 導体パターン層と前記パッドパターン層との間に形成されるシード層をさらに含む請求項 9 または 10 に記載の多層プリント回路基板。

【請求項 12】

前記第 2 導体パターン層と前記シード層との間に形成される金属箔をさらに含む請求項

50

11に記載の多層プリント回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多層プリント回路基板 (multi-layered printed circuit board) に関する。

【背景技術】

【0002】

各種電子素子の高機能化及び小型化に伴って、電子素子の大きさは小さくなっており、I/Oの数は増加している。これにより、電子素子のI/O間の距離(ピッチ)及び線幅は漸次減少している。 10

【0003】

これに伴って、電子素子を実装するパッケージ基板においても、各導体パターン間の距離、導体パターン間のピッチ及び線幅を低減する必要がある。また、ノイズ減少及び迅速な信号伝達のために信号伝達経路を最小化する必要がある。

【0004】

このパッケージ用基板の要求に対応するために、シリコンベースのインタポーザを通常のパッケージ用プリント回路基板と能動素子との間に配置する方式が開発されている。他の方式としては、インタポーザに対応する微細な導体パターン層をパッケージ用プリント回路基板に実現する技術が開発されている。 20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】韓国公開特許第10-2011-0066044号公報

【発明の概要】

【課題を解決するための手段】

【0006】

本発明の実施例によれば、製造収率が向上した多層プリント回路基板が提供される。

【0007】

また、本発明の他の実施例によれば、平坦度が向上された多層プリント回路基板が提供される。 30

【図面の簡単な説明】

【0008】

【図1】本発明の一実施例に係る多層プリント回路基板を示す図である。

【図2】図1のA部分を拡大した図である。

【図3】本発明の他の実施例に係る多層プリント回路基板を示す図である。

【図4】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図5】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図6】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図7】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。 40

【図8】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図9】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図10】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図11】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図12】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図13】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図14】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図15】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図16】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【図17】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。 50

【図18】本発明の一実施例に係る多層プリント回路基板の製造方法を示す図である。

【発明を実施するための形態】

【0009】

本明細書で使用した用語は、ただ特定の実施例を説明するために使用したものであり、本発明を限定するものではない。単数の表現は、文の中で明白に表現しない限り、複数の表現を含む。

【0010】

本願において、「含む」または「有する」等の用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部品またはこれらを組み合わせたものの存在を指定するものであって、一つまたはそれ以上の他の特徴や数字、ステップ、動作、構成要素、部品またはこれらを組み合わせたものの存在または付加可能性を予め排除するものではないことを理解しなくてはならない。

10

【0011】

また、明細書全般にわたって、「上に」とは、対象部分の上または下に位置することを意味し、必ずしも重力方向を基準にして上側に位置することを意味するものではない。

【0012】

また、「結合」とは、各構成要素の間の接触関係において、各構成要素が物理的に直接接触する場合のみを意味するものではなく、他の構成が各構成要素の間に介在され、その他の構成に構成要素がそれぞれ接触している場合まで包括する概念として使用する。

20

【0013】

図面に示された各構成の大きさ及び厚さは、説明の便宜上、任意に示したものであって、本発明が必ずしもそれらに限定されることはない。

【0014】

以下、本発明に係る多層プリント回路基板の実施例を添付図面を参照して詳細に説明し、添付図面を参照して説明するに当たって、同一または対応する構成要素には同一の図面符号を付し、これに対する重複説明を省略する。

【0015】

<多層プリント回路基板>

【0016】

(一実施例)

30

【0017】

図1は、本発明の一実施例に係る多層プリント回路基板を示す図である。図2は、図1のA部分を拡大した図である。

【0018】

図1を参照すると、本発明の一実施例に係る多層プリント回路基板1000は、下部基板100と、インタポーザ基板200と、接合絶縁層300と、接続ビアホールと、接続ビアと、パッドパターン層と、を含み、金属フィラー及びシード層をさらに含むことができる。

【0019】

以下では、説明の便宜上、下部基板を第1積層体100と称し、インタポーザ基板を第2積層体200と称する。

40

【0020】

第1積層体100は、少なくとも2つ以上の第1導体パターン層11と、隣接している第1導体パターン層の間に介在される第1絶縁層110と、隣接している第1導体パターン層を互いに電氣的に接続するために第1絶縁層に形成される第1ビアV1と、を含む。

【0021】

第1絶縁層110は、エポキシ樹脂等の電気絶縁性樹脂を含むことができる。また、第1絶縁層110は、感光性絶縁樹脂を含む感光性絶縁層であることができる。

【0022】

第1絶縁層110は、電気絶縁性樹脂に含有された補強材を含むことができる。補強材

50

としては、ガラスクロス、ガラスファイバー、無機フィラー及び有機フィラーのうちの少なくともいずれか1種を用いることができる。補強材は、第1絶縁層110の剛性を補強し、熱膨張係数を低くすることができる。

【0023】

無機フィラーとしては、シリカ(SiO_2)、アルミナ(Al_2O_3)、炭化珪素(SiC)、硫酸バリウム(BaSO_4)、タルク、クレー、雲母パウダー、水酸化アルミニウム($\text{Al}(\text{OH})_3$)、水酸化マグネシウム($\text{Mg}(\text{OH})_2$)、炭酸カルシウム(CaCO_3)、炭酸マグネシウム(MgCO_3)、酸化マグネシウム(MgO)、窒化ホウ素(BN)、ホウ酸アルミニウム(AlBO_3)、チタン酸バリウム(BaTiO_3)及びジルコン酸カルシウム(CaZrO_3)より構成された群から選択される少なくとも1種以上を用いることができる。

10

【0024】

複数の第1絶縁層110のうちのいずれか1つは、ガラスクロス(glass cloth)が絶縁樹脂に含浸されたプリプレグで形成されたコア絶縁層であり、その他はABF(Ajinomoto Build-up Film)等のビルドアップフィルムで形成されたビルドアップ絶縁層であることができる。すなわち、第1積層体100は、コアである第1絶縁層の両面に他の第1絶縁層がビルドアップされたコア基板の構造を有することができる。

【0025】

第1導体パターン層11は、ビアパッド、信号パターン、パワーパターン、グラウンドパターン及び外部接続端子のうちの少なくとも1種を含む。

20

【0026】

複数の第1導体パターン層11は、すべて同一のパターンに形成されてもよく、互いに異なるパターンに形成されてもよい。

【0027】

第1導体パターン層11は、電気的特性に優れた銅(Cu)、銀(Ag)、パラジウム(Pd)、アルミニウム(Al)、ニッケル(Ni)、チタン(Ti)、金(Au)、白金(Pt)等で形成することができる。

【0028】

最外層の第1導体パターン層11は、最外層の第1絶縁層110の一面から突出して形成され、接合絶縁層300の一面に埋め込まれる。すなわち、図1に基づいて、第1積層体100の最上層に形成された第1導体パターン層11は、最上層の第1絶縁層110の上面から突出して形成され、接合絶縁層300の下面に埋め込まれる。

30

【0029】

第2積層体200は、第2導体パターン層21を含み、第1積層体100上に配置される。すなわち、第2積層体200は、第1積層体100と別個に形成され、後述する接合絶縁層300により互いに接合される。

【0030】

一方、図1とは異なって、第2積層体200は、2つ以上の第2導体パターン層21を含むことができる。この場合、第2積層体200は、隣接した第2導体パターン層21の間毎に介在される第2絶縁層を含むことができ、隣接した第2導体パターン層21を互いに電氣的に接続するために第2絶縁層を貫通する第2ビアを含むことができる。

40

【0031】

第2絶縁層は、エポキシ樹脂などの電気絶縁性樹脂を含むことができる。また、第2絶縁層は、感光性絶縁樹脂を含む感光性絶縁層であってもよい。

【0032】

第2絶縁層は、電気絶縁性樹脂に含有された補強材を含むことができる。補強材としては、ガラスクロス、ガラスファイバー、無機フィラー及び有機フィラーのうちの少なくともいずれか1種を用いることができる。補強材は、第2絶縁層の剛性を補強し、熱膨張係数を低くすることができる。

50

【 0 0 3 3 】

無機フィラーとしては、シリカ (SiO_2)、アルミナ (Al_2O_3)、炭化珪素 (SiC)、硫酸バリウム (BaSO_4)、タルク、クレー、雲母パウダー、水酸化アルミニウム ($\text{Al}(\text{OH})_3$)、水酸化マグネシウム ($\text{Mg}(\text{OH})_2$)、炭酸カルシウム (CaCO_3)、炭酸マグネシウム (MgCO_3)、酸化マグネシウム (MgO)、窒化ホウ素 (BN)、ホウ酸アルミニウム (AlBO_3)、チタン酸バリウム (BaTiO_3) 及びジルコン酸カルシウム (CaZrO_3) から構成された群より選択される少なくとも 1 種以上を用いることができる。

【 0 0 3 4 】

第 2 絶縁層は、第 1 絶縁層 1 1 0 よりも薄くてもよい。すなわち、第 2 絶縁層は、第 2 積層体 2 0 0 であるインタポーザ基板を構成するので、通常のプリント回路基板に該当する第 1 積層体 1 0 0 の第 1 絶縁層 1 1 0 よりも薄くてもよい。

10

【 0 0 3 5 】

第 2 導体パターン層 2 1 は、信号パターン、パワーパターン及びグラウンドパターンのうちの少なくとも 1 種を含む。

【 0 0 3 6 】

複数の第 2 導体パターン層 2 1 は、すべて同一のパターンに形成されてもよく、互いに異なるパターンに形成されてもよい。

【 0 0 3 7 】

第 2 導体パターン層 2 1 は、電気的特性に優れた銅 (Cu)、銀 (Ag)、パラジウム (Pd)、アルミニウム (Al)、ニッケル (Ni)、チタン (Ti)、金 (Au)、白金 (Pt) 等で形成することができる。

20

【 0 0 3 8 】

第 2 積層体 2 0 0、すなわちインタポーザ基板に形成される第 2 導体パターン層 2 1 におけるパターン間のピッチ、パターン間の距離及びパターン幅は、第 1 導体パターン層 1 1 のそれよりも小さい。つまり、第 2 導体パターン層 2 1 は、第 1 導体パターン層 1 1 よりも微細に形成された微細パターン層である。

【 0 0 3 9 】

最外層の第 2 導体パターン層 2 1 は、接合絶縁層の他面に埋め込まれる。すなわち、図 1 に基づいて、最下層の第 2 導体パターン層 2 1 は、接合絶縁層 3 0 0 の上面に埋め込まれる。

30

【 0 0 4 0 】

接合絶縁層の他面に露出した第 2 導体パターン層の一面には、溝 R が形成される。すなわち、図 2 を参照すると、第 2 導体パターン層 2 1 の一面には溝が形成され、第 2 導体パターン層 2 1 の一面の高さは、接合絶縁層の他面の高さよりも低く形成される。

【 0 0 4 1 】

第 2 導体パターン層 2 1 及び第 2 ピアのそれぞれは、電気的特性に優れた銅 (Cu)、銀 (Ag)、パラジウム (Pd)、アルミニウム (Al)、ニッケル (Ni)、チタン (Ti)、金 (Au)、白金 (Pt) 等で形成可能である。

【 0 0 4 2 】

第 2 積層体 2 0 0 上には、ICチップまたはメモリチップ等の電子素子 (図示せず) を配置することができる。第 2 積層体 2 0 0 は、第 1 積層体 1 0 0 の I/O ピッチ (及び / または数) と電子素子の I/O ピッチ (及び / または数) との間のミスマッチを解消する。第 2 積層体 2 0 0 上に複数の電子素子が配置される場合、第 2 積層体 2 0 0 は、複数の電子素子を互いに電氣的に接続する。

40

【 0 0 4 3 】

接合絶縁層 3 0 0 は、それぞれ分離されて別個に形成された第 1 積層体 1 0 0 と第 2 積層体 2 0 0 とを接合する。すなわち、接合絶縁層 3 0 0 は、第 1 積層体 1 0 0 と第 2 積層体 2 0 0 とを接合するために、第 1 積層体 1 0 0 の一面と第 2 積層体 2 0 0 の一面との間に配置される。これにより、接合絶縁層 3 0 0 の一面には第 1 導体パターン層 1 1 が埋め

50

込まれ、他面には第2導体パターン層21が埋め込まれる。

【0044】

接合絶縁層300は、ソルダーレジストフィルムまたは感光性絶縁フィルムで形成可能である。または、接合絶縁層300は、ABFのようなビルドアップフィルムで形成可能である。後述するが、接合絶縁層300は、第1積層体100と第2積層体200とを接合する接合工程で完全硬化(C-stage)することにより、第1積層体100と第2積層体200とを接合する。

【0045】

接続ビアホールVHは、接合絶縁層300及び第2導体パターン層21を貫通する。接続ビアホールVHは、レーザ加工を用いて接合絶縁層300及び第2導体パターン層21に形成することができる。

10

【0046】

接続ビア500は、第1導体パターン層11と第2導体パターン層21とを接続するために接続ビアホールVHを充填する。接続ビア500は、接続ビアホールVH内に電解メッキにより電気伝導性物質を析出することで、形成可能である。

【0047】

接続ビア500は、電気的特性に優れた銅(Cu)、銀(Ag)、パラジウム(Pd)、アルミニウム(Al)、ニッケル(Ni)、チタン(Ti)、金(Au)、白金(Pt)等で形成することができる。

【0048】

パッドパターン層600は、接合絶縁層300の他面に突出形成され、接続ビア500に接続するビアパッド610を含む。すなわち、パッドパターン層600は、ビアパッド610及び接続パッド620を含み、接合絶縁層300の他面に突出形成されて、接合絶縁層300の他面に埋め込まれた第2導体パターン層21に接続される。

20

【0049】

ビアパッド610及び接続パッド620は、説明の便宜のための分類に過ぎない。つまり、パッドパターン層600に属するいずれか1つのパターンは、ビアパッド610に該当しながら接続パッド620に該当することができる。

【0050】

ここで、接続ビア500とビアパッド610は一体に形成可能である。すなわち、接続ビア500とビアパッド610は、単一の電解メッキ工程により形成されて、相互間に境界が形成されないことがある。ただし、この説明が、互いに分離形成されて、相互間に境界が形成された接続ビア500とビアパッド610を本発明の範囲から除外することではない。

30

【0051】

金属フィラー700は、ビアパッド610に形成される。金属フィラー700は、ビアパッド610に形成されて、本実施例に係る多層プリント回路基板1000とICチップまたはメモリチップ等の電子素子(図示せず)とを電氣的に接続する。すなわち、金属フィラー700は、本実施例に係る多層プリント回路基板の外部接続手段に該当する。

【0052】

金属フィラー700は、電気的特性に優れた銅(Cu)、銀(Ag)、パラジウム(Pd)、アルミニウム(Al)、ニッケル(Ni)、チタン(Ti)、金(Au)、白金(Pt)等で形成することができる。金属フィラー700は、第1導体パターン層11及び第2導体パターン層21を形成する伝導性物質と同じ物質で形成可能であるが、これに制限されない。

40

【0053】

シード層800は、接合絶縁層300の他面に露出した第2導体パターン層21の一面及び接続ビアホールVHの内壁に形成される。すなわち、シード層800は、接続ビアホールVHの内壁と接続ビア500との間に形成され、第2導体パターン層21とビアパッド610との間に形成される。

50

【0054】

シード層800は、スパッタリングまたは気相蒸着等の半導体工程で形成することができ、無電解メッキのようなプリント回路基板の工程で形成することもできる。

【0055】

シード層800は、電気的特性に優れた銅(Cu)、銀(Ag)、パラジウム(Pd)、アルミニウム(Al)、ニッケル(Ni)、チタン(Ti)、金(Au)、白金(Pt)等で形成することができる。

【0056】

本実施例に係る多層プリント回路基板1000は、第1積層体100及び第2積層体200のそれぞれの他面上に形成されたソルダーレジスト層SRをさらに含み、金属フィラー700上に形成された表面処理層SFLをさらに含むことができる。

10

【0057】

表面処理層SFLは、ニッケル(Ni)、金(Au)及びパラジウム(Pd)のうち少なくとも1種を含むことができる。例として、表面処理層SFLは、ニッケル層及びニッケル層上に形成された金層を含む複層構造を有することができる。表面処理層SFLは、ENEPIG(Electroless Nickel Electroless Palladium Immersion Gold)工程により、金属フィラー700上に形成することができる。または、表面処理層SFLは、有機物質を含むOSP(Organic Solderability Preservative)であってもよい。

20

【0058】

(他の実施例)

【0059】

図3は、本発明の他の実施例に係る多層プリント回路基板を示す図である。

【0060】

本実施例に係る多層プリント回路基板2000と本発明の一実施例に係る多層プリント回路基板1000とを比べると、金属箔900が異なっており、以下ではこれについてのみ説明する。

【0061】

本実施例で適用する第1積層体100、第2積層体200、第1導体パターン層11、第2導体パターン層21、第1絶縁層110、第2絶縁層、及び接合絶縁層に関する説明は、本発明の一実施例での説明をそのまま適用することができる。

30

【0062】

金属箔900は、第2導体パターン層21の一面とシード層800との間に形成される。すなわち、本実施例の場合は、第2導体パターン層21、金属箔900、シード層800、及びビアパッド610が順次積層された構造を有することができる。

【0063】

金属箔900は、シード層800とは異なる金属で形成することができる。また、金属箔900は、第2導体パターン層21とは異なる金属で形成することができる。例として、第2導体パターン層21及びシード層800のすべてが銅で形成された場合、金属箔900は、ニッケルまたはチタンで形成することができる。

40

【0064】

金属箔900は、後述するキャリアの極薄金属箔の一部が本実施例に係る多層プリント回路基板に残存するものである。

【0065】

一方、本実施例の場合は、金属箔900のために、本発明の一実施例とは異なって、第2導体パターン層21の一面に溝が形成されないことがある。すなわち、第2導体パターン層21の一面と接合絶縁層300の他面とは、実質的に同一の平面上に位置することができる。これにより、金属箔900は、接合絶縁層300の他面から突出するように形成される。

【0066】

50

< 多層プリント回路基板の製造方法 >

【 0 0 6 7 】

図 4 から図 1 8 は、本発明の一実施例に係る多層プリント回路基板の製造方法を順次に示す図である。

【 0 0 6 8 】

具体的に、図 4 は、本発明の一実施例に係る多層プリント回路基板の製造方法で適用する第 1 積層体を示す図であり、図 5 は、本発明の一実施例に係る多層プリント回路基板の製造方法で適用する第 2 積層体を示す図であり、図 6 から図 1 8 は、第 1 積層体と第 2 積層体とを接合する工程及び接合工程の以後の工程を順次に示す図である。

【 0 0 6 9 】

先ず、図 4 及び図 5 を参照すると、第 1 積層体及び第 2 積層体をそれぞれ形成する。

【 0 0 7 0 】

図 4 を参照すると、第 1 積層体 1 0 0 は、通常のコアード工法またはコアレス工法により形成することができる。以下では、第 1 積層体 1 0 0 がコアード工法により形成されることを説明するが、本発明の範囲がこれに制限されることはない。

【 0 0 7 1 】

コアード工法により形成される第 1 積層体 1 0 0 は、以下の工程により形成することができる。

【 0 0 7 2 】

すなわち、コア絶縁層である第 1 絶縁層 1 1 0 にピアホールを加工する。次に、ピアホールを含むコア絶縁層の表面に無電解メッキによりシード層を形成する。次に、コア絶縁層の両面にドライフィルムを積層した後にフォトリソグラフィ工程によりメッキレジストを形成する。次に、電解メッキによりメッキレジストの開口部に伝導性物質を析出して第 1 導体パターン層 1 1 を形成する。次に、メッキレジストを除去し、露出したシード層を除去する。最後に、通常的なビルドアップ工程を数回繰り返して、図 3 に示されている第 1 積層体 1 0 0 を製造することができる。このようにして、複数の第 1 絶縁層 1 1 0、複数の第 1 導体パターン層 1 1 及び複数の第 1 ピア V 1 が形成された第 1 積層体 1 0 0 を製造することができる。

【 0 0 7 3 】

上述した複数の第 1 導体パターン層 1 1 のそれぞれは、サブトラクティブ法 (S u b t r a c t i v e P r o c e s s)、セミアディティブ法 (S e m i - A d d i t i v e P r o c e s s) 及びモディファイドセミアディティブ法 (M o d i f i e d S e m i - A d d i t i v e P r o c e s s) のうちのいずれか 1 つの方法により形成することができる。

【 0 0 7 4 】

一方、図 4 に基づいて、第 1 積層体 1 0 0 の下面には保護層 P L を形成することができる。保護層 P L は、後続する工程での第 1 積層体 1 0 0 を支持及び保護する。保護層 P L は、離型層を含むことができる。

【 0 0 7 5 】

図 5 を参照すると、キャリア上に第 2 積層体を形成する。

【 0 0 7 6 】

本実施例の場合は、第 2 積層体が 1 つの第 2 導体パターン層 2 1 のみで構成されることを前提に説明するが、本発明の範囲がこれに制限されることではない。

【 0 0 7 7 】

キャリア C は、コアレス工法を行うときに使用される通常のコア材であり得る。すなわちキャリア C は、支持板 S、支持板 S の両面に形成されたキャリア金属箔 C F 1、及びキャリア金属箔に形成された極薄金属箔 C F 2 を含むことができる。

【 0 0 7 8 】

第 2 導体パターン層 2 1 は、上述した極薄金属箔 C F 2 を給電層とする電解メッキにより形成可能である。すなわち、キャリア C の極薄金属箔 C F 2 にドライフィルムを積層し

10

20

30

40

50

、フォトリソグラフィ工程を経てメッキレジストを形成し、メッキレジストの開口に伝導性物質を析出し、ドライフィルムを除去することにより第2導体パターン層21を形成することができる。

【0079】

プリント回路基板分野の回路形成工程を用いる場合、第2導体パターン層21及び第2ビアV2は、セミアディティブ法またはモディファイドセミアディティブ法により形成可能である。または、第2導体パターン層は、プリント回路基板分野の回路形成工程ではなく、半導体分野の伝導性物質の形成方法により形成可能である。すなわち、第2導体パターン層は、CVD (Chemical Vapor Deposition) またはPVD (Physical Vapor Deposition) 等の蒸着工程により形成することもできる。

10

【0080】

次に、図6を参照すると、接合絶縁層により第1積層体と第2積層体とを接合する。

【0081】

第1積層体100と第2積層体200は、それぞれの一面が互いに対向するように配置され、両者の間に接合絶縁層300が介在される。接合絶縁層300は、第1積層体100に形成された後に第2積層体200と接合してもよく、第2積層体200に形成された後に第1積層体100と接合してもよい。

【0082】

第1積層体100と第2積層体200は、整列マーク等を用いて整列されてもよい。

20

【0083】

接合工程は、半硬化状態 (B-stage) の接合絶縁層300が完全硬化 (C-stage) するように、第1積層体100と第2積層体200とを加熱及び加圧することで実施される。

【0084】

次に、図7を参照すると、キャリアが除去される。

【0085】

キャリアCは、キャリア金属箔CF1と極薄金属箔CF2との間の界面で分離が行われ、除去されることができる。このため、キャリアCの除去後に、極薄金属箔CF2が接合絶縁層300の他面に残存することになる。

30

【0086】

次に、図8を参照すると、極薄金属箔を除去し、接続ビアホールを加工する。

【0087】

極薄金属箔CF1は、フラッシュエッチングまたはーフエッチングにより除去できる。極薄金属箔CF1及び第2導体パターン層21がすべて銅で形成された場合は、極薄金属箔CF1を除去するときに第2導体パターン層21の一部がともに除去されることがある。これにより、上述した溝Rが第2導体パターン層21の一面に形成されることになる。

【0088】

接続ビアホールVHは、第2導体パターン層21及び接合絶縁層300を貫通し、第1導体パターン層11の少なくとも一部を外部に露出させる。接続ビアホールVHは、レーザドリルにより形成可能である。レーザドリルには、CO₂レーザドリルまたはYAGレーザドリルがある。上述したように、第2導体パターン層21は微細パターン層であるため、厚さが薄くて、相対的に出力の弱いCO₂レーザドリルを用いても第2導体パターン層21及び接合絶縁層300を貫通することができる。

40

【0089】

次に、図9を参照すると、接続ビアホールの内壁を含む接合絶縁層の他面全体にシード層を形成する。

【0090】

シード層800は、スパッタリングまたは気相蒸着等の半導体工程により形成するか、

50

無電解メッキのような通常のプリント回路基板工程により形成することができる。シード層 800 は、銅を含んでもよいが、これに制限されない。

【0091】

次に、図 10 を参照すると、シード層の形成された接合絶縁層の他面に第 1 メッキレジストを形成する。

【0092】

第 1 メッキレジスト DF 1 は、ドライフィルム等の感光性物質を接合絶縁層 300 の他面に積層した後にフォトリソグラフィ工程を行うことにより形成できる。

【0093】

第 1 メッキレジスト DF 1 には、パッドパターン層 600 の形成位置に対応する開口が形成される。

10

【0094】

次に、図 11 を参照すると、第 1 メッキレジストの開口にパッドパターン層を形成する。

【0095】

パッドパターン層 600 は、スパッタリングまたは気相蒸着等の半導体工程により形成可能であり、または電解メッキのような通常のプリント回路基板工程により形成可能である。

【0096】

次に、図 12 を参照すると、第 1 メッキレジストが除去される。

20

【0097】

次に、図 13 を参照すると、接合絶縁層の他面に第 2 メッキレジストを形成する。

【0098】

第 2 メッキレジスト DF 2 は、ドライフィルム等の感光性物質を接合絶縁層の他面に積層した後にフォトリソグラフィ工程を行うことにより形成可能である。

【0099】

第 2 メッキレジスト DF 2 には、金属フィラー 700 の形成位置に対応する開口が形成される。

【0100】

次に、図 14 を参照すると、第 2 メッキレジストの開口に金属フィラーを形成する。

30

【0101】

金属フィラー 700 は、スパッタリングまたは気相蒸着のような半導体工程により形成するか、電解メッキのような通常のプリント回路基板の工程により形成することができる。

【0102】

次に、図 15 及び図 16 を参照すると、第 2 メッキレジストが除去され、露出したシード層が除去される。

【0103】

シード層 800 においてパッドパターン層 600 が形成されずに外部に露出した部分は、フラッシュエッチングまたはーフエッチングにより除去できる。

40

【0104】

次に、図 17 を参照すると、接合絶縁層の他面に金属フィラーが露出するようにソルダーレジスト層を形成する。

【0105】

ソルダーレジスト層 SR は、ソルダーレジストフィルムを接合絶縁層の他面に積層し、硬化することにより形成可能である。

【0106】

次に、図 18 を参照すると、金属フィラーの露出した表面に表面処理層を形成し、保護層を除去した後に、第 1 積層体の他面にソルダーレジスト層を形成する。

【0107】

50

表面処理層SFLは、ENEPIG (Electroless Nickel Electroless Palladium Immersion Gold) 工程により金属フィラー700上に形成することができる。または、表面処理層SFLは、有機物質を含むOSP (Organic Solderability Preservative) であってもよい。

【0108】

以上、本発明の一実施例について説明したが、当該技術分野で通常の知識を有する者であれば特許請求の範囲に記載した本発明の思想から逸脱しない範囲内で、構成要素の付加、変更または削除等により本発明を多様に修正及び変更することができ、これも本発明の権利範囲内に含まれるものといえよう。

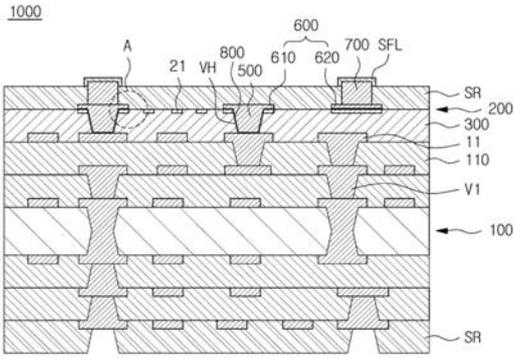
10

【符号の説明】

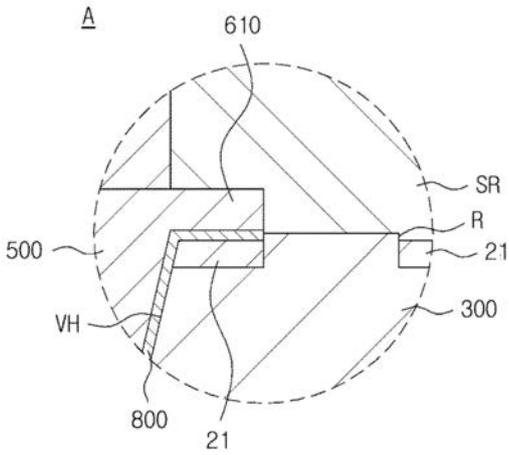
【0109】

11	第1導体パターン層	
21	第2導体パターン層	
100	第1積層体	
110	第1絶縁層	
200	第2積層体	
300	接合絶縁層	
500	接続ビア	
600	パッドパターン層	20
610	ビアパッド	
620	接続パッド	
700	金属フィラー	
800	シード層	
900	金属箔	
R	溝部	
SR	ソルダーレジスト層	
C	キャリア	
CF1	キャリア金属箔	
CF2	極薄金属箔	30
S	支持板	
PL	保護層	
DF1、DF2	メッキレジスト	
V1	第1ビア	
VH	接続ビアホール	
1000、2000	多層プリント回路基板	

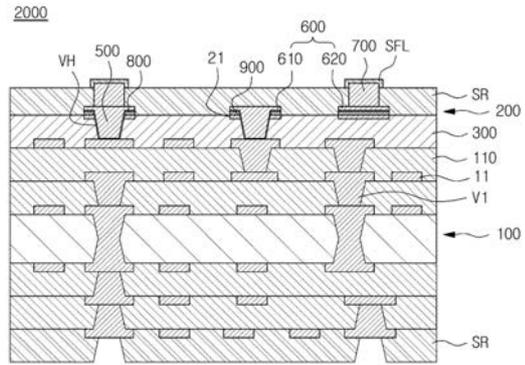
【図 1】



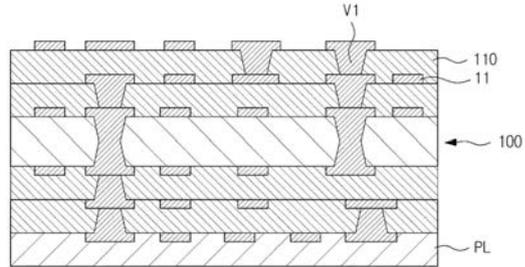
【図 2】



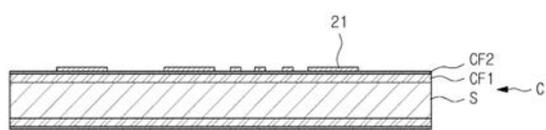
【図 3】



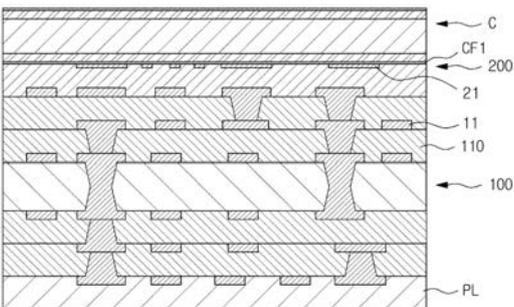
【図 4】



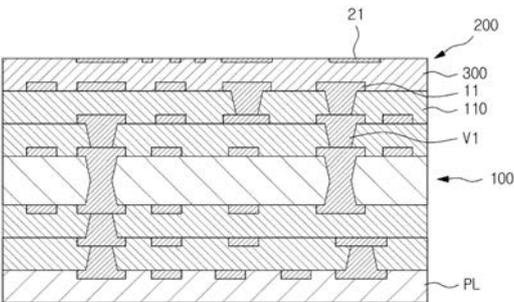
【図 5】



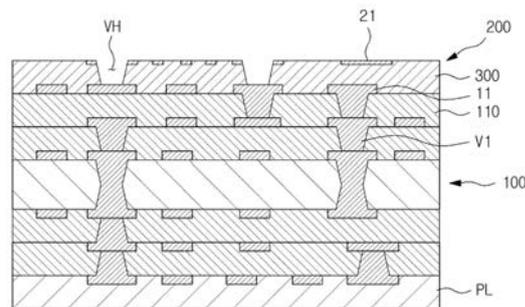
【図 6】



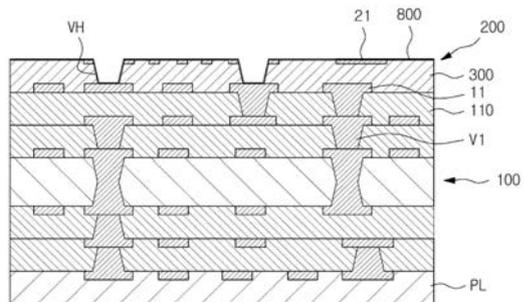
【図 7】



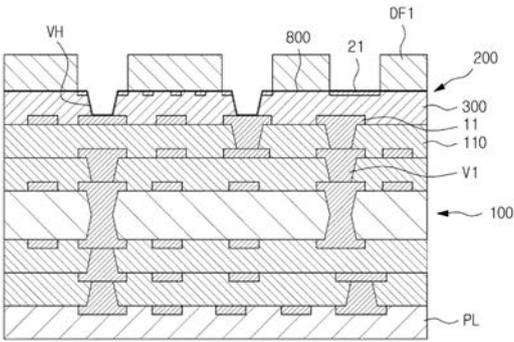
【図 8】



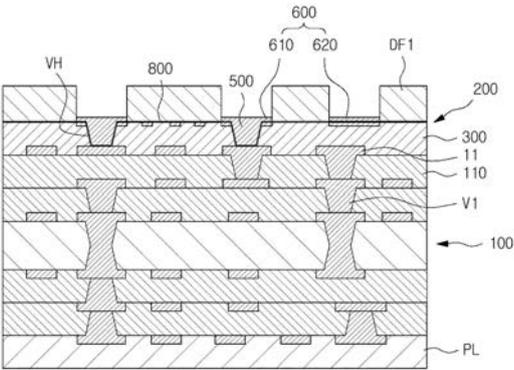
【図 9】



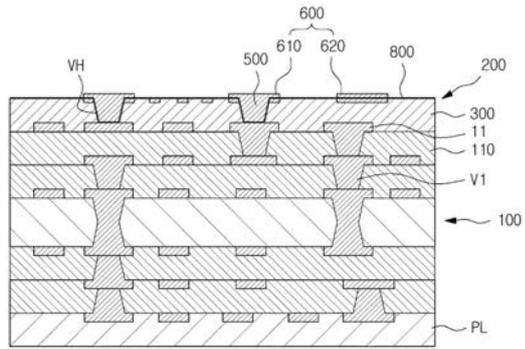
【図10】



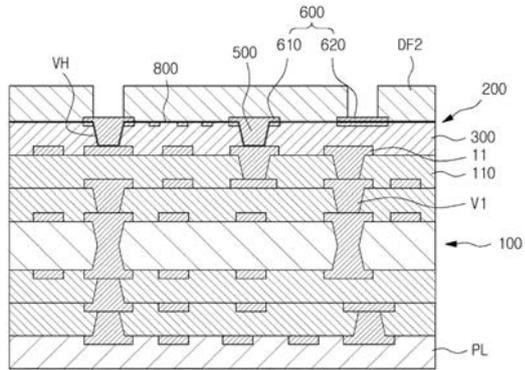
【図11】



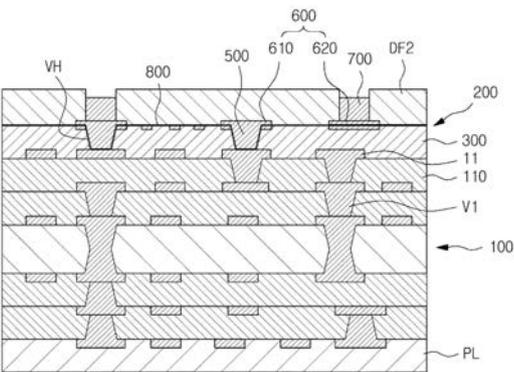
【図12】



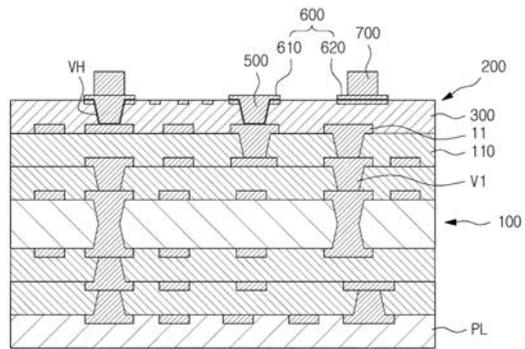
【図13】



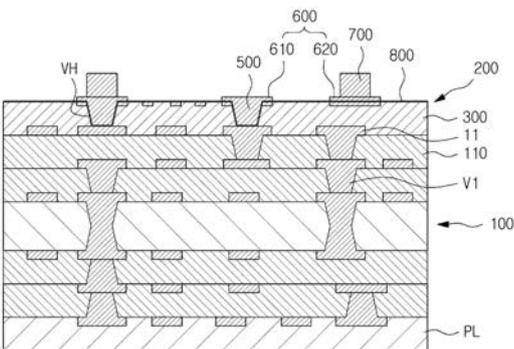
【図14】



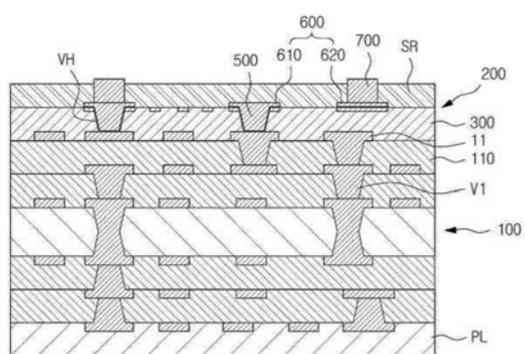
【図16】



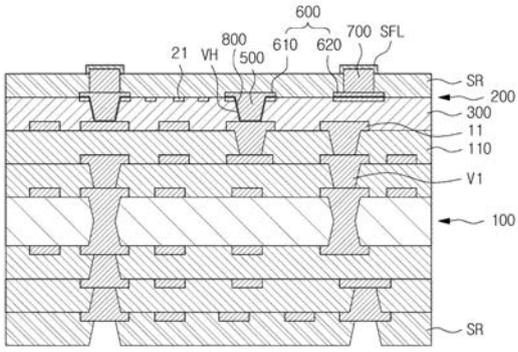
【図15】



【図17】



【 図 1 8 】



フロントページの続き

(72)発明者 カン、ミュン - サム

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 15
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

(72)発明者 キム、ジュ - ホ

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 15
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

F ターム(参考) 5E316 AA15 AA22 AA43 BB16 CC04 CC06 CC09 CC32 CC34 CC37
CC38 CC39 CC54 DD02 DD15 DD17 DD24 DD25 DD33 DD47
EE33 FF04 FF14 GG15 GG17 GG18 GG22 GG23 GG28 HH11
HH26 HH33 JJ02
5E343 AA02 AA15 AA17 BB24 BB25 BB28 BB35 BB44 BB48 BB49
BB67 DD56 DD63 DD76 GG08