

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5325452号
(P5325452)

(45) 発行日 平成25年10月23日 (2013. 10. 23)

(24) 登録日 平成25年7月26日 (2013. 7. 26)

(51) Int. Cl.	F I				
HO2M 3/155 (2006.01)	HO2M	3/155			C
HO3K 17/08 (2006.01)	HO3K	17/08			C
HO3K 17/685 (2006.01)	HO3K	17/687			B
GO5F 1/56 (2006.01)	GO5F	1/56	310F		

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2008-116611 (P2008-116611)	(73) 特許権者	000116024
(22) 出願日	平成20年4月28日 (2008. 4. 28)		ローム株式会社
(65) 公開番号	特開2009-268288 (P2009-268288A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成21年11月12日 (2009. 11. 12)	(74) 代理人	100085501
審査請求日	平成23年4月21日 (2011. 4. 21)		弁理士 佐野 静夫
		(74) 代理人	100134555
			弁理士 林田 英樹
		(72) 発明者	服部 拓也
			京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	武市 匡紘

最終頁に続く

(54) 【発明の名称】 スイッチ駆動装置

(57) 【特許請求の範囲】

【請求項 1】

スイッチング素子をオンするときに第1論理とされ、前記スイッチング素子をオフするときに第2論理とされるパルス信号の入力を受けて、前記スイッチング素子のオン/オフ制御を行うプリドライバと；

前記スイッチング素子に流れる電流をモニタして過電流保護を行う過電流保護回路と；
前記パルス信号が第1論理とされてから前記プリドライバが前記スイッチング素子をオンする前に前記過電流保護回路を動作状態とし、前記パルス信号が第2論理とされてから前記プリドライバが前記スイッチング素子をオフした後に前記過電流保護回路を非動作状態とするように、前記パルス信号が第2論理とされるタイミングに遅延を与えて前記過電流保護回路のイネーブル信号を生成する遅延回路と；

を有して成ることを特徴とするスイッチ駆動装置。

【請求項 2】

前記遅延回路は、前記パルス信号が連続発振されているときには、前記過電流保護回路が常に動作状態に維持され、前記パルス信号が間欠発振されているときにのみ、前記過電流保護回路が非動作状態とされるように、遅延時間が設定されていることを特徴とする請求項1に記載のスイッチ駆動装置。

【請求項 3】

請求項1または請求項2のスイッチ駆動装置を有することを特徴とする自動車。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電流保護回路を備えたスイッチ駆動装置に関するものである。

【背景技術】

【0002】

従来より、スイッチングレギュレータの多くは、異常保護手段の一つとして、過電流保護回路を備えて成る。図12は、過電流保護回路を備えたスイッチングレギュレータの従来例を示す回路ブロック図である。なお、従来の過電流保護回路は、スイッチングレギュレータが動作している間、スイッチング素子Q1（パワートランジスタ）に流れる電流*i*を常にモニタし、これが過電流状態となったことを検知したときに、スイッチング素子Q1を強制的にオフさせる構成とされていた。

10

【0003】

上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

【特許文献1】特開2002-153047号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

確かに、上記従来スイッチングレギュレータであれば、出力短絡等に起因する過電流が生じた場合であっても、過電流保護回路を用いてスイッチング素子を強制的にオフさせることにより、スイッチングレギュレータの出力動作をシャットダウンさせて、装置の安全性を高めることが可能となる。

20

【0005】

ところで、上記従来スイッチングレギュレータは、ゲート信号SGに応じてスイッチング素子Q1のオン/オフ制御を行うことにより、入力電圧V_{in}から矩形波状のスイッチ電圧V_{sw}を生成し、これを整流・平滑することによって、所望の出力電圧V_{out}を生成する。

【0006】

このとき、スイッチング素子Q1のオン期間中には、スイッチング素子Q1を介した電流経路が導通されるため、スイッチング素子Q1に電流*i*が流れるが、スイッチング素子Q1のオフ期間中には、スイッチング素子Q1を介した電流経路が遮断されるため、スイッチング素子Q1に流れる電流*i*はゼロ値となる（図13を参照）。

30

【0007】

しかしながら、上記従来スイッチングレギュレータに設けられた過電流保護回路は、スイッチング素子Q1のオン/オフ状態に依ることなく、スイッチング素子Q1に流れる電流*i*を常にモニタする構成とされていた。このような構成では、スイッチング素子Q1がオフされ、過電流を生じる電流経路が遮断されている場合であっても、過電流保護回路が常時起動されていることになり、不要な回路電流を消費していた。特に、ゲート信号SGのスイッチングパルス生成頻度が少なくなる軽負荷時や無負荷時においては、スイッチングレギュレータ全体の消費電流に占める過電流保護回路の消費電流の割合が大きくなるため、上記の課題が顕在化していた。なお、このような課題は、スイッチングレギュレータに限らず、過電流保護回路を備えたスイッチ駆動装置全般に共通するものであった。

40

【0008】

本発明は、上記の問題点に鑑み、過電流保護回路における電流の浪費を低減することが可能なスイッチ駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明に係るスイッチ駆動装置は、スイッチング素子のオン/オフ制御を行うスイッチ駆動装置であって、前記スイッチング素子に流れる電流をモニタして過電流保護を行う過電流保護回路と；前記スイッチング素子のオン時に前記過電流保護回路を動作状態とし、前記スイッチング素子のオフ時に前記過電流保護回路を非動

50

作状態とするイネーブル制御回路と；を有して成る構成（第1の構成）とされている。

【0010】

なお、上記第1の構成から成るスイッチ駆動装置において、前記イネーブル制御回路は前記スイッチング素子のオン/オフ制御に用いられるパルス信号を前記過電流保護回路のイネーブル信号として流用する構成（第2の構成）にするとよい。

【0011】

また、上記第2の構成から成るスイッチ駆動装置において、前記パルス信号は前記スイッチング素子をオンするときに第1論理とされ、前記スイッチング素子をオフするときに第2論理とされるものであり、前記イネーブル制御回路は、前記パルス信号が第2論理とされるタイミングに遅延を与えて前記イネーブル信号を生成する遅延回路である構成（第3の構成）にするとよい。

10

【0012】

また、上記第3の構成から成るスイッチ駆動装置において、前記遅延回路は、前記パルス信号が連続発振されているときには、前記過電流保護回路が常に動作状態に維持され、前記パルス信号が間欠発振されているときにのみ、前記過電流保護回路が非動作状態とされるように、遅延時間が設定されている構成（第4の構成）にするとよい。

【発明の効果】

【0013】

本発明に係るスイッチ駆動装置であれば、過電流保護回路における電流の浪費を低減することが可能となる。

20

【発明を実施するための最良の形態】

【0014】

図1は、本発明に係るスイッチングレギュレータの一実施形態を示す回路ブロック図である。本図に示すように、本実施形態のスイッチングレギュレータは、スイッチングレギュレータIC100と、これに外部接続されるダイオード（ショットキーダイオード）D1、インダクタL1、抵抗R1～R4、並びに、キャパシタC1及びC2を有して成る。

【0015】

スイッチングレギュレータIC100は、内部電圧生成部1と、参照電圧生成部2と、ソフトスタート電圧生成部3と、誤差増幅器4と、PWM[Pulse Width Modulation]コンパレータ5と、スロープ電圧生成部6と、発振器7と、論理和演算器8と、リセット優先型のRSフリップフロップ9と、ブリドライバ10と、Pチャンネル型MOS[Metal Oxide Semiconductor]電界効果トランジスタ11と、センス抵抗12（抵抗値R）と、コンパレータ13と、直流電圧源14（起電圧 V_{th1} ）と、遅延回路15と、ラッチ回路16と、タイマ回路17と、定電流源18と、Nチャンネル型MOS電界効果トランジスタ19及び20と、ダイオード列21と、Pチャンネル型MOS電界効果トランジスタ22と、抵抗23と、低電圧ドライバ24と、コンパレータ25と、直流電圧源26（起電圧 V_{th2} ）と、を集積化して成り、スイッチング素子（トランジスタ11）のオン/オフ制御を行うスイッチ駆動装置である。なお、本実施形態では、スイッチングレギュレータIC100にトランジスタ11を内蔵した構成を例示して説明を行うが、本発明の構成はこれに限定されるものではなく、トランジスタ11を外付けする構成としても構わない。

30

40

【0016】

内部電圧生成部1は、入力電圧 V_{in} から所定の内部電圧 V_{reg} を生成し、これをスイッチングレギュレータIC100の各部（参照電圧生成部2など）へ供給する手段である。なお、内部電圧生成部1の回路構成や動作については、後ほど詳述する。

【0017】

参照電圧生成部2は、内部電圧 V_{reg} から所定の参照電圧 V_{ref} を生成し、これを誤差増幅器4の第1非反転入力端（+）に出力する手段である。

【0018】

ソフトスタート電圧生成部3は、スイッチングレギュレータIC100の起動時から緩やかに上昇するソフトスタート電圧 V_{ss} を生成し、これを誤差増幅器4の第2非反転入

50

力端 (+) に出力する手段である。

【0019】

誤差増幅器4は、第1非反転入力端 (+) に印加される参照電圧 V_{ref} 、及び、第2非反転入力端 (+) に印加されるソフトスタート電圧 V_{ss} のいずれか低い方と、反転入力端 (-) に印加される帰還電圧 V_{fb} (抵抗 R_1 と抵抗 R_2 との接続ノードから引き出される出力電圧 V_{out} の分圧電圧) との差分を増幅して誤差電圧 E_{RR} を生成し、これをPWMコンパレータ5の反転入力端 (-) に出力する手段である。すなわち、スイッチングレギュレータIC100が起動してから、ソフトスタート電圧 V_{ss} が参照電圧 V_{ref} に達するまでは、ソフトスタート電圧 V_{ss} と帰還電圧 V_{fb} との差分が増幅されることになり、ソフトスタート電圧 V_{ss} が参照電圧 V_{ref} に達して以後は、参照電圧 V_{ref} と帰還電圧 V_{fb} との差分が増幅されることになる。なお、誤差増幅器4の出力端には、位相補償用の抵抗 R_3 とキャパシタ C_2 が外部接続されている。

10

【0020】

PWMコンパレータ5は、非反転入力端 (+) に印加されるスロープ電圧 S_L と、反転入力端 (-) に印加される誤差電圧 E_{RR} を比較して比較信号 CMP を生成し、これを論理和演算器8の第1入力端に出力する手段である。図2は、トランジスタ11のオン/オフ制御に用いられるパルス信号PWMの生成動作を説明するためのタイミングチャートである。なお、図2では、上から順に、誤差電圧 E_{RR} 、スロープ電圧 S_L 、比較信号 CMP (RS フリップフロップ9のリセット信号 R)、クロック信号 CLK (RS フリップフロップ9のセット信号 S)、及び、パルス信号 PWM (RS フリップフロップ9の出力信号 Q) が描写されている。図2に示す通り、スロープ電圧 S_L が誤差電圧 E_{RR} よりも高いときには、比較信号 CMP がハイレベルとされ、スロープ電圧 S_L が誤差電圧 E_{RR} よりも低いときには、比較信号 CMP がローレベルとされる。

20

【0021】

スロープ電圧生成部6は、クロック信号 CLK に基づいて、図2に示すスロープ電圧 S_L を生成し、これをPWMコンパレータ5の非反転入力端 (+) に出力する手段である。なお、図2では、三角波状のスロープ電圧 S_L を生成する構成を例に挙げたが、本発明の構成はこれに限定されるものではなく、鋸波状のスロープ電圧 S_L を生成する構成としても構わない。

【0022】

発振器7は、矩形波状のクロック信号 CLK を生成し、これをスロープ電圧生成部6と RS フリップフロップ9のセット端 (S) に各々出力する手段である。なお、クロック信号 CLK の発振周波数は、抵抗 R_4 の抵抗値に応じて任意に調整することができる。

30

【0023】

論理和演算器8は、第1入力端に印加される比較信号 CMP と、第2入力端に印加される過電流保護信号 S_3 との論理和演算信号 OR を生成し、これを RS フリップフロップ9のリセット端 (R) に出力する手段である。具体的に述べると、過電流保護信号 S_3 がローレベルであるときには、比較信号 CMP が論理和演算器8をスルーされる形となり、 RS フリップフロップ9のリセット端 (R) には、比較信号 CMP と同じ論理レベルの論理和演算信号 OR が入力される。一方、過電流保護信号 S_3 がハイレベルであるときには、比較信号 CMP が論理和演算器8によってマスクされる形となり、 RS フリップフロップ9のリセット端 (R) には、比較信号 CMP に依ることなく、常にハイレベルの論理和演算信号 OR が入力されることになる。

40

【0024】

RS フリップフロップ9は、図2に示すように、セット端 (S) に入力されるクロック信号 CLK の立上がりエッジをトリガとして、出力端 (Q) から出力するパルス信号 PWM をハイレベルにセットし、リセット端 (R) に入力される論理和演算信号 OR (過電流未検出時には比較信号 CMP に相当) の立上がりエッジをトリガとして、出力端 (Q) から出力するパルス信号 PWM をローレベルにリセットする手段である。なお、軽負荷時や無負荷時において、出力電圧 V_{out} が目標電圧値の近傍に維持されている場合には、図

50

2に示すように、誤差電圧 E_{RR} がスロープ電圧 S_L の下限值を常に下回る状態となり、パルス信号 PWM は、連続発振状態から間欠発振状態に自動的にシフトされる。

【0025】

ブリドライバ10は、パルス信号 PWM の駆動能力を高めてゲート信号 SG を生成し、これをトランジスタ11のゲートに供給する手段であり、本実施形態では、ブリドライバ10として、上側駆動電圧 V_H (=入力電圧 V_{in})と下側駆動電圧 V_L との間で、ゲート信号 SG をパルス駆動するインバータが用いられている。すなわち、パルス信号 PWM とゲート信号 SG とは、互いに論理反転された信号となっている。

【0026】

トランジスタ11は、ゲート信号 SG (延いてはパルス信号 PWM)に応じてオン/オフ制御されるスイッチング素子(パワートランジスタ)である。トランジスタ11のソースは、センス抵抗12を介して入力電圧 V_{in} の印加端に接続されている。トランジスタ11のドレインは、ダイオード D_1 のカソードとインダクタ L_1 の一端にそれぞれ接続されている。ダイオード D_1 のアノードは、接地端に接続されている。インダクタ L_1 の他端は、出力電圧 V_{out} の引出端として負荷(図示せず)に接続される一方、キャパシタ C_1 を介する経路、及び、抵抗 R_1 、 R_2 を介する経路で、接地端にも接続されている。

【0027】

なお、トランジスタ11のソースから引き出される矩形波状のスイッチ電圧 V_{sw} は、ダイオード D_1 、インダクタ L_1 、及び、キャパシタ C_1 によって整流・平滑され、出力電圧 V_{out} として負荷(不図示)に供給される。また、出力電圧 V_{out} は、抵抗 R_1 と抵抗 R_2 から成る抵抗分割回路によって分圧され、先述の帰還電圧 V_{fb} として誤差増幅器4に出力される。このようなフィードバック制御により、本実施形態のスイッチングレギュレータでは、入力電圧 V_{in} を降圧して所望の出力電圧 V_{out} が生成される。

【0028】

センス抵抗12は、トランジスタ11に流れる電流 i を電圧信号として検出する手段であり、入力電圧 V_{in} の印加端とトランジスタ11のソースとの間に接続されている。

【0029】

コンパレータ13の非反転入力端(+)は直流電圧源14の負極端に接続されている。直流電圧源14の正極端は、入力電圧 V_{in} の印加端(センス抵抗12の高電位端)に接続されている。コンパレータ13の反転入力端(-)は、トランジスタ11のソース(センス抵抗12の低電位端)に接続されている。すなわち、コンパレータ13は、非反転入力端(+)に印加される閾値電圧(= $V_{in} - V_{th1}$)と、反転入力端(-)に印加されるセンス抵抗12の一端電圧(= $V_{in} - i \times R$)を比較して過電流検出信号 S_1 を生成し、これをラッチ回路16に出力する過電流検出手段(過電流保護回路の一回路要素)として機能する。なお、センス抵抗12での電圧降下分($i \times R$)が直流電圧源14の起電圧 V_{th1} よりも小さい間は、過電流検出信号 S_1 がローレベルに維持されるが、センス抵抗12での電圧降下分($i \times R$)が直流電圧源14の起電圧 V_{th1} よりも大きくなると、過電流検出信号 S_1 がハイレベルに遷移される。

【0030】

直流電圧源14は、過電流検出用の閾値電圧(= $V_{in} - V_{th1}$)を設定する手段であり、入力電圧 V_{in} の印加端とコンパレータ13の非反転入力端(+)との間に接続されている。

【0031】

遅延回路15は、パルス信号 PWM がローレベルとされるタイミングに遅延を与えて、コンパレータ13のイネーブル信号 EN を生成する手段である。なお、遅延回路15の動作については後述する。

【0032】

ラッチ回路16は、コンパレータ13から入力される過電流検出信号 S_1 の立上がりエッジをトリガとして、過電流保護信号 S_3 をハイレベルにセットし、タイマ回路17から入力されるタイマ信号 S_2 の立上がりエッジをトリガとして、過電流保護信号 S_3 をロー

10

20

30

40

50

レベルにリセットする手段である。なお、ラッチ回路 16 の動作については後述する。

【0033】

タイマ回路 17 は、コンパレータ 13 から入力される過電流検出信号 S1 の立上がりエッジをトリガとして、保護動作期間 T_{off} のカウントを開始し、そのカウント動作が終了した時点で、タイマ信号 S2 をローレベルからハイレベルにセットする手段である。なお、タイマ回路 17 の動作については後述する。

【0034】

定電流源 18、Nチャネル型 MOS 電界効果トランジスタ 19 及び 20、ダイオード列 21、Pチャネル型 MOS 電界効果トランジスタ 22、及び、抵抗 23 は、トランジスタ 11 のゲート・ソース間電圧（入力電圧 V_{in} とゲート信号 S_G との電圧差）を所定値以下に維持するように、入力電圧 V_{in} に応じて下側駆動電圧 V_L を制御しつつ、プリドライバ 10 の駆動電流を引き込む耐圧保護回路である。定電流源 18 の一端は、内部電圧 V_{reg} の印加端に接続されている。定電流源 18 の他端（定電流出力端）は、トランジスタ 19 のドレインに接続されている。トランジスタ 19 のソースは、接地端に接続されている。トランジスタ 19 のゲートは、トランジスタ 20 のゲートに接続される一方、トランジスタ 19 のドレインにも接続されている。トランジスタ 20 のソースは、接地端に接続されている。トランジスタ 20 のドレインは、ダイオード列 21 のアノード端と、トランジスタ 22 のゲートにそれぞれ接続されている。ダイオード列 21 のカソード端は、入力電圧 V_{in} の印加端に接続されている。トランジスタ 22 のドレインは、抵抗 23 を介して接地端に接続されている。トランジスタ 22 のソースは、下側駆動電圧 V_L の印加端に接続されている。なお、ダイオード列 21 を形成するダイオードの個数については、1 以上の任意の整数とすればよい。また、上記構成から成る耐圧保護回路の動作については後ほど詳細に説明する。

【0035】

低電圧ドライバ 24 は、コンパレータ 25 から入力される低電圧検出信号 S4 に基づいて、プリドライバ 10 の下側駆動電圧 V_L を通常時よりも引き下げて、プリドライバ 10 の駆動電流を引き込むか否かを制御する手段である。なお、低電圧ドライバ 24 の回路構成及び動作については後述する。

【0036】

コンパレータ 25 は、非反転入力端（+）に印加される直流電圧源 26 の起電圧（閾値電圧 V_{th2} ）と、反転入力端（-）に印加される入力電圧 V_{in} を比較して低電圧検出信号 S4 を生成し、これを低電圧ドライバ 24 に出力する低電圧検出回路である。すなわち、入力電圧 V_{in} が閾値電圧 V_{th2} よりも高いときには、低電圧検出信号 S4 がローレベルに維持されるが、入力電圧 V_{in} が閾値電圧 V_{th2} よりも低くなると、低電圧検出信号 S4 がハイレベルに遷移される。

【0037】

直流電圧源 26 は、低電圧検出用の閾値電圧（ $= V_{th2}$ ）を設定する手段であり、コンパレータ 25 の非反転入力端（+）と接地端との間に接続されている。

【0038】

次に、過電流保護回路の消費電流低減機能について、図 3 ~ 図 5 を参照しながら詳細な説明を行う。図 3 ~ 図 5 は、いずれも、過電流保護回路の消費電流低減機能を説明するためのタイミングチャートであり、それぞれ、上から順に、クロック信号 CLK（RS フリップフロップ 9 のセット信号 S）、比較信号 CMP（RS フリップフロップ 9 のリセット信号 R）、パルス信号 PWM（RS フリップフロップ 9 の出力信号 Q）、イネーブル信号 EN、ゲート信号 S_G 、スイッチ電圧 V_{sw} 、及び、電流 i が描写されている。なお、図 3 には、パルス信号 PWM が連続発振されているときの様子が示されており、図 4 には、パルス信号 PWM が間欠発振されているときの様子が示されている。また、図 5 には、後述する遅延時間 d_2 を長く設定した場合の様子が示されている。

【0039】

まず、図 3 及び図 4 について説明する。先述したように、RS フリップフロップ 9 の出

10

20

30

40

50

力端 (Q) から出力されるパルス信号 P W M は、セット端 (S) に入力されるクロック信号 C L K の立上がりエッジでハイレベルにセットされ、リセット端 (R) に入力される比較信号 C M P の立上がりエッジでローレベルにリセットされる。

【 0 0 4 0 】

遅延回路 1 5 は、上記のパルス信号 P W M を過電流保護回路のイネーブル信号 E N として流用すべく、パルス信号 P W M がローレベルとされるタイミングに遅延を与えて、コンパレータ 1 3 のイネーブル信号 E N を生成する。すなわち、イネーブル信号 E N は、パルス信号 P W M の立上がりエッジと同じタイミングでハイレベルとされ、パルス信号 P W M の立下がりエッジから遅延時間 d 2 だけ遅れたタイミングでローレベルとされる。

【 0 0 4 1 】

一方、ブリドライバ 1 0 は、パルス信号 P W M の駆動能力を高めるとともに、その論理を反転することでゲート信号 S G を生成する。このとき、ゲート信号 S G がローレベルとされるタイミングは、ブリドライバ 1 0 のスルーレートやトランジスタ 1 1 のゲート容量などに応じて、パルス信号 P W M がハイレベルとされるタイミングよりも遅延時間 d 1 だけ遅れる。すなわち、ゲート信号 S G は、パルス信号 P W M の立上がりエッジから遅延時間 d 1 だけ遅れたタイミングでローレベルとされ、パルス信号 P W M の立下がりエッジと同じタイミングでハイレベルとされる。

【 0 0 4 2 】

従って、コンパレータ 1 3 が動作状態とされる期間 T 2 は、トランジスタ 1 1 がオンされる期間 T 1 よりも長くなる。別の言い方をすれば、コンパレータ 1 3 は、トランジスタ 1 1 がオンされる前に動作状態とされ、かつ、トランジスタ 1 1 がオフされた後に非動作状態とされる。

【 0 0 4 3 】

上記で説明した通り、本実施形態のスイッチングレギュレータ I C 1 0 0 は、トランジスタ 1 1 に流れる電流 i をモニタして過電流保護を行う過電流保護回路 (コンパレータ 1 3 を含む) と、トランジスタ 1 1 のオン時に過電流保護回路を動作状態とし、トランジスタ 1 1 のオフ時に過電流保護回路を非動作状態とするイネーブル制御回路 (本実施形態では、遅延回路 1 5) と、を有して成る構成とされている。

【 0 0 4 4 】

このような構成とすることにより、電流 i をモニタすべきとき (すなわち、トランジスタ 1 1 をオンとし、トランジスタ 1 1 を介した電流経路が導通されているとき) にのみ、過電流保護回路を動作状態とし、その余の場合には過電流保護回路を非動作状態とすることができるので、過電流保護回路の消費電流を低減することが可能となる。特に、図 4 に示すように、パルス信号 P W M が間欠発振状態となる軽負荷時や無負荷時においては、スイッチングレギュレータ全体の消費電流に占める過電流保護回路の消費電流の割合が大きくなるため、本発明による消費電流の低減効果が顕著となる。

【 0 0 4 5 】

なお、本実施形態のスイッチングレギュレータ I C 1 0 0 において、イネーブル制御回路 (遅延回路 1 5) は、トランジスタ 1 1 のオン / オフ制御に用いられるパルス信号 P W M を過電流保護回路のイネーブル信号 E N として流用する構成とされている。このような構成であれば、トランジスタ 1 1 のオン / オフ制御タイミングと過電流保護回路のオン / オフ制御タイミングのマッチングを容易に実現することが可能となる。ただし、本発明の構成はこれに限定されるものではなく、その他の手段によって過電流保護回路のイネーブル信号 E N を生成しても構わない。例えば、トランジスタ 1 1 のゲート信号 S G からイネーブル信号 E N を生成する構成としてもよいし、或いは、トランジスタ 1 1 のオン / オフ状態を直接モニタしてイネーブル信号 E N を生成する構成としてもよい。

【 0 0 4 6 】

また、先から述べている通り、本実施形態のスイッチングレギュレータ I C 1 0 0 は、イネーブル制御回路として、パルス信号 P W M がローレベルとされるタイミングに遅延を与えてイネーブル信号 E N を生成する遅延回路 1 5 を用いている。このような構成とする

10

20

30

40

50

ことにより、コンパレータ 13 が動作状態とされる期間 T2 をトランジスタ 11 がオンされる期間 T1 よりも長くすることができるので、トランジスタ 11 がオンされているときには、過電流保護回路を確実に起動しておくことが可能となる。

【0047】

次に、図5について説明する。図5の例では、遅延回路15でパルス信号PWMに与える遅延時間d2が図3や図4の例よりも長く設定されている。より具体的に述べると、遅延回路15では、パルス信号PWMが連続発振されているときには、過電流保護回路が常に動作状態に維持され、パルス信号PWMが間欠発振されているときにのみ、過電流保護回路が非動作状態とされるように、その遅延時間d2が設定されている。

【0048】

図5の例に即して説明すると、パルス信号PWMが連続発振されているときには、パルス信号PWMの立下がりエッジから遅延時間d2が経過する前に、パルス信号PWMの次の立上がりエッジが到来するので、イネーブル信号ENは常にハイレベルとなり、過電流保護回路が常に動作状態に維持される。一方、パルス信号PWMが間欠発振されているときには、パルス信号PWMの立下がりエッジから遅延時間d2が経過しても、パルス信号PWMの次の立上がりエッジは到来しないので、イネーブル信号ENは、上記の遅延時間d2が経過した時点でローレベルとなり、過電流保護回路が非動作状態とされる。

【0049】

このような構成とすることにより、パルス信号PWMが連続発振されているときには、安全性の向上を優先して、過電流保護回路を常に動作状態に維持する一方、パルス信号PWMが間欠発振されているときには、消費電流の低減を優先して、過電流保護回路を非動作状態とすることが可能となる。

【0050】

なお、上記実施形態では、本発明をスイッチングレギュレータIC100に適用した構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、過電流保護回路を備えたスイッチ駆動装置全般（例えば、モータドライバの出力段を形成するスイッチング素子のオン/オフ制御を行うスイッチ駆動装置）に広く適用することが可能である。

【0051】

次に、過電流保護回路の自己復帰機能について、先出の図1とともに、図6を参照しながら詳述する。図6は過電流保護回路の自己復帰機能を説明するためのタイミングチャートであり、上から順番に、クロック信号CLK、過電流検出信号S1、タイマ信号S2、及び、過電流保護信号S3が各々描写されている。

【0052】

先に述べた通り、タイマ回路17は、過電流検出信号S1の立上がりエッジをトリガとして、保護動作期間T_{off}のカウントを開始し、そのカウント動作が終了した時点で、タイマ信号S2をローレベルからハイレベルにセットする。また、ラッチ回路16は、過電流検出信号S1の立上がりエッジをトリガとして、過電流保護信号S3をハイレベルにセットし、タイマ信号S2の立上がりエッジをトリガとして、過電流保護信号S3をローレベルにリセットする。このようにして生成された過電流保護信号S3は、論理和演算器8の第2入力端に印加され、比較信号CMPのマスク処理に用いられる。具体的には、過電流保護信号S3がローレベルであるときには、比較信号CMPが論理和演算器8をスルーされ、過電流保護信号S3がハイレベルであるときには、比較信号CMPが論理和演算器8によってマスクされる。

【0053】

上記のように、本実施形態のスイッチングレギュレータIC100において、過電流保護回路は、過電流が検出されたときに所定の保護動作期間T_{off}を計時し始め、前記過電流が検出されてから保護動作期間T_{off}が経過するまで、トランジスタ11の駆動を継続的に停止させた後、トランジスタ11の駆動を再開させる構成とされている。

【0054】

10

20

30

40

50

このような構成であれば、パルス信号PWMの一周期毎（クロック信号CLKのパルス周期毎）に過電流保護回路を自己復帰させる従来構成と異なり、連続的に過電流が流れ続ける異常状態（出力ショートなど）に陥った場合でも、パルス信号PWMの一周期毎に過電流保護回路が自己復帰されて過大な電流*i*が断続的に流れ続けることはないので、スイッチングレギュレータIC100や外付け部品（コイルL1、ショットキーダイオードD1）の発熱を抑えることが可能となる。

【0055】

なお、タイマ回路17としては、RC時定数回路などのアナログタイマを用いてもよいし、クロック信号CLKのパルス数をカウントするデジタルタイマを用いても構わない。また、上記の保護動作期間T_{off}は、クロック信号CLKのパルス周期Tより十分長く設定することが望ましく、例えば、パルス周期Tが数[μs]である場合、保護動作期間T_{off}は、数十[μs]に設定すればよい。

10

【0056】

また、先出の図1では、過電流保護回路の自己復帰機能部として、ラッチ回路16とタイマ回路17を各々独立の回路ブロックで描写したが、本発明の構成はこれに限定されるものではなく、ラッチ回路16、並びに、タイマ回路17を形成する回路要素としては、図7に示すように、キャパシタCAと、キャパシタCAの充電電流を生成する定電流源IAと、過電流が検出されたときにキャパシタCAを放電する放電部（図7では過電流検出信号S1がハイレベルであるときにオンとなるNチャンネル型MOS電界効果トランジスタNA）と、キャパシタCAの充電電圧VCが所定の閾値電圧よりも高いか低いかに応じて過電流保護信号S3の出力論理を変遷する比較部（図7ではインバータINV）と、を有して成る構成としてもよい。

20

【0057】

図8は、上記構成から成る自己復帰機能部の動作を説明するためのタイミングチャートであり、上から順に、過電流検出信号S1、キャパシタCAの充電電圧VC、及び、過電流保護信号S3が描写されている。

【0058】

図8に示すように、過電流検出信号S1がハイレベルに立ち上がると、トランジスタNAがオンとなり、キャパシタCAが放電されて、充電電圧VCがゼロ値（ローレベル）となる。従って、インバータINVの出力信号である過電流保護信号S3は、ハイレベルに立ち上がり、トランジスタ11の駆動が継続的に停止される。トランジスタ11の駆動が停止されると、過電流検出信号S1はローレベルに立ち下がり、トランジスタNAはオフとなる。その結果、キャパシタCAの充電が再開され、充電電圧VCが上昇し始める。そして、充電電圧VCがインバータINVの論理反転閾値（図8中の一点鎖線を参照）に達すると、過電流保護信号S3がハイレベルからローレベルに遷移され、トランジスタ11の駆動が再開される。

30

【0059】

このように、上記構成から成る自己復帰機能部であれば、簡易なアナログ回路により、所望の過電流保護信号S3を生成することが可能となる。なお、保護動作期間T_{off}の長さは、定電流源IAで生成する電流量に応じて適宜調整することが可能である。

40

【0060】

また、上記実施形態では、キャパシタCAの充電電圧VCが所定の閾値電圧よりも高いか低いかに応じて過電流保護信号S3の出力論理を変遷する比較部として、インバータINVを用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、バッファやコンパレータを用いても構わない。

【0061】

次に、内部電圧生成部1の回路構成及び動作について詳細に説明する。図9は、内部電圧生成部1の一構成例を示す回路図である。図9に示すように、本構成例の内部電圧生成部1は、pnp型バイポーラトランジスタQa、Qb、Qcと、npn型バイポーラトランジスタQd、Qeと、抵抗Ra、Rb、Rc、Rdと、キャパシタCaと、オペアンプ

50

AMPと、直流電圧源E aと、を有して成る。

【0062】

トランジスタQ a、Q b、Q cのエミッタは、いずれも入力電圧V i nの印加端に接続されている。トランジスタQ a、Q b、Q cのベースは、いずれもトランジスタQ aのコレクタに接続されている。トランジスタQ aのコレクタは、入力電流I i nの入力端に接続されている。トランジスタQ bのコレクタは、オペアンプAMPの電源端に接続される一方、抵抗R aを介してトランジスタQ dのコレクタにも接続されている。トランジスタQ cのコレクタは、抵抗R bを介して接地端に接続される一方、トランジスタQ dのベースにも接続されている。トランジスタQ dのエミッタは、接地端に接続されている。トランジスタQ eのコレクタは、入力電圧V i nの印加端に接続されている。トランジスタQ eのベースは、オペアンプAMPの出力端に接続されている。トランジスタQ eのエミッタは、抵抗R c及び抵抗R dを介して接地端に接続される一方、内部電圧V r e gの出力端にも接続されている。オペアンプAMPの非反転入力端(+)は、第1電圧V 1の印加端(直流電圧源E aの正極端)に接続されている。オペアンプAMPの反転入力端(-)は、第2電圧V 2の印加端(抵抗R cと抵抗R dとの接続ノード)に接続されている。

10

【0063】

上記構成から成る内部電圧生成部1は、オペアンプAMPを用いて、第1電圧V 1と第2電圧V 2が一致するように、トランジスタQ eの開放度を制御することにより、入力電圧V i nから所望の内部電圧V r e gを生成するシリーズレギュレータである。

【0064】

また、上記構成から成る内部電圧生成部1において、トランジスタQ a、Q bは、入力電流I i nから所望の出力電流I o u t(= $\times I i n$)を生成し、これをオペアンプAMPに供給するカレントミラー回路を形成している。

20

【0065】

このカレントミラー回路には、トランジスタQ a、Q bから成る第1カレントミラー段のほか、入力電圧V i nの急変に際して、出力電流I o u tの変動を抑えるためのピーク電流防止回路X(トランジスタQ c、Q d、抵抗R a、R b、及び、キャパシタC a)が組み込まれている。

【0066】

図10は、ピーク電流防止動作を説明するための波形図であり、上から順に、入力電圧V i n、トランジスタQ bのベース・エミッタ間電圧V b e、第1ミラー電流I 1、第2ミラー電流I 2、補正電流I 3、及び、出力電流I o u tが示されている。

30

【0067】

図10に示すように、入力電圧V i nが一定に保たれている場合、トランジスタQ bのベース・エミッタ間電圧V b eは、トランジスタQ bのベース・エミッタ間における順方向降下電圧V fに維持され、第1ミラー電流I 1、及び、第2ミラー電流I 2は、それぞれ $\times I i n$ 、 $\times I i n$ に維持される。また、第2ミラー電流I 2が上記の電流値に維持されている間、トランジスタQ dはオフとなり、トランジスタQ bのコレクタから抵抗R a及びトランジスタQ dを介して接地端に至る電流経路が遮断されるため、この電流経路に流れる補正電流I 3はゼロ値となる。その結果、出力電流I o u tは、第1ミラー電流I 1と同じ電流値($\times I i n$)となる。なお、上記の第2ミラー定数は、消費電流削減の観点から、第1ミラー定数よりも十分に小さい値(例えば数十分の一)に設定しておくことが望ましい。

40

【0068】

一方、入力電圧V i nに急変動が生じると、トランジスタQ bのベース・エミッタ間電圧V b eは大きくなるが、入力電圧V i nとトランジスタQ bのベースとの間には、キャパシタC aが接続されているため、その増大量は、従来構成(図12や図13を参照)に比べて、非常に小さく抑えられている。

【0069】

また、ピーク電流防止回路Xには、上記キャパシタC aに加えて、第1ミラー電流I 1

50

の増加分を吸収するピーク電流吸収回路 Y (トランジスタ Q c、Q d、及び、抵抗 R a、R b) が設けられており、入力電圧 V i n の急変時に生じるピーク電流のさらなる抑制が図られている。

【 0 0 7 0 】

ピーク電流吸収回路 Y の動作について、図 9 及び図 1 0 を参照しながら詳述する。入力電圧 V i n に急変動が生じて第 1 ミラー電流 I 1 にピーク電流が生じた場合、これと同様の挙動で第 2 ミラー電流 I 2 にもピーク電流が生じる。このとき、第 2 ミラー電流 I 2 が所定値に達すると、トランジスタ Q d のベース電位 (第 2 ミラー電流 I 2 が流れる抵抗 R b の一端電圧) がトランジスタ Q d のオンスレッシュホールド電圧まで引き上げられて、トランジスタ Q d がオンとなり、トランジスタ Q b のコレクタから抵抗 R a 及びトランジスタ Q d を介して接地端に至る電流経路が導通される。その結果、トランジスタ Q b のコレクタからは、第 2 ミラー電流 I 2 に応じた補正電流 I 3 が引き抜かれるので、出力電流 I o u t は、第 1 ミラー電流 I 1 から補正電流 I 3 を差し引いた電流値 (第 1 ミラー電流 I 1 の増加分が吸収された電流値) となる。

10

【 0 0 7 1 】

上記で説明した通り、本発明に係るカレントミラー回路は、入力電流 I i n をミラーして第 1 ミラー電流 I 1 を生成する第 1 カレントミラー段 (トランジスタ Q a、Q b) と、電源急変時に生じる第 1 ミラー電流 I 1 の増加分に応じた補正電流 I 3 を生成し、これを第 1 カレントミラー段の出力端から引き込むピーク電流吸収回路 Y (トランジスタ Q c、Q d、抵抗 R a、R b) と、を有して成り、第 1 ミラー電流 i 1 から補正電流 I 3 を差し引いて得られる差分電流 (= I 1 - I 3) を出力電流 I o u t として後段回路 (オペアンプ A M P) に出力する構成とされている。

20

【 0 0 7 2 】

より具体的に述べると、上記のピーク電流吸収回路 Y は、入力電流 I i n をミラーして第 2 ミラー電流 I 2 を生成する第 2 カレントミラー段 (トランジスタ Q a、Q c) と、第 2 ミラー電流 I 2 に応じて補正電流 I 3 の引き込み量を制御する補正電流生成回路 Z (トランジスタ Q d、抵抗 R a、R b) と、を有して成る構成とされている。

【 0 0 7 3 】

さらに詳しく述べると、上記の補正電流生成回路 Z は、第 2 ミラー電流 I 2 を電圧信号に変換する抵抗 R b と、第 1 カレントミラー段の出力端 (トランジスタ Q b のコレクタ) と接地端との間に接続され、上記の電圧信号に応じて導通度が制御されるトランジスタ Q d と、を有して成る構成とされている。

30

【 0 0 7 4 】

このような構成とすることにより、入力電圧 V i n が急変しても、カレントミラー回路の出力電流 I o u t には大きなピーク電流が生じないので、後段回路の誤動作を防ぐことが可能となり、延いては、スイッチングレギュレータの安定性向上に貢献することができる。特に、入力電圧 V i n としてバッテリーの出力電圧が直接印加される場合には、入力電圧 V i n の急変動が生じやすいため、本発明によるピーク電流の低減効果が顕著となる。

【 0 0 7 5 】

なお、上記実施形態では、オペアンプ A M P の駆動電流生成手段として、本発明に係るカレントミラー回路を用いた構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、入力電流をミラーして所望の出力電流を生成するカレントミラー回路全般に広く適用することが可能である。

40

【 0 0 7 6 】

次に、トランジスタ 1 1 の耐圧保護機能、及び、低電圧モードへの切換機能について、先出の図 1 を参照しながら詳述する。

【 0 0 7 7 】

先述したように、本実施形態のスイッチングレギュレータ I C 1 0 0 には、トランジスタ 1 1 のゲート・ソース間電圧 (入力電圧 V i n とゲート信号 S G との電圧差) を所定値以下に維持するように、入力電圧 V i n に応じてプリドライバ 1 0 の下側駆動電圧 V L を

50

制御しつつ、プリドライバ10の駆動電流を引き込む耐圧保護回路が設けられている。

【0078】

なお、上記の耐圧保護回路は、図1に示す通り、カソード端が入力電圧 V_{in} の印加端に接続されたダイオード列21と、ダイオード列21に定電流を流す定電流源(18~20)と、ソースが下側駆動電圧 V_L の印加端に接続され、ゲートがダイオード列21のアノード端に接続されたPチャネル型電界効果トランジスタ22と、を有して成る。

【0079】

確かに、上記構成から成る耐圧保護回路であれば、プリドライバ10の下側駆動電圧 V_L を $V_{in} - V_A + V_{thB}$ (ただし、 V_A はダイオード列21の順方向降下電圧、 V_{thB} はトランジスタ22のオンスレッシュホールド電圧)に維持することができるので、トランジスタ11のゲート・ソース間電圧は、所定値($V_A - V_{thB}$)までしか開かなくなる。従って、トランジスタ11を高い入力電圧 V_{in} で動作させる場合でも、トランジスタ11のゲート・ソース間電圧がその耐圧を超えることはなく、装置の破壊や異常発熱などを防止することが可能である。

【0080】

ただし、上記の耐圧保護回路のみを備えた場合には、従来技術の項でも述べた通り、プリドライバ10を正常に動作させるために、 $V_{thA} + V_{thB} + V_{ds}$ 以上(ただし、 V_{thA} はトランジスタ11のオンスレッシュホールド電圧、 V_{ds} はトランジスタ20のドレイン・ソース間降下電圧)の入力電圧 V_{in} を供給する必要がある。また、入力電圧 V_{in} が低くなると、トランジスタ11のゲート・ソース間電圧が小さくなるため、トランジスタ11のオン抵抗が大きくなり、電力効率が低下してしまう。

【0081】

そこで、本実施形態のスイッチングレギュレータIC100は、入力電圧 V_{in} が閾値電圧 V_{th2} を下回っているか否かを検出する低電圧検出回路(コンパレータ25)と、低電圧検出回路において入力電圧 V_{in} の低電圧状態が検出されたときのみ、プリドライバ10の下側駆動電圧 V_L を通常時よりも引き下げて、プリドライバ10の駆動電流を引き込む低電圧ドライバ24と、を有して成る。

【0082】

なお、低電圧ドライバ24は、図11に示すように、抵抗 R_x とNチャネル型電界効果トランジスタ N_x を有して成る。トランジスタ N_x のドレインは、抵抗 R_x を介して下側駆動電圧 V_L の印加端に接続されている。トランジスタ N_x のソースは接地端に接続されている。トランジスタ N_x のゲートは、低電圧検出信号 S_4 の印加端に接続されている。

【0083】

上記構成から成るスイッチングレギュレータIC100において、入力電圧 V_{in} が閾値電圧 V_{th2} を下回ったときには、低電圧ドライバ24の働きによって、プリドライバ10の下側駆動電圧 V_L が通常時よりも引き下げられ、かつ、トランジスタ22を介する電流経路のみならず、トランジスタ N_x を介する電流経路でもプリドライバ10の駆動電流が引き込まれることになる。すなわち、入力電圧 V_{in} の低電圧状態が検出されたときには、プリドライバ10の駆動モードが通常モードから低電圧モードに切り換えられる。

【0084】

このような構成とすることにより、入力電圧 V_{in} が高電圧範囲から低電圧範囲まで幅広く変化される場合であっても、安全かつ安定にスイッチングレギュレータを動作させることが可能となる。また、入力電圧 V_{in} が低電圧状態となった場合でも、トランジスタ11のゲート・ソース間電圧を確保して、トランジスタ11のオン抵抗を小さく維持することができるので、電力効率の低下を招くことがなくなる。

【0085】

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【産業上の利用可能性】

【0086】

本発明は、電化製品、自動車、電力設備など、電気回路や電子回路を備えた装置やシステム全般に利用可能な技術である。

【図面の簡単な説明】

【0087】

【図1】は、本発明に係るスイッチングレギュレータの一実施形態を示す回路ブロック図である。

【図2】は、トランジスタ11のオン/オフ制御に用いられるパルス信号PWMの生成動作を説明するためのタイミングチャートである。

【図3】は、過電流保護回路の消費電流低減機能を説明するためのタイミングチャート（パルス信号PWMが連続発振されている場合）である。

10

【図4】は、過電流保護回路の消費電流低減機能を説明するためのタイミングチャート（パルス信号PWMが間欠発振されている場合）である。

【図5】は、過電流保護回路の消費電流低減機能を説明するためのタイミングチャート（遅延時間d2を長く設定した場合）である。

【図6】は、過電流保護回路の自己復帰機能を説明するためのタイミングチャートである。

【図7】は、自己復帰機能部の一構成例を示す回路図である。

【図8】は、自己復帰機能部の動作を説明するためのタイミングチャートである。

【図9】は、内部電圧生成部1の一構成例を示す回路図である。

【図10】は、ピーク電流防止動作を説明するための波形図である。

20

【図11】は、低電圧ドライバ24の一構成例を示す回路図である。

【図12】は、過電流保護回路を備えたスイッチングレギュレータの一従来例を示す回路ブロック図である。

【図13】は、スイッチング素子Q1に流れる電流iの挙動を示す波形図である。

【符号の説明】

【0088】

100 スwitchングレギュレータIC（スイッチ駆動装置）

1 内部電圧生成部

2 参照電圧生成部

3 ソフトスタート電圧生成部

30

4 誤差増幅器

5 PWMコンパレータ

6 スロープ電圧生成部

7 発振器

8 論理和演算器

9 RSフリップフロップ

10 プリドライバ

11 Pチャンネル型MOS電界効果トランジスタ

12 センス抵抗

13 コンパレータ

40

14 直流電圧源

15 遅延回路

16 ラッチ回路

17 タイマ回路

18 定電流源

19、20 Nチャンネル型MOS電界効果トランジスタ

21 ダイオード列

22 Pチャンネル型MOS電界効果トランジスタ

23 抵抗

24 低電圧ドライバ

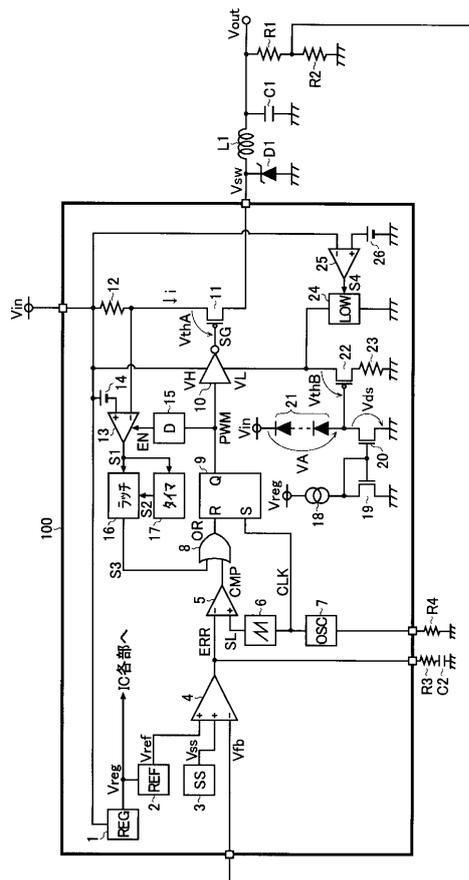
50

- 2 5 コンパレータ
- 2 6 直流電圧源
- D 1 ダイオード (ショットキーダイオード)
- L 1 インダクタ
- C 1、C 2 キャパシタ
- R 1 ~ R 4 抵抗
- NA Nチャンネル型MOS電界効果トランジスタ
- CA キャパシタ
- IA 定電流源
- INV インバータ
- Q a、Q b、Q c pnp型バイポーラトランジスタ
- Q d、Q e npn型バイポーラトランジスタ
- R a、R b、R c、R d 抵抗
- Ca キャパシタ
- E a 直流電圧源
- AMP オペアンプ
- X ピーク電流防止回路
- Y ピーク電流吸回路
- Z 補正電圧生成回路
- N x Nチャンネル型MOS電界効果トランジスタ
- R x 抵抗

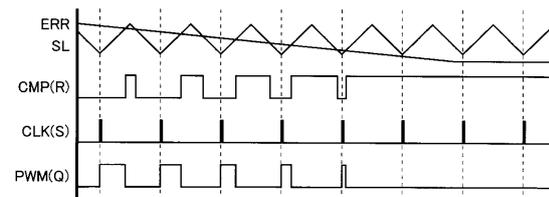
10

20

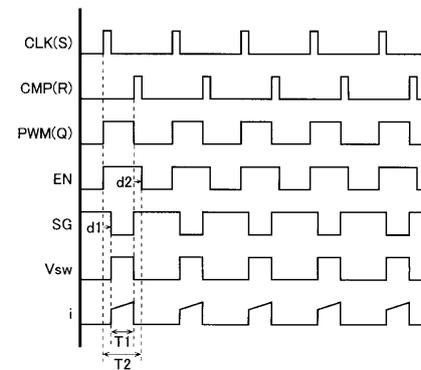
【図1】



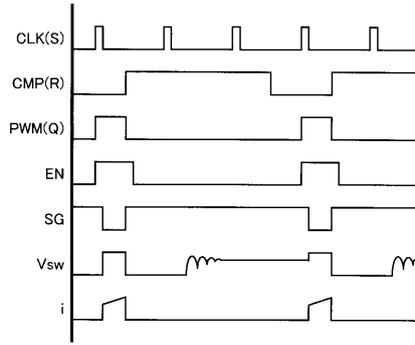
【図2】



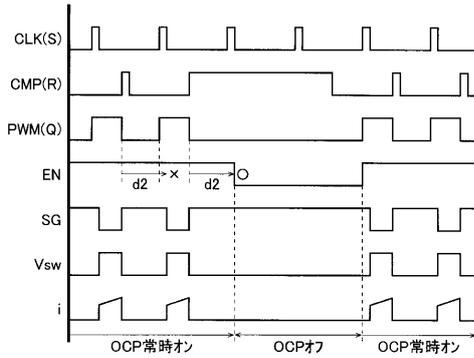
【図3】



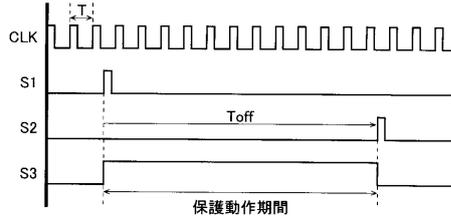
【 図 4 】



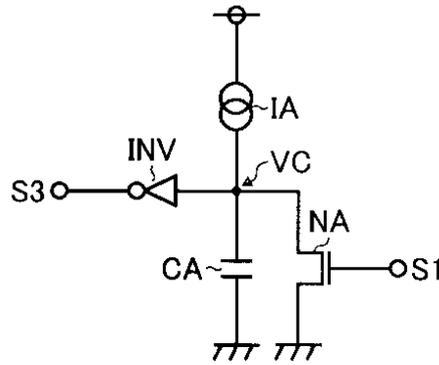
【 図 5 】



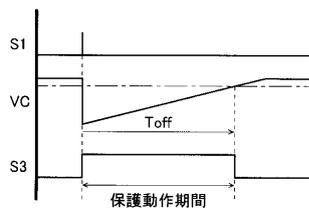
【 図 6 】



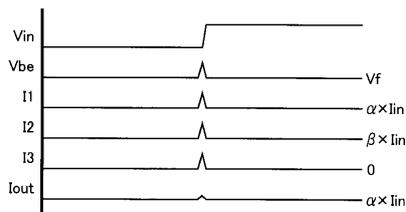
【 図 7 】



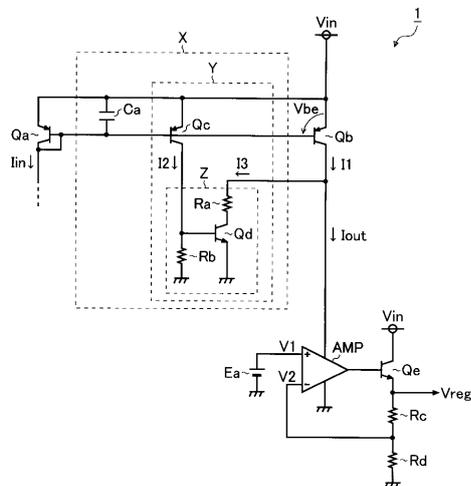
【 図 8 】



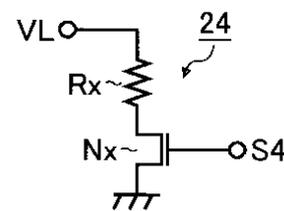
【 図 10 】



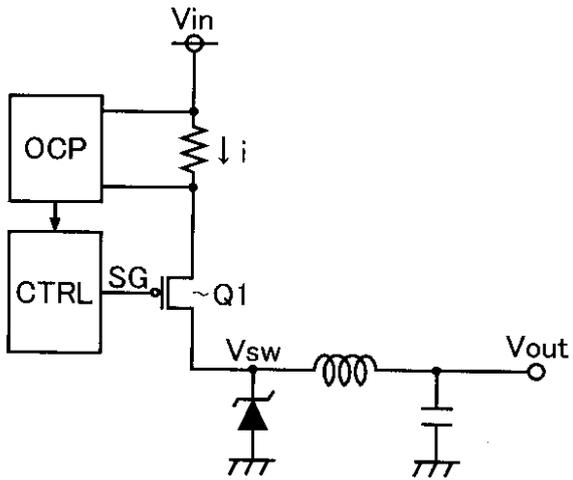
【 図 9 】



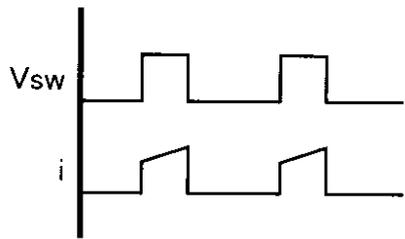
【 図 11 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(56)参考文献 特開2008-236919(JP,A)
特開2005-006442(JP,A)
特開2003-284241(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00-3/44
H02M 1/00-1/44