

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-173292
(P2004-173292A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03K 17/04	H03K 17/04 E	5F032
H01L 21/761	H01L 27/08 331C	5F038
H01L 21/822	H01L 29/78 652R	5F048
H01L 21/823A	H01L 29/78 656A	5J055
H01L 27/04	H01L 29/78 656E	

審査請求 有 請求項の数 8 O L (全 24 頁) 最終頁に続く

(21) 出願番号	特願2003-408647 (P2003-408647)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成15年12月8日 (2003.12.8)	(74) 代理人	100068504 弁理士 小川 勝男
(62) 分割の表示	特願平7-92885の分割	(74) 代理人	100086656 弁理士 田中 恭助
原出願日	平成7年4月18日 (1995.4.18)	(72) 発明者	坂本 光造 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	布川 康弘 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
		Fターム(参考)	5F032 AB01 CA01 CA03 CA17 CA24 DA12 DA43

最終頁に続く

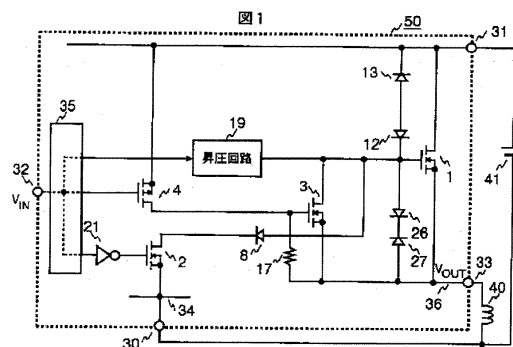
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 誘導性負荷を高速遮断し、高い電圧のバッテリーにも使用可能なハイサイドスイッチ用半導体装置を提供する。

【解決手段】 誘導性負荷40を駆動するハイサイドスイッチとして使用するパワーMOSFET1を遮断するために、第1グラウンドライン34に接続されたMOSFET2と第2グラウンド(出力端子33)に接続されたMOSFET3とを用いる。MOSFET3の駆動には、MOSFET4を用いる。出力端子33の電圧をグラウンド端子30から十分負電位に下げられる構成とすることにより、誘導性負荷を高速遮断させる。また、制御用MOSFET2,3,4として高耐圧素子を用いることにより高いバッテリー電圧への適用を可能にする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ドレインが電源端子に接続され、ソースが出力端子に接続されたパワー MOS F E S T と、

前記パワー MOS F E S T のゲートと制御回路用グランドとの間に配置されて入力端子の電圧に基づいて前記パワー MOS F E S T をオフする第 1 の MOS F E S T と、

前記パワー MOS F E S T のゲートと前記出力端子との間に配置されて前記入力端子の電圧に基づいて前記パワー MOS F E S T をオフする第 2 の MOS F E S T と、

前記パワー MOS F E S T のゲートに接続されて前記入力端子の電圧に基づいて前記パワー MOS F E S T をオンするゲート充電回路とを有し、

前記第 1 の MOS F E S T と前記第 2 の MOS F E S T の各々は、前記パワー MOS F E S T のドレイン領域である n 型層で分離された p 型領域内に形成された半導体装置。

10

【請求項 2】

請求項 1 において、

前記第 2 の MOS F E S T が形成される p 型領域は、前記パワー MOS F E S T のソースと接続されることを特徴とする半導体装置。

【請求項 3】

第 1 導電型の同一半導体基板の上に縦型パワー MOS F E S T と該 MOS F E S T のゲートを制御する制御回路とを少なくとも有する半導体装置であって、

前記パワー MOS F E S T の領域は、基板側から順に、第 1 導電型の第 1 半導体層と該第 1 半導体層よりも低濃度の、第 1 導電型の第 2 半導体層とを有すると共にパワー MOS F E S T 領域の周辺部に表面から前記第 1 半導体層まで達する前記第 2 半導体層より高濃度の第 1 導電型の第 3 半導体層を有し、

20

前記制御回路領域は、基板側から順に、第 2 導電型の第 4 半導体層と第 1 導電型の前記第 2 半導体層とを有すると共に、前記第 2 半導体層を島状に分離して複数の島状領域を構成するために、表面から第 4 半導体層に達する該第 4 半導体層より高濃度の第 2 導電型の第 5 半導体層を有する半導体装置において、

少なくとも 1 つの前記島状領域を他の島状領域とから分離するように、表面から前記半導体基板まで達する前記第 2 半導体層より高濃度の第 1 導電型の第 6 半導体層を設けたことを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパワー MOS F E T を出力段にソースフォロア形態で用いた半導体装置に係り、特に誘導性負荷を高速駆動するハイサイドスイッチ用に好適な半導体装置に関する。

【背景技術】

【0002】

この種のハイサイドスイッチ用の回路については、例えば米国特許第 4,928,053 号 (特許文献 1 参照) に開示された構成が知られている。この従来のハイサイドスイッチ回路 (ソースフォロア回路) の要部の構成を図 11 に示す。図 11 において、参照符号 70 はパワー MOS F E T を示し、パワー MOS F E T 70 のドレインは電源端子 V_{DD} に接続されると共にソースは出力端子 OUT を介して誘導性負荷 71 に接続されている。パワー MOS F E T 70 のゲートとソース間には、パワー MOS F E T 70 を遮断するための N チャネル MOS F E T 72 のドレインとソースが各々接続され、この N チャネル MOS F E T 72 のゲートは回路のグランドに接続されている。また、P チャネル MOS F E T 75 のドレインとゲートは、それぞれパワー MOS F E T 70 のゲートと回路のグランドに接続されている。電源端子 V_{DD} とパワー MOS F E T 70 のゲートとの間には、パワー MOS F E T 70 を遮断したときの出力端子 OUT の電圧の最小値を決めるクランプダイオード 74 と、逆方向電圧による電流阻止用ダイオード 73 との直列回路が接続される。

40

50

【0003】

このように構成されるハイサイドスイッチ回路は、次のように動作する。

PチャンネルMOSFET75のソースの電位 V_S を低電位から高電位にすることによりPチャンネルMOSFET75がオンしてパワーMOSFET70のゲートが駆動されてパワーMOSFET70が導通し、電源端子 V_{DD} からパワーMOSFET70のドレイン・ソースを介して誘導性負荷71に電流が供給される。

【0004】

一方、PチャンネルMOSFET75のソースの電位 V_S を高電位から低電位にして、PチャンネルMOSFET75に内蔵する寄生ダイオード(破線で示す)を順バイアスさせることにより、パワーMOSFET70のゲートから電荷が引き抜かれてパワーMOSFET70が遮断状態となる。パワーMOSFET70を遮断させると、誘導性負荷71に逆起電圧が発生してパワーMOSFET70のソース(出力端子OUT)はグランド電位以下に下がり、パワーMOSFET70のソースが負電圧になった後は、NチャンネルMOSFET72がオンすることにより、パワーMOSFET70を遮断させ続ける。その後、クランプダイオード74で決まる負の出力電圧値(以下、これを負出力維持電圧と称する)となると、パワーMOSFET70はオンして出力電圧の低下は止まる。こうして負荷電流が遮断するまで、誘導性負荷71に蓄積されていたエネルギーが放出され続ける。ここで、誘導性負荷71に供給する電流を高速に遮断するためには、出力電圧をできるだけグランド電圧より下げようとする必要がある。

【0005】

【特許文献1】米国特許第4928053号明細書

【0006】

【非特許文献1】PCIM'88のプロシーディングズ、第32~40頁(PCIM'88 PROCEEDINGS, pp.32-40)

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、前述した従来の回路構成によれば、出力電圧の下限値はNチャンネルMOSFET72のゲート・ソース間耐圧(通常は20V程度)により制限される。さらに、電源としてバッテリーを使用する場合にはバッテリーの充電レベルにより電源電圧変動(5V程度)があるため、従来の回路構成ではこのマージンを見込む必要があり、負出力維持電圧は-15V程度が限界であった。このため、誘導性負荷の遮断速度を高速化することは難しいという問題があった。

【0008】

また、従来の回路構成では、PチャンネルMOSFET75のゲートはグランドと接続され、ドレインはパワーMOSFETのゲートと接続されているためパワーMOSFETのゲートとグランド間に印加する電圧(バッテリー電圧+8V程度)を、PチャンネルMOSFET75のゲート・ソース間耐圧より低くする必要がある。このため、例えば24Vのような電圧が高いバッテリーを用いる場合には使用できないという問題があった。

【0009】

さらに、従来のハイサイドスイッチ回路においては、バッテリーが誤って逆接続された場合にパワーMOSFETを駆動する制御回路に過電流が流れた場合に対する対策がなされていない。

【0010】

また、本発明の他の目的は、24V以上の高い電圧のバッテリーを用いることが可能なハイサイドスイッチ用の半導体装置を提供することにある。さらに、本発明の他の目的は、バッテリーを誤って逆接続した場合にも破壊することがないハイサイドスイッチ用の半導体装置を提供することにある。

【課題を解決するための手段】

【0011】

10

20

30

40

50

上記目的を達成するために、本発明に係る半導体装置は、例えば図1に示すように、ドレインが電源端子31に接続されると共にソースが出力端子33に接続されたパワーMOSFET1と、パワーMOSFET1のゲートと制御回路用グランドすなわちグランドライン34との間に配置されて入力端子32の電圧に基づいてパワーMOSFET1をオフする第1のMOSFETすなわちMOSFET2と、パワーMOSFET1のゲートと前記出力端子33との間に配置されて前記入力端子32の電圧に基づいてパワーMOSFET1をオフする第2のMOSFETすなわちMOSFET3と、パワーMOSFET1のゲートに接続されて前記入力端子32の電圧に基づいてパワーMOSFET1をオンするゲート充電回路すなわち昇圧回路19と、から少なくとも構成されることを特徴とするものである。

10

【0012】

前記半導体装置において、前記パワーMOSFETのゲートと制御回路用グランドとの間に、前記第1のMOSFETのドレイン・ソース間に存在する寄生ダイオードを介して流れる電流を阻止するためのダイオード、すなわち図1に示すようにダイオード8を接続配置すれば好適である。

【0013】

また、前記第2のMOSFETをオンする第3のMOSFET、すなわち図1に示すようにMOSFET4と、前記MOSFET3のゲート・ソース間に接続されて前記MOSFET3をオフするための抵抗17とを更に設ければ好適である。

【0014】

また、前記第2のMOSFETをオンする第3のMOSFETと、前記第2のMOSFETのゲートとソースの間に接続されて前記第2のMOSFETをオフするための第4のMOSFET、すなわち図4に示すようにMOSFET23を前記抵抗17の代わりに設けてもよい。

20

【0015】

更に、電源電圧から所定の定電圧を得る定電圧電源、例えば図3に示すように電圧レギュレータ20を設け、該電圧レギュレータ20と前記MOSFET3のゲートとの間に、前記MOSFET4と、MOSFET4のドレイン・ソース間に存在する寄生ダイオードを介して流れる電流を阻止するダイオード9との直列回路を設けることができる。

【0016】

また、前記パワーMOSFETのゲートと、電源端子及び/又は定電圧電源との間に、クランプ用ダイオード、例えば図1或いは図4に示すように、クランプ用ダイオード13及び/又は14を更に設ければ好適である。

30

【0017】

また、前記パワーMOSFETのゲートと電源端子との間に接続した第1のダイオードと第5のMOSFETの直列回路、例えば図5に示すように、ダイオード12とMOSFET6の直列回路を設け、MOSFET6のゲートとソースとの間に抵抗18を設け、前記パワーMOSFET1のゲートから前記のMOSFET6のゲートを経由して前記電源端子31に至る間に第2のクランプ用ダイオードすなわちダイオード13を設け、電源端子31に印加される電源電圧から所定の定電圧を得る定電圧電源すなわち電圧レギュレータ20を設け、前記パワーMOSFET1のゲートから前記MOSFET6のゲートを経由して前記電圧レギュレータ20に至る間に第3のクランプ用ダイオードすなわちダイオード14を設けてもよい。

40

【0018】

この場合、前記第5のMOSFETのゲートとソースとの間に設けた抵抗すなわち抵抗18の代わりに、ドレインとゲートをダイオード接続した第6のMOSFET、すなわち図6に示すように、MOSFET28を前記MOSFET6のゲートとソースとの間に設けることができる。

【0019】

また、前記パワーMOSFETのゲートと前記第1のMOSFETとの間にゲートが出

50

力端子に接続された第7のMOSFET、すなわち図7に示すように、MOSFET5を更に設けてもよい。

【0020】

更に、ドレインをグランド端子に接続し、ソースとボディを前記制御回路用グランドに接続し、ゲートを前記電源端子もしくはこの電源端子と同極性の電圧を有する部分に接続した第8のMOSFET、すなわち図8で言えばMOSFET7を接続すれば好適である。

【0021】

また、本発明に係る半導体装置は、第1導電型の同一半導体基板、例えば図9に示すように、半導体基板101上に縦型パワーMOSFET1と該パワーMOSFET1のゲートを制御する制御回路とを少なくとも有する半導体装置であって、前記パワーMOSFET1の領域は、基板101側から順に、第1導電型すなわちN型の第1半導体層と該第1半導体層よりも低濃度の第1導電型の第2半導体層すなわちN型エピタキシャル層105aとを有すると共にパワーMOSFET領域の周辺部に表面から前記第1半導体層まで達する前記第2半導体層より高濃度の第1導電型の第3半導体層すなわち高濃度N型半導体領域107aを有し、前記制御回路領域は、基板側101から順に、第2導電型の第4半導体層すなわちP型エピタキシャル層103a, 103bと第1導電型の前記第2半導体層105b~105dとを有すると共に、この第2半導体層を島状に分離して複数の島状領域105b~105dを構成するために、表面からP型エピタキシャル層に達するこのP型エピタキシャル層より高濃度の第2導電型の第5半導体層すなわち高濃度P型拡散層108a, 108bを有する半導体装置において、少なくとも1つの前記島状領域を他の島状領域とから分離するように、表面から前記半導体基板101まで達する前記N型エピタキシャル層より高濃度の第1導電型の第6半導体層、すなわち図9の場合、高濃度N型半導体領域107aと高濃度N型埋込み層102aと104aとからなる半導体層を設けたことを特徴とする。

【0022】

この場合、前記第4半導体層の所要部分の表面に、前記第2半導体層より高濃度の第1導電型の第7半導体層、すなわち図9に示すように高濃度N型埋込み層104b~104d、を設けてもよい。

【0023】

また、前記第1半導体層は、前記半導体基板に前記第4半導体層形成前に設けた第1導電型の不純物のわき上がり層、すなわち図9に示すように高濃度N型埋込み層102aと、高濃度N型埋込み層104aとから構成すれば好適である。

【0024】

また、前記第6半導体層は、前記わき上がり層、すなわち図9に示すように高濃度N型埋込み層102aと、高濃度N型埋込み層104aと、高濃度N型半導体領域107aとから構成することができる。

【0025】

更に、前記制御回路領域の第6半導体層、すなわち図9に示すように、高濃度N型埋込み層102a, 104a及び高濃度N型領域107aにより分離された少なくとも1つの島状領域のP型エピタキシャル層103aと高濃度P型拡散層108aをパワーMOSFET領域に形成したパワーMOSFET1のソース電位に電氣的に接続し、第6半導体層により分離された他の少なくとも1つの島状領域のP型エピタキシャル層103bと高濃度P型拡散層108bを制御回路のグランドに電氣的に接続すれば好適である。

【0026】

また、前記第6半導体層により分離された他の少なくとも1つの島状領域であって、前記第4半導体層と第5半導体層が制御回路のグランドに接続された島状領域に、ドレインが外部電源の接続されるグランド端子、すなわち図8で言えばグランド端子30、に電氣的に接続され、ソースとボディが前記制御回路のグランド、すなわち図8で言えばグランドライン34であって図10の島状領域で言えば制御回路のグランドに接続されるP型エ

10

20

30

40

50

ピタキシャル層 103b と高濃度 P 型拡散層 108b に電氣的に接続に接続され、ゲートが外部電源の接続される電源端子すなわち図 8 で言えば電源端子 31 もしくはこの電源端子と同極性の電圧を有する部分に接続される MOSFET7 を設ければ好適である。

【発明の効果】

【0027】

前述した実施例から明らかなように、本発明によれば、パワー MOSFET のゲートと制御回路用グランド間に接続され、パワー MOSFET のゲート電圧がグランド電圧以上でパワー MOSFET の遮断動作をする第 1 の MOSFET と、パワー MOSFET のゲートと出力端子間に接続され、パワー MOSFET のゲート電圧が電源電圧以下で遮断動作をし、出力端子電圧が負電圧になっても遮断動作をする第 2 の MOSFET とを用いることにより、誘導性負荷を駆動するパワー MOSFET を高速に遮断することができる。

10

【0028】

また、パワー MOSFET のゲート電圧が前記第 1 および第 2 の MOSFET のゲート耐圧により制限されない回路構成であるため、第 1 および第 2 の MOSFET に 60V 以上の高耐圧 MOSFET を使用できる結果、バッテリー電圧も 24V 以上の高い電圧を使用することができる。

【0029】

更に、制御回路用グランドとグランド端子との間に設けた第 8 の MOSFET が、バッテリーが逆接続された場合にオフ状態となり、制御回路用グランドとグランド端子とを切り離すので、制御回路用グランドと電源端子間に存在する寄生ダイオードが動作せず半導体装置の破壊を防止できる。

20

【発明を実施するための最良の形態】

【0030】

本発明に係る半導体装置によれば、誘導性負荷を駆動するパワー MOSFET のゲートと制御回路用グランドとの間に配置された第 1 の MOSFET は、パワー MOSFET のゲート電圧がグランド端子よりも高い電圧でパワー MOSFET の遮断動作を行い、パワー MOSFET のゲートと出力端子との間に配置された第 2 の MOSFET は、前記第 1 の MOSFET によりパワー MOSFET がオフしてパワー MOSFET のゲート電圧が電源電圧に近い電圧となってからパワー MOSFET の遮断動作を行うと共に出力端子がグランド端子の電圧以下の負電圧になってもパワー MOSFET の遮断動作を行い、パワー MOSFET をオンするゲート充電回路は、入力電圧を電源電圧以上に昇圧してパワー MOSFET のゲートを駆動する。

30

【0031】

また、パワー MOSFET のゲートと制御回路用グランドとの間に、第 1 の MOSFET のドレイン・ソース間に存在する寄生ダイオードを介して流れる電流を阻止するために設けたダイオードにより、パワー MOSFET のゲート電圧がグランド電圧以下すなわち負電圧となるのを可能にする。ここで、パワー MOSFET のゲート電圧の上限を制限するのは第 1 の MOSFET のドレイン・ソース間耐圧であるが、高耐圧の縦型 MOSFET を使用する場合には 60V 以上の耐圧が容易に得られるため 24V 以上のバッテリーを使用することが可能となる。

40

【0032】

また、第 3 の MOSFET のオンにより第 2 の MOSFET をオンし、第 3 の MOSFET のオフにより第 2 の MOSFET をオフし、第 2 の MOSFET のゲート・ソース間に接続された抵抗により第 2 の MOSFET をオフする際のゲート電荷を放電させるようにした。これにより、第 2 の MOSFET のゲート電圧はグランド電圧より下げられるため、負出力維持電圧の絶対値は第 2 の MOSFET のゲート・ソース間耐圧により制限されない大きな値にできる。このため、誘導性負荷の遮断速度を高速化できる。ここで、第 2 の MOSFET を遮断する際の上記抵抗の代わりに、第 4 の MOSFET を第 2 の MOSFET のゲートとソースの間に接続して用いることもできる。

【0033】

50

また、定電圧電源は電源電圧から所定の定電圧が得られ、この定電圧電源と第2のMOSFETのゲートとの間に設けたダイオードは第3のMOSFETのドレイン・ソース間に存在する寄生ダイオードを介して流れる電流を阻止する。

【0034】

また、パワーMOSFETのゲートと電源端子との間に設けたクランプ用ダイオードは負出力維持電圧を決定すると共に、バッテリー電圧が規格以上に増加した場合にパワーMOSFETのドレイン・ソース間に高電圧が印加されることを防止する。

【0035】

また、パワーMOSFETのゲートと定電圧電源との間に設けたクランプ用ダイオードは負出力維持電圧を決定するが、定電圧電源と接続したことにより、電源端子に接続されるバッテリーの電圧変化に起因する誘導性負荷の遮断速度の変動を防止できる。 10

【0036】

また、前記パワーMOSFETのゲートと電源端子との間に接続した第1のダイオードと第5のMOSFETの直列回路の第1のダイオードは、前記ゲート充電回路すなわち昇圧回路により電源電圧よりもゲート電位が高くなることを可能にし、第5のMOSFETは負出力維持電圧を保つための電流を供給する。第5のMOSFETのゲート・ソース間に設けた抵抗は、出力端子電圧が負出力維持電圧よりも高いときに第5のMOSFETをオフするように動作する。第2のクランプ用ダイオードは、パワーMOSFETのゲートと電源端子との間に設けた前記クランプ用ダイオードと同様に、負出力維持電圧を決定すると共に、バッテリー電圧が規格以上に増加した場合にパワーMOSFETのドレイン・ソース間に高電圧が印加されることを防止する。第3のクランプ用ダイオードは、パワーMOSFETのゲートと定電圧電源との間に設けた前記クランプ用ダイオードと同様に、負出力維持電圧を決定するが、定電圧電源と接続したことにより、電源端子に接続されるバッテリーの電圧変化に起因する誘導性負荷の遮断速度の変動を防止する。また、第5のMOSFETが、負出力維持電圧を保つためのパワーMOSFETのゲート電流を供給するので、第2及び第3のクランプ用ダイオードの素子サイズを小さくできる。 20

【0037】

また、前記第5のMOSFETのゲート・ソース間の抵抗の代わりに設けたダイオード接続の第6のMOSFETは、第5のMOSFETとカレントミラーを構成するので、前記第2及び第3のクランプ用ダイオードの素子サイズを小さくできる。 30

【0038】

また、前記パワーMOSFETのゲートと前記第1のMOSFETとの間に第7のMOSFETを設けたことにより、第1のMOSFETは第7のMOSFETのしきい電圧分だけパワーMOSFETの遮断動作を速く終了するため、ターンオフがソフトになり、低雑音のスイッチングを行える。

【0039】

更に、ドレインをグランド端子に接続し、ソースとボディを前記制御回路用グランドに接続し、ゲートを前記電源端子もしくはこの電源端子と同極性の電圧を有する部分に接続した第8のMOSFETは、電源端子とグランド端子間に正常にバッテリーが接続された場合にはオン状態となり制御回路用グランドとグランド端子を接続し、バッテリーが逆接続された場合にはオフ状態となり、制御回路用グランドとグランド端子を切離し、制御回路用グランドと電源端子間に存在する寄生ダイオードを介して流れる電流を阻止する。 40

【0040】

また、本発明に係る半導体装置では、パワーMOSFETの領域は、基板101側から順に第1導電型の第1半導体層と該第1半導体層よりも低濃度の第1導電型の第2半導体層としたことにより、パワーMOSFETのドレイン端子を基板側から取り出すことを可能にし、パワーMOSFET領域の周辺部に表面から前記第1半導体層まで達する高濃度の第1導電型の第3半導体層は、同一半導体基板上的制御回路領域の第2導電型の半導体層と、パワーMOSFETのボディおよび第4半導体層との間のリーク電流のストッパとして働く。制御回路領域の第2導電型の第4の半導体層と第5の半導体層で囲まれる第1 50

導電型の第1の半導体層の複数の島状領域はそれぞれ制御回路用素子形成部となり、表面から前記半導体基板まで達する第1導電型の第6半導体層は、前記島状領域の各々を更に電氣的に分離することを可能にする。

【0041】

第4半導体層の所要部分の表面に設けた高濃度の第1導電型の第7半導体層は、制御回路用素子の低抵抗埋込み層として働くので素子特性が向上する。

【0042】

また、前記第1半導体層を、半導体基板に第4半導体層形成前に設けた第1導電型の不純物のわき上がり層と、前記第7半導体層とから構成することにより、パワーMOSFET領域に形成された第4半導体層を第1導電型の層で容易に貫通することができ、第2半導体層と基板との間の導通が取れる。

10

【0043】

更に、前記制御回路領域の第6半導体層により分離された少なくとも1つの島状領域の第4半導体層と第5半導体層をパワーMOSFET領域に形成したパワーMOSFETのソース電位に電氣的に接続し、第6半導体層により分離された他の少なくとも1つの島状領域の第4半導体層と第5半導体層を制御回路のグランドに電氣的に接続することにより、前者の島状領域は負電位への変化が可能となり、パワーMOSFETのソースと共に電位が変化するプルダウン素子用として好適に使用でき、負出力維持電圧の絶対値を大きくでき誘導性負荷を高速に遮断できる。

【0044】

また、前記制御回路領域の第6半導体層により分離された少なくとも1つの島状領域であって、第4半導体層と第5半導体層とを制御回路のグランドに電氣的に接続した島状領域に、ドレインがグランド端子に接続され、ソースとボディが制御回路のグランドに接続され、ゲートが電源端子に接続されたMOSFETを設けることにより、このMOSFETはバッテリー逆接続した場合にオフ動作し、正常に接続した場合にオンするバッテリー逆接続保護動作を行うことができる。

20

【0045】

次に、本発明に係る半導体装置の実施例につき、添付図面を参照しながら以下詳細に説明する。

【実施例1】

30

【0046】

図1は本発明に係る半導体装置の第1の実施例を示し、誘導性負荷を駆動する駆動回路の要部回路図であり、図2は図1に示した駆動回路の入出力波形図である。図1において、参照符号50は本発明の半導体装置を示し、この半導体装置50の電源端子31にはバッテリー41の一方の端子が接続され、バッテリー41の他方の端子はグランド端子30に接続されると共に、ソレノイドやモータ等の誘導性負荷40を介して出力端子33に接続される。

【0047】

また、本実施例の半導体装置50の内部回路は、ハイサイドスイッチとして使用するパワーMOSFET1と、このパワーMOSFET1のゲートを制御する制御回路とを備えている。すなわち、半導体装置50の内部回路は、電源端子31にドレインが接続されると共にソースが出力端子33に接続されたNチャネルのパワーMOSFET1と、パワーMOSFET1のゲート・ソース間にそれぞれドレインとソースが接続されたNチャネルMOSFET3と、ドレインがパワーMOSFET1のゲートにダイオード8を介して接続されると共にソースが制御回路のグランドライン(第1グランドライン)34を介してグランド端子30に接続されたNチャネルMOSFET2と、出力がMOSFET2のゲートに接続されたインバータ21と、ソースとドレインが電源端子31とMOSFET3のゲートにそれぞれ接続されたPチャネルMOSFET4と、パワーMOSFET1のゲートに接続された昇圧回路19と、電源端子31とパワーMOSFET1のゲートとの間にアノード同士が接続されたダイオード12, 13の直列回路と、出力端子33に接続さ

40

50

れる第2グラウンドライン36とパワーMOSFET1のゲートとの間にカソード同士が接続されたダイオード26, 27の直列回路と、MOSFET3のゲート・ソース間に接続された抵抗17と、入力側が入力端子32に接続されると共に出力側が昇圧回路の入力とMOSFET4のゲートとインバータ21の入力に接続された入力信号処理回路35と、から構成される。なお、入力信号処理回路35には、図示しないが、レベルシフト回路、過熱保護回路、過電流保護回路、等が内蔵されている。

【0048】

このように、半導体装置50はパワーMOSFET1をソースフォロア接地にしたハイサイドスイッチと、これを制御するMOSFET2, 3, 4や昇圧回路19等からなる制御回路とで構成され、図2に示すような入出力特性を有する。なお、図2は図1に示したように誘導性負荷40と電圧 V_{DD} のバッテリー41を接続した半導体装置50の、入力端子32における入力電圧波形と出力端子33における出力電圧波形とを示す入出力特性図である。すなわち、図2に示すように入力端子32に例えば5Vの電圧を印加すると、入力信号処理回路35を介して昇圧回路19に入力された電圧は、昇圧回路19によってバッテリー41の電源電圧 V_{DD} 以上に昇圧されてパワーMOSFET1のゲートに印加され、パワーMOSFET1をオン状態にする。電源電圧 V_{DD} 以上の十分高いゲート電圧で駆動するため、パワーMOSFET1は100m程度以下の低いオン抵抗となり、出力端子33はほぼ電源電圧 V_{DD} と同じ電圧になる。なお、昇圧回路19の具体的回路構成例としては、例えば、PCIM'88のプロシーディングズ、第32~40頁(PCIM'88 PROCEEDINGS, pp.32-40(非特許文献1参照))の中に記載されているチャージポンプ回路を好適に使用することができる。図1において、ダイオード12はパワーMOSFET1のゲートが電源端子31の電圧 V_{DD} 以上に昇圧できるようにするために設けてあり、ダイオード26, 27はパワーMOSFET1のゲート保護ダイオードである。

10

20

【0049】

パワーMOSFET1をオフするためには、図2に示すように入力端子32の入力電圧 V_{IN} を0Vに下げて、昇圧回路19の動作を停止させる。この時、MOSFET2のゲートに入力信号処理回路35及びインバータ21を介して高電位(例えば5V)が印加されるためMOSFET2がオンする。また、入力信号処理回路35を介してMOSFET4のゲートは低電位(例えば0V)になるため、MOSFET4がオンしてMOSFET3を駆動するので、MOSFET3もオンする。

30

【0050】

ここで、出力端子33の立ち下げのためにMOSFET2とMOSFET3を使用するのは、以下の理由による。出力端子33の電圧 V_{OUT} が、MOSFET2に関しては式(1)の範囲において、MOSFET3に関しては式(2)の範囲において、パワーMOSFET1を遮断できなくなるためである。

【0051】

【数1】

$$V_{OUT} < V_{on(2)} + V_{f(8)} - V_{th(1)} \quad \dots(1)$$

$$V_{OUT} > V_{DD} - V_{on(4)} - V_{th(3)} \quad \dots(2)$$

40

上式において、 V_{DD} は電源端子31の電圧、 $V_{th(1)}$ と $V_{th(3)}$ は各々パワーMOSFET1とMOSFET3のしきい電圧、 $V_{f(8)}$ はダイオード8の順方向電圧、 $V_{on(2)}$ と $V_{on(4)}$ はMOSFET2とMOSFET4のオン電圧である。

【0052】

更に詳細に説明すれば、以下の通りである。MOSFET2がオンしてもパワーMOSFET1のゲート電圧をほぼグラウンド端子30の電位となる電圧($V_{on(2)} + V_{f(8)}$)までしか下げられないので、出力端子33の電圧 V_{OUT} が逆起電力によってこのグラウンド端子の電圧すなわち接地に近い電圧($V_{on(2)} + V_{f(8)}$)よりも $V_{th(1)}$ 低い電位に低下するとパワーMOSFET1がオンするため、MOSFET2では遮断できなくなる。

50

【 0 0 5 3 】

また、MOSFET 3のソース電位は、パワーMOSFET 1がオン状態のときに出力端子33の電圧すなわちほぼ電源電圧 V_{DD} となっているので、MOSFET 4をオンにしてもMOSFET 3のゲート電位は $V_{DD} - V_{on(4)}$ と、MOSFET 3のソース電位よりも低く、MOSFET 3をオンできない。MOSFET 3がオンするためには、ソース電位はゲート電位よりも $V_{th(3)}$ 以上低くなければならない。従って、MOSFET 3は出力端子33の電圧 V_{OUT} が電源電圧に近い電圧($V_{DD} - V_{on(4)} - V_{th(3)}$)よりも高いとパワーMOSFET 1を遮断できなくなる。

【 0 0 5 4 】

すなわち、MOSFET 2はパワーMOSFET 1をオン状態からオフにし、出力端子電圧 V_{OUT} が低下して上記のグランド端子電圧に近い電圧までの範囲でパワーMOSFET 1を遮断し続ける動作を実行でき、MOSFET 3はMOSFET 2によってパワーMOSFET 1がオフしてから出力端子電圧 V_{OUT} が上記電源電圧に近い電圧となってから動作し、そして出力端子電圧 V_{OUT} がグランド端子レベル以下の負電圧になってもパワーMOSFET 1をオフし続ける動作を実行できる。なお、ダイオード8は、パワーMOSFET 1のゲート電位が負電圧になった場合にグランド端子30からMOSFET 2のソース・ドレイン間に存在する寄生ダイオードを介して流れる電流を阻止して、パワーMOSFET 1のゲート電圧が出力端子電圧に従って負電圧となることを可能にするためのものであり、MOSFET 2のソース側にダイオード8を接続してもよい。

【 0 0 5 5 】

次に、負出力維持電圧について説明する。本実施例の半導体装置50の負荷が誘導性負荷40であるため、パワーMOSFET 1を遮断すると誘導性負荷40の両端に逆起電力が発生する。このため誘導性負荷40に流れる出力電流 I_{OUT} は流れ続け、図2に示すように出力端子33の電圧 V_{OUT} はクランプ用ダイオード13が降伏しパワーMOSFET 1がオンするまで低下する。この時の出力電圧が負出力維持電圧 V_{SUS} となり、ダイオード13の降伏電圧を $BV_{(13)}$ 、ダイオード12の順方向電圧を $V_{f(12)}$ とすると、次式で表される。

【 0 0 5 6 】

【 数 2 】

$$V_{SUS} = V_{DD} - BV_{(13)} - V_{f(12)} - V_{th(1)} \quad \dots(3)$$

この後、誘導性負荷40を流れる出力電流 I_{OUT} は減少し、この電流が流れなくなると出力端子電圧 V_{OUT} はゼロボルトになる。ここで、誘導性負荷40のインダクタンス成分を L_L 、抵抗成分を R_L とすると、誘導性負荷40に流れる出力電流 I_{OUT} の遮断時間 t_{off} は、式(4)で表されるため、負出力維持電圧 V_{SUS} が大きいほど、遮断時間 t_{off} を小さくすることができる。

【 0 0 5 7 】

【 数 3 】

$$t_{off} = (L_L / R_L) \cdot \ln(1 - I_{OUT} \cdot R_L / V_{SUS}) \quad \dots(4)$$

図11に示した従回路では、本実施例のMOSFET 3に相当するNチャネルMOSFET 72のゲートが本実施例の第1グランドライン34に相当するグランドに接続されていたため、負出力維持電圧 V_{SUS} をMOSFET 72のゲート・ソース間耐圧よりも大きくすることができなかつた。このため、遮断時間 t_{off} の短縮が制限されていた。これに対して本実施例では、MOSFET 3のゲートは抵抗17を介して出力端子33に接続されているため、MOSFET 3のゲート電圧を第1グランドライン34の電圧より低くできる分だけ負出力維持電圧 V_{SUS} の値を大きくすることができる。このため、遮断速度の高速化が可能となる。例えば、本実施例の場合、バッテリー41の電圧 $V_{DD} = 12V$ 、ダイオード13の降伏電圧 $BV_{(13)} = 44V$ 、ダイオード12の順方向電圧 $V_{f(12)} = 0.6V$ 、パワーMOSFET 1のしきい電圧 $V_{th(1)} = 2V$ とすると、式(3)より負出力維持

電圧 V_{SUS} は約 - 3.5 V と大きい値にできる。このため、パルス幅変調駆動を行う場合には、パルス幅の最小値の制約を受けてパルス幅の制御範囲が制限されるという問題を解決することができる。

【0058】

また、従来回路では、パワー MOSFET 70 のゲートとグランドの間に制御用の P チャンネル MOSFET 75 のソースとゲートが接続されていたため、パワー MOSFET 70 のゲート電圧は制御用 MOSFET 75 のゲート耐圧（通常 20 V 程度）により制限されていた。このため、電源電圧 V_{DD} として 2.4 V 以上のバッテリーを使用し、かつ、パワー MOSFET 70 のオン抵抗を小さくするためにパワー MOSFET 70 のゲートを更に 2.4 V 以上の高電圧で駆動するということはできなかった。これに対して、本実施例の半導体装置 50 ではパワー MOSFET 1 のゲート電圧は MOSFET 2, 3 のゲート耐圧により制限されないため、MOSFET 2, 3 としてドレイン・ソース間耐圧が 70 V 程度の高耐圧 MOSFET を使用できる。このため、バッテリー 41 に 2.4 V 以上の高い電圧を使用でき、しかも、パワー MOSFET 1 のゲート電圧は昇圧回路 19 により電源端子 31 の電圧より 8 V 程度昇圧した電圧を印加できるので、パワー MOSFET 1 のオン抵抗も小さくできるという利点がある。

10

【0059】

尚、図 1 の回路例では、ダイオード 12, 13 をアノード同士が接続された直列回路としたが、順番を入れ替えてカソード同士が接続された直列回路としてもよい。また、クランプ用ダイオード 13 は所望の耐圧が得られるように複数のダイオードを直列接続して構成したものを用いてもよい。

20

【0060】

ここで図 9 に、本実施例の半導体装置 50 を構成するパワー MOSFET 1 及び MOSFET 2, 3, 4 等の主要素子の断面構造を示す。尚、図 9 において参照符号の番号が同じでアルファベットが異なる半導体層領域は、同じ製造プロセス工程で形成されるけれども電氣的に分離されている領域であることを示し、参照符号の番号が同じでもアルファベットが付いていない半導体層は、同じ製造プロセス工程で形成されることを示している。

【0061】

本実施例の半導体装置 50 は、アンチモン又は砒素を不純物とした抵抗率 $0.02 \sim 0.002 \text{ } \Omega \cdot \text{cm}$ 程度の高濃度 N 型半導体基板 101 上に、抵抗率 $3 \sim 1 \text{ } \Omega \cdot \text{cm}$ 程度の P 型エピタキシャル層 103a, 103b を $20 \mu\text{m}$ 程度形成し、この上に抵抗率 $1 \sim 0.1 \text{ } \Omega \cdot \text{cm}$ 程度の N 型エピタキシャル層 105a ~ 105d を $12 \mu\text{m}$ 程度形成し、前記 P 型エピタキシャル層を 103a と 103b の領域に分離するために、P 型エピタキシャル層の形成前に $5 \times 10^{14} \text{ cm}^{-2}$ 程度のリンを半導体基板 101 の所定領域にホトレジストマスク等を用いて選択的にイオン打込みして形成した高濃度 N 型埋込み層 102a と、P 型エピタキシャル層を形成後に P 型エピタキシャル層の所定領域に選択的に拡散形成したアンチモンを不純物とした層抵抗 $20 \sim 10 \text{ } \Omega / \square$ 程度の高濃度 N 型埋込み層 104a とを更に熱拡散を行って接続する。或いは、高濃度 N 型埋込み層 104a を熱拡散で形成時に同時に高濃度 N 型埋込み層 102a と接続するようにしてもよい。また、前記 N 型エピタキシャル層を 105a ~ 105d の領域に分離するために、層抵抗 $3 \sim 1 \text{ } \Omega / \square$ 程度の高濃度 P 型拡散層 108a と 108b を、半導体表面から P 型エピタキシャル層 103a と 103b に各々到達するように形成することにより、パワー MOSFET 1 と分離された制御回路用の複数の島領域を形成することができる。

30

40

【0062】

図 9 において、高濃度 N 型半導体領域 101, 102a, 104a, 107a により分離され、P 型エピタキシャル層 103b と高濃度 P 型拡散層 108b で構成される P 型半導体領域を図 1 に示した第 1 グランドライン 34 の領域とし、P 型エピタキシャル層 103a と高濃度 P 型拡散層 108a で構成される P 型半導体領域を図 1 に示した出力端子 33 に接続される第 2 グランドライン 36 の領域とし、パワー MOSFET 1 は高濃度 N 型

50

半導体領域 101 と高濃度 N 型埋込み層 102a, 104a 並びに N 型エピタキシャル層領域 105a をドレイン、多結晶シリコン層 110 をゲート電極、N 型拡散層 113 をソース、P 型拡散層 111 をチャンネル拡散層 (ボディ) とすることにより形成し、パワー MOSFET 1 のソース用アルミ電極 114a は第 2 グランド領域となる高濃度 P 型拡散層 108a にも接続する。また、MOSFET 2 と MOSFET 3 は、それぞれ N 型拡散層 113 をソース、P 型拡散層 111 をチャンネル拡散層、N 型エピタキシャル層 105c, 105b をドレインとする縦型の高耐圧 N チャンネル MOSFET であり、MOSFET 2 は P 型エピタキシャル層 103b と高濃度 P 型拡散層 108b からなる第 1 グランド領域により素子分離され、MOSFET 3 は P 型エピタキシャル層 103a と高濃度 P 型拡散層 108a からなる第 2 グランド領域により素子分離される。MOSFET 4 は P 型拡散層 112 をソースとドレイン、低濃度 P 型拡散層 115 を高耐圧化用のオフセットドレイン領域とする横型の高耐圧 P チャンネル MOSFET であり、MOSFET 10 は図 1 の要部回路には示していないが同一チップ上で必要に応じて使用でき、N 型拡散層 113 をソースとドレインとする横型の N チャンネル MOSFET で CMOS 回路に使用する。なお、参照符号 106 は酸化膜等の絶縁膜である。

【0063】

このような断面構造を有することにより、本実施例の半導体装置 50 では、MOSFET 3 を素子分離している第 2 グランド領域の P 型半導体層領域 103a, 108a の電位が、パワー MOSFET 1 のソース (図 1 の出力端子 33) の電位と一緒に変動するため、第 1 グランド領域 (図 1 の制御回路用グランドライン 34) を構成する P 型半導体層領域 103b, 108b よりも出力端子 33 の電位が下がってもパワー MOSFET 1 を遮断させるように MOSFET 3 をオン状態に保つことができる。

【0064】

また、第 2 グランド領域 (図 1 の出力端子 33 に接続される第 2 グランドライン 36) とパワー MOSFET 1 のドレインである導体基板 101 (図 1 の電源端子 31 に接続される) との耐圧は、高濃度の拡散層同士が接していないため 80V 以上の高耐圧設計ができ、更に、第 1 グランド領域と第 2 グランド領域との間には、これらのグランド領域よりも高い電位 (図 1 の電源端子 31 の電圧) に保たれた高濃度の N 型領域 101, 102a, 104a, 107a が存在するため、P 型層領域 103a, 108a からなる第 2 グランド領域は、半導体基板 101 に対しても 80V 以上低い電位に設定できる。従って、第 2 グランド領域は、P 型層領域 103b, 108b からなる第 1 グランド領域よりも高電位になっても低電位になっても、両グランド領域間に存在する寄生トランジスタが動作することはない。

【0065】

また、MOSFET 4 は、ドレイン側に低濃度の P 型オフセット領域 115 を設けてあるので、ドレイン・ソース間耐圧を 40V 以上に容易に設定することができる。例えば、負出力維持電圧 V_{SUS} を図 1 で試算したように -35V とするには、電源端子電圧が 12V の場合、MOSFET 4 の耐圧は 47V 以上の耐圧に設定することにより実現することができる。MOSFET 2 および MOSFET 3 は、図 9 に示したように高耐圧化が容易な縦型 MOSFET を用いることができるため、ドレイン・ソース間耐圧は 70V 以上が容易に得られる。従ってバッテリー 41 として、車載用に通常用いられる 12V 或いは 24V のバッテリーを使用する場合、パワー MOSFET 1 のゲート電圧は MOSFET 2, 3 のドレイン・ソース間耐圧によって制限されずに昇圧することが可能である。

【0066】

なお、上記製造プロセスの条件の数値は一例であって、これに限るものではなく、必要とする耐圧に応じて適宜変更可能であることは言うまでもない。

【実施例 2】

【0067】

図 3 は本発明に係る半導体装置の第 2 の実施例を示し、誘導性負荷を駆動する駆動回路の要部回路図である。尚、説明の便宜上、図 3 において実施例 1 の図 1 に示した構成部分

10

20

30

40

50

と同一の構成部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では電源端子 31 に接続された電圧レギュレータ 20 が設けられ、この電圧レギュレータ 20 の定電圧出力ライン 39 とパワー MOSFET 1 のゲート間にアノード同士が接続されたダイオード 12, 14 の直列回路が接続される点と、Pチャネル MOSFET 4 のソースが電圧レギュレータ 20 の定電圧出力ライン 39 に接続されると共にドレインがダイオード 9 を介して MOSFET 3 のゲートに接続されている点とが実施例 1 の構成と相違する。

【0068】

このように本実施例の半導体装置 51 は、電圧レギュレータ 20 により例えば 5V の定電圧を発生させ、この定電圧出力ライン 39 に、負出力維持電圧 V_{SUS} を決定するクランプ用ダイオード 14 のカソードを接続しているため、負出力維持電圧 V_{SUS} の値が変動せずに安定する。また、MOSFET 4 のソースを定電圧出力ライン 39 に接続しているため、MOSFET 3 がパワー MOSFET 1 を遮断することができなくなる出力端子電圧 V_{OUT} の範囲は、定電圧出力ライン 39 の電圧を V_{DD0} とすると、前述した式 (2) の代わりに次式のようになる。

【0069】

【数 4】

$$V_{OUT} > V_{DD0} - V_{th(3)} - V_{on(4)} \quad \dots(5)$$

なお、本実施例で MOSFET 4 のソースと MOSFET 3 のゲート間に設けたダイオード 9 は、出力端子 33 が定電圧出力ライン 39 の電圧 V_{DD0} より高くなる場合に、MOSFET 4 のドレイン・ボディ間に存在する寄生ダイオードが順バイアスされて出力端子 33 から抵抗 17 を通り定電圧出力ライン 39 に電流が流入することを防止する働きをする。

【0070】

また、本実施例では MOSFET 4 のソースが電源端子 31 より電圧が低い定電圧出力ライン 39 に接続してあるため、負出力維持電圧 V_{SUS} の絶対値を大きくするために必要な MOSFET 4 のドレイン・ソース間耐圧 $BV_{DSS(4)}$ が小さくてすむという利点がある。すなわち、図 1 の構成では負出力維持電圧 V_{SUS} の絶対値は式 (6) を満足する必要があったが、本実施例では式 (7) を満足すればよい。従って、本実施例での負出力維持電圧 V_{SUS} は式 (8) となる。

【0071】

【数 5】

$$|V_{SUS}| < V_{DD} - |BV_{DSS(4)}| \quad \dots(6)$$

$$|V_{SUS}| < V_{DD0} - |BV_{DSS(4)}| - V_{f(9)} \quad \dots(7)$$

$$V_{SUS} = V_{DD0} - BV_{(14)} - V_{f(12)} - V_{th(1)} \quad \dots(8)$$

さらに、電圧 V_{DD0} は定電圧出力ライン 39 の電圧であるため、実施例 1 のようにバッテリ 41 の電圧 V_{DD} を直接使用する場合に比べて負出力維持電圧 V_{SUS} の変動が低減され、遮断速度の変動が小さくなるという利点がある。その他の点に関しては、図 1 の実施例と同様の効果があることは勿論である。

【0072】

なお、負出力維持電圧 V_{SUS} を決定するクランプ用ダイオード 14 と逆流防止用ダイオード 12 の直列回路は、グランド端子 30 と出力端子 33 の間に接続配置することも可能である。この場合の負出力維持電圧 V_{SUS} は、上式 (8) において $V_{DD0} = 0V$ として設計できる。

【0073】

また、負出力維持電圧を決定するダイオード 14, 12 を図 3 のように定電圧出力ライ

10

20

30

40

50

ン39とパワーMOSFET1のゲートとの間に接続配置し、さらに図1のように電源端子31とパワーMOSFET1のゲートとの間にアノード同士が接続されたダイオード12とクランプ用ダイオード13の直列回路を接続配置した場合には、通常の負出力維持電圧 V_{SUS} の値はクランプ用ダイオード14により一定に保ち、なおかつ、クランプ用ダイオード13により電源端子31と出力端子33の間に過電圧が印加されてもパワーMOSFET1が破壊することがないように保護することが可能となる。尚、それぞれのクランプ用ダイオード13, 14の耐圧は所望の値のものを用いればよい。例えば、定電圧出力ライン39の電圧を5V、バッテリー41の電圧を12V、負出力維持電圧 V_{SUS} を-3.5V、パワーMOSFET1の耐圧を70V程度とすれば、クランプ用ダイオード14の耐圧は37.4Vに、クランプ用ダイオード13の耐圧は65Vに設定すればよい。また、クランプ用ダイオード13, 14は、所望の必要耐圧を得られるように複数のダイオードを直列接続してクランプ用ダイオードとして構成したものをを用いてもよい。

10

【0074】

また、MOSFET4のソースは5Vの定電圧出力ライン39に接続されているので、MOSFET4の耐圧は、電源端子電圧が12Vの場合で、負出力電圧 V_{SUS} を-3.5Vを実現するのに、実施例1の場合と異なり40V程度の低い耐圧に設定すればよい。

尚、本実施例の半導体装置51の断面構造に関しては、実施例1と同様であるので説明を省略する。

【実施例3】

【0075】

図4は本発明に係る半導体装置の第3の実施例を示し、誘導性負荷を駆動する駆動回路の要部回路図である。尚、説明の便宜上、図4において実施例1の図1に示した構成部分と同一の構成部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では入力信号処理回路35に更に追加の1出力を設け、この追加の1出力を入力とするインバータ22と、ゲートがインバータ22の出力に接続されると共にソースが電源端子31に接続されるPチャネルMOSFET25と、MOSFET3のゲート・ソース間の抵抗17の代わりにドレインがMOSFET3のゲートに接続されると共にソースがMOSFET3のソースに接続されたNチャネルMOSFET23と、このMOSFET23のゲート・ソース間に接続された抵抗24と、が設けられ、かつ、MOSFET25のドレインがMOSFET23のゲートに接続された構成となっている点が実施例1の構成と相違する。

20

30

【0076】

このように構成される本実施例の半導体装置52では、図1に示した抵抗17の代わりに設けたMOSFET23が次のように動作してMOSFET3を遮断する。入力端子32が高電位になると、入力信号処理回路35の追加の1出力がインバータ22を介して低電位となって、MOSFET25のゲートに印加される。このためMOSFET25がオンしてMOSFET23のゲートを駆動するので、MOSFET23がオンし、MOSFET3を遮断する。また、入力端子32が低電位になると、入力信号処理回路35とインバータ22を介してMOSFET25に印加されるゲート電圧は高電位となるため、MOSFET25がオフし、MOSFET23のゲートに蓄積された電荷は抵抗24を介して放電されるのでMOSFET23もオフする。一方、この時MOSFET4のゲートに印加される入力信号処理回路35の出力は低電位であるため、MOSFET4がオンしてMOSFET3のゲートを駆動するので、MOSFET3もオンする。その他の点に関しては、図1で示した実施例1と同じ構成および半導体構造であるため、同様の作用および効果があることは勿論である。

40

【実施例4】

【0077】

図5は本発明に係る半導体装置の第4の実施例を示し、誘導性負荷を駆動する駆動回路の要部回路図である。尚、説明の便宜上、図4において実施例2の図3に示した構成部分と同一の構成部分については、同一の参照符号を付してその詳細な説明は省略する。すな

50

わち、本実施例ではドレインが電源端子31に接続されると共にソースが逆流防止用のダイオード12のアノードに接続されたNチャネルMOSFET6と、カソード同士が接続されたダイオード14, 15と、カソードが電源端子31に接続されると共にアノードがダイオード15のアノードに接続されたダイオード13と、カソードがダイオード13のアノードに接続されると共にアノードが電圧レギュレータ20の定電圧出力ライン39に接続されたダイオード16と、MOSFET6のゲート・ソース間に接続された抵抗18と、を設け、クランプ用ダイオード14のアノードがMOSFET6のゲートに接続配置されている点が実施例3の構成と相違する。

【0078】

このように構成した本実施例の半導体装置53では、MOSFET6によって負出力維持電圧 V_{SUS} を保つための電流が供給されるので、ダイオード13, 14, 15, 16の素子サイズを小さくすることができる。なお、抵抗18は出力端子電圧 V_{OUT} が負出力維持電圧 V_{SUS} 以上のときにMOSFET6をオフにする働きをする。

【0079】

本実施例での通常の負出力維持電圧 V_{SUS} は、クランプ用ダイオード14が降伏する電圧値により決まり、式(9)で表される。ただし、バッテリー41の電源電圧が高くなり過ぎ、パワーMOSFET1の耐圧よりも、電源端子31に印加される電源電圧 V_{DD} と負出力維持電圧 V_{SUS} との差が大きくなった場合に、パワーMOSFET1を保護するために最大負出力維持電圧 V_{SUSmax} を式(10)のように設定している。

その他の点に関しては、図3の実施例と同様の効果があることは勿論である。

【0080】

【数6】

$$V_{SUS} = V_{DD0} - V_{f(16)} - V_{f(15)} - BV_{(14)} - V_{th(6)} - V_{th(1)} \quad \dots(9)$$

$$V_{SUSmax} = V_{DD} - BV_{(13)} - V_{f(15)} - BV_{(14)} - V_{th(6)} - V_{th(1)} \quad \dots(10)$$

【実施例5】

【0081】

図6は本発明に係る半導体装置の第5の実施例を示し、誘導性負荷を駆動する駆動回路の要部回路図である。尚、説明の便宜上、図6において実施例4の図5に示した構成部分と同一の構成部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では図5における抵抗18の代わりにNチャネルMOSFET28を使用している点が相違する。このMOSFET28は、チャンネル幅 W がMOSFET6よりも小さく、そのドレイン及びゲートをMOSFETのゲートに接続すると共にソースをMOSFET6のソースに接続してMOSFET6とのカレントミラーを構成している。

【0082】

このように構成した本実施例の半導体装置54では、ダイオード13, 14, 15, 16に流れるブレイクダウン電流が図5の構成よりも少なく、この少ないブレイクダウン電流で所望の負出力維持電圧 V_{SUS} を得ることができる。従って、実施例4よりもダイオード13, 14, 15, 16の素子サイズを更に小さくできるという利点がある。

【実施例6】

【0083】

図7は本発明に係る半導体装置の第6の実施例を示し、誘導性負荷を駆動する駆動回路の要部回路図である。尚、説明の便宜上、図7において実施例4の図5に示した構成部分と同一の構成部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例ではソースをパワーMOSFET1のゲートに、ドレインをダイオード8のアノードに、ゲートを出力端子33にそれぞれ接続したPチャネルMOSFET5を新たに設けている点が実施例4と相違する。

【0084】

このように構成した本実施例の半導体装置55では、パワーMOSFET1のゲート・

ソース間電圧がMOSFET 5のしきい電圧以下になると、MOSFET 2によるパワーMOSFET 1の遮断動作は終了するため、パワーMOSFET 1のターンオフ特性がソフトになり雑音が小さくなるという効果がある。

【0085】

尚、MOSFET 2がパワーMOSFET 1のゲート電荷を放電することによりパワーMOSFET 1の遮断動作ができなくなる出力端子33の電圧 V_{OUT} の範囲は、本実施例の場合、実施例1で述べた式(1)の範囲ではなく、式(11)の範囲となる。但し、式(11)において $V_{on(5)}$ はMOSFET 5のオン電圧である。

【0086】

【数7】

$$V_{OUT} < V_{on(2)} + V_{f(8)} + V_{on(5)} - V_{th(1)} \quad \dots(11)$$

また、本実施例の場合、出力端子33と電源端子31との間で短絡不良が発生すると、MOSFET 5がオフするためMOSFET 2に電流が流れなくなる。従って、MOSFET 2が過電流かつ過電圧の状態になって素子破壊に至ることを防止できるという効果がある。

【実施例7】

【0087】

図8は本発明に係る半導体装置の第7の実施例を示し、誘導性負荷を駆動する駆動回路の要部回路図である。尚、説明の便宜上、図8において実施例6の図7に示した構成部分と同一の構成部分については、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例ではドレインがグランド端子30に、ソースが第1グランドライン34に、ゲートが電源端子31にそれぞれ接続されたオン抵抗の低い(例えば10程度)MOSFET 7を新たに設けている点が相違する。尚、図中に示したダイオード29は寄生ダイオードであり、第1グランドライン34と電源端子31との間に構造上必ず入る素子で、これまでの実施例1~6の半導体装置においても存在するものである。この寄生ダイオード29は、図9において示したP型層103b, 108bからなる第1グランド領域と、N型領域101, 102a, 104a, 107aとの間で形成される。

【0088】

このように構成された本実施例の半導体装置56は、バッテリー41が図8に示すように正常に接続されている場合にはMOSFET 7がオン状態となるため、第1グランドライン34とグランド端子30は同電位となり、図7の実施例と同じ動作をする。これに対し、ユーザがバッテリー41を誤って逆接続した場合にはMOSFET 7のゲートに負電圧が印加されることになるのでオフ状態となり、グランド端子30と第1グランドライン34との間が切り離されるので、グランド端子30から寄生ダイオード29を通過して過電流が流れることはない。このため、バッテリー41の逆接続に起因する過電流による素子破壊を防止することができる。なお、バッテリー41が逆接続された場合には、出力端子33からパワーMOSFET 1のドレイン・ボディ間に存在する寄生ダイオードを通過して電源端子31に流れる電流も存在するが、この電流は誘導性負荷40に存在する寄生抵抗により抑えられるため、本実施例においては問題とならない。従って、本実施例の誘導性負荷を駆動する半導体装置56は、バッテリーの逆接続保護を実現することができる。

【0089】

ここで、図8に示したバッテリーの逆接続保護を行なうためのMOSFET 7と、第1グランド34との半導体構造を、図10に断面構造図で示す。尚、その他の断面構造に関しては図9と同じであり、製造プロセス条件も同じである。図10に示すように、MOSFET 7は図9におけるMOSFET 2, 3と同じ縦型MOSFETである。MOSFET 7のソース113aとボディ111aとをアルミ電極114dを用いて、第1グランド領域となるP型層領域108bに接続し、MOSFET 7のドレイン電極114eは図8の半導体装置56のグランド端子30に接続(不図示)し、MOSFET 7のゲート電極となる多結晶シリコン層110aは図8の電源端子31またはこれと同極性の電圧ラインに

10

20

30

40

50

接続（不図示）する。

【0090】

このように接続することにより、バッテリーが正しい極性で半導体装置56に接続されている場合には、MOSFET7はオン状態となりグランド端子30の電位と第1グランド領域の電位とは等しい。これに対して、バッテリーが逆接続された場合には、ゲートに負電圧が印加されるのでMOSFET7はオフ状態となり、グランド端子30と第1グランド領域とは切り離される。本実施例の場合、MOSFET7のドレイン・ソース間耐圧は70V以上であるため、バッテリーの逆接続保護電圧も70V程度以上が得られる。

【0091】

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定するものではなく、例えば前記実施例では、MOSFET2, 3, 7等は高耐圧が容易に達成できる縦型MOSFETを用いて説明したが、横型のMOSFETやバイポーラトランジスタ（この場合、ドレインはコレクタ、ゲートはベース、ソースはエミッタと置き換える）を用いても同様の効果が得られ、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【図面の簡単な説明】

【0092】

【図1】本発明に係る半導体装置の第1の実施例を示す誘導性負荷駆動回路図である。

【図2】図1に示した誘導性負荷駆動回路の入出力特性を示す波形図である。

【図3】本発明に係る半導体装置の第2の実施例を示す誘導性負荷駆動回路図である。

【図4】本発明に係る半導体装置の第3の実施例を示す誘導性負荷駆動回路図である。

【図5】本発明に係る半導体装置の第4の実施例を示す誘導性負荷駆動回路図である。

【図6】本発明に係る半導体装置の第5の実施例を示す誘導性負荷駆動回路図である。

【図7】本発明に係る半導体装置の第6の実施例を示す誘導性負荷駆動回路図である。

【図8】本発明に係る半導体装置の第7の実施例を示す誘導性負荷駆動回路図である。

【図9】図1に示した半導体装置の要部断面構造図である。

【図10】図8に示した半導体装置の要部断面構造図である。

【図11】従来誘導性負荷駆動回路を示す要部回路図である。

【符号の説明】

【0093】

1 ... パワーMOSFET、

2, 3, 6, 7, 10, 23, 28 ... NチャンネルMOSFET、

4, 5, 25 ... PチャンネルMOSFET、

8, 9, 12, 13, 14, 15, 16, 26, 27 ... ダイオード、

17, 18, 24 ... 抵抗、

19 ... 昇圧回路、

20 ... レギュレータ、

29 ... 寄生ダイオード、

21, 22 ... インパクタ、

30 ... グランド端子、

31 ... バッテリ電源端子、

32 ... 入力端子、

33 ... 出力端子、

34 ... 制御回路のグランドライン（第1グランドライン）、

35 ... 入力信号処理回路、

36 ... 第2グランドライン

39 ... 定電圧出力ライン、

40 ... 誘導性負荷、

41 ... バッテリ、

101 ... 高濃度N形シリコン基板、

10

20

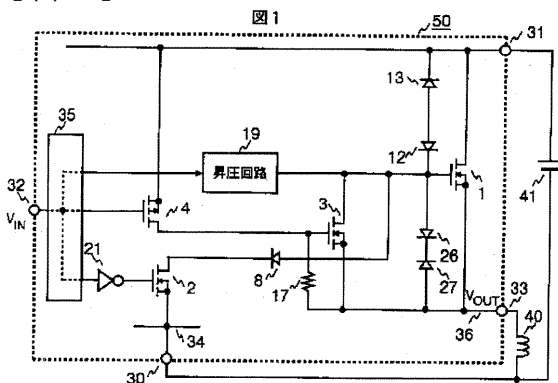
30

40

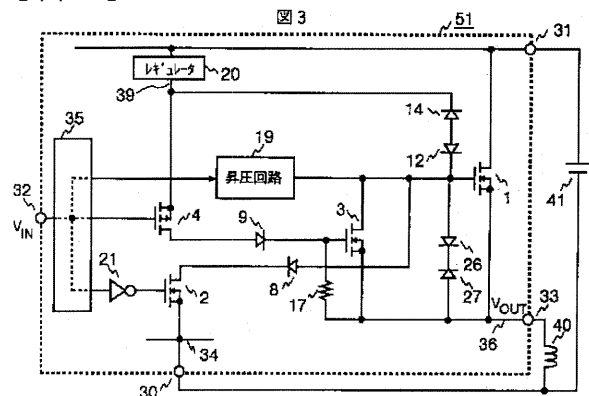
50

- 102 a , 104 a ~ 104 e ... N形埋込層、
- 103 a , 103 b ... P形エピタキシャル層、
- 105 a ~ 105 e ... N形エピタキシャル層、
- 106 ... 絶縁膜、
- 107 a ~ 107 d , 113 , 113 a ... N型拡散層、
- 108 a , 108 b , 109 , 111 , 111 a , 112 ... P形拡散層、
- 115 ... 低濃度P型拡散層、
- 110 , 110 a ... 多結晶シリコン層、
- 114 , 114 a ... アルミ電極層、
- 114 c , 114 d ... アルミ電極層 (第1グラウンド)。

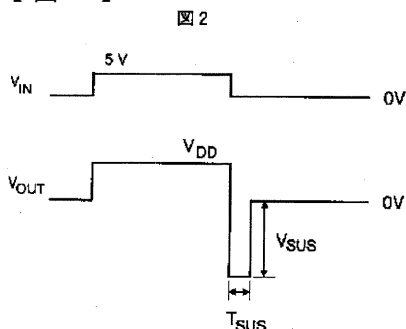
【 図 1 】



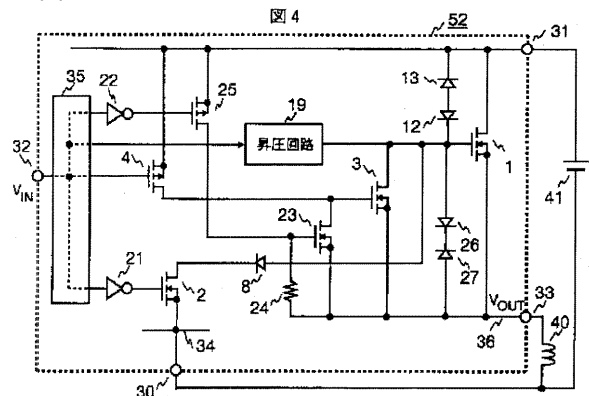
【 図 3 】



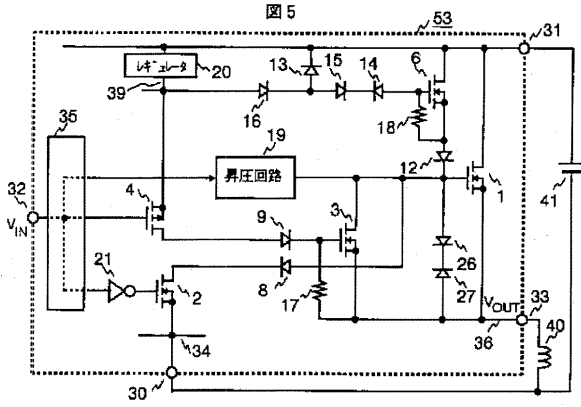
【 図 2 】



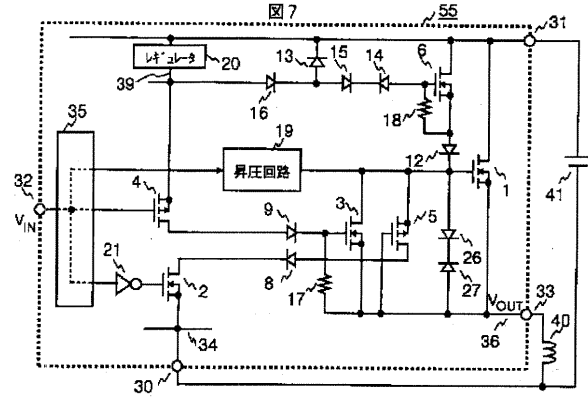
【 図 4 】



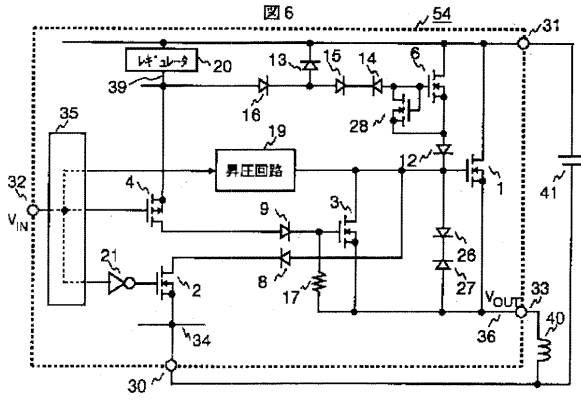
【 図 5 】



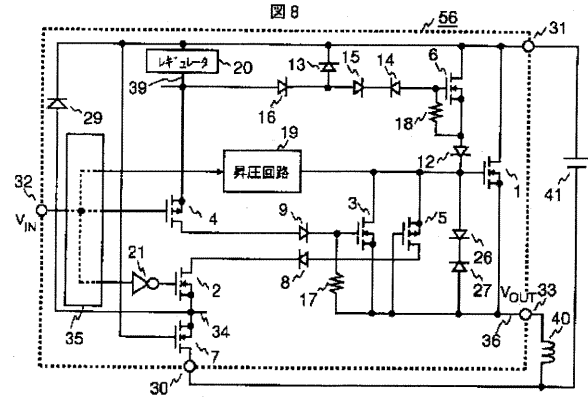
【 図 7 】



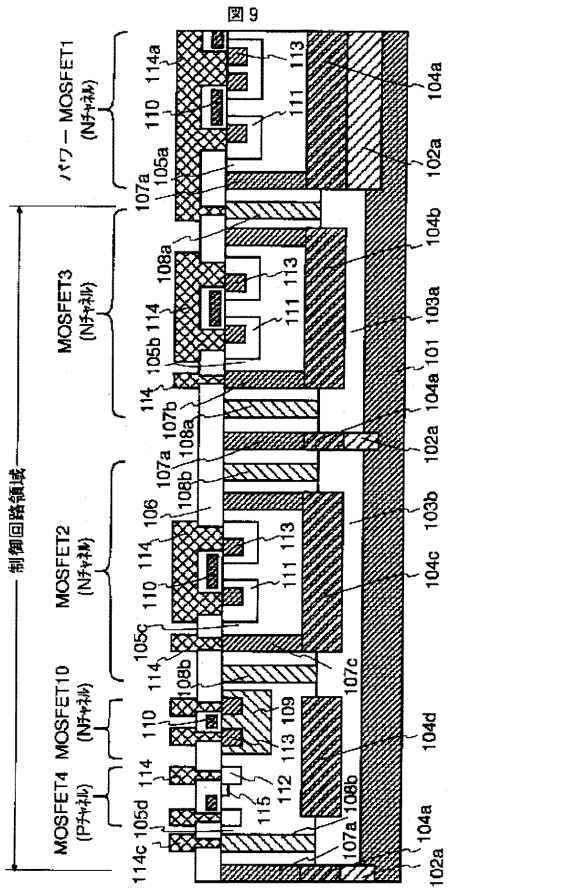
【 図 6 】



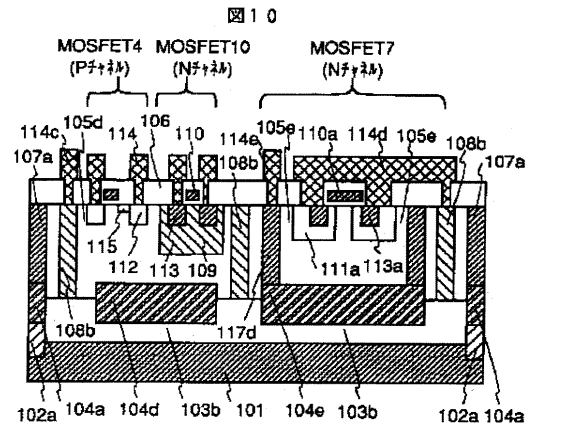
【 図 8 】



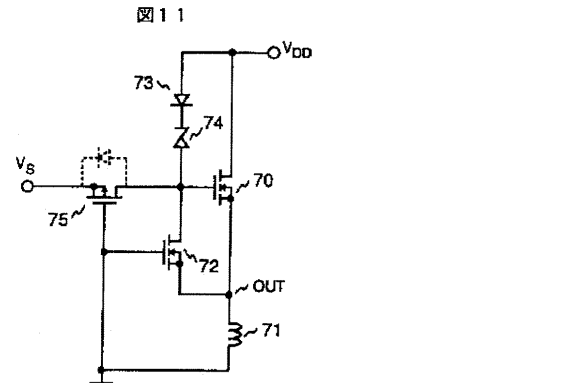
【 図 9 】



【 図 10 】



【 図 11 】



【手続補正書】

【提出日】平成16年1月7日(2004.1.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ドレインが電源端子に接続され、ソースが出力端子に接続された縦型パワーMOSFETと、

前記パワーMOSFETのゲートと制御回路用グランドとの間に配置されて入力端子の電圧に基づいて前記パワーMOSFETをオフするための第1のMOSFETと、

前記パワーMOSFETのゲートと前記出力端子との間に配置されて前記入力端子の電圧に基づいて前記パワーMOSFETをオフするための第2のMOSFETと、

前記パワーMOSFETのゲートに接続されて前記入力端子の電圧に基づいて前記パワーMOSFETをオンするゲート充電回路とを有し、

前記第1のMOSFETと前記第2のMOSFETとは、前記パワーMOSFETのドレイン領域である第1導電型の半導体層で分離された第2導電型の半導体領域にそれぞれ形成された半導体装置。

【請求項2】

請求項1において、

前記第2のMOSFETが形成される第2導電型の半導体領域は、前記パワーMOSFETのソースと接続されることを特徴とする半導体装置。

【請求項3】

請求項1または2において、

前記出力端子は、前記制御回路用グランドに対して正または負の電圧を出力しうることを特徴とする半導体装置。

【請求項4】

第1導電型の第1半導体領域と、

前記第1半導体領域上に形成された第2乃至第4半導体領域とを有し、

前記第1半導体領域をドレインとし、前記第2半導体領域に形成された第1導電型の第5半導体領域をソースとしてパワーMOSFETが形成され、

前記パワーMOSFETのゲートと制御回路用グランドとの間に配置され、前記パワーMOSFETをオフするための第1のMOSFETが前記第2半導体領域に形成され、

前記パワーMOSFETのゲートとソースとの間に配置され、前記パワーMOSFETをオフするための第2のMOSFETが前記第3半導体領域に形成され、

前記第2半導体領域と前記第3半導体領域とは、前記第1半導体領域と電気的に接続された第1導電型の第6半導体領域により分離された半導体装置。

【請求項5】

請求項4において、

前記第3半導体領域は、前記第5半導体領域と接続されることを特徴とする半導体装置

。【請求項6】

請求項3または4において、

前記パワーMOSFETのソースは、前記制御回路用グランドに対して正または負の電圧を出力しうることを特徴とする半導体装置。

【請求項7】

請求項1乃至6のいずれかにおいて、

前記第1導電型はn型であり、第2導電型はp型であることを特徴とする半導体装置。

【請求項 8】

第 1 導電型の同一半導体基板上に縦型パワー MOS F E T と該 MOS F E T のゲートを制御する制御回路とを少なくとも有する半導体装置であって、

前記パワー MOS F E T の領域は、基板側から順に、第 1 導電型の第 1 半導体層と該第 1 半導体層よりも低濃度の、第 1 導電型の第 2 半導体層とを有すると共にパワー MOS F E T 領域の周辺部に表面から前記第 1 半導体層まで達する前記第 2 半導体層より高濃度の第 1 導電型の第 3 半導体層を有し、

前記制御回路領域は、基板側から順に、第 2 導電型の第 4 半導体層と第 1 導電型の前記第 2 半導体層とを有すると共に、前記第 2 半導体層を島状に分離して複数の島状領域を構成するために、表面から第 4 半導体層に達する該第 4 半導体層より高濃度の第 2 導電型の第 5 半導体層を有する半導体装置において、

少なくとも 1 つの前記島状領域を他の島状領域とから分離するように、表面から前記半導体基板まで達する前記第 2 半導体層より高濃度の第 1 導電型の第 6 半導体層を設けたことを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】図面

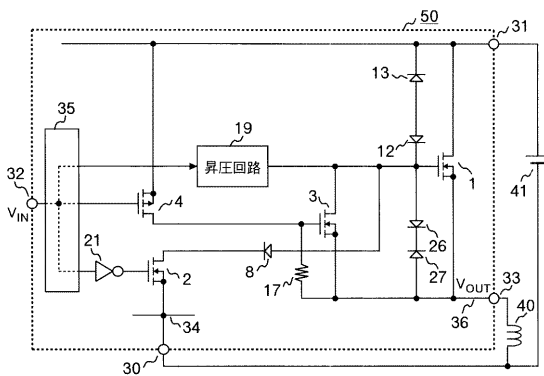
【補正対象項目名】全図

【補正方法】変更

【補正の内容】

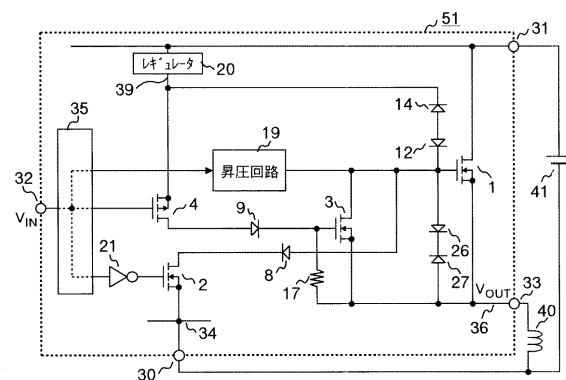
【図 1】

図 1



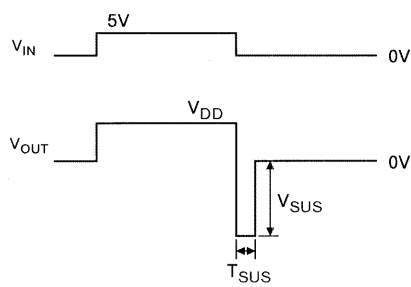
【図 3】

図 3



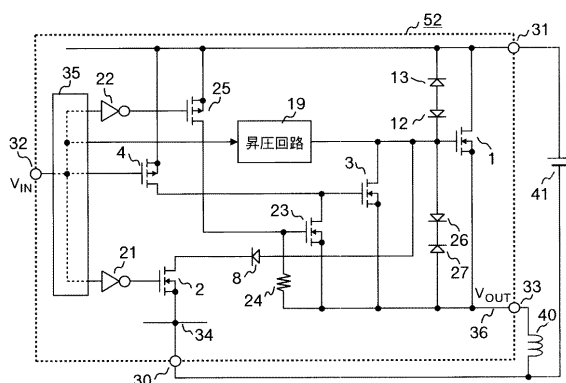
【図 2】

図 2



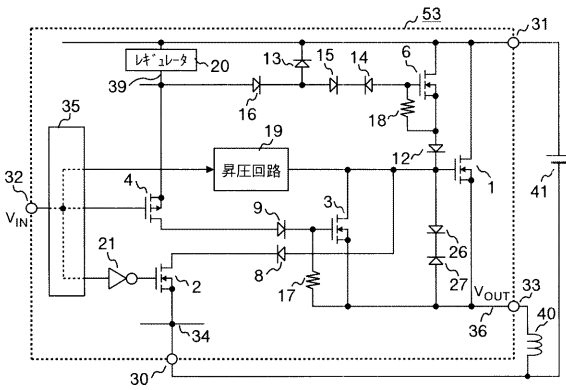
【図 4】

図 4



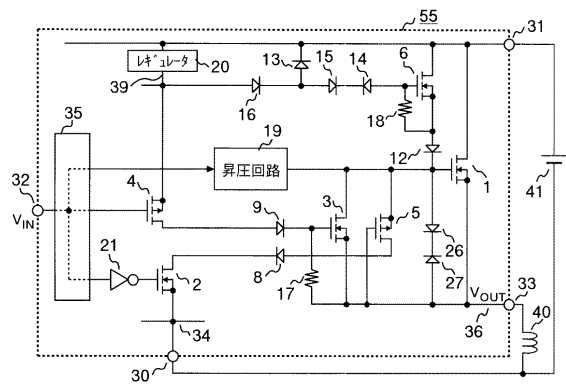
【 図 5 】

図 5



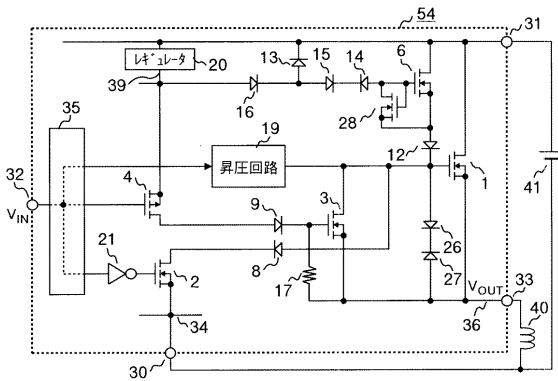
【 図 7 】

図 7



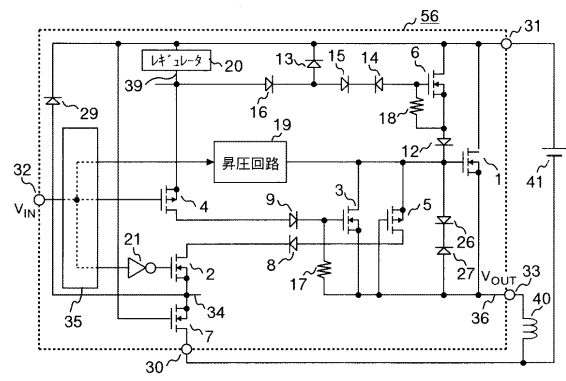
【 図 6 】

図 6



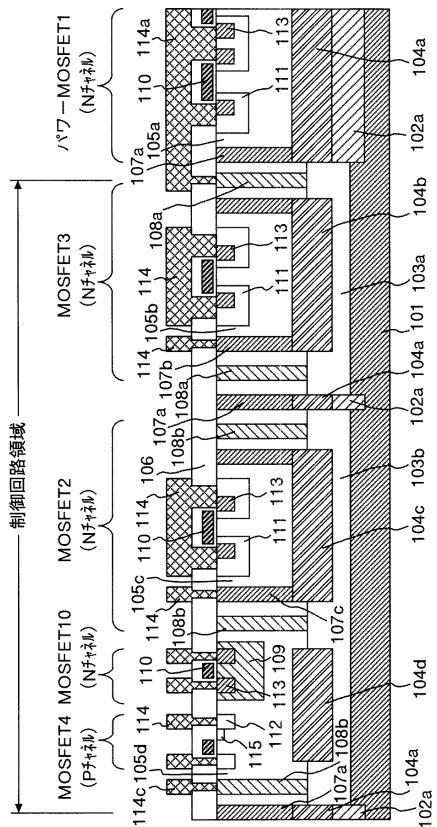
【 図 8 】

図 8



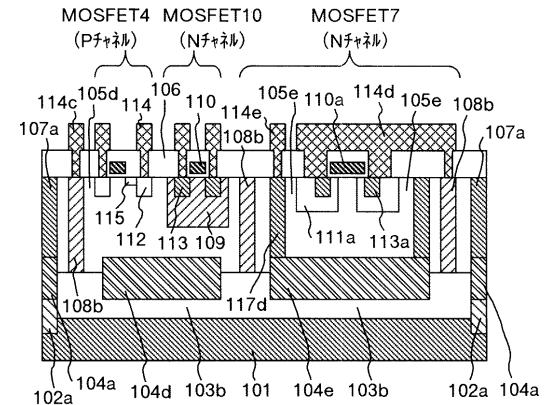
【 図 9 】

図 9

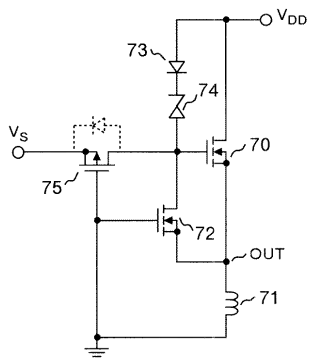


【 図 10 】

図 10



【 図 1 1 】
図 1 1



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/08	H 0 1 L 29/78	6 5 6 F
H 0 1 L 27/088	H 0 1 L 29/78	6 5 7 G
H 0 1 L 29/78	H 0 3 K 17/08	C
H 0 3 K 17/08	H 0 1 L 27/08	1 0 2 A
H 0 3 K 17/695	H 0 1 L 27/04	F
	H 0 1 L 27/04	H
	H 0 1 L 27/08	1 0 2 E
	H 0 1 L 27/08	1 0 2 J
	H 0 3 K 17/687	B
	H 0 1 L 21/76	J

F ターム(参考)	5F038	AV06	BB04	BG03	BH02	BH04	BH05	BH07	BH14	CA02	CA05
			DF01	EZ20							
	5F048	AA05	AB07	AB10	AC03	AC06	BA05	BA07	BA12	BA13	BC03
		BC07	BC18	BD07	BE03	BE05	BF16	BF17	BF18	BH01	BH02
		BH04	CC06	CC17							
	5J055	AX04	AX32	AX56	BX16	CX13	DX22	DX72	DX73	DX83	EX02
		EY01	EY05	EY12	EY21	EZ04	EZ07	EZ12	EZ16	EZ54	EZ57
		FX18	FX19	FX37	GX01	GX02	GX04	GX05	GX07		