

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4083946号  
(P4083946)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

(51) Int.Cl.

F I

H O 3 K 19/0175 (2006.01)

H O 3 K 19/00 I O 1 F

請求項の数 4 (全 23 頁)

<p>(21) 出願番号 特願平11-368258                  (22) 出願日 平成11年12月24日(1999.12.24)                  (65) 公開番号 特開2001-186004(P2001-186004A)                  (43) 公開日 平成13年7月6日(2001.7.6)                  審査請求日 平成18年4月11日(2006.4.11)</p>	<p>(73) 特許権者 503121103                  株式会社ルネサステクノロジ                  東京都千代田区大手町二丁目6番2号                  (73) 特許権者 391024515                  株式会社ルネサスデザイン                  兵庫県伊丹市瑞原四丁目1番地                  (74) 代理人 100064746                  弁理士 深見 久郎                  (74) 代理人 100085132                  弁理士 森田 俊雄                  (74) 代理人 100083703                  弁理士 仲村 義平                  (74) 代理人 100096781                  弁理士 堀井 豊</p>
--	--

最終頁に続く

(54) 【発明の名称】 論理回路

(57) 【特許請求の範囲】

【請求項1】

ゲートが接続線に接続され、電源電圧端子と出力端子との間に接続された出力段 P チャンネル MOS トランジスタを、入力端子から与えられた入力信号をもとに制御し、前記出力端子へ前記入力信号に応じた出力信号を出力する論理回路において、

前記電源電圧端子と基準電圧端子との間に接続された、第1の P チャンネル MOS トランジスタおよび第1の N チャンネル MOS トランジスタから構成され、前記入力信号に応じた信号を前記接続線に出力する駆動セル、

前記基準電圧端子と前記接続線との間に接続され、前記入力信号を反転回路にて反転した反転信号がゲートに入力される第2の P チャンネル MOS トランジスタとを備え、

前記第1の N チャンネル MOS トランジスタの駆動能力よりも前記第2の P チャンネル MOS トランジスタの駆動能力の方が大きく、前記第2の P チャンネル MOS トランジスタの駆動能力よりも前記第1の P チャンネル MOS トランジスタの駆動能力の方が大きいことを特徴とする論理回路。

【請求項2】

ゲートが接続線に接続され、基準電圧端子と出力端子との間に接続された出力段 N チャンネル MOS トランジスタを、入力端子から与えられた入力信号をもとに制御し、前記出力端子へ前記入力信号に応じた出力信号を出力する論理回路において、

電源電圧端子と前記基準電圧端子との間に接続された、第1の P チャンネル MOS トランジスタおよび第1の N チャンネル MOS トランジスタから構成され、前記入力信号に応

10

20

じた信号を前記接続線に出力する駆動セル、

前記電源電圧端子と前記接続線との間に接続され、前記入力信号を反転回路にて反転した反転信号がゲートにされる第2のNチャンネルMOSトランジスタとを備え、

前記第1のPチャンネルMOSトランジスタの駆動能力よりも前記第2のNチャンネルMOSトランジスタの駆動能力の方が大きく、前記第2のNチャンネルMOSトランジスタの駆動能力よりも前記第1のNチャンネルMOSトランジスタの駆動能力の方が大きいことを特徴とする論理回路。

【請求項3】

出力段トランジスタを、入力端子から与えられた入力信号をもとに制御し、出力端子へ前記入力信号に応じた出力信号を出力する論理回路において、

電源電圧端子と基準電圧端子との間に接続された、第1のPチャンネルMOSトランジスタおよび第1のNチャンネルMOSトランジスタから構成され、前記入力信号に応じた信号を第1の接続線に出力する第1の駆動セル、

電源電圧端子と基準電圧端子との間に接続された、第2のPチャンネルMOSトランジスタおよび第2のNチャンネルMOSトランジスタから構成され、前記入力信号に応じた信号を第2の接続線に出力する第2の駆動セル、

前記基準電圧端子と前記第1の接続線との間に接続され、前記入力信号の反転信号がゲートにされる第3のPチャンネルMOSトランジスタ、

前記電源電圧端子と前記第2の接続線との間に接続され、前記入力信号の反転信号がゲートにされる第3のNチャンネルMOSトランジスタとを備え、

前記出力段トランジスタは、ゲートに前記第1の接続線が接続され、前記電源電圧端子と前記出力端子との間に接続された出力段PチャンネルMOSトランジスタと、ゲートに前記第2の接続線が接続され、前記基準電圧端子と前記出力端子との間に接続された出力段NチャンネルMOSトランジスタから構成され、

前記第1のNチャンネルMOSトランジスタの駆動能力よりも前記第3のPチャンネルMOSトランジスタの駆動能力の方が大きく、前記第3のPチャンネルMOSトランジスタの駆動能力よりも前記第1のPチャンネルMOSトランジスタの駆動能力の方が大きく、

前記第2のPチャンネルMOSトランジスタの駆動能力よりも前記第3のNチャンネルMOSトランジスタの駆動能力の方が大きく、前記第3のNチャンネルMOSトランジスタの駆動能力よりも前記第2のNチャンネルMOSトランジスタの駆動能力の方が大きいことを特徴とする論理回路。

【請求項4】

ゲートに前記入力信号が接続され、前記電源電圧端子と第2の出力端子との間に接続された第4のNチャンネルMOSトランジスタと、ゲートに前記出力端子が接続され、前記基準電圧端子と前記第2の出力端子との間に接続された第4のPチャンネルMOSトランジスタから構成される補正回路をさらに備えたことを特徴とする請求項3記載の論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不要輻射ノイズを抑え、スルーレートを一定範囲に収めることの可能な論理回路に関するものである。

【0002】

【従来の技術】

一般に出力信号には外部負荷の変動に対しスルーレート（立ち上がり時間、立ち下がり時間）がある一定の範囲で規格されている。例えば、ユニバーサルシリアルバス（以下、USBという）と呼ばれる規格がコンピュータ周辺機器として認可されている。USBによれば、デバイスは低速度データ通信時1.5Mビット/秒である。USB規格はそれに準拠するデバイスの出力電圧レベルに関し、低速度データ通信に対して外部負荷が200p

10

20

30

40

50

F ~ 600 pF の条件で75ナノから300ナノ秒の正確な立ち上がり、立ち下がり速度を特徴としており、このためスルーレートを一定の範囲に収める必要がある。

#### 【0003】

スルーレートを前記USB規格内に収める従来の論理回路としては特開平11-17516号公報に開示された出力バッファ回路が知られている。図8は、この出力バッファ回路の構成を示す回路図、図9はこの出力バッファ回路の低速動作中における出力信号遷移のシミュレーション結果を示す波形図である。

図において、11, 12, 13, 14, 15, 16, 17, 18は基本的にPチャンネルMOSトランジスタがオンすることで出力をHighレベルで駆動し、NチャンネルMOSトランジスタがオンすることで出力をLowレベルで駆動するインバータ回路である。インバータ回路13, 14, 15, 16は、イネーブル信号LSB, LS, FSB, FSによりその出力を制御されるものである。また、インバータ回路11, 13, 14は電源電位をVDD、接地電位をVSSとすると $(VDD - VSS) / 2$ より大きな閾値を有しており、インバータ回路12, 15, 16は $(VDD - VSS) / 2$ より小さな閾値を有している。130は制御回路、140a, 140bは遅延回路、151は第1段バッファ、152は第2段バッファ、153は第3段バッファ、P0は第1段バッファ151を構成するPチャンネルMOSトランジスタ、N0は第1段バッファ151を構成するNチャンネルMOSトランジスタである。P1は第2段バッファ152を構成するPチャンネルMOSトランジスタ、N1は第2段バッファ152を構成するNチャンネルMOSトランジスタである。P2は第3段バッファ153を構成するPチャンネルMOSトランジスタ、N2は第3段バッファ153を構成するNチャンネルMOSトランジスタである。

#### 【0004】

次に動作について説明する。

なお、以下の説明は、正論理を前提に、低速モード動作において入力信号Dがその論理値を“1”から“0”へ遷移する場合について説明する。また、この低速モード動作時には、前記イネーブル信号LSB, LSによりインバータ回路13, 15は動作可能な状態に制御されている。

最初、入力信号Dがその論理値を“1”から“0”に遷移すると、入力信号Dの電圧が下降するにつれてインバータ回路17は上昇する電圧レベルをインバータ回路18に出力する。インバータ回路18へ入力される電圧が上昇するにつれてPチャンネルMOSトランジスタPUはオフし始め、NチャンネルMOSトランジスタNDはオンし始める。結果としてインバータ回路18はノードDDをVSS側へ放電し始める。ノードDDの放電は、ノードDDとVSS間にコンデンサCapが接続されているため、図9の波形図で符号DDで示すように遅延して緩やかにVSSへ変化する。

#### 【0005】

インバータ回路11の閾値 $V_{th}^{11}$ は $(VDD - VSS) / 2$ 、すなわちVSSがグランドレベル0VとすればVDD/2より大きいため、入力信号Dの電圧が下降するにつれて入力信号Dの電圧がVDD/2に達する前にインバータ回路11の閾値 $V_{th}^{11}$ に達する。これによりインバータ回路11は“0”から“1”へその出力Pu1を変化させる。

一方、ノードDDの電位は、前記入力信号Dより時間的に遅れて緩やかに下降しインバータ回路13の閾値 $V_{th}^{13}$ に達する。この結果、図9の符号Pu2で示す波形のようにインバータ回路13も“0”から“1”へその出力Pu2を変化させる。この場合、出力Pu2の変化よりも出力Pu1の変化の方が早いタイミングで変化する。

この結果、第1段バッファ151のPチャンネルMOSトランジスタP0、第2段バッファ152のPチャンネルMOSトランジスタP1がオフし始め、また第3段バッファ153のPチャンネルMOSトランジスタP2もオフし始める。

#### 【0006】

入力信号Dがさらに下降し続けると、PチャンネルMOSトランジスタP10は第2段バッファ152のPチャンネルMOSトランジスタP1がオフとなるのを助けるように、またPチャンネルMOSトランジスタP11は第3段バッファ153のPチャンネルMOS

10

20

30

40

50

トランジスタ P 2 がオフとなるのを助けるように急速にオンとなる。この結果、図 9 の符号 P u 2 で示す波形のように出力 P u 2 の波形は、入力信号 D の立ち下がりの前半で急激に階段状に V D D 側へ変化し、出力パッド Q の信号波形も図 9 の符号 Q で示すように急速に下がり始める。

**【 0 0 0 7 】**

そして、ついに入力信号 D の電位レベルは V D D / 2 を下回るインバータ回路 1 2 の閾値  $V_{th}^{12}$  へ下降し、この結果、インバータ回路 1 2 はその出力 P d 1 を “ 0 ” から “ 1 ” へ遷移させる。このため、第 1 段バッファ 1 5 1 の N チャンネル M O S トランジスタ N 0 がオンし始める。しかしながら、この時点でインバータ回路 1 8 はノード D D をインバータ回路 1 5 の閾値  $V_{th}^{15}$  の電位レベルまでには放電していない。従って、第 2 段バッファ 1 5 2 の N チャンネル M O S トランジスタ N 1 および第 3 段バッファ 1 5 3 の N チャンネル M O S トランジスタ N 2 はなおオフの状態である。

10

**【 0 0 0 8 】**

その後、ノード D D は、最終的にインバータ回路 1 5 のスイッチング電圧  $V_{th}^{15}$  の電位レベルへ放電される。この結果、インバータ回路 1 5 は、図 9 の符号 P d 2 で示す波形のように、その出力 P d 2 を “ 0 ” から “ 1 ” に遷移させる。このため前記 N チャンネル M O S トランジスタ N 1 および N チャンネル M O S トランジスタ N 2 はオンし始めるが、N チャンネル M O S トランジスタ N 2 は遅延回路 1 4 0 b のために N チャンネル M O S トランジスタ N 1 がオンとなるタイミングより時間的に遅れてオンとなる。この結果、図 9 の符号 Q で示す出力パッド Q の信号波形のように、入力信号 D の立ち下がりの後半で出力パッド Q における出力波形は急激に V s s 側へ引込まれた波形となる。

20

**【 0 0 0 9 】**

以上のように、この出力バッファ回路では、前記第 1 段バッファ 1 5 1、第 2 段バッファ 1 5 2、第 3 段バッファ 1 5 3 を遅延回路を用いてそれぞれ時間をずらして駆動することにより、スルーレートが U S B 規格内に収まるようにしている。

**【 0 0 1 0 】****【 発明が解決しようとする課題 】**

従来の論理回路は以上のように構成されているので、低速動作中のこの出力バッファ回路の出力パッド Q に出される図 9 に示す波形のように、出力パッド Q において P d 2 の立ち上がりと同期して急激に立ち下がる箇所 Q Q が発生し、また P u 2 の立ち上がりと同期して急激に立ち上がる箇所 Q Q が発生する。そして、これらの急激な立ち下がり、および立ち上がり箇所は、複数のトランジスタが時間をずらして出力パッド Q をドライブすることにより発生するものであり、高調波成分を含み外部に対して不要輻射ノイズとなる課題があった。

30

**【 0 0 1 1 】**

この発明は上記のような課題を解決するためになされたものであり、不要輻射ノイズを抑え、スルーレートを一定の範囲内に収めることのできる論理回路を得ることを目的とする。

**【 0 0 1 2 】**

また、この発明は、差動信号に用いられた場合であっても、この両者の信号に対応した出力波形間のクロスポイント、およびスルーレートの比率を一定の範囲内に収めることのできる論理回路を得ることを目的とする。

40

**【 0 0 1 3 】**

また、トランジスタの製造上において駆動能力の特性に誤差が生じている場合であっても、立ち上がり時間と立ち下がり時間の比率を一定の範囲内に抑えて動作可能な論理回路を得ることを目的とする。

**【 0 0 1 4 】****【 課題を解決するための手段 】**

この発明に係る論理回路は、非導通状態に制御される出力段トランジスタを、ドライブ能力の強いトランジスタにより直ちに前記非導通状態へ制御するとともに、導通状態に制御

50

される前記出力段トランジスタを、前記導通状態へ遷移する始めの段階でドライブ能力の弱いトランジスタによりスルーレートを規定の範囲内にする速さで制御しながら、複数のドライブ能力の弱いトランジスタにより連続的かつ滑らかに前記導通状態へ制御する制御回路を備えるようにしたものである。

【0015】

この発明に係る論理回路は、導通状態に制御される出力段トランジスタが前記導通状態へ遷移する始めの段階で機能し、当該出力段トランジスタを、出力端子における出力信号のスルーレートを規定の範囲内にする速さで制御する、ドライブ能力のやや弱い第1のトランジスタと、前記出力段トランジスタが導通状態へ遷移し定常状態に達するまでの過渡期間に当該出力段トランジスタを制御し、高調波成分が低減された出力信号を前記出力端子へ出力させる、ドライブ能力の弱い第2のトランジスタとを制御回路が備えるようにしたものである。

10

【0016】

この発明に係る論理回路は、非導通状態に制御される電源電圧側と出力端子との間に接続された出力段PチャンネルMOSトランジスタを、入力端子から与えられた入力信号をもとに直ちに前記非導通状態へ制御する前記電源電圧側に接続されたドライブ能力の強いPチャンネルMOSトランジスタと、導通状態に制御される前記出力段PチャンネルMOSトランジスタを、前記入力端子から与えられた入力信号をもとに緩やかに前記導通状態へ制御する基準電位側に接続されたドライブ能力の弱い、前記PチャンネルMOSトランジスタに対し相補的に動作するNチャンネルMOSトランジスタとを有した第1の駆動セルと、非導通状態に制御される前記出力端子と前記基準電位との間に接続された出力段NチャンネルMOSトランジスタを、入力端子から与えられた入力信号をもとに直ちに前記非導通状態へ制御する前記基準電位側に接続されたドライブ能力の強いNチャンネルMOSトランジスタと、導通状態に制御される前記出力段NチャンネルMOSトランジスタを、前記入力端子から与えられた入力信号をもとに緩やかに前記導通状態へ制御する前記電源電圧側に接続されたドライブ能力の弱い、前記NチャンネルMOSトランジスタに対し相補的に動作するPチャンネルMOSトランジスタとを有した第2の駆動セルと、前記出力段NチャンネルMOSトランジスタが前記第2の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで前記出力段NチャンネルMOSトランジスタを導通状態へ制御し、また、前記出力段PチャンネルMOSトランジスタが前記第1の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで前記出力段PチャンネルMOSトランジスタを導通状態へ制御するスルーレート補正回路とを備えるようにしたものである。

20

30

【0017】

この発明に係る論理回路は、入力端子から与えられた入力信号の反転信号をもとに、第2の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで出力段NチャンネルMOSトランジスタを導通状態へ制御する、当該出力段NチャンネルMOSトランジスタのゲート側と電源電圧側との間に接続されたドライブ能力がやや弱いNチャンネルMOSトランジスタと、前記入力端子から与えられた前記入力信号の反転信号をもとに、第1の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで出力段PチャンネルMOSトランジスタを導通状態へ制御する、当該出力段PチャンネルMOSトランジスタのゲート側と基準電位との間に接続されたドライブ能力がやや弱いPチャンネルMOSトランジスタとをスルーレート補正回路が備えるようにしたものである。

40

【0018】

この発明に係る論理回路は、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタの製造上の誤差が原因となるドライブ能力の違いによる出力端子へ出力される出力信号の立ち上がり時間および立ち下がり時間の比率の変化をなくし一定にする製造誤差

50

補正回路を備えるようにしたものである。

【 0 0 1 9 】

この発明に係る論理回路は、出力段 P チャンネル MOS トランジスタに並列的に接続され、当該出力段 P チャンネル MOS トランジスタと並行して動作する製造誤差補正用の N チャンネル MOS トランジスタと、出力段 N チャンネル MOS トランジスタに並列的に接続され、当該出力段 N チャンネル MOS トランジスタと並行して動作し、前記 N チャンネル MOS トランジスタと相補的に動作する製造誤差補正用の P チャンネル MOS トランジスタとを、製造誤差補正回路が備えるようにしたものである。

【 0 0 2 0 】

この発明に係る論理回路は、入力端子から与えられた入力信号を反転した高ドライブ能力を有した反転信号をもとに制御され、出力端子へ前記入力信号に応じた出力信号を出力し、外部負荷を充放電する、一对の互いに相補的に動作する初段出力用のトランジスタと、前記初段出力用のトランジスタに対し並列的に動作し、前記出力端子への前記初段出力用のトランジスタの出力に対しスルーレートを補正する、一对の互いに相補的に動作する、前記初段出力用のトランジスタよりドライブ能力のより強い次段出力用のトランジスタを有し、前記入力信号と、該入力信号を遅延させた遅延入力信号をもとに、非導通状態に制御される前記次段出力用のトランジスタを、ドライブ能力の強いトランジスタにより直ちに前記非導通状態へ制御するとともに、導通状態に制御される前記次段出力用のトランジスタを、前記導通状態へ遷移する後半の段階で、最初ドライブ能力の弱いトランジスタにより連続的かつ滑らかに制御しながら、その後スルーレートを規定の範囲内にする速さで前記導通状態へ制御する制御回路とを備えるようにしたものである。

【 0 0 2 1 】

この発明に係る論理回路は、一对の互いに相補的に動作する、電源電圧側に接続された初段出力用 P チャンネル MOS トランジスタと基準電位側に接続された初段出力用 N チャンネル MOS トランジスタとを初段出力用のトランジスタとして備え、また、一对の互いに相補的に動作する、電源電圧側に接続された次段出力用 P チャンネル MOS トランジスタと基準電位側に接続された次段出力用 N チャンネル MOS トランジスタとを次段出力用のトランジスタとして備え、さらに、非導通状態に制御される前記次段出力用 P チャンネル MOS トランジスタを、遅延入力信号をもとに直ちに前記非導通状態へ制御するドライブ能力の強い P チャンネル MOS トランジスタと、導通状態に制御される前記次段出力用 P チャンネル MOS トランジスタを、前記導通状態へ遷移する後半の段階でスルーレートを規定の範囲内にする速さで連続的かつ滑らかに前記導通状態へ制御する、ドライブ能力の弱い、前記 P チャンネル MOS トランジスタに対し相補的に動作する N チャンネル MOS トランジスタとを有した第 1 の駆動セルと、非導通状態に制御される前記次段出力用 N チャンネル MOS トランジスタを、前記遅延入力信号をもとに直ちに前記非導通状態へ制御するドライブ能力の強い N チャンネル MOS トランジスタと、導通状態に制御される前記次段出力用 N チャンネル MOS トランジスタを、前記導通状態へ遷移する後半の段階でスルーレートを規定の範囲内にする速さで連続的かつ滑らかに前記導通状態へ制御する、ドライブ能力の弱い、前記 N チャンネル MOS トランジスタに対し相補的に動作する P チャンネル MOS トランジスタとを有した第 2 の駆動セルとを制御回路が備えるようにしたものである。

【 0 0 2 2 】

【 発明の実施の形態 】

以下、この発明の実施の一形態について説明する。

実施の形態 1 .

図 1 は、この実施の形態 1 の論理回路である出力バッファ回路の構成を示す回路図である。図において、100 は入力端子、112 は出力端子、101 は前記入力端子 100 からの信号を入力とするインバータ回路である。

【 0 0 2 3 】

102 は入力端子 100 からの信号を入力とする駆動セル（制御回路，第 1 の駆動セル）

であり、ドライブ能力の強いPチャンネルMOSトランジスタ121とドライブ能力の弱いNチャンネルMOSトランジスタ122から構成されている。駆動セル102の前記PチャンネルMOSトランジスタ121はW/L値(Wは横幅、Lは縦幅であり、これらの比の大きさにより、ドライブ能力の大小が決まる)は大きく、この結果、ドライブ能力が大きく設定されている。また、駆動セル102の前記NチャンネルMOSトランジスタ122はW/L値が小さく、この結果、ドライブ能力が小さく設定されている。従って、駆動セル102の特性は、Highレベル出力の駆動能力は高く、Lowレベル出力の駆動能力は低いものとなっている。

【0024】

103は同様に駆動セル(制御回路, 第2の駆動セル)であり、ドライブ能力の弱いPチャンネルMOSトランジスタ123とドライブ能力の強いNチャンネルMOSトランジスタ124から構成されている。駆動セル103の前記PチャンネルMOSトランジスタ123はW/L値が小さく、この結果、駆動能力が小さく設定されている。また、駆動セル102の前記Nチャンネルトランジスタ124はW/L値が大きく、この結果、ドライブ能力が大きく設定されている。従って、駆動セル103の特性は、Highレベル出力の駆動能力は低く、Lowレベル出力の駆動能力は高いものとなっている。

【0025】

104は節点cとVSS間に接続されたコンデンサ、105は節点dとVss間に接続されたコンデンサ、106はインバータ回路101の出力をゲート入力とし、節点cを駆動するスルーレート補正用のPチャンネルMOSトランジスタ(制御回路, ドライブ能力のやや弱い第1のトランジスタ, スルーレート補正回路)、107はインバータ回路101の出力をゲート入力とし、節点dを駆動するスルーレート補正用のNチャンネルMOSトランジスタ(制御回路, ドライブ能力のやや弱い第1のトランジスタ, スルーレート補正回路)である。これらスルーレート補正用のPチャンネルMOSトランジスタ106およびNチャンネルMOSトランジスタ107は、出力端子112へ出力される出力信号のスルーレートを規定の範囲内に収められるような所定のドライブ能力(例えば、ドライブ能力の強いトランジスタとドライブ能力の弱いトランジスタの中間のやや弱いドライブ能力)を有している。

108は節点cをゲート入力とし、出力端子112を駆動する出力段のPチャンネルMOSトランジスタ(出力段トランジスタ, 出力段PチャンネルMOSトランジスタ)、109は節点dをゲート入力とし、出力端子112を駆動する出力段のNチャンネルMOSトランジスタ(出力段トランジスタ, 出力段NチャンネルMOSトランジスタ)である。

【0026】

110は入力端子100への入力をゲート入力とし、VDDと節点eとの間に接続され、出力端子112を駆動する製造誤差補正用のNチャンネルMOSトランジスタ(製造誤差補正回路)、111は入力端子100への入力をゲート入力とし、節点eとVSSとの間に接続され、出力端子112を駆動する製造誤差補正用のPチャンネルMOSトランジスタ(製造誤差補正回路)である。このように接続されたNチャンネルMOSトランジスタ110はオン動作時においてHighレベルまで駆動できない。また、PチャンネルMOSトランジスタ111はオン動作時においてLowレベルまで駆動できない。

【0027】

また、113はVDDと出力端子112間に接続された外部負荷となるプルアップ抵抗、114は出力端子112とVSSとの間に接続されたコンデンサである。

【0028】

次に、動作について説明する。

図2および図3は、図1に示した出力バッファ回路の各部の信号波形を示す波形図であり、図2に示す信号波形図においてxは節点aでの電圧波形、は節点eでの電圧波形を表わす。また、図3に示す信号波形図において、は節点cでの電圧波形、は節点dでの電圧波形を表わす。

【0029】

10

20

30

40

50

まず、節点 a での信号、すなわち入力端子 100 への入力信号の立ち下がり時の動作を説明する。

初期状態として節点 a の信号が High レベルのとき、駆動セル 102 では P チャンネル MOS トランジスタ 121 はオフ、N チャンネル MOS トランジスタ 122 がオンしていることから、駆動セル 102 は Low レベルで節点 c を駆動しており、また駆動セル 103 は P チャンネル MOS トランジスタ 123 がオフ、N チャンネル MOS トランジスタ 124 がオンしていることから、Low レベルで節点 d を駆動している。また、インバータ回路 101 は Low レベルで節点 b を駆動しており、この結果、スルーレート補正用の P チャンネル MOS トランジスタ 106 はオン、N チャンネル MOS トランジスタ 107 はオフしている。また、出力段の P チャンネル MOS トランジスタ 108 は、節点 c が Low レベルに駆動されていることからオン、製造誤差補正用の N チャンネル MOS トランジスタ 110 はゲートに High レベルが与えられていることからオンの状態である。また出力段の N チャンネル MOS トランジスタ 109 は、駆動セル 103 により節点 d が Low レベルに駆動されていることからオフ、製造誤差補正用の P チャンネル MOS トランジスタ 111 はゲートに High レベルが与えられていることからオフの状態である。この結果、出力端子 112 は High レベルに駆動されている。

#### 【0030】

次に、節点 a の信号が立ち下がる時、節点 c については、駆動セル 102 の P チャンネル MOS トランジスタ 121 のドライブ能力が高いため、コンデンサ 104 の負荷が節点 c に接続された状態にあっても、即座に High レベルまで立ち上がる。一方、節点 d については、駆動セル 103 の P チャンネル MOS トランジスタ 123 のドライブ能力が低く、コンデンサ 105 が節点 d に接続されていることから緩やかに立ち上がり、最終的に High レベルまで立ち上がる。

#### 【0031】

また、スルーレート補正用の N チャンネル MOS トランジスタ 107 は、節点 b の電圧が立ち上がった瞬間に直ちに立ち上がり始め、その後、High レベルまでには駆動できない。

#### 【0032】

すなわち、節点 d は、これら駆動セル 103 の P チャンネル MOS トランジスタ 123 とスルーレート補正用の N チャンネル MOS トランジスタ 107 両者の相互作用により High レベルへ駆動される。つまり、節点 a の信号が立ち下がり始めた直後には N チャンネル MOS トランジスタ 107 により急峻に駆動され、また、それ以降では駆動セル 103 の P チャンネル MOS トランジスタ 123 により緩やかに High レベルへ駆動される結果、図 3 の符号 で示す節点 d の電圧波形に示すように最初急峻に立ち上がり、その後、緩やかに High レベルまで立ち上がることになる。

#### 【0033】

このため、図 1 に示す出力段の P チャンネル MOS トランジスタ 108 は、節点 c が駆動セル 102 の P チャンネル MOS トランジスタ 121 により即座に High レベルへ駆動されることから直ちにオフ状態になる一方、出力段の N チャンネル MOS トランジスタ 109 は始め急峻に、その後、緩やかにオン状態になる。

#### 【0034】

また、節点 a の信号が立ち下がる時、製造誤差補正用の N チャンネル MOS トランジスタ 110 は直ちにオフ状態になる。また、製造誤差補正用の P チャンネル MOS トランジスタ 111 も、節点 a の電位が立ち下ると直ちに駆動し始めるが、Low レベルまでには駆動できない。

#### 【0035】

この結果、図 2 の符号 で示す電圧波形のように、出力端子 112 の電圧波形は、始め製造誤差補正用の P チャンネル MOS トランジスタ 111 と節点 d の電位変化により急峻に立ち下がり、その後は節点 d の緩やかな電位変化に従って駆動される出力段の N チャンネル MOS トランジスタ 109 により緩やかに、かつ滑らかに Low レベルまで変化し、プ

10

20

30

40

50

ルアップ抵抗 113、コンデンサ 114 などの外部負荷を不要輻射ノイズの発生を抑制した状態で駆動することができる。

【0036】

次に、節点 a の信号、すなわち入力端子 100 への入力信号の立ち上がり時の動作について説明する。

この場合の初期状態は、節点 a の信号が Low レベルであり、駆動セル 102 は P チャンネル MOS トランジスタ 121 がオン、N チャンネル MOS トランジスタ 122 がオフしているため、節点 c を High レベルで駆動している。また、駆動セル 103 は、P チャンネル MOS トランジスタ 123 がオン、N チャンネル MOS トランジスタ 124 がオフであり、節点 d を High レベルで駆動している。一方、インバータ回路 101 は High レベルで節点 b を駆動し、この結果、スルーレート補正用の P チャンネル MOS トランジスタ 106 はオフしている。また、出力段の P チャンネル MOS トランジスタ 108 はオフ、製造誤差補正用の N チャンネル MOS トランジスタ 110 もオフ、出力段の N チャンネル MOS トランジスタ 109 はオン、製造誤差補正用の P チャンネル MOS トランジスタ 111 もオンしている。この結果、出力端子 112 は Low レベルに駆動されている。

10

【0037】

この状態から節点 a の信号が立ち上がるとき、駆動セル 102 の P チャンネル MOS トランジスタ 121 はオフし、N チャンネル MOS トランジスタ 122 はオンするが、この N チャンネル MOS トランジスタ 122 のドライブ能力は低く、節点 c にはコンデンサ 104 が接続されているため、節点 c の電位は緩やかに立ち下がり、最終的に Low レベルまで立ち下がる。

20

【0038】

一方、節点 d については、駆動セル 103 の P チャンネル MOS トランジスタ 123 はオフし、N チャンネル MOS トランジスタ 124 はオンするが、その N チャンネル MOS トランジスタ 124 のドライブ能力は高いため、節点 d にコンデンサ 105 が接続されていても節点 d の電位は直ちに Low レベルまで立ち下がる。

【0039】

一方、スルーレート補正用の P チャンネル MOS トランジスタ 106 は、節点 b の電位が立ち下がった瞬間に直ちに立ち下がり始めるが、その後は Low レベルまでには駆動できない。

30

【0040】

この結果、節点 c は、これら駆動セル 102 の N チャンネル MOS トランジスタ 122 とスルーレート補正用の P チャンネル MOS トランジスタ 106 両者の相互作用により、節点 a の信号の立ち上がりに対し、図 3 の符号 で示す電圧波形のように、最初、P チャンネル MOS トランジスタ 106 により急峻に立ち下がり、その後、駆動セル 102 の N チャンネル MOS トランジスタ 122 により緩やかに Low レベルまで立ち下がる。

【0041】

このため、図 1 に示す出力段の N チャンネル MOS トランジスタ 109 は、節点 a の信号の立ち上がりに対し直ちにオフ状態となり、また、出力段の P チャンネル MOS トランジスタ 108 は、最初、急峻に、その後、緩やかにオン状態になる。

40

【0042】

また、製造誤差補正用の P チャンネル MOS トランジスタ 111 については、節点 a の信号の立ち上がりに対し直ちにオフ状態となり、N チャンネル MOS トランジスタ 110 については、節点 a の信号の立ち上がりに対し直ちに節点 e を High レベルへ駆動し始めるが、その後は High レベルまでには駆動できない。

【0043】

この結果、図 2 の符号 で示す電圧波形のように、出力端子 112 の電圧波形は、節点 a の信号の立ち上がりに対し始め急峻に立ち上がり、その後、緩やかに、かつ High レベルまで滑らかにプルアップ抵抗 113、コンデンサ 114 などの外部負荷を不要輻射ノイ

50

ズの発生を抑制した状態で駆動することができる。

【 0 0 4 4 】

次に、スルーレート補正用のPチャンネルMOSトランジスタ106、NチャンネルMOSトランジスタ107の作用について説明する。図4および図5は、図1に示すスルーレート補正用のPチャンネルMOSトランジスタ106およびNチャンネルMOSトランジスタ107と、製造誤差補正用のNチャンネルMOSトランジスタ110およびPチャンネルMOSトランジスタ111を取り除いた場合の各部の信号波形を示す波形図であり、図4に示す信号波形図においてxは節点aでの電圧波形、yは節点eでの電圧波形を表わす。また、図4で示す実線はプルアップ抵抗が外部負荷として接続されている場合の節点eでの電圧波形、図4で示す破線はプルダウン抵抗が外部負荷として接続されている場合の節点eでの電圧波形である。また、図5に示す信号波形図において、zは節点cでの電圧波形、wは節点dでの電圧波形を表わす。

10

【 0 0 4 5 】

図4の符号xで示す電圧波形のように、出力端子112の信号が立ち下がる時、すなわち節点aの信号が立ち下がる時には、節点eの電位は急峻にではなく緩やかに立ち下がる。この理由は、スルーレート補正用のPチャンネルMOSトランジスタ106、NチャンネルMOSトランジスタ107と、製造誤差補正用のNチャンネルMOSトランジスタ110、PチャンネルMOSトランジスタ111を取り除いたために、節点aの信号の立ち下がりによりオンする駆動セル103のドライブ能力の弱いPチャンネルMOSトランジスタ123により、コンデンサ105の接続された節点dの電位が始めから緩やかに立ち上がり(図5参照)、さらにこの節点dの電位の上昇に応じて出力段のNチャンネルMOSトランジスタ109が緩やかにオンするためである。

20

【 0 0 4 6 】

一方、出力端子112の信号が立ち上がる時、すなわち節点aの信号が立ち上がる場合、図4の符号yで示す電圧波形のように、節点eの信号の立ち下がりの場合と比べると、最初、急峻に立ち上がる。

この理由は、節点aの信号の立ち上がりに応じてオンする駆動セル102のドライブ能力の弱いNチャンネルMOSトランジスタ122により、出力段のPチャンネルMOSトランジスタ108の最初の段階が弱く駆動されるため、このとき外部負荷として接続されているプルアップ抵抗113により、節点eの電位変化は節点eの信号の立ち下がりの場合と比べれば最初急峻に立ち上がる。

30

【 0 0 4 7 】

また、プルアップ抵抗113に替えてプルダウン抵抗が接続されている場合、出力端子112の信号が立ち下がる時、すなわち節点aの信号が立ち下がる場合、図4の符号y'で示す電圧波形のように、節点eの信号の立ち上がりの場合と比べると、最初、急峻に立ち下がる。

この理由は、節点aの信号の立ち下がりに応じてオンする駆動セル103のドライブ能力の弱いPチャンネルMOSトランジスタ123により、出力段のNチャンネルMOSトランジスタ109の最初の段階が弱く駆動されるため、このとき外部負荷として接続されているプルダウン抵抗により、節点eの電位変化は節点eの信号の立ち上がりの場合と比べれば最初急峻に立ち下がる。

40

【 0 0 4 8 】

一方、図4の符号x'で示す電圧波形のように、出力端子112の信号が立ち上がる時、すなわち節点aの信号が立ち上がる時には、節点eの電位は急峻にではなく緩やかに立ち上がる。この理由は、スルーレート補正用のPチャンネルMOSトランジスタ106、NチャンネルMOSトランジスタ107と、製造誤差補正用のNチャンネルMOSトランジスタ110、PチャンネルMOSトランジスタ111を取り除いたために、節点aの信号の立ち上がりによりオンする駆動セル102のドライブ能力の弱いNチャンネルMOSトランジスタ122により、コンデンサ104の接続された節点cの電位が始めから緩やかに立ち下がり、さらにこの節点cの電位の下降に応じて出力段のPチャンネルMOS

50

トランジスタ108が緩やかにオンするためである。

【0049】

これらの現象により、プルアップ抵抗またはプルダウン抵抗いずれが接続されている場合においても、図4に示す節点eの電圧波形の立ち上がり時間と立ち下がり時間は大幅に異なることになり、スルーレートを一定の範囲に収めることが困難になる。

【0050】

このため、外部負荷としてプルアップ抵抗が接続されている場合、スルーレート補正用のNチャンネルMOSトランジスタ107を付加することで、節点aの立ち下がり時の始めの段階で節点dの電位を急峻に立ち上げ、節点eの電位を始め急峻に立ち下げ、またスルーレート補正用のPチャンネルMOSトランジスタ106を付加することで、節点aの立ち上がり時の始めの段階で節点cの電位を急峻に立ち下げ、節点eの電位を始め急峻に立ち上げ、図2の符号、で示す電圧波形のように節点aの立ち下がり時と立ち上がり時のスルーレートを一定の範囲内に収めることを可能にしている。

10

【0051】

また、外部負荷としてプルダウン抵抗が接続されている場合でも、スルーレート補正用のNチャンネルMOSトランジスタ107を付加することで、節点aの立ち下がり時の始めの段階で節点dの電位を急峻に立ち上げ、節点eの電位を始め急峻に立ち下げ、またスルーレート補正用のPチャンネルMOSトランジスタ106を付加することで、節点aの立ち上がり時の始めの段階で節点cの電位を急峻に立ち下げ、節点eの電位を始め急峻に立ち上げ、図2の符号、で示す電圧波形のように節点aの立ち下がり時と立ち上がり時のスルーレートを一定の範囲内に収めることを可能にしている。

20

【0052】

次に、製造誤差補正用のNチャンネルMOSトランジスタ110とPチャンネルMOSトランジスタ111の効果について説明する。

立ち上がり時間と立ち下がり時間の比率を一定の範囲に収めるためにはPチャンネルMOSトランジスタとNチャンネルMOSトランジスタの特性は一定している方が好ましい。しかしながら製造上の誤差によりPチャンネルMOSトランジスタとNチャンネルMOSトランジスタの特性が良い方、または悪い方へ振れることが想定される。

【0053】

説明のために、図1に示す出力バッファ回路において製造誤差補正用のNチャンネルMOSトランジスタ110とPチャンネルMOSトランジスタ111を取り除いた場合の動作を説明する。PチャンネルMOSトランジスタとNチャンネルMOSトランジスタの特性がそれぞれ最良の特性となった場合は出力段のPチャンネルMOSトランジスタ108、NチャンネルMOSトランジスタ109の立ち上がり及び立ち下がり時間はそれぞれ短くなり、その比率は一定である。

30

またPチャンネルMOSトランジスタとNチャンネルMOSトランジスタの特性がそれぞれ最悪の特性となった場合は、出力段のPチャンネルMOSトランジスタ106とNチャンネルMOSトランジスタ109の立ち上がり時間及び立ち下がり時間はそれぞれ長くなり、その比率は一定である。

【0054】

しかしながらPチャンネルMOSトランジスタの特性が最良であり、NチャンネルMOSトランジスタの特性が最悪の特性となった場合は、出力段のPチャンネルMOSトランジスタ108とNチャンネルMOSトランジスタ109による節点eの立ち上がり時間は短く、立ち下がり時間は長くなり、その比率は一定でなくなる。

40

【0055】

また、PチャンネルMOSトランジスタの特性が最悪であり、NチャンネルMOSトランジスタの特性が最良の特性となった場合は、出力段のPチャンネルMOSトランジスタ108とNチャンネルMOSトランジスタ109による節点eの電位の立ち上がり時間は長く、立ち下がり時間は短くなり、その比率は一定でなくなる。

【0056】

50

この対策として、節点 e の立ち上がりに作用するトランジスタとして、出力段の P チャンネル MOS トランジスタ 108 に逆極性の製造誤差補正用の N チャンネル MOS トランジスタ 110 を並列的に接続構成し、また、節点 e の立ち下がりに作用するトランジスタとして、出力段の N チャンネル MOS トランジスタ 109 に製造誤差補正用の P チャンネル MOS トランジスタ 111 を並列的に接続配置する。

【0057】

この結果、出力端子 112、すなわち節点 e の電位の立ち上がり時は、出力段の P チャンネル MOS トランジスタ 108 と製造誤差補正用の N チャンネル MOS トランジスタ 110 のオン動作の相互作用により、また、節点 e の電位の立ち下がり時には出力段の N チャンネル MOS トランジスタ 109 と製造誤差補正用の P チャンネル MOS トランジスタ 111 のオン動作の相互作用により、製造上、P チャンネル MOS トランジスタと N チャンネル MOS トランジスタの特性が互いに逆に振れた場合（P チャンネル MOS トランジスタが最良、N チャンネル MOS トランジスタが最悪、もしくは P チャンネル MOS トランジスタが最悪、N チャンネル MOS トランジスタが最良）でも、その製造誤差が補正され、出力端子 112 すなわち節点 e の電位の立ち上がり時間および立ち下がり時間の比率は一定となる。

【0058】

以上のように、この実施の形態 1 によれば、節点 a の入力信号の立ち下がり時には、出力段の N チャンネル MOS トランジスタ 109 のゲートを段階的に駆動し、また、節点 a の入力信号の立ち上がり時には、出力段の P チャンネル MOS トランジスタ 108 のゲートを段階的に駆動することにより、出力波形を滑らかに変化させるようにして、出力波形の不要輻射ノイズを抑え、またスルーレートを一定の範囲に収めることのできる出力バッファ回路が得られる効果がある。

【0059】

また、逆極性の製造誤差補正用の N チャンネル MOS トランジスタ 110 を出力段の P チャンネル MOS トランジスタ 108 に並列的に接続配置するとともに、製造誤差補正用の P チャンネル MOS トランジスタ 111 を出力段の N チャンネル MOS トランジスタ 109 に並列的に接続配置し、節点 e の電位の立ち下がりには、出力段の N チャンネル MOS トランジスタ 109 と製造誤差補正用の P チャンネル MOS トランジスタ 111 が、また節点 e の電位の立ち上がりには、出力段の P チャンネル MOS トランジスタ 108 と製造誤差補正用の N チャンネル MOS トランジスタ 110 が動作するようにして、製造上、N チャンネル MOS トランジスタおよび P チャンネル MOS トランジスタのドライブ能力の誤差が互いに逆方向に振れた場合においても、それら N チャンネル MOS トランジスタと P チャンネル MOS トランジスタの前記ドライブ能力の誤差による節点 e の立ち上がり時間および立ち下がり時間の比率の変化をなくして一定にし、スルーレートを一定の範囲に収めることが可能になる。

【0060】

また、差動信号に使用される場合には、波形のクロスポイントおよびスルーレートの比率も一定の範囲に収めることが可能になる出力バッファ回路が得られる効果がある。

【0061】

なお、以上の説明では出力バッファ回路として説明したが、インバータ回路、その他のゲート回路などに適用することも可能であり、インバータ回路に適用する場合には、この実施の形態 1 で説明した構成において節点 a にインバータを奇数個挿入することで実現でき、またゲート回路に適用する場合には、節点 a に AND 回路、OR 回路などの複数入力のゲートを挿入することで実現できる。

【0062】

実施の形態 2 .

図 6 は、この実施の形態 2 の出力バッファ回路の構成を示す回路図である。図において、200 は入力端子、201 は遅延回路部である。202 は後述する駆動セル（制御回路）251、駆動セル（制御回路）252 と同様に P チャンネル MOS トランジスタと N チャンネル MOS トランジスタとにより構成された駆動能力の強いインバータ回路（駆動セル

10

20

30

40

50

)、203は2入力ANDゲート、204は2入力ORゲート、205は駆動セル251を構成するドライブ能力の強いPチャンネルMOSトランジスタ(ドライブ能力の強いトランジスタ)、206は同様に駆動セル251を構成するドライブ能力の弱いNチャンネルMOSトランジスタ(ドライブ能力の弱いトランジスタ)、207は駆動セル252を構成するドライブ能力の弱いPチャンネルMOSトランジスタ(ドライブ能力の弱いトランジスタ)、208は同様に駆動セル252を構成するドライブ能力の強いNチャンネルMOSトランジスタ(ドライブ能力の強いトランジスタ)、209は初段出力用のPチャンネルMOSトランジスタ(初段出力用のトランジスタ、初段出力用PチャンネルMOSトランジスタ)、210は同様に初段出力用のNチャンネルMOSトランジスタ(初段出力用のトランジスタ、初段出力用NチャンネルMOSトランジスタ)、211は前記初段出力用のPチャンネルMOSトランジスタ209よりドライブ能力のより強い次段出力用のPチャンネルMOSトランジスタ、212は前記初段出力用のNチャンネルMOSトランジスタ210よりドライブ能力のより強い次段出力用のNチャンネルMOSトランジスタ(次段出力用のトランジスタ、制御回路、次段出力用NチャンネルMOSトランジスタ)、213はVDDと節点jとの間に接続された外部負荷となるプルアップ抵抗、214は節点jとVSSとの間に接続された外部負荷となるコンデンサである。

10

【0063】

遅延回路部201、インバータ回路202、2入力ANDゲート203、2入力ORゲート204は、入力端子200からの信号を入力信号とする。また、初段出力用のPチャンネルMOSトランジスタ209、NチャンネルMOSトランジスタ210は、インバータ回路202の出力をゲート入力とし節点jを駆動する。

20

【0064】

駆動セル251のPチャンネルMOSトランジスタ205、NチャンネルMOSトランジスタ206は、2入力ANDゲート203の出力をゲート入力として節点hを駆動する。

【0065】

駆動セル252のPチャンネルMOSトランジスタ207、NチャンネルMOSトランジスタ208は、2入力ORゲート204の出力をゲート入力として節点iを駆動する。

【0066】

次段出力用のPチャンネルMOSトランジスタ211、NチャンネルMOSトランジスタ212は、駆動セル251および駆動セル252の出力をゲート入力として節点jを駆動する。

30

【0067】

遅延回路部201は、入力端子200からの入力信号より一定の時間遅延した信号を出力し、その論理は入力信号と同じである。また、インバータ回路202を構成しているPチャンネルMOSトランジスタ、NチャンネルMOSトランジスタのW/Lの値は大きく、ドライブ能力は強いものとなっており、初段出力用のPチャンネルMOSトランジスタ209、NチャンネルMOSトランジスタ210を瞬時に駆動できるドライブ能力を有している。

【0068】

また、駆動セル251を構成しているPチャンネルMOSトランジスタ205のW/L値は大きく、NチャンネルMOSトランジスタ206のW/Lの値は小さく設定されている。従って、駆動セル251の特性はHighレベル出力の駆動能力は高く、Lowレベル出力の駆動能力は低くなっている。

40

【0069】

また、駆動セル252を構成しているPチャンネルMOSトランジスタ207のW/L値は小さく、NチャンネルMOSトランジスタ208のW/Lの値は大きくなっている。従って、駆動セル252の特性はHighレベル出力の駆動能力が弱く、Lowレベル能力が強いものになっている。

【0070】

次に、動作について説明する。

50

図7は、この実施の形態2の出力バッファ回路の動作を説明するための各節点における電圧波形を示す信号波形図である。図7中、は節点hにおける電圧波形、xは節点iにおける電圧波形、は節点jにおける電圧波形を表している。

【0071】

まず、節点nの信号、すなわち、入力端子200への入力信号の立ち下がり時の動作を説明する。

初期状態は節点nの信号がHighレベルのとき、インバータ回路202はLowレベルで節点kを駆動し、初段出力用のPチャンネルMOSトランジスタ209は節点kの信号を受けてHighレベルで節点jを駆動している。このとき初段出力用のNチャンネルMOSトランジスタ210はオフである。

10

また節点nと節点gの論理が同じであるので、2入力ANDゲート203により節点pはHighレベルで駆動され、節点pのHighレベルを受けて駆動セル251は節点hをLowレベルで駆動している。次段出力用のPチャンネルMOSトランジスタ211は、節点hのLowレベルを受けHighレベルで節点jを駆動している。

【0072】

また、2入力OR回路204は節点mをHighレベルで駆動し、節点mのHighレベルを受け駆動セル252は節点iをLowレベルで駆動している。このとき、次段出力用のNチャンネルMOSトランジスタ212は節点iのLowレベルを受けオフである。

【0073】

次に、節点nの信号の立ち下がり時には、2入力AND回路203は節点pを瞬時にLowレベルへ駆動し、これを受けて駆動セル251は、図7の符号Aで示す電圧波形のように節点hを瞬時にHighレベルへ駆動する。

20

【0074】

この結果、次段出力用のPチャンネルMOSトランジスタ211は瞬時にオフされる。また、インバータ回路202は瞬時に節点kをHighレベルに駆動し、この結果、初段出力用のNチャンネルMOSトランジスタ210は節点jをLowレベルに駆動する。このとき、外部負荷があるので、節点jは図7の符号B（および破線で示す符号B'の部分）で示す電圧波形のように徐々に立ち下がる。

【0075】

一定時間経過後、遅延回路部201はLowレベルを出力する。それを受け2入力OR回路204は節点mをLowレベルへ駆動し、この結果、駆動セル252の出力は、PチャンネルMOSトランジスタ207のドライブ能力が弱いため図7の符号Cで示す電圧波形のように節点iを徐々にHighレベルへ立ち上げる。

30

【0076】

この節点iのHighレベルへの立ち上がりを受け、次段出力用のNチャンネルMOSトランジスタ212は、図7の符号Dで示す電圧波形のように、最初、滑らかに節点jをLowレベルへ立ち下げる。このとき、節点jを滑らかに駆動することにより、次段出力NチャンネルMOSトランジスタ212のスイッチングノイズを低減し節点jの高調波成分を低減させている。また、駆動セル252は最終的に節点iをHighレベルで駆動するため、初段出力用のNチャンネルMOSトランジスタ210よりドライブ能力のより強い次段出力用のNチャンネルMOSトランジスタ212は、その後、外部負荷に対し節点jを十分にLowレベルへ駆動し、スルーレートを規定範囲内へ収めることができる。

40

【0077】

次に、節点nの信号、すなわち入力端子200への入力信号の立ち上がり時の動作を説明する。

初期状態は節点nの信号がLowレベルであり、インバータ回路202はHighレベルで節点kを駆動し、初段出力用のNチャンネルMOSトランジスタ210は節点kのHighレベルを受けLowレベルで節点jを駆動している。このとき初段出力用のPチャンネルMOSトランジスタ209はオフである。

【0078】

50

また、節点 n と節点 g の論理が同じであるので、2 入力 OR 回路 204 により節点 m は Low レベルで駆動され、節点 m の Low レベルを受け駆動セル 252 は節点 i を High レベルで駆動している。

次段出力用の N チャンネル MOS トランジスタ 212 は、節点 i の High レベルを受け Low レベルで節点 j を駆動している。また、2 入力 AND 回路 203 は節点 p を Low レベルで駆動し、この節点 p の Low レベルを受け駆動セル 251 は節点 h を High レベルで駆動している。このとき次段出力用の P チャンネル MOS トランジスタ 211 は、節点 h の High レベルを受けオフである。

【0079】

この状態で節点 n の信号が立ち上がる時、2 入力 OR 回路 204 は節点 m を瞬時に High レベルに駆動し、この節点 m の High レベルを受け、駆動セル 252 は図 7 の符号 E で示す電圧波形のように節点 i を瞬時に Low レベルに駆動する。この結果、次段出力用の N チャンネル MOS トランジスタ 212 は瞬時にオフされる。

10

また、インバータ回路 202 は瞬時に節点 k を Low レベルに駆動し、インバータ回路 202 の出力を受け初段出力用の P チャンネル MOS トランジスタ 209 は節点 j を High レベルへ駆動する。このとき、図 7 の符号 F に示すように外部負荷があるので節点 j は徐々に立ち上がる。

【0080】

一定時間経過後、遅延回路部 201 も High レベルを出力する。この遅延回路部 201 の出力を受け、2 入力 AND 回路 203 は節点 p を High レベルで駆動し、この節点 p の High レベルを受け、駆動セル 251 の出力は、N チャンネル MOS トランジスタ 206 のドライブ能力が低いため、図 7 の符号 G に示すように徐々に立ち下がる。この駆動セル 251 の出力を受け、次段出力用の P チャンネル MOS トランジスタ 211 は、図 7 の符号 Q ( および、破線で示す符号 F ' の部分 ) に示すように滑らかに節点 j を駆動し High レベルへ立ち上げる。

20

【0081】

このとき、最初、滑らかに駆動することにより次段出力用の P チャンネル MOS トランジスタ 211 のスイッチングノイズを低減し、節点 j の高調波成分を低減させている。また、駆動セル 251 は最終的に節点 h を Low レベルで駆動するため、前記初段出力用の P チャンネル MOS トランジスタ 209 よりドライブ能力のより強い次段出力用の P チャンネル MOS トランジスタ 211 は、その後、外部負荷に対し節点 j を十分に High レベルへ駆動し、スルーレートを規定範囲内へ収めることができる。

30

【0082】

以上のように、この実施の形態 2 によれば、初段出力用の P チャンネル MOS トランジスタ 209、N チャンネル MOS トランジスタ 210 に対し、次段出力用の P チャンネル MOS トランジスタ 211、N チャンネル MOS トランジスタ 212 のゲートを、遅延回路部 201 の出力を利用し段階的に、かつ駆動能力の弱い駆動セルのトランジスタにより、最初、徐々に滑らかに駆動するため、次段出力用のトランジスタのスイッチングノイズ、節点 j の高調波成分を低減させることができ、不要輻射ノイズを抑えることが可能であり、また、その後、前記初段出力用のトランジスタよりドライブ能力の強い次段出力用のトランジスタにより外部負荷に対し節点 j を十分に駆動することができるため、スルーレートを一定の範囲内に抑えられる出力バッファ回路が得られる効果がある。

40

【0083】

また、差動信号に使用される場合においては、波形のクロスポイント、およびスルーレートの比率も一定の範囲に収めることができる出力バッファ回路が得られる効果がある。

【0084】

なお、以上の説明では出力バッファ回路として説明したが、インバータ回路、その他のゲート回路などに適用することも可能であり、インバータ回路に適用する場合には、この実施の形態 2 で説明した構成において入力端子 200 の直後にインバータを奇数個挿入することで実現でき、またゲート回路に適用する場合にも、入力端子 200 の直後に AND

50

回路、OR回路などの複数入力のゲートを挿入することで実現できる。

【0085】

【発明の効果】

以上のように、この発明によれば、非導通状態に制御される出力段トランジスタを、ドライブ能力の強いトランジスタにより直ちに前記非導通状態へ制御するとともに、導通状態に制御される前記出力段トランジスタを、前記導通状態へ遷移する始めの段階でドライブ能力の弱いトランジスタによりスルーレートを規定の範囲内にする速さで制御しながら、複数のドライブ能力の弱いトランジスタにより連続的かつ滑らかに前記導通状態へ制御する制御回路を備えるように構成したので、高調波成分を低減するとともにスルーレートが一定の範囲に収まるような制御が可能になり、外部負荷としてブルアップ抵抗またはブルダウ

10

【0086】

この発明によれば、導通状態に制御される出力段トランジスタが前記導通状態へ遷移する始めの段階で機能し、当該出力段トランジスタを、出力端子における出力信号のスルーレートを規定の範囲内にする速さで制御する、ドライブ能力のやや弱い第1のトランジスタと、前記出力段トランジスタが導通状態へ遷移し定常状態に達するまでの過渡期間に当該出力段トランジスタを制御し、高調波成分が低減された出力信号を前記出力端子へ出力させる、ドライブ能力の弱い第2のトランジスタとを制御回路が備えるように構成したので、前記出力段トランジスタは前記第1のトランジスタと前記第2のトランジスタにより高調波成分を低減可能に制御されるとともにスルーレートが一定の範囲に収まるように制御され、また外部負荷としてブルアップ抵抗またはブルダウ抵抗が接続された場合の出力端子の出力波形に与える立ち上がり時間と立ち下がり時間の差が生じないように制御されるため、スルーレートを一定の範囲に収めることができ、また差動信号に用いられた場合であっても、この両者の信号に対応した出力波形間のクロスポイント、およびスルーレートの比率を一定の範囲内に収められる効果がある。

20

【0087】

この発明によれば、非導通状態に制御される電源電圧側と出力端子との間に接続された出力段PチャンネルMOSトランジスタを、入力端子から与えられた入力信号をもとに直ちに前記非導通状態へ制御し、また導通状態に制御される前記出力段PチャンネルMOSトランジスタを、ドライブ能力の弱いNチャンネルMOSトランジスタにより前記入力信号をもとに緩やかに前記導通状態へ制御する第1の駆動セルと、非導通状態に制御される前記出力端子と前記基準電位との間に接続された出力段NチャンネルMOSトランジスタを、前記入力信号をもとに直ちに前記非導通状態へ制御し、また導通状態に制御される前記出力段NチャンネルMOSトランジスタを、ドライブ能力の弱いPチャンネルMOSトランジスタにより前記入力信号をもとに緩やかに前記導通状態へ制御する第2の駆動セルと、前記出力段NチャンネルMOSトランジスタが前記第2の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで前記出力段NチャンネルMOSトランジスタを導通状態へ制御し、また、前記出力段PチャンネルMOSトランジスタが前記第1の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで前記出力段PチャンネルMOSトランジスタを導通状態へ制御するスルーレート補正回路とを備えるように構成したので、前記導通状態に制御される出力段PチャンネルMOSトランジスタおよび出力段NチャンネルMOSトランジスタは、前記第1の駆動セルと前記第2の駆動セルにより高調波成分を低減可能に制御されるとともに、前記スルーレート補正回路によりスルーレートが一定の範囲に収まるように制御されるため、スルーレートが一定の範囲に収まり、外部負荷としてブルアップ抵抗またはブルダウ抵抗が接続された場合の出力端子の出力波形に与える立ち

30

40

50

上がり時間と立ち下がり時間の差がなくなり、また差動信号に用いられた場合であっても、この両者の信号に対応した出力波形間のクロスポイント、およびスルーレートの比率を一定の範囲内に収められる効果がある。

【 0 0 8 8 】

この発明によれば、入力端子から与えられた入力信号の反転信号をもとに、第2の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで出力段NチャンネルMOSトランジスタを導通状態へ制御する、当該出力段NチャンネルMOSトランジスタのゲート側と電源電圧側との間に接続されたドライブ能力がやや弱いNチャンネルMOSトランジスタと、前記入力信号の反転信号をもとに、第1の駆動セルにより導通状態へ緩やかに制御される始めの段階において、出力端子へ出力される出力信号におけるスルーレートを規定の範囲内にする速さで出力段PチャンネルMOSトランジスタを導通状態へ制御する、当該出力段PチャンネルMOSトランジスタのゲート側と基準電位との間に接続されたドライブ能力がやや弱いPチャンネルMOSトランジスタとをスルーレート補正回路が備えるように構成したので、前記スルーレート補正回路によりスルーレートが一定の範囲に収まり、外部負荷としてプルアップ抵抗またはプルダウン抵抗が接続された場合の出力端子の出力波形に与える立ち上がり時間と立ち下がり時間の差がなくなり、また差動信号に用いられた場合であっても、この両者の信号に対応した出力波形間のクロスポイント、およびスルーレートの比率を一定の範囲内に収められる効果がある。

【 0 0 8 9 】

この発明によれば、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタの製造上の誤差が原因となるドライブ能力の違いによる出力端子へ出力される出力信号の立ち上がり時間および立ち下がり時間の比率の変化をなくし一定にする製造誤差補正回路を備えるように構成したので、トランジスタの製造上において駆動能力の特性に誤差が生じている場合であっても、立ち上がり時間と立ち下がり時間の比率を一定の範囲内に抑えられる効果がある。

【 0 0 9 0 】

この発明によれば、出力段PチャンネルMOSトランジスタに並列的に接続され、当該出力段PチャンネルMOSトランジスタと並行して動作する製造誤差補正用のNチャンネルMOSトランジスタと、出力段NチャンネルMOSトランジスタに並列的に接続され、当該出力段NチャンネルMOSトランジスタと並行して動作し、前記NチャンネルMOSトランジスタと相補的に動作する製造誤差補正用のPチャンネルMOSトランジスタとを、製造誤差補正回路が備えるように構成したので、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタの製造上において駆動能力の特性に誤差が生じている場合であっても、前記出力段PチャンネルMOSトランジスタとNチャンネルMOSトランジスタの立ち上がり時間と立ち下がり時間の比率を一定の範囲内に抑えられる効果がある。

【 0 0 9 1 】

この発明によれば、入力端子から与えられた入力信号を反転した高ドライブ能力を有した反転信号をもとに制御され、出力端子へ前記入力信号に応じた出力信号を出力し、外部負荷を充放電する、一対の互いに相補的に動作する初段出力用のトランジスタと、前記初段出力用のトランジスタに対し並列的に動作し、前記出力端子への前記初段出力用のトランジスタの出力に対しスルーレートを補正する、一対の互いに相補的に動作する、前記初段出力用のトランジスタよりドライブ能力のより強い次段出力用のトランジスタを有し、前記入力信号と、該入力信号を遅延させた遅延入力信号をもとに、非導通状態に制御される前記次段出力用のトランジスタを、ドライブ能力の強いトランジスタにより直ちに前記非導通状態へ制御するとともに、導通状態に制御される前記次段出力用のトランジスタを、前記導通状態へ遷移する後半の段階で、最初、ドライブ能力の弱いトランジスタにより連続的かつ滑らかに制御しながら、その後、スルーレートを規定の範囲内にする速さで前記導通状態へ制御する制御回路とを備えるように構成したので、導通状態へ制御される次段出力用のトランジスタはドライブ能力の弱いトランジスタにより最初滑らかに駆動される

ため高調波成分を低減でき、その後、前記初段出力用のトランジスタよりドライブ能力の強い前記次段出力用のトランジスタはスルーレートが一定の範囲に収まるように前記出力端子を駆動するため、外部負荷としてプルアップ抵抗またはプルダウン抵抗が接続された場合の前記出力端子の出力波形に与える立ち上がり時間と立ち下がり時間の差をなくし、スルーレートを一定の範囲に収めることができ、また差動信号に用いられた場合であっても、この両者の信号に対応した出力波形間のクロスポイント、およびスルーレートの比率を一定の範囲内に収められる効果がある。

【 0 0 9 2 】

この発明によれば、一對の互いに相補的に動作する、電源電圧側に接続された初段出力用 P チャンネル MOS トランジスタと基準電位側に接続された初段出力用 N チャンネル MOS トランジスタとを初段出力用のトランジスタとして備え、また、一對の互いに相補的に動作する、電源電圧側に接続された次段出力用 P チャンネル MOS トランジスタと基準電位側に接続された次段出力用 N チャンネル MOS トランジスタとを次段出力用のトランジスタとして備え、さらに、非導通状態に制御される前記次段出力用 P チャンネル MOS トランジスタを、遅延入力信号をもとに直ちに前記非導通状態へ制御するドライブ能力の強い P チャンネル MOS トランジスタと、導通状態に制御される前記次段出力用 P チャンネル MOS トランジスタを、前記導通状態へ遷移する後半の段階で、最初、連続的かつ滑らかに制御しながら、その後、スルーレートを規定の範囲内にする速さで前記導通状態へ制御する、ドライブ能力の弱い、前記 P チャンネル MOS トランジスタに対し相補的に動作する N チャンネル MOS トランジスタとを有した第 1 の駆動セルと、非導通状態に制御される前記次段出力用 N チャンネル MOS トランジスタを、前記遅延入力信号をもとに直ちに前記非導通状態へ制御するドライブ能力の強い N チャンネル MOS トランジスタと、導通状態に制御される前記次段出力用 N チャンネル MOS トランジスタを、前記導通状態へ遷移する後半の段階で、最初連続的かつ滑らかに制御しながら、その後、スルーレートを規定の範囲内にする速さで前記導通状態へ制御する、ドライブ能力の弱い、前記 N チャンネル MOS トランジスタに対し相補的に動作する P チャンネル MOS トランジスタとを有した第 2 の駆動セルとを制御回路が備えるように構成したので、前記第 1 の駆動セル、前記第 2 の駆動セルのドライブ能力の弱いトランジスタにより導通状態に制御される前記次段出力用 P チャンネル MOS トランジスタ、前記次段出力用 N チャンネル MOS トランジスタにより高調波成分が抑制されるとともに、出力端子における出力波形のスルーレートが一定の範囲に収まるような制御が可能になり、また、前記次段出力用 P チャンネル MOS トランジスタ、前記次段出力用 N チャンネル MOS トランジスタは前記出力端子を十分にドライブ可能であり、外部負荷としてプルアップ抵抗またはプルダウン抵抗が接続された場合の前記出力端子の出力波形に与える立ち上がり時間と立ち下がり時間の差をなくし、スルーレートを一定の範囲に収めることができ、また差動信号に用いられた場合であっても、この両者の信号に対応した出力波形間のクロスポイント、およびスルーレートの比率を一定の範囲内に収められる効果がある。

【 図面の簡単な説明 】

【 図 1 】 この発明の実施の形態 1 の出力バッファ回路の構成を示す回路図である。

【 図 2 】 この発明の実施の形態 1 の出力バッファ回路における各部の信号波形を示す波形図である。

【 図 3 】 この発明の実施の形態 1 の出力バッファ回路における各部の信号波形を示す波形図である。

【 図 4 】 この発明の実施の形態 1 の出力バッファ回路においてスルーレート補正用のトランジスタと、製造誤差補正用のトランジスタを取り除いた場合の各部の信号波形を示す波形図である。

【 図 5 】 この発明の実施の形態 1 の出力バッファ回路においてスルーレート補正用のトランジスタと、製造誤差補正用のトランジスタを取り除いた場合の各部の信号波形を示す波形図である。

【 図 6 】 この発明の実施の形態 2 の出力バッファ回路の構成を示す回路図である。

10

20

30

40

50

【図7】 この発明の実施の形態2の出力バッファ回路の動作を説明するための各節点における電圧波形を示す信号波形図である。

【図8】 特開平11-17516号公報に開示された従来の出力バッファ回路の構成を示す回路図である。

【図9】 従来の出力バッファ回路の低速動作中のシミュレーションによる各部の信号波形を示す波形図である。

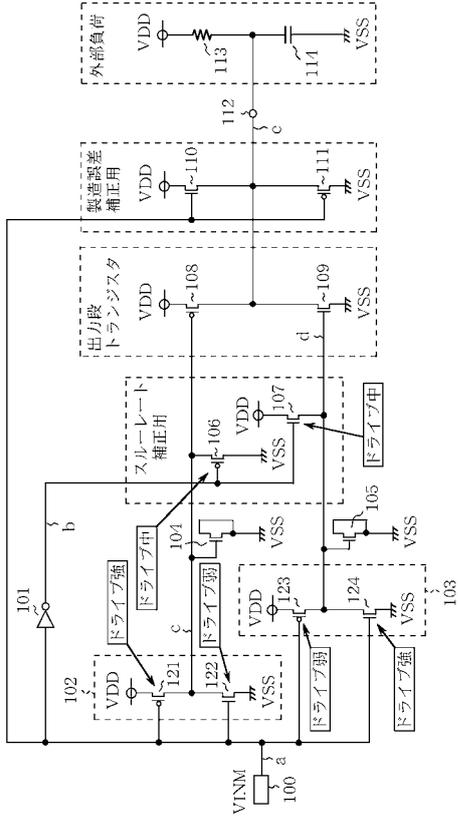
【符号の説明】

100 入力端子、102 駆動セル(制御回路,第1の駆動セル)、103 駆動セル(制御回路,第2の駆動セル)、106 PチャンネルMOSトランジスタ(制御回路,ドライブ能力のやや弱い第1のトランジスタ,スルーレート補正回路)、107 NチャンネルMOSトランジスタ(制御回路,ドライブ能力のやや弱い第1のトランジスタ,スルーレート補正回路)、108 PチャンネルMOSトランジスタ(出力段トランジスタ,出力段PチャンネルMOSトランジスタ)、109 NチャンネルMOSトランジスタ(出力段トランジスタ,出力段NチャンネルMOSトランジスタ)、110 NチャンネルMOSトランジスタ(製造誤差補正回路)、111 PチャンネルMOSトランジスタ(製造誤差補正回路)、112 出力端子、121 ドライブ能力の強いPチャンネルMOSトランジスタ、122 ドライブ能力の弱いNチャンネルMOSトランジスタ、123 ドライブ能力の弱いPチャンネルMOSトランジスタ、124 ドライブ能力の強いNチャンネルMOSトランジスタ、205 PチャンネルMOSトランジスタ(ドライブ能力の強いトランジスタ)、206 NチャンネルMOSトランジスタ(ドライブ能力の弱いトランジスタ)、207 PチャンネルMOSトランジスタ(ドライブ能力の弱いトランジスタ)、208 NチャンネルMOSトランジスタ(ドライブ能力の強いトランジスタ)、209 PチャンネルMOSトランジスタ(初段出力用のトランジスタ,初段出力用PチャンネルMOSトランジスタ)、210 NチャンネルMOSトランジスタ(初段出力用のトランジスタ,初段出力用NチャンネルMOSトランジスタ)、211 PチャンネルMOSトランジスタ(次段出力用のトランジスタ,制御回路,次段出力用PチャンネルMOSトランジスタ)、212 NチャンネルMOSトランジスタ(次段出力用のトランジスタ,制御回路,次段出力用NチャンネルMOSトランジスタ)。

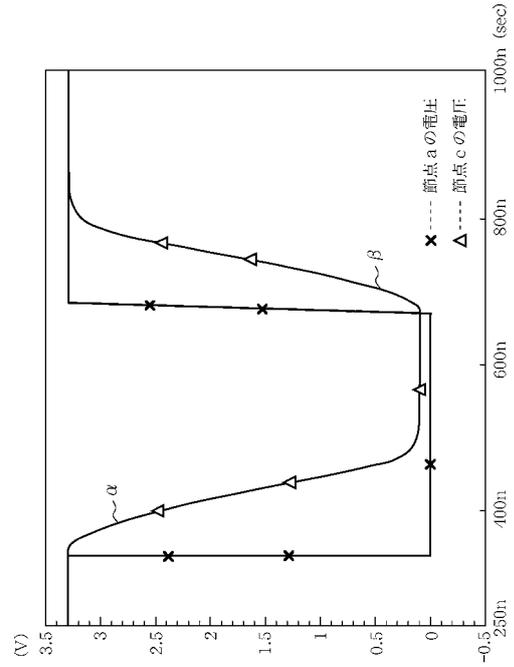
10

20

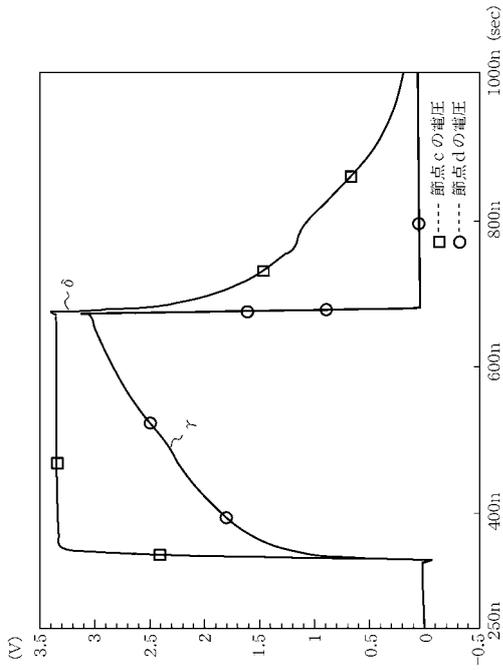
【図1】



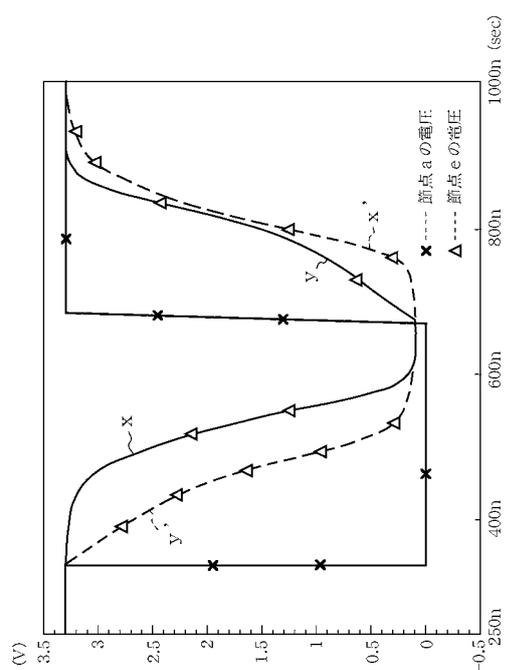
【図2】



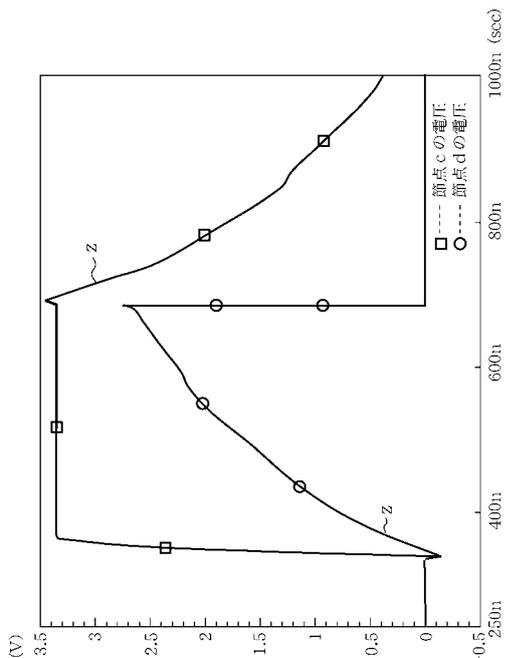
【図3】



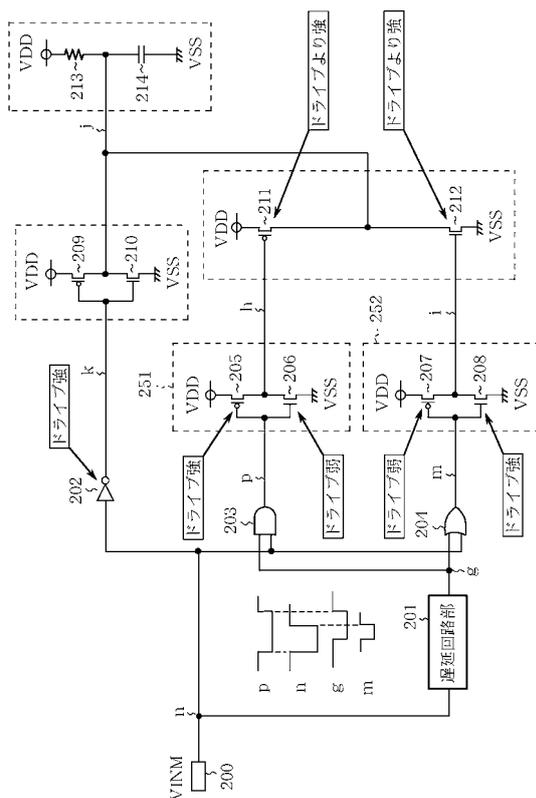
【図4】



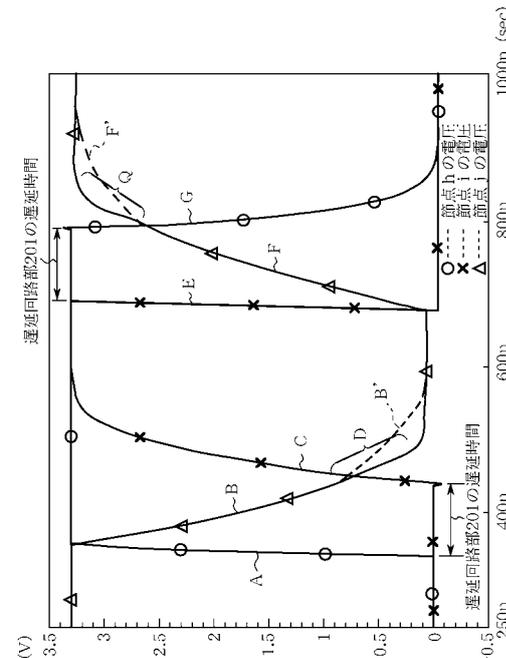
【図5】



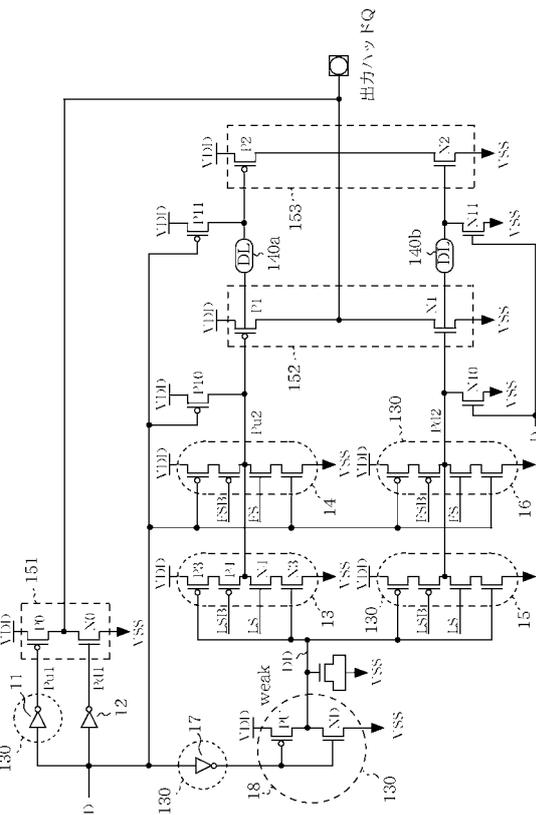
【図6】



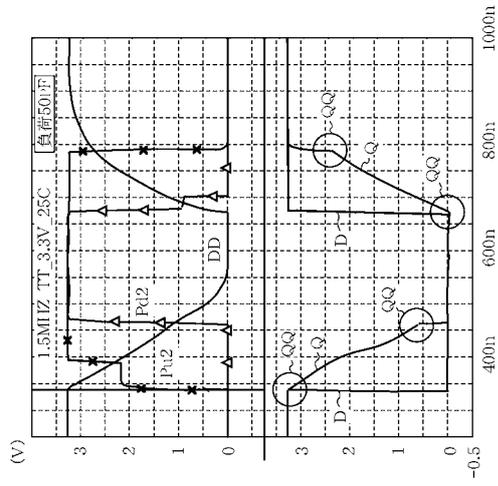
【図7】



【図8】



【 図 9 】



---

フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 将行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 田中 涉

兵庫県伊丹市中央3丁目1番17号 三菱電機システムエル・エス・アイ・デザイン株式会社内

審査官 宮島 郁美

(56)参考文献 特開平09-148909(JP,A)

特開平09-093111(JP,A)

特開平11-308088(JP,A)

特開平11-191729(JP,A)

特開平10-303733(JP,A)

特開平08-228141(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00,19/01-19/082,19/092-19/096