

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4773822号  
(P4773822)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int. Cl.		F I			
<b>H03K 17/08</b>	<b>(2006.01)</b>		H03K 17/08		C
<b>H03K 17/687</b>	<b>(2006.01)</b>		H03K 17/687		A

請求項の数 9 (全 21 頁)

(21) 出願番号	特願2005-372018 (P2005-372018)	(73) 特許権者	395011665
(22) 出願日	平成17年12月26日(2005.12.26)		株式会社オートネットワーク技術研究所
(65) 公開番号	特開2007-174490 (P2007-174490A)		三重県四日市市西末広町1番14号
(43) 公開日	平成19年7月5日(2007.7.5)	(73) 特許権者	000183406
審査請求日	平成20年7月16日(2008.7.16)		住友電装株式会社
			三重県四日市市西末広町1番14号
		(73) 特許権者	000002130
			住友電気工業株式会社
			大阪府大阪市中央区北浜四丁目5番33号
		(74) 代理人	110001036
			特許業務法人暁合同特許事務所
		(72) 発明者	高橋 成治
			三重県四日市市西末広町1番14号 株式
			会社オートネットワーク技術研究所内

最終頁に続く

(54) 【発明の名称】 電力供給制御装置

(57) 【特許請求の範囲】

【請求項1】

電源と負荷との間に設けられて前記電源から前記負荷への電力供給制御を行う電力供給制御装置であって、

前記電源から前記負荷への通電路に配される半導体スイッチ素子と、

所定の異常状態に基づき異常信号を出力する異常検出回路と、

定電圧を生成する定電圧電源回路と、

前記定電圧電源回路によって生成された定電圧が供給されることで動作可能となり、前記異常信号に基づき前記半導体スイッチ素子に遮断動作をさせるための遮断信号を出力し、前記遮断信号の出力状態を保持する出力保持回路と、

前記遮断信号の出力状態の保持後に外部からの第1オフ指令信号の入力状態が基準待機時間だけ継続したことを条件に第2オフ指令信号を出力するオフ指令出力回路と、

外部からのオン指令信号に基づき前記定電圧電源回路の通電を開始し、前記遮断信号の出力状態の保持後に前記第2オフ指令信号が出力されたことを条件に前記定電圧電源回路の通電を停止する通電制御回路と、を備える電力供給制御装置。

【請求項2】

前記異常検出回路は、前記半導体スイッチ素子に流れる負荷電流を検出する電流検出素子と、

前記電流検出素子からの検出信号に基づき前記半導体スイッチ素子に流れる負荷電流が所定の閾値を超えている場合に前記異常信号として異常電流信号を出力する異常電流検出

回路と、を備えて構成されている請求項 1 に記載の電力供給制御装置。

【請求項 3】

前記半導体スイッチ素子はパワー F E T であると共に、前記電流検出素子は前記パワー F E T に流れる負荷電流に対し所定関係のセンス電流が流れるセンス F E T とされ、前記異常電流検出回路は、前記センス電流と前記所定の閾値とに基づいて前記異常電流信号の出力を行う構成である請求項 2 に記載の電力供給制御装置。

【請求項 4】

前記異常検出回路は、前記半導体スイッチ素子の温度を検出する温度検出素子と、前記温度検出素子からの検出信号に基づき前記半導体スイッチ素子の温度が所定の閾値を超えている場合に前記異常信号として異常温度信号を出力する異常温度検出回路と、を備えて構成されている請求項 1 から請求項 3 のいずれかに記載の電力供給制御装置。

10

【請求項 5】

前記遮断信号の出力状態の保持前において、前記異常信号が出力されていない正常状態が基準正常時間だけ継続したことを条件にクリア信号を出力する正常時間積算回路を備え、前記通電制御回路は、前記遮断信号の出力状態の保持前において、前記第 1 オフ指令信号が入力され、かつ、前記クリア信号が出力されたことを条件に前記定電圧電源回路の通電を停止する構成である請求項 1 から請求項 4 のいずれかに記載の電力供給制御装置。

【請求項 6】

前記出力保持回路は、前記異常信号が出力されている異常時間を積算し、その積算時間が基準異常時間に達したことを条件に前記遮断信号を出力し、前記遮断信号の出力状態を保持する異常時間積算回路を備える構成とされている請求項 5 に記載の電力供給制御装置。

20

【請求項 7】

前記異常時間積算回路は、前記遮断信号の出力状態の保持前において、前記正常時間積算回路から前記クリア信号が出力されたことを条件に前記異常時間の積算時間をクリアする請求項 6 に記載の電力供給制御装置。

【請求項 8】

前記正常時間積算回路は、前記遮断信号の出力状態の保持後において、前記オン指令信号の入力状態で前記正常時間が初期値にリセットされ、前記第 1 オフ指令信号が入力されたときに前記正常時間積算回路の動作を開始し、当該正常時間積算回路の正常時間が前記基準正常時間に達したことを条件に前記クリア信号を前記第 2 オフ指令信号として出力する構成とされることで前記オフ指令出力回路として機能する請求項 5 から請求項 7 のいずれかに記載の電力供給制御装置。

30

【請求項 9】

前記オン指令信号と前記第 1 オフ指令信号とが交互に繰り返し入力され、前記オン指令信号を受けたときに前記半導体スイッチ素子に通電動作をさせ、前記第 1 オフ指令信号を受けたときに前記半導体スイッチ素子に遮断動作をさせるスイッチ制御回路とを備え、前記基準正常時間は、前記各オフ指令信号の入力により前記半導体スイッチ素子が継続して遮断している遮断時間よりも長い時間である請求項 5 から請求項 8 のいずれかに記載の電力供給制御装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、電力供給制御装置に関する。

【背景技術】

【0002】

従来、電源と負荷とを接続する通電路に、例えばパワー M O S F E T などの大電力用半導体スイッチ素子を介設し、この半導体スイッチ素子をオンオフさせることにより負荷への電力供給を制御するようにした電力供給制御装置が提供されている。このような電力供給制御装置では、過電流が流れると上記半導体スイッチ素子の制御端子の電位を制御して当該半導体スイッチ素子をオフにすることにより、上記半導体スイッチ素子自体を保護す

50

る自己保護機能を有するものが知られている。具体的には、例えば下記特許文献1に示すように、電流検出抵抗を負荷端子（例えばM O S F E Tであればソースまたはドレイン）に直列に接続し、この抵抗における電圧降下に基づき半導体スイッチ素子を流れる負荷電流を検出して、この負荷電流が所定の閾値以上になると過電流と判定するようなものがある。そして、上述の自己保護機能に基づく電流遮断は、遮断後に所定時間が経過すれば、当該半導体スイッチ素子は再びオン状態に自己復帰する構成とされている。これは、半導体スイッチ素子自体が過熱状態に陥ることを回避するために設けられている機能であるところ、異常電流を遮断すれば、元々備えられている放熱装置によって半導体スイッチ素子は速やかに温度が低下するはずだからである。

【特許文献1】特開2001-217696公報

10

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、上記電力供給制御装置において、例えば過電流異常が長時間解消されず、上記自己保護機能に基づく半導体スイッチ素子の遮断及び復帰の動作が所定回数以上繰り返されたときには、半導体スイッチ素子を遮断状態に保持すべき場合がある。このような処理を行う制御回路を電力供給制御装置に備えようとした場合、定電圧電源回路を設けてこれによって生成される定電圧を供給することによって制御回路を安定的に動作させることが望ましい。

【0004】

20

ここで、定電圧電源回路を常時通電させた状態とすると、バッテリー等の外部電源からの暗電流が流れてしまう。これを防止するためには、半導体スイッチ素子に遮断動作させるためのオフ指令信号が外部から入力されているときには定電圧電源回路の通電を停止させることが望ましい。

【0005】

しかしながら、このような構成とした場合、上記半導体スイッチ素子の遮断保持状態になった後に、外部からオフ指令信号が入力されると定電圧電源回路の通電が停止され、その時点で制御回路も停止され半導体スイッチ素子の遮断保持状態が解除されてしまう。従って、その後間もなくオン指令信号が入力された場合、未だ半導体スイッチ素子を遮断状態に保持すべき異常状態にあるにもかかわらず、半導体スイッチ素子が通電状態になってしまうという問題があった。

30

【0006】

また、上記オン指令信号とオフ指令信号とが交互に繰り返されるオンオフ信号（たとえばPWM信号）を外部から入力して、これに基づき半導体スイッチ素子をオンオフ制御する構成では、オフ指令信号が入力されるごとに定電圧電源回路の通電が停止されるため、半導体スイッチ素子を遮断保持状態にすることができないという問題があった。

【0007】

本発明は上記のような事情に基づいて完成されたものであって、その目的は、暗電流を抑制しつつオフ指令信号の入力時に半導体スイッチ素子の遮断保持状態が解除されることを防止することが可能な電力供給制御装置を提供するところにある。

40

【課題を解決するための手段】

【0008】

上記の目的を達成するための手段として、請求項1の発明に係る電力供給制御装置は、電源と負荷との間に設けられて前記電源から前記負荷への電力供給制御を行う電力供給制御装置であって、前記電源から前記負荷への通電路に配される半導体スイッチ素子と、所定の異常状態に基づき異常信号を出力する異常検出回路と、定電圧を生成する定電圧電源回路と、前記定電圧電源回路によって生成された定電圧が供給されることで動作可能となり、前記異常信号に基づき前記半導体スイッチ素子に遮断動作をさせるための遮断信号を出力し、前記遮断信号の出力状態を保持する出力保持回路と、前記遮断信号の出力状態の保持後に外部からの第1オフ指令信号の入力状態が基準待機時間だけ継続したことを条件

50

に第2 オフ指令信号を出力するオフ指令出力回路と、外部からのオン指令信号に基づき前記定電圧電源回路の通電を開始し、前記遮断信号の出力状態の保持後に前記第2 オフ指令信号が出力されたことを条件に前記定電圧電源回路の通電を停止する通電制御回路と、を備える。

【0009】

請求項2の発明は、請求項1に記載の電力供給制御装置において、前記異常検出回路は、前記半導体スイッチ素子に流れる負荷電流を検出する電流検出素子と、前記電流検出素子からの検出信号に基づき前記半導体スイッチ素子に流れる負荷電流が所定の閾値を超えている場合に前記異常信号として異常電流信号を出力する異常電流検出回路と、を備えて構成されている。

10

【0010】

請求項3の発明は、請求項2に記載の電力供給制御装置において、前記半導体スイッチ素子はパワーFETであると共に、前記電流検出素子は前記パワーFETに流れる負荷電流に対し所定関係のセンス電流が流れるセンスFETとされ、前記異常電流検出回路は、前記センス電流と前記所定の閾値とに基づいて前記異常電流信号の出力を行う構成である。

【0011】

請求項4の発明は、請求項1から請求項3のいずれかに記載の電力供給制御装置において、前記異常検出回路は、前記半導体スイッチ素子の温度を検出する温度検出素子と、前記温度検出素子からの検出信号に基づき前記半導体スイッチ素子の温度が所定の閾値を超えている場合に前記異常信号として異常温度信号を出力する異常温度検出回路と、を備えて構成されている。

20

【0012】

請求項5の発明は、請求項1から請求項4のいずれかに記載の電力供給制御装置において、前記遮断信号の出力状態の保持前において、前記異常信号が出力されていない正常状態が基準正常時間だけ継続したことを条件にクリア信号を出力する正常時間積算回路を備え、前記通電制御回路は、前記出力状態の保持前において、前記第1 オフ指令信号が入力され、かつ、前記クリア信号が出力されたことを条件に前記定電圧電源回路の通電を停止する構成である。

請求項6の発明は、請求項5に記載の電力供給制御装置において、前記出力保持回路は、前記異常信号が出力されている異常時間を積算し、その積算時間が基準異常時間に達したことを条件に前記遮断信号を出力し、その出力状態を保持する異常時間積算回路を備える構成とされている。

30

【0013】

請求項7の発明は、請求項6に記載の電力供給制御装置において、前記異常時間積算回路は、前記遮断信号の出力状態の保持前において、前記正常時間積算回路から前記クリア信号が出力されたことを条件に前記異常時間の積算時間をクリアする。

【0014】

請求項8の発明は、請求項5から請求項7のいずれかに記載の電力供給制御装置において、前記正常時間積算回路は、前記出力状態の保持後において、前記オン指令信号の入力状態で前記正常時間が初期値にリセットされ、前記第1 オフ指令信号が入力されたときに前記正常時間積算回路の動作を開始し、当該正常時間積算回路の正常時間が前記基準正常時間に達したことを条件に前記クリア信号を前記第2 オフ指令信号として出力する構成とされることで前記オフ指令出力回路として機能する。

40

【0015】

請求項9の発明は、請求項5から請求項8のいずれかに記載の電力供給制御装置において、前記オン指令信号と前記第1 オフ指令信号とが交互に繰り返し入力され、前記オン指令信号を受けたときに前記半導体スイッチ素子に通電動作をさせ、前記第1 オフ指令信号を受けたときに前記半導体スイッチ素子に遮断動作をさせるスイッチ制御回路とを備え、前記基準正常時間は、前記各オフ指令信号の入力により前記半導体スイッチ素子が継続し

50

て遮断している遮断時間よりも長い時間である。

【発明の効果】

【0016】

<請求項1の発明>

本構成によれば、遮断信号の出力状態が保持された後、外部からのオフ指令信号（例えば定電圧電源回路の通電停止を指示する信号）を受けている状態が基準待機時間継続したことを条件に定電圧電源回路の通電が停止される。従って、出力状態が保持された後にオフ指令信号を受けても、そのオフ入力状態が基準待機時間継続しない限り定電圧電源回路の通電が継続され、半導体スイッチ素子の遮断状態を保持し続けることができる。一方、オフ入力状態が基準待機時間継続したときには、定電圧電源回路の通電が停止されるための暗電流を防止できる。

10

【0017】

<請求項2の発明>

本構成は、過電流異常に基づき異常信号を出力する構成である。

【0018】

<請求項3の発明>

本構成は、電流検出素子として、パワーFETに流れる負荷電流に対し所定関係のセンス電流が流れるセンスFETを用いて、このセンス電流に基づき過電流異常を検出する構成であり、この構成に対しても本発明を適用し同様の効果を得ることができる。

20

【0019】

<請求項4の発明>

本構成は、過温度異常に基づき異常信号を出力する構成である。

【0020】

<請求項5, 6の発明>

本構成によれば、異常時間積算回路の積算動作中にオフ指令信号を受けても、基準正常時間内にオン指令信号を受ければ定電圧電源回路の通電が維持されるため、異常時間積算回路の積算時間がリセットされることを防止できる。

【0021】

<請求項7の発明>

本構成は、例えば通電路に流れる負荷電流（または温度）が所定の閾値を超えたときに異常時間の積算を開始し、その異常時間が異常基準時間に達したときに半導体スイッチ素子に遮断動作をさせる。一方、少なくとも異常信号が出力されていない正常状態が基準正常時間継続した場合には、それまで積算された異常時間積算回路の積算時間をクリア（現在の積算時間を初期値または現在の積算値よりも初期値に近い値に戻す）して半導体スイッチの遮断動作をさせない。従って、例えば連続的な異常電流は勿論、断続的な異常電流でその異常電流の発生間隔が正常基準時間より短いチャタリングショートも検出して外部回路（負荷、電線）の保護を図ることができる。本構成によれば、このような外部回路の保護機能（ヒューズ機能）で使用される正常時間積算回路からのクリア信号を利用して、定電圧電源回路の通電制御を行うことができる。

30

【0022】

<請求項8の発明>

本構成によれば、正常時間積算回路をオフ指令出力回路として機能させることができる。

40

【0023】

<請求項9の発明>

本構成によれば、オン指令信号とオフ指令信号とが交互に繰り返されるオンオフ信号（たとえばPWM信号）を外から入力して、これに基づき半導体スイッチ素子をオンオフ制御するものにおいて、オフ指令信号の入力時に半導体スイッチ素子の遮断保持状態が解除されることを防止できる。

【発明を実施するための最良の形態】

50

## 【 0 0 2 4 】

本発明の一実施形態を図 1 ~ 図 1 1 を参照しつつ説明する。

## &lt; 電力供給制御装置の構成 &gt;

図 1 は、本実施形態に係る電力供給制御装置 1 0 の全体構成のブロック図である。この電力供給制御装置 1 0 は図示しない車両に搭載され、その車両用電源（以下、「電源 1 2」）から負荷 1 1 として例えば車両用のランプ、クーリングファン用モータやデフォグガー用ヒータなどへの電力供給制御を行うために使用される。なお、以下では、「負荷」は電力供給制御装置 1 0 の制御対象装置であって、電力供給制御装置 1 0 とその制御対象装置との間に連なる電線 3 0 を含まない意味とし、「外部回路」を負荷 1 1 と電線 3 0 とを含めた意味として説明する。

10

## 【 0 0 2 5 】

具体的には、電力供給制御装置 1 0 は、電源 1 2 から負荷 1 1 への通電路 1 3 中に設けられるパワー M O S F E T 1 4（「半導体スイッチ素子、パワー F E T」に相当）を備えている。そして、電力供給制御装置 1 0 は、パワー M O S F E T 1 4 のゲートに定電圧信号、或いは、P W M（Pulse Width Modulation。パルス幅変調）制御信号などの制御信号 S 1 を与えてオンオフ動作させることで、そのパワー M O S F E T 1 4 の出力側に連なる負荷 1 1 への電力供給を制御するように構成されている。なお、本実施形態では、この電力供給制御装置 1 0 は、入力端子 P 1 が外部の操作スイッチ 1 5 に接続される構成をなし、この操作スイッチ 1 5 がオンとなることで動作するようになっている。具体的には、入力端子 P 1 は、抵抗 1 5 a を介して操作スイッチ 1 5 に接続され、抵抗 1 5 a と操作スイッチ 1 5 との接続点が抵抗 1 5 b を介して電源 1 2 に接続され、入力端子 P 1 は、操作スイッチ 1 5 がオフしているときは、電源電圧 V c c 側にプルアップされている。

20

## 【 0 0 2 6 】

電力供給制御装置 1 0 は、図 1 に示すように、上記入力端子 P 1 と、電源 1 2 に接続される電源（V c c）端子 P 2 及びタブ端子 P 3 と、負荷 1 1 に接続される負荷接続端子 P 4 と、電流電圧変換回路としての外付け抵抗 1 6 を介してグランド（G N D）に接続される外部端子 P 5 と、グランド（G N D）に直接接続されるグランド端子 P 6 と、ダイアグ出力端子 P 7 とが設けられた半導体スイッチ装置 1 7（半導体デバイス）として構成されている。本実施形態では、パワー M O S F E T 1 4、後述するセンス M O S F E T 1 8（「電流検出素子、センス F E T」に相当）、及び、温度検出素子としての温度センサ 1 9（本実施形態では例えばダイオード）がパワーチップ 2 0 としてワンチップ化され、それ以外の回路が搭載された制御チップ 2 1 に組み付けられて構成されている。

30

## 【 0 0 2 7 】

パワーチップ 2 0 は、ドレインが共通接続されてタブ端子 P 3 に接続される複数の M O S F E T が配列され、ほとんどの M O S F E T 群が、ソースを後述するカレントミラー部 5 1 のパワー F E T 用入力 5 1 a 及び負荷接続端子 P 4 に共通接続することでパワー M O S F E T 1 4 を構成し、一部の M O S F E T 群が、ソースをカレントミラー部 5 1 のセンス F E T 用入力 5 1 b に共通接続することでセンス M O S F E T 1 8 を構成している。なお、パワー M O S F E T 1 4 を構成する M O S F E T 群の数と、センス M O S F E T 1 8 を構成する M O S F E T 群の数との比が概ねセンス比である。

40

## 【 0 0 2 8 】

制御チップ 2 1 には、主として、入力インターフェース部 2 2、内部グランド生成部 2 3、電流検出部 2 4、過熱検出部 2 5、ダイアグ出力部 2 6、過電流保護回路及び過熱保護回路として機能するコントロールロジック部 2 7、ゲート駆動部 2 8 が搭載されている。

## 【 0 0 2 9 】

## （入力インターフェース部）

入力インターフェース部 2 2 は、入力側が入力端子 P 1 に接続されており、操作スイッチ 1 5 がオフしているときにハイレベルの制御信号 S 1 が、オンしているときにローレベルの制御信号 S 1 が入力され、この制御信号 S 1 が内部グランド生成部 2 3 及びコントロ

50

ールロジック部 27 に与えられる。電力供給制御装置 10 は、後述するように、電流異常も温度異常も発生していない正常状態においては、上記ローレベルの制御信号 S1 を受けるとゲート駆動部 28 によってパワー MOSFET 14 をターンオンして通電状態とする一方で、ハイレベルの制御信号 S1 を受けるとゲート駆動部 28 によってパワー MOSFET 14 をターンオフして遮断状態にする。従って、本実施形態では、ローレベルの制御信号 S1 が「オン指令信号」に相当し、ハイレベルの制御信号 S1 が「(第 1) オフ指令信号」に相当し、ゲート駆動部 28 が「スイッチ制御回路」として機能する。

#### 【0030】

具体的には、入力インターフェース部 22 は、図 2 に示すように、電源端子 P2 と内部グランド GND1 ( $0 < GND1 < V_{cc}$ ) との間に、カソード側が高電位側に配された 1 対のダイオード 31, 31 が直列接続され、これらの接続点に抵抗 32 を介して入力端子 P1 が接続されている。高電位側のダイオード 31 には、ゲートとソースとが短絡接続された FET 33 が並列接続されている。入力端子 P1 にハイレベルの制御信号 S1 が入力されているときには、電源電圧  $V_{cc}$  側にプルアップされており、ハイレベルの制御信号 S1 に応じたハイレベルの信号 (本実施形態では説明を簡略するためにハイレベルの制御信号 S1 とする) がヒステリシスコンパレータ 34 及び反転回路 35 を介して出力される。一方、入力端子 P1 にローレベルの制御信号 S1 が入力されると、FET 33 からの定電流が抵抗 32 を介して入力端子 P1 側に流れて、ローレベルの制御信号 S1 に応じたローレベルの信号 (本実施形態では説明を簡略するためにローレベルの制御信号 S1 とする) がヒステリシスコンパレータ 34 及び反転回路 35 を介して出力される。

#### 【0031】

なお、入力端子 P1 に負電圧 ( $< GND1$ ) の制御信号 S1 が入力されたときには、内部グランド GND1 から低電位側のダイオード 31 及び抵抗 32 を介して入力端子 P1 側に電流が流れて、やはりローレベルの制御信号 S1 を出力するようになっている。また、図 1 に示すように、電源端子 P2 とグランド端子 P6 との間には、カソード側が高電位側に配されたダイオード 36 と抵抗 37 とが直列接続され、これらの接続点が上記内部グランド GND1 とされている。このような構成であれば、誤ってグランド端子 P6 側が電源電圧  $V_{cc}$  側に接続された場合でも、この電力供給制御装置 10 の回路内に流れる電流をダイオード 36 によって一定レベル以下に規制することができる。

#### 【0032】

(内部グランド生成部)

内部グランド生成部 23 (「定電圧電源生成回路」に相当) は、入力インターフェース部 22 からローレベルの制御信号 S1 (オン指令信号)、及び、後述するクリアカウンタ 72 からローレベルの出力信号 S2 (クリアカウンタ 72 がオーバーフローしていない状態) のいずれかを受けているときに通電して、電源電圧  $V_{cc}$  よりも所定電圧分低い内部グランド GND2 を生成する。換言すれば、内部グランド生成部 23 は、入力インターフェース部 22 からハイレベルの制御信号 S1 (オフ指令信号) を受けても、クリアカウンタ 72 からローレベルの出力信号 S2 を受けている限り、通電状態が継続され内部グランド GND2 を生成し続ける。そして、電源電圧  $V_{cc}$  から内部グランド GND2 を差し引いた定電圧がコントロールロジック部 27 に供給されることで、このコントロールロジック部 27 が動作可能な状態となる。

#### 【0033】

具体的には、内部グランド生成部 23 は、図 3 に示すように、ローレベルの制御信号 S1 を受けてオン動作するスイッチ素子としての FET 41 と、ローレベルの出力信号 S2 を受けてオン動作するスイッチ素子としての FET 42 とをそれぞれ備えている。これら両 FET 41, 42 の出力側はスイッチ素子としての FET 43 の制御端子に接続されている。この FET 43 は入力側 (ドレイン側) がツェナーダイオード 44 を介して電源端子 P2 に接続され、出力側 (ソース側) が上記抵抗 37 を介してグランド端子 P6 に接続されている。従って、FET 41, 42 が「通電制御回路」として機能する。

#### 【0034】

そして、内部グランド生成部 23 は、上記したローレベルの制御信号 S1 またはローレベルの出力信号 S2 が入力されたときには、FET 43 がオンして通電し、電源電圧 Vcc からツェナーダイオード 44 のツェナー電圧分だけ低い内部グランド GND2 を生成し、これをボルテージフォロワ接続されたオペアンプ 45 を介してコントロールロジック部 27 に与える。なお、本実施形態では、ツェナーダイオード 44 及び FET 43 が連なる通電路中にソースとゲートとが短絡接続された FET 46 を接続することで、FET 43 のオン時においてツェナーダイオード 44 に定電流が流れるようにして内部グランド GND2 をより安定させるようにしている。

#### 【0035】

(電流検出部)

電流検出部 24 は、図 1 に示すように、カレントミラー部 51 と、閾値電圧生成部 52 と、過電流異常検出部 53 とを備えて構成されている。図 4 は、カレントミラー部 51、閾値電圧生成部 52 及び過電流異常検出部 53 を拡大して示す回路であり、他の回路構成は一部省略されている。

#### 【0036】

a. カレントミラー部

カレントミラー部 51 は、パワー MOSFET 14 とセンス MOSFET 18 との出力側電位 (ソース電位) を同電位に保持するための電位制御回路 54 と、1 対のカレントミラー回路 55, 55 とを備えている。

#### 【0037】

電位制御回路 54 は、パワー FET 用入力 51a (パワー MOSFET 14 のソース) とセンス FET 用入力 51b (センス MOSFET 18 のソース) とが 1 対の入力端子それぞれに接続されるオペアンプ 56、センス FET 用入力 51b と外部端子 P5 との間に接続され制御端子にオペアンプ 56 の出力が与えられるスイッチ素子としての FET 57 を備えている。より具体的には、パワー FET 用入力 51a は、オペアンプ 56 の逆相入力に接続され、センス FET 用入力 51b は、オペアンプ 56 の正相入力に接続されている。このオペアンプ 56 の差動出力は、FET 57 のゲート - ドレイン間を介して、正相入力にフィードバックされている。

#### 【0038】

このようにオペアンプ 56 の差動出力をフィードバックすることによって、オペアンプ 56 の正相入力の電位と逆相入力の電位とがほとんど同じになるイマジナリーショート状態となる。このため、パワー MOSFET 14 及びセンス MOSFET 18 のドレイン同士、ソース同士が互いに同電位となり、パワー MOSFET 14 に流れる負荷電流電流 I<sub>L</sub> に対して安定した一定比率 (上記センス比) のセンス電流 I<sub>s</sub> (「電流検出素子からの検出信号」に相当) をセンス MOSFET 18 に流すことができる。

#### 【0039】

電位制御回路 54 からのセンス電流 I<sub>s</sub> は上記 1 対のカレントミラー回路 55, 55 及び外部端子 P5 を介して外付け抵抗 16 に流れ、このセンス電流 I<sub>s</sub> に応じて外部端子 P5 の端子電圧 V<sub>o</sub> が変化する。

#### 【0040】

b. 過電流異常検出部

過電流異常検出部 53 (「異常電流検出回路、通電検出回路」に相当) は、複数 (本実施形態では 2 つ) の比較回路 58, 59 (本実施形態では、ヒステリシスコンパレータ) とを備え、外部端子 P5 の端子電圧 V<sub>o</sub> が比較回路 58 の一方の入力端子に与えられると共に、比較回路 59 の一方の入力端子に与えられる。

#### 【0041】

比較回路 58 は、他方の入力端子に閾値電圧生成部 52 からの第 1 異常用閾値電圧 V<sub>oc</sub> を受けて、この第 1 異常用閾値電圧 V<sub>oc</sub> を端子電圧 V<sub>o</sub> が超えたときにローレベルの第 1 異常電流信号 OC (「異常信号」に相当) をコントロールロジック部 27 に出力する。なお、以下では、端子電圧 V<sub>o</sub> が第 1 異常用閾値電圧 V<sub>oc</sub> に達したときにパワー MOSFET

10

20

30

40

50



T 1 4 に流れる電流異常時の負荷電流  $I_L$  を、「第 1 異常用閾値電流  $I_{Loc}$ 」とし、このときの電流異常を「オーバーカレント」という。

【 0 0 4 2 】

比較回路 5 9 は、他方の入力端子に閾値電圧生成部 5 2 からの第 2 異常用閾値電圧  $V_{fc}$  ( $< V_{oc}$ ) を受けて、この第 2 異常用閾値電圧  $V_{fc}$  を端子電圧  $V_o$  が超えたときにローレベルの第 2 異常電流信号  $FC$  (「異常信号、通電検出信号」に相当) をコントロールロジック部 2 7 に出力する。なお、以下では、端子電圧  $V_o$  が第 2 異常用閾値電圧  $V_{fc}$  に達したときにパワー MOS F E T 1 4 に流れる電流異常時の負荷電流  $I_L$  を、「第 2 異常用閾値電流  $I_{Lfc}$ 」とし、このときの電流異常を「ヒューズカレント」という。

【 0 0 4 3 】

c . 閾値電圧生成部

閾値電圧生成部 5 2 (「閾値変更回路」に相当) は、基準電圧を複数の抵抗で分圧する分圧回路を備え、この分圧回路によって生成される複数の分圧電圧から選択する分圧電圧を変更することで過電流異常検出部 5 3 に与える異常用閾値電圧を変更できるようになっている。具体的には、閾値電圧生成部 5 2 は、図 4 に示すように、パワー MOS F E T 1 4 のソースとグランド端子 P 6 との間に接続された分圧回路 6 0 を備える。この分圧回路 6 0 は、複数の抵抗 (本実施形態では 8 つの抵抗 6 0 a ~ 6 0 h) を直列接続して構成されており、抵抗 6 0 a と抵抗 6 0 b との接続点 A の分圧電圧が上記第 2 異常用閾値電圧  $V_{fc}$  として出力される。

【 0 0 4 4 】

また、閾値電圧生成部 5 2 は、上記比較回路 5 8 の他方の入力端子を、抵抗 6 0 b ~ 6 0 h の各接続点 B ~ G に選択的に接続可能とするスイッチ素子としての複数の F E T 6 1 a ~ 6 1 f を備えている。従って、F E T 6 1 a から F E T 6 1 f まで選択的に順次オンさせることで、上記第 1 異常用閾値電圧  $V_{oc}$  を段階的にレベルダウンさせることができる。各 F E T 6 1 a ~ 6 1 f は、後述するようにコントロールロジック部 2 7 によってオンオフ制御される。

【 0 0 4 5 】

なお、本実施形態では、分圧回路 6 0 はパワー MOS F E T 1 4 のソース電圧  $V_s$  を分圧する構成としたが、ソース電圧以外の所定電圧を分圧する構成であってもよい。但し、本実施形態のような構成であれば、パワー MOS F E T 1 4 のソース電圧  $V_s$  の増減に応じて増減するように各異常用閾値電圧を設定できる。従って、ソース電圧の変動にかかわらず固定レベルの閾値を設定するような構成と比較して、例えば負荷 1 1 の短絡等が生じた場合に、電源電圧  $V_{cc}$  の大小にかかわらず外付け抵抗 1 6 の端子電圧  $V_o$  が即座に異常用閾値電圧に達することとなり、各電流異常を迅速に検出できる。更に、この実施形態では、パワー MOS F E T 1 4 がオフしているときでもソース電圧  $V_s$  が 0 [ V ] にならないようにバイアスするため、コントロールロジック部 2 7 からのバイアス信号 Bias によってオン動作するスイッチ素子としての F E T 6 2 によって電源 1 2 からの電流を抵抗 6 3 を介して分圧回路 6 0 に流すようになっている。なお、このバイアス信号 Bias は、ローレベルの制御信号 S 1 またはローレベルの出力信号 S 2 が出力されたときにコントロールロジック部 2 7 から出力され、上記 F E T 6 2 がオンする。

【 0 0 4 6 】

ここで、図 5 は、上記第 1 異常用閾値電流  $I_{Loc}$  と第 2 異常用閾値電流  $I_{Lfc}$  との設定レベルを説明するためのグラフである。このグラフには、電力供給制御装置 1 0 に接続され得る電線 3 0 (例えば電線被覆材) の発煙特性について、定常電流レベルと通電時間 (溶断時間) との関係を示した発煙特性曲線 L 1 が示されている。つまり、任意の一定電流 (ワンショット電流) と、それを電線 3 0 に流したときに当該電線 3 0 の被覆材の焼損が発生するまでの時間との関係を示す発煙特性曲線 L 1 が図示されている。また、同グラフには、任意の一定電流 (ワンショット電流) と、それをパワー MOS F E T 1 4 に流したときに当該パワー MOS F E T 1 4 が破壊してしまうまでの時間との関係を示す自己破壊特性曲線 L 2 も図示されている。そして、第 2 異常用閾値電流  $I_{Lfc}$  は、発煙特性曲線 L

10

20

30

40

50

1 及び自己破壊特性曲線 L 2 よりも電流レベルが低い領域内に設定されている。また、第 1 異常用閾値電流  $I_{Loc}$  は、ヒューズ時間カウンタ 7 3 が初期値からのカウントアップの開始後、後述する基準ヒューズ時間よりも短い時間内において、発煙特性曲線 L 1 及び自己破壊特性曲線 L 2 よりも電流レベルが低い領域内に設定されている。

【 0 0 4 7 】

なお、同グラフは、電力供給制御装置 1 0 に接続され得る電線 3 0 の中から選択された一の電線 3 0 の発煙特性を示している。また、電力供給制御装置 1 0 に接続される外部回路（電線等の配線部材、負荷）によって発煙特性は異なり、これに対応して上記異常電流信号  $FC$ 、 $OC$  を出力するときの負荷電流  $I_L$  及びセンス電流  $I_s$  も異なってくるが、この調整は、前述した外付け抵抗 6 4 の抵抗値を変更することにより容易に行うことができる。

10

【 0 0 4 8 】

同グラフ中、 $I_{Lmax}$  は負荷 1 1 の定格電流（設計時に保証される機器の使用限度）であり、 $I_o$  は電線 3 0 における発熱と放熱とのバランスがとれた熱平衡状態で流すことが可能な平衡時限界電流である。この平衡時限界電流  $I_o$  よりも高いレベルの電流を流す場合には、過度熱抵抗領域となり、電流レベルと焼損までの時間とが略反比例関係となる。そして、上記第 2 異常用閾値電流  $I_{Lfc}$  は、図 5 に示すように、負荷電流  $I_L$ （センス電流  $I_s$ ）が負荷 1 1 の定格電流  $I_{Lmax}$  よりもやや高いレベルに設定されており、比較回路 5 9 は、負荷電流  $I_L$ （センス電流  $I_s$ ）が第 2 異常用閾値電流  $I_{Lfc}$  に達したヒューズカレントを検出して第 2 異常電流信号  $FC$  を出力する。このように負荷電流  $I_L$  が第 2 異常用閾値電流  $I_{Lfc}$  程度である場合には、後述するように、パワー MOS FET 1 5 を即時的に遮断しなくても、そのヒューズカレント状態がある程度継続したときに遮断すればよい。

20

【 0 0 4 9 】

これに対して、上記第 1 異常用閾値電流  $I_{Loc}$  は、第 2 異常用閾値電流  $I_{Lfc}$  よりも高いレベルに設定されている。比較回路 5 8 は、負荷電流  $I_L$ （センス電流  $I_s$ ）が第 1 異常用閾値電流  $I_{Loc}$  に達したオーバカレントを検出して第 1 異常電流信号  $OC$  を出力する。このように負荷電流  $I_L$  が第 1 異常用閾値電流  $I_{Loc}$  を超える高いレベルである場合には、後述するようにパワー MOS FET 1 5 を即時的に遮断する必要がある。閾値電圧生成部 5 2 は、図 5 に示すように、この第 1 異常用閾値電流  $I_{Loc}$  を、当初は突入電流に備えてそれよりも高い初期レベルに設定しておき、後述するように、ヒューズカレントが検出されることを条件にその後、経時的にレベルダウンしていく。

30

【 0 0 5 0 】

（過熱検出部）

過熱検出部 2 5（「異常温度検出回路」に相当）は、パワーチップ 2 0 に設けられた温度センサ 1 9 から当該パワーチップ 2 0 の温度に応じた温度信号  $S_4$ （「温度検出素子からの検出信号」に相当）を受ける。そして、過熱検出部 2 5 は、所定の温度閾値を超える異常温度を示す温度信号  $S_4$  を受けたときに温度異常を検出してローレベルの異常温度信号  $OT$ （「異常信号」に相当）をコントロールロジック部 2 7 に与える。

【 0 0 5 1 】

なお、ダイアグ出力回路 2 6 は、後述するように電流異常或いは温度異常が発生し、コントロールロジック部 2 7 によってパワー MOS FET 1 4 に後述する第 1 及び第 2 の強制遮断動作を行わせている間、ハイレベルのダイアグ信号  $Diag$  をコントロールロジック部 2 7 から受けることでダイアグ出力端子  $P_7$  をローレベルにプルダウンさせてダイアグ出力を実行する。これにより、パワー MOS FET 1 4 が電流異常や温度異常の発生、ヒューズ機能の実行によって強制遮断状態になっていることを外部に通知することが可能となる。

40

【 0 0 5 2 】

（コントロールロジック部）

図 6 は、コントロールロジック部 2 7 の回路図である。このコントロールロジック部 2

50

7 は、主として、遮断時間カウンタ7 1、クリアカウンタ7 2、ヒューズ時間カウンタ7 3、発振回路7 4及びリセット信号発生回路7 5を備える。また、コントロールロジック部2 7は、前述したように、入力インターフェース部2 2からの制御信号S 1、電流検出部2 4からの第1異常電流信号OC及び第2異常電流信号FC、過熱検出部2 5からの異常温度信号OTを受ける。

【0053】

a. 発振回路及びリセット信号発生回路

発振回路7 4は、例えば2つ異なる周期のクロック信号CLK 1（例えば125  $\mu$ sec）、クロック信号CLK 2（例えば4 msec）を生成して出力する。リセット信号発生回路7 5は、上記内部グランド生成部2 3が通電しこのコントロールロジック部2 7が動作するのに十分な定電圧を生成し、上記発振回路7 4のクロック発生動作が安定する前まではローレベルの出力信号RST（リセット信号）を出力し、安定後はハイレベルの出力信号RSTを出力する。

【0054】

b. 遮断時間カウンタ

遮断時間カウンタ7 1は、電流検出部2 4からのローレベルの第1異常電流信号OC、及び、過熱検出部2 5からのローレベルの異常温度信号OTのうち少なくともいずれか一方を受けたことを条件に、パワーMOSFET 14に所定の基準遮断時間（カウント値を「n」から「0」までカウントダウンするまでの時間 具体的には32 msec）だけ強制的に遮断動作させた後に、その強制遮断状態を解除するものである。なお、本実施形態において、強制遮断とは、電力供給制御装置10がローレベルの制御信号S 1（オン指令信号）を受けていてもパワーMOSFET 14を遮断状態にすることをいう。

【0055】

具体的には、遮断時間カウンタ7 1は、上記クロック信号CLK 2のクロックに同期して初期値nから0までカウントダウンするものである。遮断時間カウンタ7 1は、そのリセット端子にリセット信号発生回路7 5から出力信号RSTを反転した信号が入力されるようになっており、ローレベルの出力信号RSTが出力されている間は、n個のカウンタが全て「0」（カウント値を初期値「n」）にリセットされた状態となり、ハイレベルの出力信号RSTを受けるようになるとリセット状態が解除される。また、遮断時間カウンタ7 1は、n個のカウンタが全て「0」のとき（リセット状態或いはカウント値のオーバーフロー状態）、ローレベルの出力信号S 5を出力し、これ以外の場合には、パワーMOSFET 14に強制遮断動作をさせるためのハイレベルの出力信号S 5を出力する。

【0056】

また、遮断時間カウンタ7 1は、第1異常電流信号OC、及び、異常温度信号OTが入力されるAND回路7 6の出力信号を反転した信号をセット端子に受ける。これにより、遮断時間カウンタ7 1は、上記オーバーカレントが発生してローレベルの第1異常電流信号OCを受けたとき、または、温度異常が発生してローレベルの異常温度信号OTを受けたときに、n個のカウンタをすべて「1」にセットする。これにより、遮断時間カウンタ7 1は、ハイレベルの出力信号S 5を出力するようになり、AND回路7 7において発振回路7 4からのクロック信号CLK 2が有効化され、このクロックに同期したタイミングでカウントダウン動作を開始する。なお、遮断時間カウンタ7 1は、各クロックの立下りエッジでカウントダウンを行う。

【0057】

そして、遮断時間カウンタ7 1がカウントダウンを開始した後、「0」までカウントダウンしてオーバーフローする前までは、ハイレベルの出力信号S 5を出力するから、クロック信号CLK 2はAND回路7 7にて有効化されて遮断時間カウンタ7 1のクロック端子に入力される。このとき、このハイレベルの出力信号S 5を受けたOR回路7 8からローレベルの出力信号Inhibitがゲート駆動部2 8に与えられ、パワーMOSFET 14の強制遮断動作が実行される。

【0058】

10

20

30

40

50

これに対して、遮断時間カウンタ71が「0」までカウントダウンしてオーバーフローするとローレベルの出力信号S5を出力し、これに伴ってクロック信号CLK2の入力がAND回路77にて禁止される。このとき、ローレベルの出力信号S5を受けたOR回路78からハイレベルの出力信号Inhibitがゲート駆動部28に与えられ、パワーMOSFET14の強制遮断状態が解除される。従って、電力供給制御装置10がローレベルの制御信号S1（オン指令信号）を受けていれば、パワーMOSFET14は通電状態に復帰する。

#### 【0059】

以上のように、遮断時間カウンタ71は、図10（OCチョッピング期間参照）に示すように、例えばオーバーカレント状態となってローレベルの第1異常電流信号OCが電流検出部24から出力される毎に、パワーMOSFET15に即時的に強制遮断動作をさせて、nカウント分カウントダウンした後に、その強制遮断動作を解除する役割を果たす。以下、このように、遮断時間カウンタ71によって所定の基準遮断時間後に通電状態に復帰される強制遮断を、「第1強制遮断」という。

#### 【0060】

##### c. ヒューズ時間カウンタ

ヒューズ時間カウンタ73（「異常時間積算回路」に相当）は、電流検出部24からのローレベルの第2異常電流信号FCを受けているとき、及び、上記遮断時間カウンタ71によってパワーMOSFET14が強制遮断されているときの双方の異常時間（以下、「ヒューズ時間」という）を積算していき、この積算時間が所定の基準ヒューズ時間（>上記基準遮断時間 カウント値を「0」から「m（>n）」までカウントアップするまでの時間 具体的には1024 msec 「基準異常時間」に相当）に達したことを条件に、パワーMOSFET15に強制遮断動作をさせるものである。

#### 【0061】

具体的には、ヒューズ時間カウンタ73は、上記クロック信号CLK1のクロックに同期して初期値0からmまでカウントアップするものである。なお、ヒューズ時間カウンタ73は、各クロックの立下りエッジでカウントアップを行う。より具体的には、ヒューズ時間カウンタ73は、カウントアップ動作中は、ローレベルの出力信号S6を出力し、「m」までカウントアップしてオーバーフローすると、ハイレベルの出力信号S6（「遮断信号」に相当）を出力する。発振回路74からのクロック信号CLK1を有効化させるためのAND回路79には、ヒューズ時間カウンタ73の出力信号S6をレベル反転した信号と、NAND回路80の出力信号とが入力される。このNAND回路80は、ローレベルの第2異常電流信号FCを受けたとき、または、遮断時間カウンタ71がカウントダウン動作中でハイレベルの出力信号S5をレベル反転したローレベルの信号を受けたときに、ハイレベル信号を出力する。

#### 【0062】

従って、ヒューズ時間カウンタ73は、オーバーフローする前までは、ローレベルの第2異常電流信号FCが出力されたとき、または、遮断時間カウンタ71がカウントダウン動作中のときにAND回路79にてクロック信号CLK1が有効化されることでカウントアップ動作を進行させる。そして、ヒューズ時間カウンタ73は、カウント値「m」までカウントアップしてオーバーフローした後は、ハイレベルの出力信号S6を出力する。このとき、このハイレベルの出力信号S6を受けたOR回路78からローレベルの出力信号Inhibitがゲート駆動部28に与えられ、パワーMOSFET14の強制遮断動作が実行される。以下、このように、ヒューズ時間カウンタ73のオーバーフローによる強制遮断を、「第2強制遮断」という。それとともに、ヒューズ時間カウンタ73は、ハイレベルの出力信号S6が出力したことによってクロック信号CLK1の入力が禁止され、このオーバーフロー状態を保持する。従って、このヒューズ時間カウンタ73は、出力保持回路として機能する。

#### 【0063】

また、ヒューズ時間カウンタ73は、リセット信号発生回路75からローレベルの出力

10

20

30

40

50

信号 R S T が出力されている（リセット状態）とき、または、クリアカウンタ 7 2 からハイレベルの出力信号 S 2（「クリア信号」に相当）が出力された（クリアカウンタ 7 2 がオーバーフローした）ときにカウンタ値が初期値「0」にリセットされる。具体的には、O R 回路 8 1 にクリアカウンタ 7 2 からの出力信号 S 2 をレベル反転した信号と、ヒューズ時間カウンタ 7 3 の出力信号 S 6 とが入力され、この O R 回路 8 1 の出力信号とリセット信号発生回路 7 5 から出力信号 R S T とが A N D 回路 8 2 に入力され、この出力信号がレベル反転されてヒューズ時間カウンタ 7 3 のリセット端子に入力される。従って、ヒューズ時間カウンタ 7 3 は、リセット信号発生回路 7 5 からローレベルの出力信号 R S T が出力されているときは、常にカウンタ値が初期値「0」にリセットされる。

【 0 0 6 4 】

一方、リセット信号発生回路 7 5 からハイレベルの出力信号 R S T が出力されているときは、ヒューズ時間カウンタ 7 3 がオーバーフローするまでは、クリアカウンタ 7 2 からハイレベルの出力信号 S 2 が出力されることでカウンタ値が初期値「0」にリセットされる。これに対して、ヒューズ時間カウンタ 7 3 がオーバーフローすると、クリアカウンタ 7 2 からハイレベルの出力信号 S 2 が出力されてもカウンタ値がリセットされず、上記第 2 強制遮断状態が保持される。

【 0 0 6 5 】

また、ヒューズ時間カウンタ 7 3 は、図 7 に示すように、カウントアップ動作によって積算される積算時間（カウンタ値）に応じた信号、具体的には「bit 0」から「bit 5」のローレベルのビット信号を順次出力する。これにより、閾値電圧生成部 5 2 において、F E T 6 1 a から F E T 6 1 f まで順次選択的にオンされて、第 1 異常用閾値電圧  $V_{oc}$  を上記積算時間に応じて経時的にレベルダウンさせることができる。

【 0 0 6 6 】

d . クリアカウンタ

クリアカウンタ 7 2（「正常時間積算回路、オフ指令出力回路」に相当）は、主として、ヒューズ時間カウンタ 7 3 がカウントアップ動作を開始した後、オーバーフローするまでの間に、上記電流異常及び温度異常のいずれも発生しなくなった正常状態が所定の基準正常時間（カウント値を「0」から「q」までカウントダウンするまでの時間 具体的には 5 1 2 m s e c）継続したことを条件に、ヒューズ時間カウンタ 7 3 の積算時間（カウンタ値）を初期値「0」にクリアするものである。具体的には、クリアカウンタ 7 2 は、上記クロック信号 C L K 2 のクロックに同期して初期値「0」から「q (< n)」までカウントアップするものである。なお、クリアカウンタ 7 2 は、各クロックの立上りエッジでカウントアップを行う。また、基準正常時間（基準待機時間）は、例えばヒューズカレントやオーバーカレント状態が解消され負荷等の過熱状態が解消するまでの時間に基づいて定められている。

【 0 0 6 7 】

また、クリアカウンタ 7 2 は、リセット信号発生回路 7 5 からローレベルの出力信号 R S T が出力されている（リセット状態）ときにカウンタ値が初期値「0」にリセットされる。更に、ヒューズ時間カウンタ 7 3 がカウントアップ動作を開始した後、オーバーフローする前までは、電流検出部 2 4 からのローレベルの第 2 異常電流信号 F C を受けているとき、または、上記遮断時間カウンタ 7 1 によってパワー M O S F E T 1 4 が強制遮断されているときにリセットされる。一方、ヒューズ時間カウンタ 7 3 がオーバーフローした後は、ローレベルの制御信号 S 1（オン指令信号）を受けているときはリセットされる。

【 0 0 6 8 】

具体的には、クリアカウンタ 7 2 には、発振回路 7 4 からのクロック信号 C L K 2 が直接入力されており、通常はローレベルの出力信号 S 2 を出力し、「q」までカウントアップしてオーバーフローすると例えば 1 クロック分のハイレベルの出力信号 S 2（第 2 オフ指令信号）を出力する。A N D 回路 8 3 は、リセット信号発生回路 7 5 からの出力信号 R S T が入力されるとともに、その出力信号をレベル反転した信号がクリアカウンタ 7 2 のリセット端子に与えられる。従って、リセット信号発生回路 7 5 からローレベルの出力信

10

20

30

40

50

号 R S T が出力されているときにカウンタ値が初期値「0」にリセットされる。

【0069】

また、AND回路83には、AND回路84の出力信号が入力され、このAND回路84には、OR回路85の出力信号とNAND回路86の出力信号とが入力される。OR回路85は、AND回路87の出力信号と、ヒューズ時間カウンタ73の出力信号S6とが入力される。AND回路87には、第2異常電流信号FCと遮断時間カウンタ71の出力信号S5をレベル反転した信号とが入力される。このような構成により、クリアカウンタ72は、上述したように、ヒューズ時間カウンタ73がカウントアップ動作を開始した後、オーバーフローする前までは、ローレベルの第2異常電流信号FCを受けているとき、または、遮断時間カウンタ71によってパワーMOSFET14が強制遮断されているときにカウンタ値がリセットされる。

10

【0070】

また、NAND回路86は、ヒューズ時間カウンタ73の出力信号S6と、制御信号S1をレベル反転した信号とが入力される。これにより、クリアカウンタ72は、上述したように、ヒューズ時間カウンタ73のオーバーフロー後において、ローレベルの制御信号S1（オン指令信号）を受けているときはリセットされる。

【0071】

（ゲート駆動部）

図8は、ゲート駆動部28の構成を示した概要図である。ゲート駆動部28は、コントロールロジック部27から制御信号S1、第2異常電流信号FC及び出力信号Inhibitとが入力される。ゲート駆動部28は、電源端子P2とパワーMOSFET14及びセンスMOSFET18（同図では省略）のゲートとの間に接続されたチャージポンプ90と、パワーMOSFET14及びセンスMOSFET18のゲートとソースの間に接続された通常放電用FET91とを備える。更に、ゲート駆動部28は、電源端子P2とパワーMOSFET14及びセンスMOSFET18のゲートとの間に接続された異常時急速充電用FET92及びダイオード93と、パワーMOSFET14及びセンスMOSFET18のゲートとソースとの間に接続された異常時急速放電用FET94とを備える。

20

【0072】

そして、電流異常も温度異常も発生していない正常状態時には、ローレベルの制御信号S1（オン指令信号）を受けることで、チャージポンプ90のみを駆動させて電源電圧Vccよりも高いレベルに昇圧した電圧をパワーMOSFET14及びセンスMOSFET18の各ゲート-ソース間に与えてオンして通電動作にさせる通常充電動作を行う（図9<充電時>参照）。一方、ハイレベルの制御信号S1（オフ指令信号）を受けることで、チャージポンプ90の昇圧動作をオフするとともに、通常放電用FET91のみをオンしてパワーMOSFET14及びセンスMOSFET18の各ゲート-ソース間の電荷を放電し、遮断動作させる通常放電動作を行う（図9<放電時>参照）。

30

【0073】

これに対して、ローレベルの第2異常電流信号FCを受けた状態で、ローレベルの制御信号S1（オン指令信号）を受けたときには、チャージポンプ90とともに異常時急速充電用FET92をオンして、電源電圧Vccまでの昇圧速度を速くする急速充電動作を行う（図9<充電時>参照）。また、ローレベルの第2異常電流信号FCを受けた状態で、ハイレベルの制御信号S1（オフ指令信号）を受けたときには、通常放電用FET91とともに異常時急速放電用FET94をオンして、パワーMOSFET14及びセンスMOSFET18の各ゲート-ソース間の電荷を急速に放電し、遮断動作させる急速放電動作を行う（図9<放電時>参照）。

40

【0074】

更に、ゲート駆動部28は、ローレベルの出力信号Inhibitを受けたとき（上記第1及び第2の強制遮断時）には、やはり上記急速放電動作を行う。

【0075】

<本実施形態の作用効果>

50

図10は、電力供給制御装置10が、ローレベルの定電圧信号を制御信号S1として受ける場合のタイムチャートである。まず、ローレベルの制御信号S1を受けると、内部グラウンド生成部23において内部グラウンドGND2が生成される。そして、この内部グラウンドGND2が安定するとリセット信号発生回路75からハイレベルの出力信号RSTが出力されて各カウンタ71~73のリセット状態が解除される。

【0076】

また、ローレベルの制御信号S1がゲート駆動部28に与えられてパワーMOSFET14等がオンして通電状態になる。このとき、パワーMOSFET14には、第2異常用閾値電流ILfcよりも高い突入電流が流れる。しかし、第1異常用閾値電流ILocは、突入電流よりも高い初期レベルにあるため、この突入電流によってパワーMOSFET14等に上記第1強制遮断動作を行わせることを防止できる。

10

【0077】

また、突入電流の発生により、ヒューズ時間カウンタ73のカウンタアップ動作が開始され、負荷電流ILが第2異常用閾値電流ILfcを下回るまで、そのカウンタ値が積算され、これに伴って第1異常用閾値電流ILocが経時的に低いレベルに変更されていく。負荷電流ILが第2異常用閾値電流ILfcを下回って正常状態(図10で「正常状態1」参照)になると、クリアカウンタ72のカウンタアップ動作が開始されるが、この正常状態は上記基準正常時間までは続かず、負荷電流ILが第2異常用閾値電流ILfcを上回った時点(同図で「異常電流1」参照)でクリアカウンタ72のカウンタ値がリセットされるため、ハイレベルの出力信号S2によってヒューズ時間カウンタ73のカウンタ値がクリアされることはない。

20

【0078】

一方、正常状態が基準正常時間だけ継続したときには(同図で「正常状態2」参照)、クリアカウンタ72がオーバーフローしてハイレベルの出力信号S2が出力され、ヒューズ時間カウンタ73のカウンタ値がリセットされる。これに伴って、第1異常用閾値電流ILocも上記初期レベルに復帰する。ここで、例えば、通電路13中において、パワーMOSFET14の下流側(負荷11側)に別の半導体スイッチ素子が設けられ、パワーMOSFET14がオンした状態で、この半導体スイッチ素子が所定の時間間隔(基準正常時間以上の時間間隔)で複数回オンオフされる構成とした場合、突入電流が複数回発生することがある。この場合であっても、各突入電流の発生時に第1異常用閾値電流ILocを初期レベルに復帰させて、各突入電流によってパワーMOSFET14等に第1強制遮断動作を行わせることを防止できる。

30

【0079】

次に、例えば負荷11が短絡などして電流異常が発生した場合、負荷電流ILが第2異常用閾値電流ILfcを上回った時点でヒューズ時間カウンタ73のカウンタアップ動作が初期値から再開され、これに伴って第1異常用閾値電流ILocも再び経時的に低いレベルに変更されていく。そして、この異常時の負荷電流ILが第1異常用閾値電流ILocを上回ったときに、パワーMOSFET14等の第1強制遮断動作が実行され、遮断カウンタ73がオーバーフローしたとき(基準遮断時間経過後)にパワーMOSFET14等が通電状態に復帰される。そして、この電流異常状態が継続する限り、第1強制遮断動作と通電状態への復帰とが繰り返される(図10の「OCチョッピング期間」参照)。この間も、ヒューズ時間カウンタ73がカウンタアップ動作を行っており、これによって第1異常用閾値電流ILocは第2異常用閾値電流ILfc近くの低いレベルまで低下している。従って、この低い第1異常用閾値電流ILocによってオーバークレント状態を検出することができる。

40

【0080】

そして、その後、間もなく負荷電流ILが少なくとも第2異常用閾値電流ILfcを上回るヒューズカレント状態がある程度継続し(同図で「異常電流2」参照)、ヒューズ時間カウンタ73がオーバーフローすると、パワーMOSFET14等に第2強制遮断動作を行わせる。

50

## 【 0 0 8 1 】

ここで、第2異常用閾値電流  $I_{Lfc}$  を負荷 11 の定格電流  $I_{Lmax}$  よりもやや高いレベルとしている。そして、基準ヒューズ時間は、この第2異常用閾値電流  $I_{Lfc}$  を超えるヒューズカレントが基準正常時間よりも短い時間間隔で断続的に検出された場合に配線 30 が発煙するまでの時間よりも短い時間に設定されている。このため、配線 30 の一部のより線が短絡してその一部のより線のみ異常電流が上記基準正常時間よりも短い時間間隔で流れるチャタリングショートを、配線 30 が発煙に至る前に検出し、パワー MOS FET 14 に第2強制遮断動作をさせることができるのである。

## 【 0 0 8 2 】

上記第2強制遮断の保持状態において、クリアカウンタ 72 は、ローレベルの制御信号 S1 を受けている間はカウンタ値がリセットされ、ローレベルの出力信号 S2 を出力した状態となる。従って、ローレベルの制御信号 S1 が入力されている限り、ヒューズ時間カウンタ 73 のカウンタ値はクリアされない状態となる（同図で「ラッチ状態」参照）。そして、電力供給制御装置 10 がハイレベルの制御信号 S1（オフ指令信号）を受けると、クリアカウンタ 72 がカウントアップ動作を開始する。

10

## 【 0 0 8 3 】

ここで、内部グランド生成部 23 は、ハイレベルの制御信号 S1 を受けることで FET 41 がオフするが、ローレベルの出力信号 S2 を受けることで FET 42 がオンしており、通電状態が継続される。従って、例えば上記第2強制遮断がされた後に、ハイレベルの制御信号 S1（オフ指令信号）を入力させ、その直後にローレベルの制御信号 S1（オン指令信号）を入力させる操作を運転手が行った場合であっても、その時間間隔が基準正常時間内であれば上記第2強制遮断状態を保持することができる。

20

## 【 0 0 8 4 】

一方、入力端子 P1 にハイレベルの制御信号 S1（オフ指令信号）が継続して基準正常時間だけ入力されたときには、クリアカウンタ 72 がオーバーフローしてハイレベルの出力信号 S2 が内部グランド生成部 23 に与えられ、その通電が停止される。従って、その後において、電源 12 から暗電流が内部グランド生成部 23 を介してグランドに流れて電源 12（車両用バッテリー）の充電量を低下させることを防止できる。なお、このとき、リセット信号発生回路 75 からローレベルの出力信号 RST が出力され、これにより各カウンタ 71 ~ 73 のカウンタ値がリセットされる。また、ローレベルの出力信号 RST が出力されると、このローレベルの出力信号 RST を受けて FET 101 がオフしてハイレベル保持回路 100 が機能して出力信号 S2 はハイレベルに固定されるため、クリアカウンタ 72 のカウンタ値がリセットされても内部グランド生成部 23 による内部グランド GND2 の生成をオフする。

30

## 【 0 0 8 5 】

図 11 は、電力供給制御装置 10 が、ハイレベルとローレベルとを繰り返す PWM 信号を制御信号 S1 として受ける場合のタイムチャートである。ここで、上記基準正常時間は、PWM 信号のオフ時間（ハイレベルが継続する時間）よりも長い時間に設定されている。従って、入力端子 P1 に PWM 信号としての制御信号 S1 が入力されている状態で、ハイレベルの制御信号 S1 が入力されている各オフ時間内に、クリアカウンタ 72 がオーバーフローしてハイレベルの出力信号 S2 が出力されることはない。従って、PWM 信号の入力中に、内部グランド生成部 23 の通電が停止されることを防止できる。また、異常状態の発生後に PWM 信号のハイレベルの入力によってヒューズ時間カウンタ 73 のカウンタ値がクリアされて第1異常用閾値電流  $I_{Loc}$  が初期レベルに復帰することを防止でき、低いレベルの第1異常用閾値電流  $I_{Loc}$  でオーバーカレントを検出できる。

40

## 【 0 0 8 6 】

< 他の実施形態 >

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

(1) 上記実施形態では、半導体スイッチ素子としてパワー MOS FET 14 としたが

50



、これに限らず、他のユニポーラトランジスタであっても、バイポーラトランジスタであってもよい。

【0087】

(2) 上記実施形態では、電流検出素子としてセンスMOSFET18を利用した、いわゆるセンス方式としたが、これに限らず、例えば通電路にシャント抵抗を設けてこの電圧降下分に基づき負荷電流を検出する、いわゆるシャント方式であってもよい。

【0088】

(3) 上記実施形態では、電流異常及び温度異常に基づき異常信号を出力して、この異常信号に基づき異常検出回路として、パワーMOSFET14に強制遮断動作をさせる構成であったが、これに限らず、電流異常及び温度異常のうちいずれか一方の異常に基づきパワーMOSFET14に強制遮断動作をさせる構成であってもよい。さらに、これ以外の異常によって遮断させる構成であってもよい。例えば、電動スライドドアの閉動作時に人が挟まれるなどの異常が検出された場合に、半導体スイッチ素子を遮断する構成が考えられる。この場合も、運転者によってオフ指令信号とオン指令信号との入力が短時間で繰り返されることで、半導体スイッチ素子の遮断保持状態がクリアされて一時的に閉動作が再開されてしまうことを防止できる。

【0089】

(4) 上記実施形態では、異常状態が検出されたから基準異常時間を経過したことを条件にパワーMOSFET14を強制遮断保持状態にする構成であったが、これに限らず、異常状態が検出された時点でパワーMOSFET14に強制遮断保持状態にする構成であってもよい。

【0090】

(5) 上記実施形態では、クリアカウンタ72が、本発明のオフ指令出力回路及び正常時間積算回路として機能する構成としたが、これに限らず、オフ指令出力回路と、正常時間積算回路とが別個の回路でもよい。また、パワーMOSFET14に強制遮断保持の前後で、クリアカウンタ72がオーバーフローするまでの時間間を異ならせる、つまり、本発明でいう「基準正常時間」と「基準待機時間」とを異ならせる構成であってもよい。

【図面の簡単な説明】

【0091】

【図1】本発明の一実施形態に係る電力供給制御装置の全体構成を示すブロック図

【図2】入力インターフェース部の回路図

【図3】内部グランド生成部の回路図

【図4】カレントミラー部、閾値電圧生成部及び過電流異常検出部の回路図

【図5】第1異常用閾値電流と第2異常用閾値電流との設定レベルを説明するためのグラフ

【図6】コントロールロジック部の回路図

【図7】ヒューズ時間カウンタのカウンタ値とビット信号との対応関係を示した表

【図8】ゲート駆動部の構成を示した概要図

【図9】充電時及び放電時のゲート電圧と時間との関係を示すグラフ

【図10】電力供給制御装置がローレベルの定電圧信号を制御信号として受ける場合のタイムチャート

【図11】電力供給制御装置がPWM信号を制御信号として受ける場合のタイムチャート

【符号の説明】

【0092】

10...電力供給制御装置

11...負荷

12...電源

13...通電路

14...パワーMOSFET(半導体スイッチ素子、パワーFET)

18...センスMOSFET(電流検出素子、センスFET)

10

20

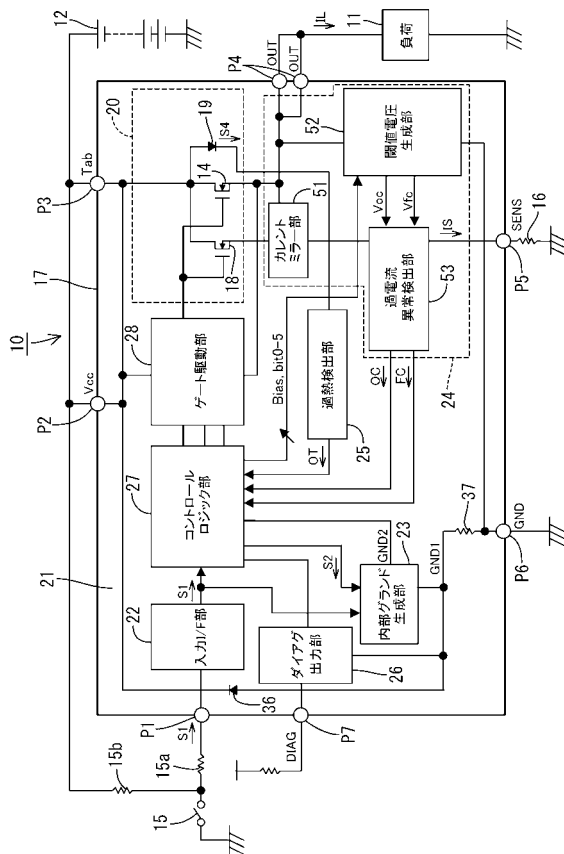
30

40

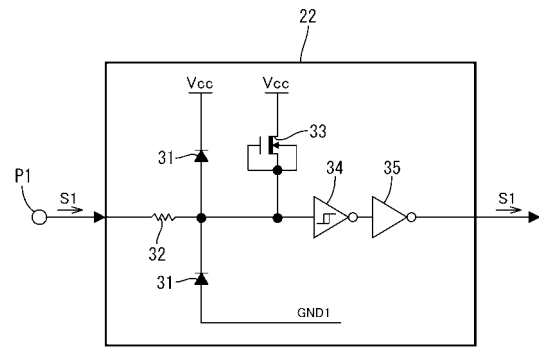
50

- 1 9 ... 温度センサ ( 温度検出素子 )
- 2 3 ... 内部グランド生成部 ( 定電圧電源生成回路 )
- 2 5 ... 過熱検出部 ( 異常温度検出回路 )
- 2 8 ... ゲート駆動部 ( スイッチ制御回路 )
- 3 0 ... 電線
- 5 2 ... 閾値電圧生成部 ( 閾値変更回路 )
- 5 3 ... 過電流異常検出部 ( 異常電流検出回路 )
- 7 3 ... ヒューズ時間カウンタ ( 異常時間積算回路 )
- O C , F C ... 異常電流信号
- O T ... 異常温度信号
- I L ... 負荷電流
- I L o c ... 第 1 異常用閾値電流 ( 第 1 閾値 )
- I L f c ... 第 2 異常用閾値電流 ( 第 2 閾値 )
- I s ... センス電流 ( 検出信号 )
- S 1 ... 制御信号
- S 2 ... 出力信号

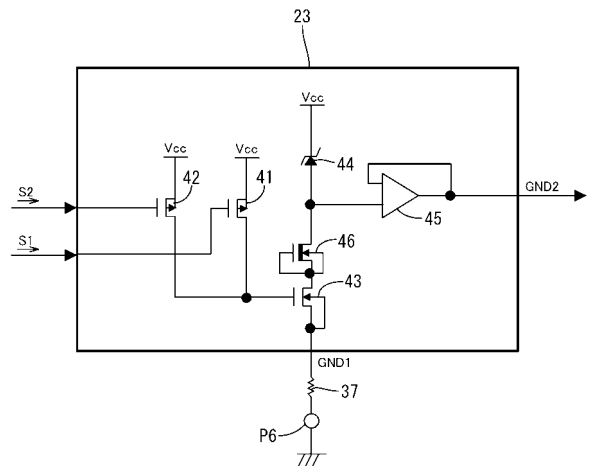
【 図 1 】



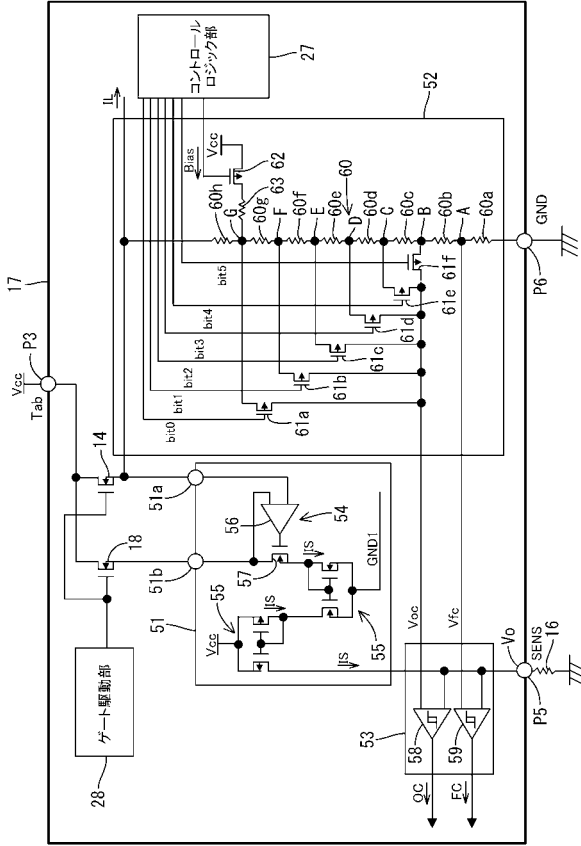
【 図 2 】



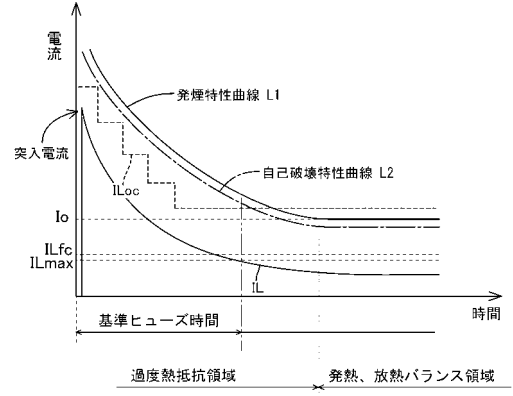
【 図 3 】



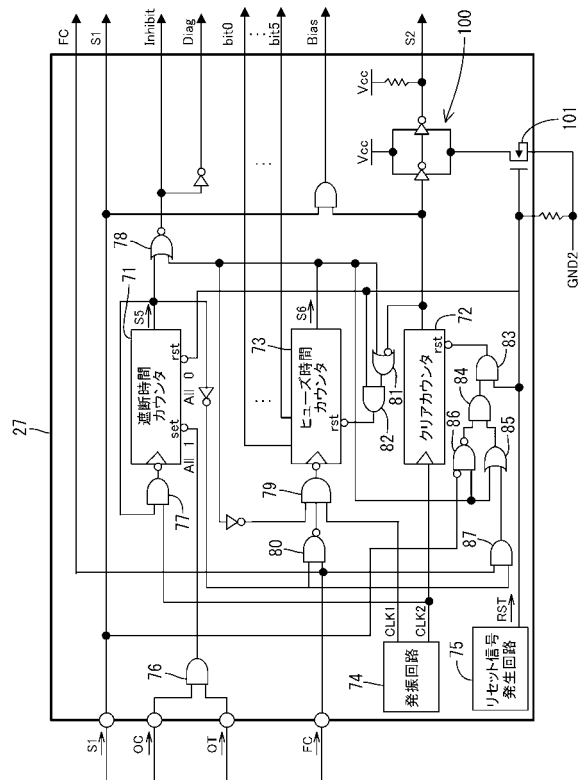
【図4】



【図5】



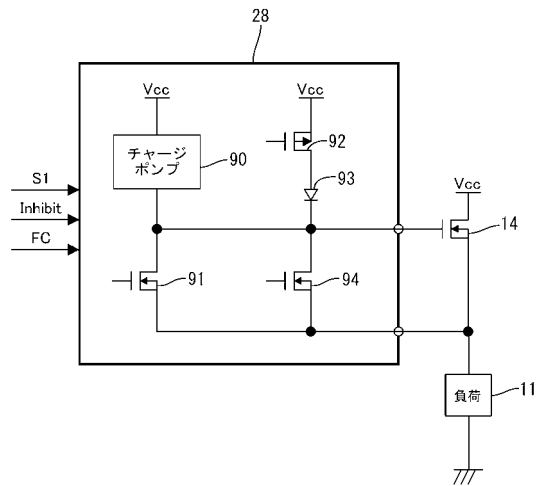
【図6】



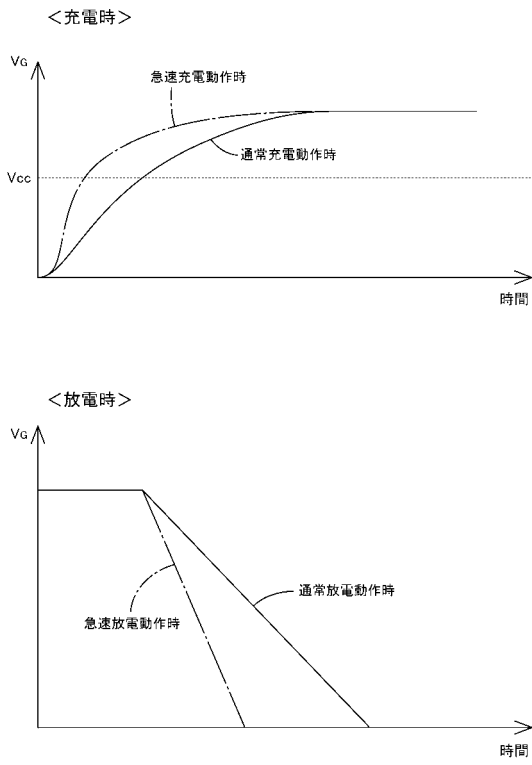
【図7】

カウンタ値	bit0	bit1	bit2	bit3	bit4	bit5
$0 \leq m < 8$	Lo	Hi	Hi	Hi	Hi	Hi
$8 \leq m < 16$	Hi	Lo	Hi	Hi	Hi	Hi
$16 \leq m < 32$	Hi	Hi	Lo	Hi	Hi	Hi
$32 \leq m < 64$	Hi	Hi	Hi	Lo	Hi	Hi
$64 \leq m < 128$	Hi	Hi	Hi	Hi	Lo	Hi
$128 \leq m$	Hi	Hi	Hi	Hi	Hi	Lo

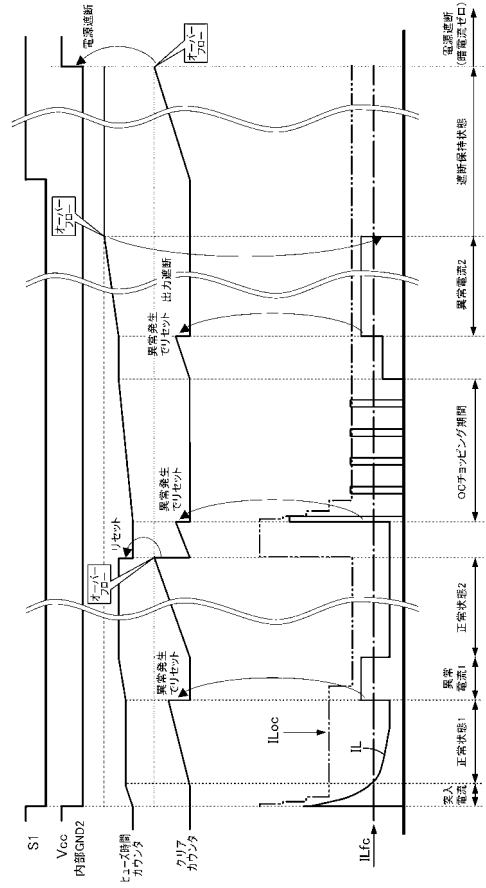
【図8】



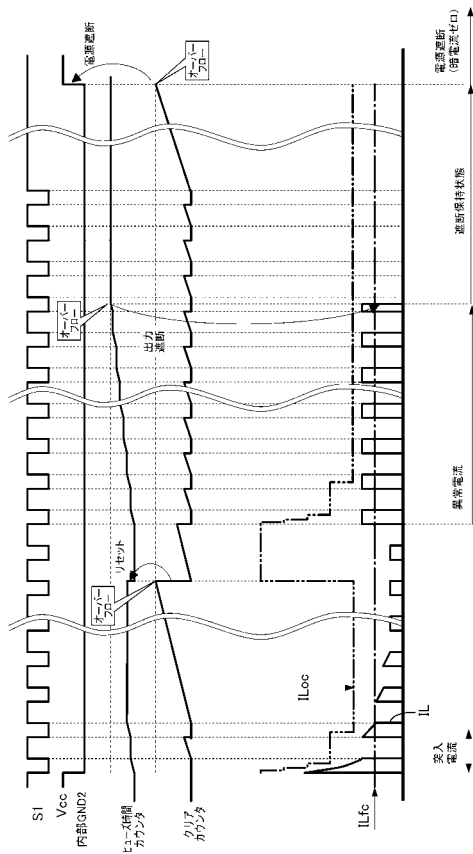
【図 9】



【図 10】



【図 11】



---

フロントページの続き

(72)発明者 加藤 雅幸

三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

審査官 栗栖 正和

(56)参考文献 特開2004-048498(JP,A)

特開2002-111465(JP,A)

特開2003-318713(JP,A)

特開2005-323489(JP,A)

特開2003-332446(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70