

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-534442

(P2004-534442A)

(43) 公表日 平成16年11月11日(2004.11.11)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO4B 7/08	HO4B 7/08	5K047
HO4L 7/033	HO4L 7/02	B 5K059

審査請求 未請求 予備審査請求 未請求 (全 29 頁)

(21) 出願番号 特願2002-586554 (P2002-586554)  
 (86) (22) 出願日 平成14年4月23日 (2002. 4. 23)  
 (85) 翻訳文提出日 平成15年10月29日 (2003. 10. 29)  
 (86) 国際出願番号 PCT/IB2002/001468  
 (87) 国際公開番号 W02002/089388  
 (87) 国際公開日 平成14年11月7日 (2002. 11. 7)  
 (31) 優先権主張番号 09/847, 215  
 (32) 優先日 平成13年5月2日 (2001. 5. 2)  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR) , CN, JP, KR

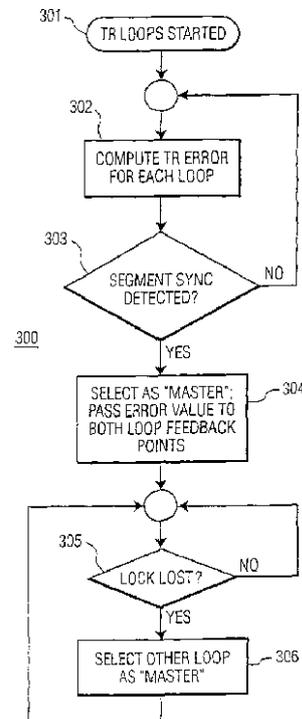
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 Koninklijke Philips Electronics N. V.  
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェeg 1  
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 同期ループを用いた、アンテナダイバースチを有する受信器におけるタイミングリカバリ

(57) 【要約】

デュアルアンテナ受信器内の同期システムは、それぞれ異なるアンテナ入力に接続する2つのタイミングリカバリループを用いる。1つのタイミングリカバリループによるセグメント同期ロック(データストリーム中のセグメント同期の検出)は、両方のループにおけるタイミングリカバリのための、対応するタイミングリカバリループからのタイミングエラーの選択を指示する。両方のタイミングリカバリループは、選択されたタイミングエラーを用いて同期される。選択されるループに対する同期ロックが失われると、両方のループにタイミングエラーを供給するよう他方のループが選択される。



**【特許請求の範囲】****【請求項 1】**

異なるアンテナ入力にそれぞれ接続し、各タイミングエラーを計算する第 1 のタイミングリカバリループ及び第 2 のタイミングリカバリループと、  
上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループにそれぞれ接続する第 1 の同期検出器及び第 2 の同期検出器と、  
上記第 1 の同期検出器及び上記第 2 の同期検出器から同期検出信号を受信し、且つ、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの一方から同期検出信号を受信すると、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの上記一方により生成されるタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方を受信信号と同期させるのに用いるよう選択する制御機構と、を含む、タイミングリカバリエラーを切替えるための同期システム。

10

**【請求項 2】**

上記制御機構は更に、  
上記第 1 の同期検出器及び上記第 2 の同期検出器からの上記同期検出信号を受信する制御ユニットと、  
上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのいずれか一方からのタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方におけるフィードバックポイントに、選択的に供給可能であるマルチプレクサと、を含み、  
上記制御ユニットは、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの上記一方により計算される上記タイミングエラーを選択し、且つ、上記マルチプレクサに、上記選択されたタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方における上記フィードバックポイントに供給させるようにする、請求項 1 記載の同期システム。

20

**【請求項 3】**

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、対応するアンテナ入力をサンプリングし、且つ、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのための上記フィードバックポイントを形成するサンプルレート変換器を更に含み、  
上記サンプルレート変換器は、上記対応するアンテナ入力のサンプリングを制御するために、上記選択されたタイミングエラーを用いる請求項 2 記載の同期システム。

30

**【請求項 4】**

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのタイミングエラーを計算し、且つ、上記タイミングエラーを上記マルチプレクサに供給するタイミングリカバリユニットを更に含む請求項 3 記載の同期システム。

**【請求項 5】**

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、上記第 1 の同期検出器及び上記第 2 の同期検出器の一方によりセグメント同期が検出されるまで、各タイミングリカバリループ内の上記タイミングリカバリユニットにより計算される上記タイミングエラーを最初は受信する、請求項 4 記載の同期システム。

40

**【請求項 6】**

上記制御ユニットは、上記選択されたタイミングエラーを生成する上記タイミングリカバリループに対応する上記第 1 の同期検出器及び上記第 2 の同期検出器のうちの方によって同期ロックが失われると、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのうちもう一方により生成されるタイミングエラーに切替える、請求項 4 記載の同期システム。

**【請求項 7】**

50

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、キャリアリカバリユニットと信号フィルタを更に含む請求項 4 記載の同期システム。

【請求項 8】

第 1 のアンテナ入力及び第 2 のアンテナ入力と、

タイミングリカバリエラーを切替える同期システムと、を含み

上記同期システムは、

異なるアンテナ入力にそれぞれ接続し、各タイミングエラーを計算する第 1 のタイミングリカバリループ及び第 2 のタイミングリカバリループと、

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループにそれぞれ接続する第 1 の同期検出器及び第 2 の同期検出器と、

上記第 1 の同期検出器及び上記第 2 の同期検出器から同期検出信号を受信し、且つ、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの一方から同期検出信号を受信すると、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの上記一方により生成されるタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方を受信信号と同期させるのに用いるよう選択する制御機構とを含む、受信器。

10

【請求項 9】

上記制御機構は更に、

上記第 1 の同期検出器及び上記第 2 の同期検出器からの上記同期検出信号を受信する制御ユニットと、

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのいずれか一方からのタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方におけるフィードバックポイントに、選択的に供給可能であるマルチプレクサと、を含み、

上記制御ユニットは、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの上記一方により計算される上記タイミングエラーを選択し、且つ、上記マルチプレクサに、上記選択されたタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方における上記フィードバックポイントに供給させるようにする、請求項 8 記載の受信器。

20

【請求項 10】

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、対応するアンテナ入力をサンプリングし、且つ、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのための上記フィードバックポイントを形成するサンプルレート変換器を更に含み、

上記サンプルレート変換器は、上記対応するアンテナ入力のサンプリングを制御するために、上記選択されたタイミングエラーを用いる、請求項 9 記載の受信器。

30

【請求項 11】

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのタイミングエラーを計算し、且つ、上記タイミングエラーを上記マルチプレクサに供給するタイミングリカバリユニットを更に含む、請求項 10 記載の受信器。

40

【請求項 12】

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、上記第 1 の同期検出器及び上記第 2 の同期検出器の一方によりセグメント同期が検出されるまで、各タイミングリカバリループ内の上記タイミングリカバリユニットにより計算される上記タイミングエラーを最初は受信する、請求項 11 記載の受信器。

【請求項 13】

上記制御ユニットは、上記選択されたタイミングエラーを生成する上記タイミングリカバリループに対応する上記第 1 の同期検出器及び上記第 2 の同期検出器のうち的一方によって同期ロックが失われると、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミ

50

ングリカバリループのうちもう一方により生成されるタイミングエラーに切替える、請求項 1 1 記載の受信器。

【請求項 1 4】

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループはそれぞれ、キャリアリカバリユニットと信号フィルタを更に含む、請求項 1 1 記載の受信器。

【請求項 1 5】

タイミングリカバリエラーを切替える方法であって、

異なるアンテナ入力に接続される第 1 のタイミングリカバリループ及び第 2 のタイミングリカバリループのそれぞれについてタイミングエラーを計算する段階と、

同期信号を見つけるべく、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループにより処理される信号を監視する段階と、

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの一方における同期信号の検出に 응답して、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの上記一方により生成されるタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方を受信信号と同期させるのに用いるよう選択する段階と、を含む方法。

【請求項 1 6】

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの上記一方により生成されるタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方を受信信号と同期させるのに用いるよう選択する段階は更に、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのいずれか一方からのタイミングエラーを、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループの両方におけるフィードバックポイントに選択的に供給する段階を含む請求項 1 5 記載の方法。

【請求項 1 7】

各タイミングリカバリループについての上記フィードバックポイントにおいて各対応するアンテナ入力をサンプリングする段階と、

上記選択されたタイミングエラーを、両方のアンテナ入力のサンプリングを制御するために用いる段階とを更に含む請求項 1 6 記載の方法。

【請求項 1 8】

上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのそれぞれについて上記タイミングエラーを計算する段階と、

上記タイミングエラーをマルチプレクサに供給する段階とを更に含む請求項 1 7 記載の方法。

【請求項 1 9】

各タイミングリカバリループ内の第 1 の同期検出器及び第 2 の同期検出器のうち一方によりセグメント同期が検出されるまで、各タイミングリカバリループ内のタイミングリカバリユニットによって計算される上記タイミングエラーを最初は用いる段階を更に含む請求項 1 7 記載の方法。

【請求項 2 0】

上記選択されたタイミングエラーを生成する上記タイミングリカバリループに対応する上記第 1 の同期検出器及び上記第 2 の同期検出器のうち一方によって同期ロックが失われると、上記第 1 のタイミングリカバリループ及び上記第 2 のタイミングリカバリループのうちもう一方により生成されるタイミングエラーに切替える段階を更に含む請求項 1 7 記載の方法。

【発明の詳細な説明】

【0001】

本発明は、一般的に、ワイヤレス伝送システムにおけるタイミングリカバリに関り、特に、2 つ以上のアンテナに接続する受信器用の同期ループ内のタイミングリカバリに係る。

【0002】

10

20

30

40

50

現在の次世代テレビシステム委員会 (ATSC) 受信器は、単一アンテナシステムを用いて、地上波デジタルテレビジョン (DTV) 信号を受信する。しかし、遠隔局に送信される、又は、遠隔局から送信される地上波ワイヤレス信号は、地形、建物又は車両といった静止した又は動いている物体、又は、大気の不連続性から反射され得る。反射信号が十分に吸収又は減衰されなければ、複数の異なる伝播経路が、送信器と受信器との間に形成され、いわゆるマルチパス伝播と称する状況が生まれる。

**【0003】**

一般的に、マルチパスフェーディングと総称するマルチパス伝播に関連付けられる様々な問題は、スループット及び他の性能基準に影響を与えてしまう場合がある。ワイヤレス信号伝送時のマルチパスフェーディングの影響を最小限にする1つの提案は、米国電子工業会 / 電気通信工業会 (EIA/TIA) が提案した規格 ISO-2000 に記載され、この提案では、物理的に位置がずらされたアンテナを用いて、同様に符号化されたデータフレームを2つの (好適には直交する) チャンネルのそれぞれに送信する空間-時間拡散 (STS) を用いる。

10

**【0004】**

単一アンテナシステムでは、送信及び受信データレートの不一致を調整するために、同期ループが受信器中に必要とされる。マルチプルアンテナシステムでは、同期ループは依然として必要であるが、複数の入力 (各アンテナからの) がある。従って、当該技術において、2つ以上のアンテナからの信号を用いるロバストな同期機構が必要である。

**【0005】**

従来技術の上述した欠点に対処するために、本発明は、デュアルアンテナ受信器に用いるための、異なるアンテナ入力にそれぞれ接続される2つのタイミングリカバリループを用いる同期システムを提供することを第一の目的とする。1つのタイミングリカバリループによるセグメント同期ロック (データストリーム中のセグメント同期の検出) は、両方のループにおけるタイミングリカバリのための、対応するタイミングリカバリループからのタイミングエラーの選択を示す。そして、両方のタイミングリカバリループは、選択されたタイミングエラーを用いて同期される。選択したループの同期ロックが失われると、他方のループが、両方のループにタイミングエラーを供給するよう選択される。

20

**【0006】**

上述は、本発明の特徴及び技術的利点の概念を広く説明したが、それにより、当業者は、以下の本発明の詳細な説明をよりよく理解をすることができるであろう。本発明の特許請求の範囲の対象を形成する本発明の追加の特徴及び利点は、以下に説明する。当業者は、開示される概念及び特定の実施例を、本発明と同一の目的を行うための他の構成を修正又は設計する基礎として容易に用い得ることを理解するものとする。当業者は、更なる、そのような等価の構成は、広い形において、本発明の技術的思想及び範囲から逸脱しないことを認識するものとする。

30

**【0007】**

以下に示す本発明の詳細な説明に入る前に、本願に用いる特定の用語及び表現の定義を示すことが有利であろう。用語「含む」、「構成する」、及びそれらの派生語は、制限のない包含を意味する。用語「又は」は包括的であり、従って、及び/又はを意味し、表現「関連付けられる」及びその派生語は、含む、~内に含む、~と相互接続する、包含する、~内に包含する、~に接続する、~に接合する、~に連通する、~と協働する、~と交互配置される、~に並置される、~に近接する、~に固定する、有する、~の特性を有する等を意味し、用語「制御器」は、少なくとも1つの動作を制御する任意の装置、システム、又はシステムの一部を意味し、そのような装置がハードウェア、ファームウェア、ソフトウェア、又は、それらの少なくとも2つの組合せにおいて実施され得る。尚、特定の制御器に関連付けられる機能性は、ローカルでも遠隔でも、中央集権的に又は分散されて制御され得る。特定の用語及び表現の定義は、本願の文書全般を通して用いられ、当業者は、そのような定義が、多くの場合、その定義付けされた用語及び表現の過去及び将来における使用に適用されることを理解するものとする。

40

50

## 【0008】

本発明、及び、本発明の利点をより完全に理解するために、添付図面と共になされる以下の説明を参照する。図中、同様の参照番号は、同様の対象物を示す。

## 【0009】

以下に説明する図1乃至図3、及び、本願において本発明の原理を説明するために用いる様々な実施例は例示的に過ぎず、本発明の範囲を制限すると理解すべきではない。当業者は、本発明の原理は、任意の好適に構成された装置において実施され得ることを理解するであろう。

## 【0010】

図1は、本発明の1つの実施例による、タイミングリカバリのための同期ロックに基づく同期ループを含むマルチプルアンテナ受信器システムを示す。受信器システム100は、物理的に離されたアンテナ101a及び101bを有するアンテナアレイ101を含む。アレイ利得のために互いに近くに置かれる(例えば、半波長のオーダで)のではなく、アンテナ101a及び101bは、受信信号が(略)独立してフェイドするよう十分に離される。 10

## 【0011】

アンテナアレイ101は、アンテナ101a及び101bから別個の入力104、105を受信する、例示的な実施例ではデジタルテレビ受像機である受信器102に接続される。本発明は、例えば、ブロードバンドワイヤレスインターネットアクセスレシーバといった任意の受信器にも用い得る。しかし、実施例に関らず、受信器102は、以下に詳細に説明する本発明によるタイミングリカバリのために微分器(differentiator)に基づくアンテナ切替えを用いる同期システム103を含む。 20

## 【0012】

当業者は、図1は、受信器システム内の各構成要素を明示的に示していないことを認識するであろう。本発明に特有であり、及び/又は、本発明の構造及び動作の理解に必要なシステムの部分のみを示す。

## 【0013】

図2は、本発明の1つの実施例による、タイミングリカバリのために同期ロックに基づくアンテナ切替えを用いる同期システムの詳細を示す。同期システム103は、2つのタイミングリカバリループ200及び201を含む。独立のキャリアリカバリ機構が用いられる。何故なら、別個のチューナが、アンテナ101a及び101bに用いられるからである。 30

## 【0014】

各タイミングリカバリループ200及び201は、それぞれ、アンテナ101a及び101bのうち1つからワイヤレス信号を受信する入力104及び105に接続されるサンプルレート変換器(SRC)202及び203を含む。サンプルレート変換器202及び203の出力は、それぞれ、キャリアリカバリ(CR)ユニット204及び205に供給される。キャリアリカバリユニット204及び205の出力は、平方根二乗余弦(SQRC)フィルタ206及び207に接続される。平方根二乗余弦フィルタ206及び207の出力は、タイミングリカバリ(TR)ユニット208及び209に供給され、タイミングリカバリユニット208及び209は、サンプルレート変換器202及び203を制御するための制御信号を生成し、それにより、タイミングリカバリループ200及び201を完成する。 40

## 【0015】

サンプルレート変換器202及び203は、適切な動作のためには、タイミングリカバリユニット208及び/又は209からの入力を必要とするが、タイミングリカバリ200及び201は、劣悪なチャンネル状態では失敗する場合があります。従って、タイミングリカバリアルゴリズムにはダイバーシチの形が有益である。信号振幅及びシンボル到着時間は、マルチパス伝播の結果異なる場合がある一方で、シンボル間タイミングは影響を受ける可能性がない。従って、タイミングリカバリループ200又は201のどちらかのタイミ 50

ングリカバリエラーは、せいぜい、いくらかの遅延要素又は一定の位相オフセットの追加と共に他のタイミングリカバリループに用いられ得る。

【0016】

本発明では、タイミングリカバリユニット208及び209からのタイミングリカバリエラーは、セグメント同期検出ユニット210及び211内のセグメント同期検出により制御される。動作時には、システム103は、「独立」モードで初期化されており、このモードでは、各タイミングリカバリループ200及び201は、各アンテナ入力104及び105で独立して動作し、また、マルチプレクサ213は、各タイミングリカバリユニット208及び209の出力を、それぞれ、対応するタイミングリカバリループ200及び201内のサンプルレート変換器202、203に供給する。

10

【0017】

制御ユニット212は、各セグメント同期検出ユニット210又は211が、受信したワイヤレスATSC信号ストリーム中にセグメント同期を検出した場合に、セグメント同期検出ユニット210及び211から信号を受信する。どちらかのセグメント同期検出ユニット210又は211が、同期ロックを獲得する(ATSCストリーム中に複数のセグメント同期を検出する)と、各タイミングリカバリループ200又は201は、「マスタ」タイミングリカバリループとして選択され、対応するタイミングリカバリユニット208又は209により生成されるエラー値は、両方のサンプルレート変換器202及び203を制御するよう選択される。

【0018】

制御ユニット212の制御下にあるマルチプレクサ213は、選択されたタイミングリカバリユニット208又は209の出力を、両方のサンプルレート変換器202及び203に供給する。サンプルレート変換器202及び203は、次に、受信したタイミングリカバリエラー値を用いて、入力104及び105から受信したワイヤレス信号の処理を調節する(従って、両方のサンプルレート変換器202及び203は、同じ瞬間にサンプルするが、一定の位相オフセットでサンプルする)。同期ロックが、「マスタ」タイミングリカバリループによって失われると、制御ユニット212は、もう一方のタイミングリカバリループをマスタとして切替える。

20

【0019】

上述した動作スキームの多数の変形も、用いることが可能である。例えば、現在の「マスタ」タイミングリカバリループ200又は201が任意の理由から同期ロックを失うと、システム103は、もう一方のタイミングリカバリループに単に直接切替わるのではなく、両方のタイミングリカバリループ200及び201が独立して動作する「独立」モードに戻ることも可能である。同期ロック検出による「マスタ」タイミングリカバリループ間の切替えにおけるヒステリシスの1つ形が、安定性を維持するために用いられ得る。

30

【0020】

本発明は特に、1つのアンテナは非常に劣悪なチャネル状態を有し、独立して同期ロックを獲得できず、一方で、もう1つのアンテナは比較的良好なチャネル状態を有し、同期ロックを獲得することのできる場合に有利である。本発明では、1つのアンテナ104、105、及び、関連付けられるタイミングリカバリループ200、201、及び、セグメント同期検出ユニット210、211が、同期ロックを獲得すると、システム103全体が同期ロックを有する。非常に劣悪なチャネル(現在の技術により等化できず又は同期ロックも獲得できず)と共に比較的良好なチャネル(現在の技術により等化可能)を用いたイニシャルシミュレーションでは、表Iに示すような、データストリーム中の各連続フィールド同期に対し信号対雑音比(SNR)及びシンボル誤り率(SER)を示した。

40

【0021】

【表1】

SNR	SER
5.586060 dB	0.640000
23.757439 dB	0.005714
37.408863 dB	0.000000
41.548672 dB	0.000000

10

## 表 I

図示するように、システムは、得られた約 41 dB 信号対雑音比で全くシンボル誤りのないよう、4つのフィールド同期において等化され得る。劣悪なアンテナ信号だけで動作する標準の受信器は、送信信号を復号化することはできなかった。

## 【0022】

図3は、本発明の1つの実施例による、タイミングリカバリのための同期ロックに基づくアンテナ切替えの処理を示す高レベルフローチャートである。図2に示す同期システム103により実行されるアンテナ切替え処理300は、2つのタイミングリカバリループが開始され、それぞれのアンテナからの入力に対し独立して動作することにより開始する（段階301）。次に、両方のループのタイミングエラーが、別個に計算される（段階302）。タイミングリカバリループの1つにより（セグメント同期信号を検出することによって）同期ロックが獲得されたか否かについての判断がなされる（段階303）。同期ロックが獲得されていないければ、処理は、タイミングエラーの更なる独立計算に戻る。しかし、同期ロックが獲得されていると、処理は、同期ロックを獲得したタイミングリカバリループを、「マスタ」タイミングリカバリループとして選択し（段階304）、そのループからのタイミングエラーを両方のタイミングリカバリループにおけるフィードバックに用いる。

20

## 【0023】

次に、同期ロックが失われたか否かの判断がなされ（段階305）、この判断が繰り返される（段階305）か、又は、もう一方のタイミングリカバリループがマスタとして選択される（段階306）。処理は、外部処理により中断されるまで無限に繰り返される。

30

## 【0024】

本発明は、アンテナダイバーシチを、タイミングリカバリ、特に、タイミングリカバリのためのアンテナ選択及び/又は切替えに、適用する。同期検出は、どのアンテナ入力を、タイミングリカバリ及び同期に用いるのかを選択するために用いられる。同期システムは、従って、最悪のチャンネル状態、又は、最高のチャンネル状態と最悪のチャンネル状態の組合せではなく、最高のチャンネル状態のみに依存する。アンテナの1つが同期ロックを独立して獲得できなくても、システム全体の同期ロックは獲得される。デュアルアンテナシステムにおいて、タイミングリカバリに基づくアンテナ切替えを用いるATSC受信器についてタイミングリカバリ同期ロックを得る確率は、独立した同期を用いるよりもかなり高い。

40

## 【0025】

本発明を詳細に説明したが、当業者は、本発明の、その広い形の技術的思想及び範囲から逸脱することなく様々な変形、代替、及び、変更を行うことが可能であることを理解するものとする。

## 【図面の簡単な説明】

## 【0026】

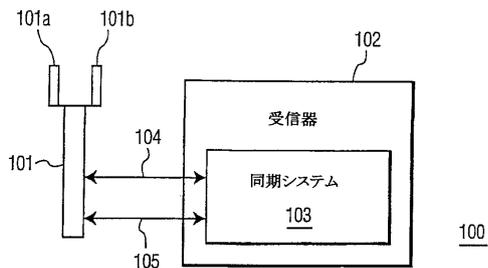
【図1】本発明の1つの実施例による、タイミングリカバリのための同期ロックに基づく同期ループを含むマルチプルアンテナ受信器システムを示す図である。

50

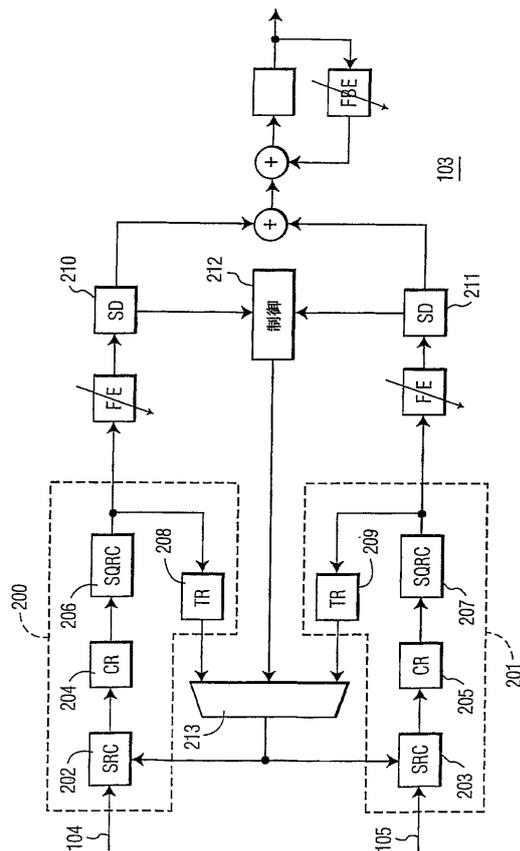
【図2】本発明の1つの実施例による、タイミングリカバリのための同期ロックに基づくアンテナ切替えを用いる同期システムの詳細を示す図である。

【図3】本発明の1つの実施例による、タイミングリカバリのための同期ロックに基づくアンテナ切替えの処理を説明する高レベルフローチャートである。

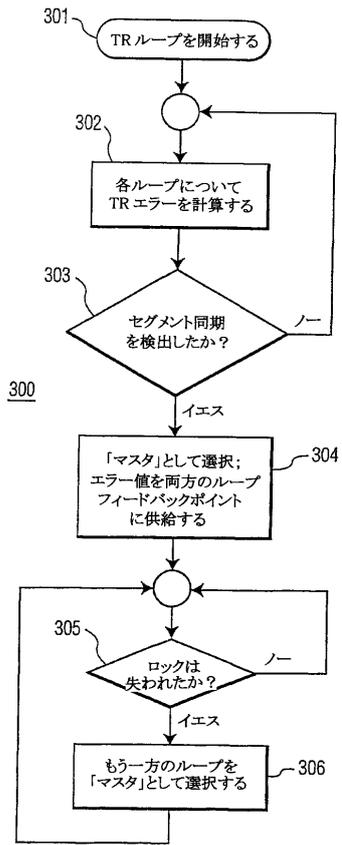
【図1】



【図2】



【 図 3 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
7 November 2002 (07.11.2002)

PCT

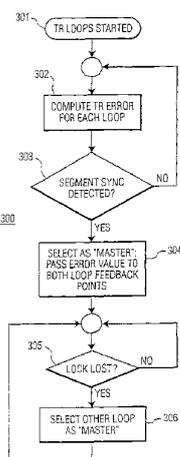
(10) International Publication Number  
WO 02/089388 A1

- (51) International Patent Classification: H04L 1/06, 7/04, H04J 3/06
- (52) International Application Number: PCT/IB02/01468
- (53) International Filing Date: 23 April 2002 (23.04.2002)
- (54) Filing Language: English
- (55) Publication Language: English
- (56) Priority Data: 09/847,215 2 May 2001 (02.05.2001) US
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventor: MEEHAN, Joseph, P.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (74) Agent: GROENENDAAL, Antonius, W., M.; Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (81) Designated States (national): CN, JP, KR.
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- Published: with international search report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: TIMING RECOVERY IN RECEIVERS WITH ANTENNA DIVERSITY USING SYNCHRONIZATION LOOPS

WO 02/089388 A1



(57) Abstract: A synchronization system within a dual antenna receiver employs two timing recovery loops each coupled to a different antenna input. Segment sync lock (detection of a segment sync in the data stream) by one timing recovery loop prompts selection of the timing error from the corresponding timing recovery loop for timing recovery within both loops. Both timing recovery loops are then synchronized utilizing the selected timing error. If sync lock for the selected loop is lost, the other loop is selected to provide timing error to both loops.

## TIMING RECOVERY IN RECEIVERS WITH ANTENNA DIVERSITY USING SYNCHRONIZATION LOOPS

The present invention is directed, in general, to timing recovery in wireless transmission systems and, more specifically, to timing recovery within synchronization loops for receivers coupled to two or more antennae.

Current Advanced Television Systems Committee (ATSC) receivers employ single antenna systems to receive terrestrial digital television (DTV) signals. However, terrestrial wireless signals transmitted to or from a remote station may be reflected from terrain features, fixed or mobile objects such as buildings or vehicles, or discontinuities in the atmosphere. If the reflected signal is not sufficiently absorbed or attenuated, a plurality of different propagation paths are created between the transmitter and receiver, creating a situation referred to as multipath propagation.

Various problems associated with multipath propagation, typically referred to collectively as multipath fading, may dictate throughput and other performance criteria. One suggestion for minimizing the effects of multipath fading during wireless signal transmission, set forth in the Electronics Industry Association/Telecommunications Industry Association (EIA/TIA) proposed standard ISO-2000, employs space-time spreading (STS), in which identically coded data frames are transmitted on each of two (preferably orthogonal) channels utilizing physically displaced antennae.

In a single antenna system, a synchronization loop is required within the receiver to accommodate transmit and receive data rate variances; in a multiple antennae system, a synchronization loop is still required, but multiple inputs (from each antenna) are present. There is, therefore, a need in the art for a robust synchronization mechanism employing signals from two or more antennae.

To address the above-discussed deficiencies of the prior art, it is a primary object of the present invention to provide, for use in dual antenna receiver, a synchronization system employing two timing recovery loops each coupled to a different antenna input. Segment sync lock (detection of a segment sync in the data stream) by one timing recovery loop prompts selection of the timing error from the corresponding timing recovery loop for timing recovery within both loops. Both timing recovery loops are then synchronized

WO 02/089388

PCT/IB02/01468

2

utilizing the selected timing error. If sync lock for the selected loop is lost, the other loop is selected to provide timing error to both loops.

The foregoing has outlined rather broadly the features and technical advantages of the present invention so that those skilled in the art may better understand the detailed description of the invention that follows. Additional features and advantages of the invention will be described hereinafter that form the subject of the claims of the invention. Those skilled in the art will appreciate that they may readily use the conception and the specific embodiment disclosed as a basis for modifying or designing other structures for carrying out the same purposes of the present invention. Those skilled in the art will also realize that such equivalent constructions do not depart from the spirit and scope of the invention in its broadest form.

Before undertaking the detailed description of the invention below, it may be advantageous to set forth definitions of certain words or phrases used throughout this patent document: the terms "include" and "comprise," as well as derivatives thereof, mean inclusion without limitation; the term "or" is inclusive, meaning and/or; the phrases "associated with" and "associated therewith," as well as derivatives thereof, may mean to include, be included within, interconnect with, contain, be contained within, connect to or with, couple to or with, be communicable with, cooperate with, interleave, juxtapose, be proximate to, be bound to or with, have, have a property of, or the like; and the term "controller" means any device, system or part thereof that controls at least one operation, whether such a device is implemented in hardware, firmware, software or some combination of at least two of the same. It should be noted that the functionality associated with any particular controller may be centralized or distributed, whether locally or remotely. Definitions for certain words and phrases are provided throughout this patent document, and those of ordinary skill in the art will understand that such definitions apply in many, if not most, instances to prior as well as future uses of such defined words and phrases.

For a more complete understanding of the present invention, and the advantages thereof, reference is now made to the following descriptions taken in conjunction with the accompanying drawings, wherein like numbers designate like objects, and in which:

Fig. 1 depicts a multiple antennae receiver system including a synch lock-based synchronization loop for timing recovery according to one embodiment of the present invention;

WO 02/089388

PCT/IB02/01468

3

Fig. 2 illustrates in greater detail a synchronization system employing synch lock-based antenna switching for timing recovery according to one embodiment of the present invention; and

5 Fig. 3 is a high level flow chart for a process of synch lock-based antenna switching for timing recovery according to one embodiment of the present invention.

Figs. 1 through 3, discussed below, and the various embodiment used to describe the principles of the present invention in this patent document are by way of illustration only and should not be construed in any way to limit the scope of the invention. Those skilled in the art will understand that the principles of the present invention may be implemented in any suitably arranged device.

Fig. 1 depicts a multiple antennae receiver system including a synch lock-based synchronization loop for timing recovery according to one embodiment of the present invention. Receiver system 100 includes an antenna array 101 having physically displaced antennae 101a and 101b. Rather than being spaced closely together (e.g., on the order of half a wavelength) for array gain, antennae 101a and 101b are spaced far enough apart so that received signals fade (almost) independently.

10 Antenna array 101 is coupled to a receiver 102, a digital television receiver in the exemplary embodiment, receiving separate inputs 104, 105 from antennae 101a and 101b. The present invention may also be employed for any receiver such as, for example, a broadband wireless Internet access receiver. Regardless of the embodiment, however, receiver 102 includes a synchronization system 103 employing differentiator-based antenna switching for timing recovery in accordance with the present invention, as described in further detail below.

Those skilled in the art will perceive that Fig. 1 does not explicitly depict every component within a receiver system. Only those portions of such a system which are unique to the present invention and/or required for an understanding of the structure and operation of the present invention are shown.

30 Fig. 2 illustrates in greater detail a synchronization system employing synch lock-based antenna switching for timing recovery according to one embodiment of the present invention. Synchronization system 103 includes two timing recovery loops 200 and 201. Independent carrier recovery mechanisms are utilized since separate tuners are employed with antennae 101a and 101b.

WO 02/089388

PCT/IB02/01468

4

Each timing recovery loop 200 and 201 includes a sample rate converter (SRC) 202 and 203 coupled to inputs 104 and 105, respectively, receiving wireless signals from one of antennae 101a and 101b. The output of sample rate converters 202 and 203 are passed to carrier recovery (CR) units 204 and 205, respectively, the outputs of which are connected to square root raised cosine (SQRC) filters 206 and 207. The outputs of square root raised cosine filters 206 and 207 are passed to timing recovery (TR) units 208 and 209, which generate control signals for controlling sample rate converters 202 and 203 to complete timing recovery loops 200 and 201.

Sample rate converters 202 and 203 require input from the timing recovery unit(s) 208 and/or 209 for proper operation, but the timing recovery loops 200 and 201 may fail in poor channel conditions so that a form of diversity is beneficial to the timing recovery algorithm. While signal amplitude and symbol arrival times may vary as a result of multipath propagation, inter-symbol timing is unlikely to be affected. Thus, the timing recovery error for either timing recovery loop 200 or 201 may be employed for the other timing recovery loop with, at most, the addition of some delay factor or constant phase offset.

In the present invention, the timing recovery error from timing recovery units 208 and 209 are controlled by segment synch detection within segment sync detection units 210 and 211. In operation, the system 103 is initialized in "independent" mode, with each of the timing recovery loops 200 and 201 running independently on each antenna input 104 and 105 and multiplexer 213 passing the output of each timing recovery unit 208 and 209 to the sample rate converter 202, 203 within the corresponding timing recovery loop 200 and 201, respectively.

A control unit 212 receives signals from segment sync detection units 210 and 211 when the respective segment sync detection unit 210 or 211 detects a segment sync within the received wireless ATSC signal stream. If either segment sync detection unit 210 or 211 acquires a synch lock (detects multiple segment syncs in the ATSC stream), the respective timing recovery loop 200 or 201 is selected as the "master" timing recovery loop and the error value produced by the corresponding timing recovery unit 208 or 209 is selected for controlling both sample rate converters 202 and 203.

Multiplexer 213, under the control of control unit 212, passes the output of the selected timing recovery unit 208 or 209 to both sample rate converters 202 and 203. Sample rate converters 202 and 203 then utilize the received timing recovery error value to adjust processing of received wireless signals from inputs 104 and 105 (both sample rate converters 202 and 203 therefore sample at the same instant, but at a constant phase offset). If the sync

WO 02/089388

PCT/IB02/01468

lock is lost by the "master" timing recovery loop, then the control unit 212 switches to the other timing recovery loop as the master.

Of course, numerous variations of the operational scheme described above may be alternatively employed. For example, if the current "master" timing recovery loop 200 or 201 loses sync lock for any reason, the system 103 may be returned to "independent" mode with both timing recovery loops 202 and 203 running independently on the respective antenna input 104 and 105 rather than simply switching directly to the other timing recovery loop. A form of hysteresis in switching between "master" timing recovery loops due to synch lock detection may be employed to preserve stability.

The present invention is particularly beneficial in the case where one antenna sees a very poor channel and cannot acquire a sync lock independently, while the other antenna sees a relatively benign channel and is able to acquire a sync lock. With the present invention, when one antenna 104, 105 and the associated timing recovery loop 200, 201 and segment synch detection unit 210, 211 acquires a sync lock, the total system 103 has a sync lock. An initial simulation, utilizing a relatively benign channel (equalizable by current techniques) together with a very poor channel (which could not be equalized by current techniques or even acquire a sync lock), produced the signal-to-noise ratio (SNR) and symbol error rate (SER) for each successive field sync within a data stream shown in TABLE I:

SNR	SER
5.586060 dB	0.640000
23.757439 dB	0.005714
37.408863 dB	0.000000
41.548672 dB	0.000000

TABLE I

20

As shown, the system may be equalized within four field syncs to no symbol errors with an approximately 41 dB signal-to-noise ratio obtained. A standard receiver operating on the poor antenna signal alone could not have decoded the transmitted signals.

Fig. 3 is a high level flow chart for a process of sync lock-based antenna switching for timing recovery according to one embodiment of the present invention. The antenna switching process 300, implemented by synchronization system 103 depicted in Fig. 2, begins with the two timing recovery loops being started and running independently on the inputs from the respective antennae (step 301). The timing errors for both loops are then separately computed (step 302). A determination is then made regarding whether a sync lock

25

WO 02/089388

PCT/IB02/01468

6

has been acquired (by detection of a segment sync signal) by one of the timing recovery loops (step 303). If not, the process returns for further independent calculation of timing error. If so, however, the process selects the timing recovery loop having acquired sync lock as a "master" timing recovery loop (step 304), employing the timing error from that loop for  
5 feedback within both timing recovery loops.

A determination of whether the sync lock has been lost is then made (step 305), and either the determination is repeated (step 305), or the other timing recovery loop is selected as the master (step 306). The process continues indefinitely until interrupted by an external process.

10 The present invention applies antenna diversity to timing recovery, specifically to antenna selection and/or switching for timing recovery. Sync detection is employed to chose which antenna input to employ in timing recovery and synchronization. The synchronization system thus depends only on the antenna which sees the best channel, rather than on the antenna which sees the worst channel or some combination of the best and  
15 worst channels. Even if one of the antennae is unable to acquire a sync lock independently, total system sync lock is acquired. The probability of getting a timing recovery sync lock for an ATSC receiver utilizing timing recovery-based antenna switching in a dual antenna system is much higher than using independent synchronization.

20 Although the present invention has been described in detail, those skilled in the art will understand that various changes, substitutions and alterations herein may be made without departing from the spirit and scope of the invention it its broadest form.

WO 02/089388

PCT/IB02/01468

7

## CLAIMS:

1. A synchronization system 103 for switching between timing recovery errors comprising:
- first and second timing recovery loops 200, 201, each coupled to a different antenna input 104, 105 and computing a respective timing error;
- 5
- first and second sync detectors 210, 211 coupled respectively to said first and second timing recovery loops 200, 201; and
  - a control mechanism receiving sync detection signals from said first and second sync detectors 210, 211 and, upon receiving a sync detection signal from one of said first and second timing recovery loops 200, 201, selecting a timing error produced by said
- 10
- one of said first and second timing recovery loops 200, 201 to be utilized in synchronizing both said first and second timing recovery loops 200, 201 with received signals.
2. The synchronization system 103 as set forth in claim 1 wherein said control mechanism further comprises:
- 15
- a control unit 212 receiving said sync detection signals from said first and second sync detectors 210, 211; and
  - a multiplexer 213 capable of selectively passing a timing error from either of said first and second timing recovery loops 200, 201 to feedback points 202, 203 within both of said first and second timing recovery loops 200, 201,
- 20
- said control unit 212 selecting said timing error computed by said one of said first and second timing recovery loops 200, 201 and causing said multiplexer 213 to pass said selected timing error to said feedback points 202, 203 within both of said first and second timing recovery loops 200, 201.
- 25
3. The synchronization system 103 as set forth in claim 2 wherein said first and second timing recovery loops 200, 201 each further comprise a sample rate converter 202, 203 sampling a corresponding antenna input and forming said feedback point for said timing recovery loop 200, 201, said sample rate converter 202, 203 employing said selected timing error to control sampling of said corresponding antenna input 104, 105.

WO 02/089388

PCT/IB02/01468

8

4. The synchronization system 103 as set forth in claim 3 wherein said first and second timing recovery loops 200, 201 each further comprise a timing recovery unit 208, 209 computing a timing error for said timing recovery loop 200, 201 and passing said timing error to said multiplexer 213.

5. The synchronization system 103 as set forth in claim 4 wherein said first and second timing recovery loops 200, 201 each initially receive said timing error computed by said timing recovery unit 208, 209 within said respective timing recovery loop 200, 201 until a segment sync is detected by one of said first and second synch detectors 210, 211.

6. The synchronization system 103 as set forth in claim 4 wherein control unit 212 switches to a timing error produced by an other of said first and second timing recovery loops 200, 201 upon loss of synchronization lock by one of said first and second sync detectors 210, 211 corresponding to said timing recovery loop 200, 201 producing said selected timing error.

7. The synchronization system 103 as set forth in claim 4 wherein said first and second timing recovery loops 200, 201 each further comprise a carrier recovery unit 204, 205 and a signal filter 206, 207.

8. A receiver 102 comprising:  
- first and second antenna inputs 104 and 105; and  
- a synchronization system 103 for switching between timing recovery errors comprising:  
- first and second timing recovery loops 200, 201, each coupled to a different antenna input 104, 105 and computing a respective timing error;  
- first and second sync detectors 210, 211 coupled respectively to the first and second timing recovery loops 200, 201; and  
- a control mechanism receiving sync detection signals from said first and second sync detectors 210, 211 and, upon receiving a sync detection signal from one of said first and second timing recovery loops 200, 201, selecting a timing error produced by said one of said first and second timing recovery loops 200, 201 to be utilized in synchronizing both said first and second timing recovery loops 200, 201 with received signals.

WO 02/089388

PCT/IB02/01468

9

9. The receiver 102 as set forth in claim 8 wherein said control mechanism further comprises:

- 5 - a control unit 212 receiving said sync detection signals from said first and second sync detectors 210, 211; and
- a multiplexer 213 capable of selectively passing a timing error from either of said first and second timing recovery loops 200, 201 to feedback points 202, 203 within both of said first and second timing recovery loops 200, 201,
- 10 - said control unit 212 selecting said timing error computed by said one of said first and second timing recovery loops 200, 201 and causing said multiplexer 213 to pass said selected timing error to said feedback points 202, 203 within both of said first and second timing recovery loops 200, 201.

10. The receiver 102 as set forth in claim 9 wherein said first and second timing recovery loops 200, 201 each further comprise a sample rate converter 202, 203 sampling a corresponding antenna input 104, 105 and forming said feedback point for said timing recovery loop 200, 201, said sample rate converter 202, 203 employing said selected timing error to control sampling of said corresponding antenna input 104, 105.

20 11. The receiver 102 as set forth in claim 10 wherein said first and second timing recovery loops 200, 201 each further comprise a timing recovery unit 208, 209 computing a timing error for said timing recovery loop 200, 201 and passing said timing error to said multiplexer 213.

25 12. The receiver 102 as set forth in claim 11 wherein said first and second timing recovery loops 200, 201 each initially receive said timing error computed by said timing recovery unit 208, 209 within said respective timing recovery loop 200, 201 until a segment sync is detected by one of said first and second synch detectors 210, 211.

30 13. The receiver 102 as set forth in claim 11 wherein control unit 212 switches to a timing error produced by an other of said first and second timing recovery loops 200, 201 upon loss of synchronization lock by one of said first and second sync detectors 210, 211 corresponding to said timing recovery loop 200, 201 producing said selected timing error.

WO 02/089388

PCT/IB02/01468

10

14. The receiver 102 as set forth in claim 11 wherein said first and second timing recovery loops 200, 201 each further comprise a carrier recovery unit 204, 205 and a signal filter 206, 207.
- 5 15. A method of switching between timing recovery errors comprising:  
- computing a timing error for each of first and second timing recovery loops 200, 201 coupled to a different antenna input 104, 105;  
- monitoring signals processed by the first and second timing recovery loops 200, 201 for a sync signal; and  
10 - responsive to detecting a sync signal within one of the first and second timing recovery loops 200, 201, selecting a timing error produced by the one of the first and second timing recovery loops 200, 201 to be utilized in synchronizing both the first and second timing recovery loops 200, 201 with received signals.
- 15 16. The method as set forth in claim 15 wherein the step of selecting a timing error produced by the one of the first and second timing recovery loops 200, 201 to be utilized in synchronizing both the first and second timing recovery loops 200, 201 with received signals further comprises selectively passing a timing error from either of the first and second timing recovery loops 200, 201 to feedback points 202, 203 within both of the first and second  
20 timing recovery loops 200, 201.
17. The method as set forth in claim 16 further comprising:  
- sampling each corresponding antenna input 104, 105 at the feedback point 202, 203 for each respective timing recovery loop 200, 201;  
25 - employing the selected timing error to control sampling of both antenna inputs 104, 105.
18. The method as set forth in claim 17 further comprising computing the timing error for each of the first and second timing recovery loops 200, 201 and passing the timing errors to a multiplexer 213.  
30
19. The method as set forth in claim 17 further comprising initially employing the timing error computed by a timing recovery unit 208, 209 within the respective timing

WO 02/089388

PCT/IB02/01468

11

recovery loop 200, 201 until a segment sync is detected by one of first and second sync detectors 210, 211 within timing recovery loops 200, 201.

20. The method as set forth in claim 17 further comprising switching to a timing  
5 error produced by an other of the first and second timing recovery loops 200, 201 upon loss  
of synchronization lock by the one of first and second sync detectors 210, 211 corresponding  
to the timing recovery loop 200, 201 producing the selected timing error.

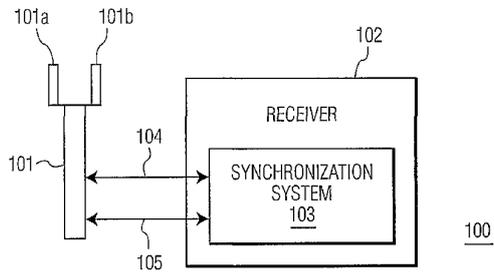


FIG. 1

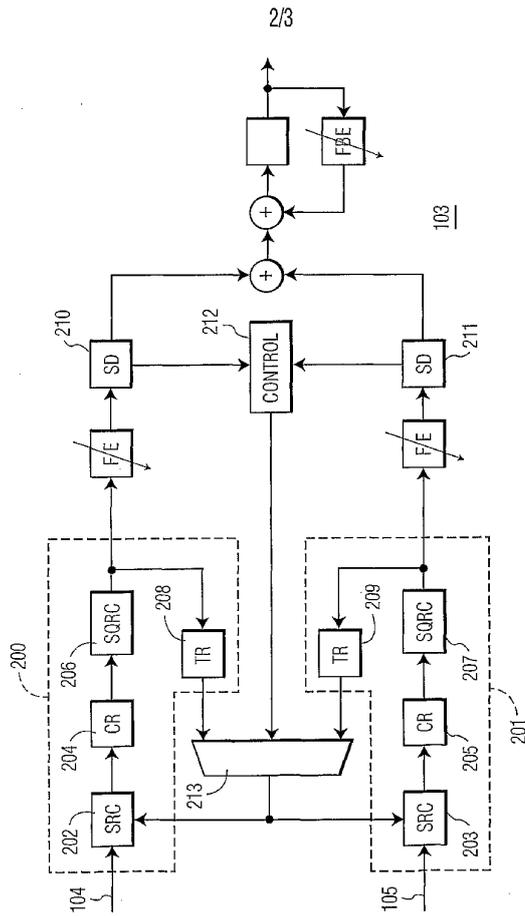


FIG. 2

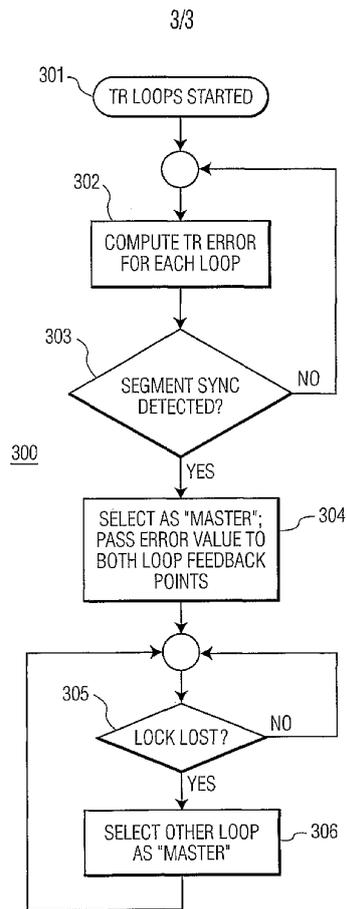


FIG. 3

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Inventor Application No. PCT/IB 02/01468
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04L1/06 H04L7/04 H04J3/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04L H04J		
Documentation searched other than minimum documentation (to the extent that such documents are included) in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 5 905 767 A (FUJIMURA AKINORI) 18 May 1999 (1999-05-18)  column 21, line 60 -column 22, line 20  column 42, line 43 -column 46, line 60 column 52, line 50 -column 53, line 4 column 54, line 7 -column 55, line 51 column 60, line 53 -column 61, line 5 column 62, line 6 -column 63, line 28 column 66, line 34 - line 38 figures 27, 35, 41  --- --/--	1-4, 6, 8-11, 13, 15-18, 20 5, 7, 12, 14, 19
X	WO 93 18593 A (MOTOROLA INC) 16 September 1993 (1993-09-16) abstract page 5, line 15 -page 10, line 14 figure 3  --- --/--	1, 2, 8, 9, 15, 16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 8 July 2002		Date of mailing of the international search report 23/07/2002
Name and mailing address of the ISA European Patent Office, P.O. Box 5618 Patentstrasse 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Palaci6n Lisa, M

INTERNATIONAL SEARCH REPORT		Int'l Application No PCI/IB 02/01468
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 015 205 A (IKEDA KIYOSHI ET AL) 29 March 1977 (1977-03-29) column 2, line 42 -column 3, line 59 figures 1,3,7 -----	1,2,8,9, 15,16
A	RAJENDRA KUMAR: "NOVEL MULTIRECEIVER COMMUNICATION SYSTEMS CONFIGURATIONS BASED ON OPTIMAL ESTIMATION THEORY", IEEE TRANSACTIONS ON COMMUNICATIONS, IEEE INC. NEW YORK, US, VOL. 40, NR. 11, PAGE(S) 1767-1780 XP000336314 ISSN: 0090-6778 abstract Section I. INTRODUCTION figures 1,2 -----	1-20
A	US 5 285 482 A (SCHIER PHILIPPE ET AL) 8 February 1994 (1994-02-08) the whole document figure 1 -----	1-20

INTERNATIONAL SEARCH REPORT				International Application No.	
Information on patent family members				PCT/IB 02/01468	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date		
US 5905767	A	18-05-1999	JP 3286885 B2	27-05-2002	
			JP 9135276 A	20-05-1997	
			GB 2307154 A ,B	14-05-1997	
			GB 2317541 A ,B	25-03-1998	
			HK 1001169 A1	17-03-2000	
			SG 74570 A1	22-08-2000	
			US 6104762 A	15-08-2000	
WO 9318593	A	16-09-1993	CA 2107766 A1	03-09-1993	
			DE 4390988 T0	31-07-1997	
			FI 934839 A	02-11-1993	
			FR 2688961 A1	24-09-1993	
			GB 2271249 A ,B	06-04-1994	
			IT 1261773 B	03-06-1996	
			JP 6507537 T	25-08-1994	
			SE 9303579 A	27-12-1993	
			NO 9318593 A1	16-09-1993	
			US 5488638 A	30-01-1996	
			US 4015205	A	29-03-1977
JP 51094709 A	19-08-1976				
JP 57032535 B	12-07-1982				
US 5285482	A	08-02-1994	FR 2685594 A1	25-06-1993	
			DE 69219297 D1	28-05-1997	
			DE 69219297 T2	07-08-1997	
			EP 0547539 A1	23-06-1993	
			ES 2101015 T3	01-07-1997	

フロントページの続き

(74)代理人 100107766

弁理士 伊東 忠重

(72)発明者 メーハン, ジョーゼフ ピー

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

Fターム(参考) 5K047 AA01 BB01 HH34 KK00 KK04

5K059 CC03