



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I528527 B

(45)公告日：中華民國 105 (2016) 年 04 月 01 日

(21)申請案號：099124555

(22)申請日：中華民國 99 (2010) 年 07 月 26 日

(51)Int. Cl. : H01L27/088 (2006.01)

H01L27/12 (2006.01)

H01L29/786 (2006.01)

H01L21/8234(2006.01)

H01L21/84 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/08/07 日本

2009-185300

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；  
細羽美雪 HOSOBAMA, MIYUKI (JP)；高橋辰也 TAKAHASHI, TATSUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200618321A

CN 1941299A

US 2001/0030323A1

US 2008/0258141A1

審查人員：羅文雄

申請專利範圍項數：13 項 圖式數：47 共 243 頁

(54)名稱

半導體裝置及半導體裝置之製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR  
DEVICE

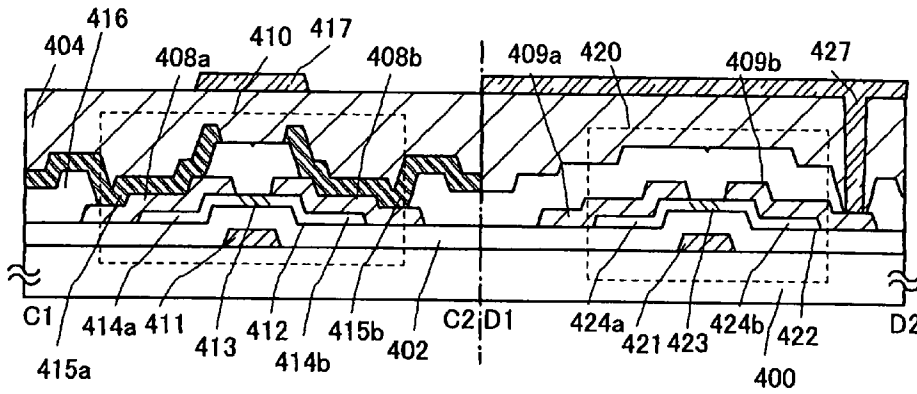
(57)摘要

本發明係有關半導體裝置及半導體裝置的製造方法。半導體裝置包括在一個基板之上的驅動電路和像素，該驅動電路包含第一薄膜電晶體，該像素包含第二薄膜電晶體。第一薄膜電晶體包括第一閘極電極層、閘極絕緣層、第一氧化物半導體層、第一氧化物導電層、第二氧化物導電層、與第一氧化物半導體層的部分相接觸並且與第一氧化物導電層和第二氧化物導電層的週邊和側表面相接觸的氧化物絕緣層、第一源極電極層以及第一汲極電極層。第二薄膜電晶體包括第二閘極電極層、第二氧化物半導體層、以及都使用透光材料所形成的第二源極電極層和第二汲極電極層。

The semiconductor device includes a driver circuit including a first thin film transistor and a pixel including a second thin film transistor over one substrate. The first thin film transistor includes a first gate electrode layer, a gate insulating layer, a first oxide semiconductor layer, a first oxide conductive layer, a second oxide conductive layer, an oxide insulating layer which is in contact with part of the first oxide semiconductor layer and which is in contact with peripheries and side surfaces of the first and second oxide conductive layers, a first source electrode layer, and a first drain electrode layer. The second thin film transistor includes a second gate electrode layer, a second oxide semiconductor layer, and a second source electrode layer and a second drain electrode layer each formed using a light-transmitting material.

指定代表圖：

圖 1B



符號簡單說明：

- 410 . . . 薄膜電晶體
- 411 . . . 閘極電極層
- 402 . . . 閘極絕緣層
- 412 . . . 氧化物半導體
- 413 . . . 通道形成區
- 414a . . . 高電阻源極區
- 414b . . . 高電阻汲極區
- 408a . . . 低電阻源極區
- 408b . . . 低電阻汲極區
- 415a . . . 源極電極層
- 415b . . . 汲極電極層
- 400 . . . 基板
- 416 . . . 氧化物絕緣層
- 417 . . . 導電層
- 420 . . . 薄膜電晶體
- 404 . . . 平坦化絕緣層
- 422 . . . 氧化物半導體層
- 423 . . . 通道形成區
- 424a . . . 高電阻源極區
- 424b . . . 高電阻汲極區
- 409a . . . 源極電極層
- 409b . . . 汲極電極層
- 421 . . . 閘極電極層
- 427 . . . 像素電極層

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099124555

H01L 27/088 (2006.01)

H01L 27/12 (2006.01)

※申請日：099年07月26日

※IPC分類：

H01L 29/786 (2006.01)

H01L 21/8234 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/84 (2006.01)

H01L 21/336 (2006.01)

半導體裝置及半導體裝置之製造方法

Semiconductor device and method for manufacturing semiconductor device

## 二、中文發明摘要：

本發明係有關半導體裝置及半導體裝置的製造方法。半導體裝置包括在一個基板之上的驅動電路和像素，該驅動電路包含第一薄膜電晶體，該像素包含第二薄膜電晶體。第一薄膜電晶體包括第一閘極電極層、閘極絕緣層、第一氧化物半導體層、第一氧化物導電層、第二氧化物導電層、與第一氧化物半導體層的部分相接觸並且與第一氧化物導電層和第二氧化物導電層的週邊和側表面相接觸的氧化物絕緣層、第一源極電極層以及第一汲極電極層。第二薄膜電晶體包括第二閘極電極層、第二氧化物半導體層、以及都使用透光材料所形成的第二源極電極層和第二汲極電極層。

### 三、英文發明摘要：

The semiconductor device includes a driver circuit including a first thin film transistor and a pixel including a second thin film transistor over one substrate. The first thin film transistor includes a first gate electrode layer, a gate insulating layer, a first oxide semiconductor layer, a first oxide conductive layer, a second oxide conductive layer, an oxide insulating layer which is in contact with part of the first oxide semiconductor layer and which is in contact with peripheries and side surfaces of the first and second oxide conductive layers, a first source electrode layer, and a first drain electrode layer. The second thin film transistor includes a second gate electrode layer, a second oxide semiconductor layer, and a second source electrode layer and a second drain electrode layer each formed using a light-transmitting material.

## 四、指定代表圖：

(一) 本案指定代表圖為：第 ( 1B ) 圖。

(二) 本代表圖之元件符號簡單說明：

410：薄膜電晶體  
411：閘極電極層  
402：閘極絕緣層  
412：氧化物半導體  
413：通道形成區  
414a：高電阻源極區  
414b：高電阻汲極區  
408a：低電阻源極區  
408b：低電阻汲極區  
415a：源極電極層  
415b：汲極電極層  
400：基板  
416：氧化物絕緣層  
417：導電層  
420：薄膜電晶體  
404：平坦化絕緣層  
422：氧化物半導體層  
423：通道形成區  
424a：高電阻源極區  
424b：高電阻汲極區  
409a：源極電極層  
409b：汲極電極層  
421：閘極電極層  
427：像素電極層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關包括氧化物半導體的半導體裝置及其製造方法。

注意，在本說明書中，半導體裝置指的是能夠利用半導體特性作用的所有裝置，並且諸如顯示裝置的電光裝置、半導體電路和電子裝置都是半導體裝置。

### 【先前技術】

近年來，使用半導體薄膜（具有約幾奈米到幾百奈米的厚度）製造薄膜電晶體（TFT）的技術已經引起注意，其中，該半導體薄膜形成於具有絕緣表面的基板上。薄膜電晶體已經被應用於範圍很廣之諸如 IC 的電子裝置或電光裝置，並且特別是作為影像顯示裝置中的切換元件快速發展。各種金屬氧化物被用於各種應用。例如，氧化銦是公知的材料，並已經被用作為液晶顯示裝置等所需的透明電極材料。

一些金屬氧化物呈現半導體特性。這些具有半導體特性的金屬氧化物的例子是氧化鎢、氧化錫、氧化銦、氧化鋅等。已知一種薄膜電晶體，其中，使用這些具有半導體特性的金屬氧化物來形成通道形成區（專利文獻 1 和專利文獻 2）。

參考文獻

## 專利文獻

[專利文獻 1] 日本專利申請公開 No. 2007-123861

[專利文獻 2] 日本專利申請公開 No. 2007-096055

## 【發明內容】

例如，當在絕緣表面上製造多個薄膜電晶體時，存在有其中之閘極佈線與源極佈線彼此交叉的一部分。在該交叉中，在閘極佈線與源極佈線之間設置絕緣層，其具有不同於閘極佈線的電位的電位，並且由於用作為電媒體的該絕緣層而產生電容。該電容也稱為佈線間的寄生電容，並且會產生信號波形的失真。此外，當寄生電容大時，信號傳輸會被延遲。

並且，寄生電容的增加導致串擾現象以及功耗增加，在該串擾現象中在佈線之間洩露電信號。

在主動矩陣顯示裝置中，特別是當在供應影像信號的信號佈線與另一佈線或電極之間產生大的寄生電容時，顯示品質會劣化。

並且，當實現電路的小型化時，佈線間的距離短，佈線間的寄生電容會增加。

本發明的一個實施例之目的在於提供能夠有效地減小佈線間的寄生電容的半導體裝置。

此外，當驅動電路被形成於絕緣表面之上時，用於該驅動電路的薄膜電晶體的操作速度較佳為高。

例如，當薄膜電晶體的通道長度（也稱為  $L$ ）短時，



或者當通道寬度（也稱為  $W$ ）寬時，操作速度增加。但是，當通道長度短時，存在切換特性的問題，例如，導通/截止比（on/off ratio）變小。當通道寬度  $W$  寬時，存在薄膜電晶體自身的電容負載增加的問題。

一個目的在於提供設置有薄膜電晶體的半導體裝置，該薄膜電晶體在通道長度短時具有穩定的電特性。

當多個不同電路形成於絕緣表面上時，例如當像素部和驅動電路係形成於一個基板上時，用於像素部的薄膜電晶體需要具有優異的切換特性，例如高的導通/截止比，而用於驅動電路的薄膜電晶體需要具有高的操作速度。特別是，當顯示裝置具有高清晰度時，需要寫入顯示影像的時間變短；因此，用於驅動電路的薄膜電晶體較佳具有高的操作速度。

本發明的一個實施例之目的在於提供設置有多種薄膜電晶體的半導體裝置，每種薄膜電晶體根據多種電路的特性而形成，其中，不執行複雜的步驟，並且所述多種電路在不增加製造成本的情況下形成於一個基板之上。

本發明的一個實施例包括一個基板之上的驅動電路和像素部，以及驅動電路中和像素部中的薄膜電晶體。透過在一個基板之上形成驅動電路和像素部，能夠降低製造成本。

根據本發明的一個實施例，驅動電路中的薄膜電晶體（也稱為第一薄膜電晶體）和像素部中的薄膜電晶體（也稱為第二薄膜電晶體）都是具有底閘極部閘極結構的薄膜

電晶體。每個薄膜電晶體包括閘極電極（也稱為閘極電極層）、源極電極（也稱為源極電極層）、汲極電極（也稱為汲極電極層）和具有通道形成區的半導體層。

根據本發明的一個實施例，像素部中的薄膜電晶體的閘極電極、源極電極和汲極電極係使用透光導電層所形成，並且半導體層係使用透光半導體層所形成。換言之，像素部中的薄膜電晶體係使用透光材料所形成。因此，實現像素部的孔徑比的提高。

根據本發明的一個實施例，驅動電路中的薄膜電晶體的閘極電極係使用與像素部中的薄膜電晶體的閘極電極的材料相同的材料所形成，或者使用電阻值低於用於像素部中的薄膜電晶體的閘極電極的材料所形成。驅動電路中的薄膜電晶體的源極電極和汲極電極係使用電阻值低於用於像素部中的薄膜電晶體的源極電極和閘極電極的材料所形成。因此，像素部中的薄膜電晶體的源極電極和閘極電極的材料電阻值高於驅動電路中的薄膜電晶體的源極電極和汲極電極的電阻值。

根據本發明的一個實施例，驅動電路中的薄膜電晶體包括半導體層與源極電極之間以及該半導體層與汲極電極之間的導電層。較佳地，所述導電層的電阻值低於所述半導體層的電阻值，且高於源極電極層和汲極電極層的電阻值。因此，提高了驅動電路的操作速度。

根據本發明的一個實施例，驅動電路中的薄膜電晶體包括氧化物絕緣層，該氧化物絕緣層與半導體層的一部分

相接觸，並且該氧化物絕緣層與導電層的週邊和側表面相接觸。所述導電層係設置在所述半導體層與源極電極之間以及在所述半導體層與汲極電極之間。在包括氧化物絕緣層的結構中，閘極電極層與形成於閘極電極層的上方或附近的佈線層（例如，源極佈線層或電容器佈線層）之間的距離大；因此，寄生電容減小。寄生電容的減小可以導致信號波形的失真的抑制。在驅動電路中的薄膜電晶體中，源極電極與設置在半導體層與源極電極之間的導電層相接觸，而汲極電極與設置在半導體層與汲極電極之間導電層相接觸。

本發明的一個實施例是半導體裝置，其包括一個基板之上方的驅動電路和像素，該驅動電路包括第一薄膜電晶體，該像素包括第二薄膜電晶體。第一薄膜電晶體包括：第一閘極電極層；設置於第一閘極電極層之上方的閘極絕緣層；設置於第一閘極電極層之上方的第一氧化物半導體層，在第一閘極電極層與第一氧化物半導體層之間具有閘極絕緣層，並且第一氧化物半導體層包括第一通道形成區；設置於第一氧化物半導體層之上方的第一氧化物導電層和第二氧化物導電層；氧化物絕緣層，與氧化物半導體層的一部分相接觸，並且與第一氧化物導電層和第二氧化物導電層的週邊和側表面相接觸；第一源極電極層，與第一氧化物導電層相接觸；以及第一汲極電極層，與第二氧化物導電層相接觸。第二薄膜電晶體包括：使用透光材料所形成的第二閘極電極層；設置於第二閘極電極層之上方的

第二氧化物半導體層，在第二閘極電極層與第二氧化物半導體層之間具有閘極絕緣層，第二氧化物半導體層包括第二通道形成區；以及設置於第二氧化物半導體層之上方並且使用透光材料所形成的第二源極電極層和第二汲極電極層。

本發明的另一實施例可以是半導體裝置，其中，第一薄膜電晶體的源極電極層和汲極電極層都是使用選自 Al、Cr、Cu、Ta、Ti、Mo 和 W 中的一種元素作為主要成分的導電層所形成，或這些元素中的任意元素組合的疊層所形成。

本發明的另一實施例可以是半導體裝置，其中，第二薄膜電晶體的源極電極層和汲極電極層都是使用氧化銮、氧化銮-氧化錫合金、氧化銮-氧化鋅合金或氧化鋅所形成。

本發明的另一實施例可以是半導體裝置，包括其上設置有第一薄膜電晶體和第二薄膜電晶體的相同基板之上方的電容器部。電容器部可以包括電容器佈線和與電容器佈線相重疊的電容器電極。電容器佈線和電容器電極都可以具有透光性。

本發明的另一實施例可以是半導體裝置，包括導電層，該導電層位於第一薄膜電晶體的氧化物絕緣層之上並且與第一氧化物半導體層的通道形成區相重疊。

本發明的另一實施例可以是半導體裝置，其中，第一氧化物導電層和第二氧化物導電層係使用與第二薄膜電晶

體的源極電極層和汲極電極層的材料相同的材料所形成。

本發明的一個實施例可以是半導體裝置的製造方法，該半導體裝置包括位於一個基板之上方的驅動電路和像素部，該驅動電路包括第一薄膜電晶體，該像素部包括第二薄膜電晶體。該方法包括以下步驟：形成第一閘極電極層和第二閘極電極層；在第一閘極電極層和第二閘極電極層之上方形形成閘極絕緣層；在第一閘極電極層之上方形形成第一氧化物半導體層，在第一閘極電極層與第一氧化物半導體層之間具有閘極絕緣層，並在第二閘極電極層之上方形形成第二氧化物半導體層，在第二閘極電極層與第二氧化物半導體層之間具有閘極絕緣層；對第一氧化物半導體層和第二氧化物半導體層進行脫水或脫氫；在第一氧化物半導體層和第二氧化物半導體層之上方形形成氧化物導電膜；透過去除氧化物導電膜的一部分在第一氧化物半導體層之上方形形成第一氧化物導電層和第二氧化物導電層，並在第二氧化物半導體層之上方形形成第二源極電極層和第二汲極電極層；在第一氧化物導電層、第二氧化物導電層、第二源極電極層和第二汲極電極層之上方形形成氧化物絕緣層；透過去除氧化物絕緣層的一部分，暴露第一氧化物導電層的一部分和第二氧化物導電層的一部分；以及形成與暴露的第一氧化物導電層相接觸的第一源極電極層，並形成與暴露的第二氧化物導電層相接觸的第一汲極電極層。

本發明的另一實施例可以是半導體裝置的製造方法，其中，使用多色調遮罩來形成抗蝕劑遮罩，從而透過使用

該抗蝕劑遮罩來進行蝕刻，以形成第一氧化物半導體層、第二氧化物半導體層、第一氧化物導電層、第二氧化物導電層、第二源極電極層和第二汲極電極層。

本說明書中所使用的氧化物半導體是例如由  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 所表示的金屬氧化物。形成包括該金屬氧化物的薄膜，並製造使用該薄膜作為氧化物半導體層所形成的薄膜電晶體。請注意，M 表示選自 Ga、Fe、Ni、Mn 和 Co 的一種金屬元素或多種金屬元素。例如，在一些情況下，M 表示 Ga；同時，在其他情況下，M 表示除 Ga 之外的諸如 Ni 或 Fe 的上述金屬元素（Ga 和 Ni 或 Ga 和 Fe）。並且，上述金屬半導體可以包括 Fe 或 Ni、另一過渡金屬元素或者該過渡金屬元素的氧化物作為除了被包括作為 M 的金屬元素之外的雜質元素。在本說明書中，其化學式表示為  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ，m 為非整數）（其中，至少包括 Ga 作為 M）的氧化物半導體層被稱為基於 In-Ga-Zn-O 的氧化物半導體，並且其薄膜也被稱為基於 In-Ga-Zn-O 的半導體膜。

作為用於氧化物半導體層的金屬氧化物，除了上述之外，可以使用以下任何一種金屬氧化物：基於 In-Sn-Zn-O 的金屬氧化物；基於 In-Al-Zn-O 的金屬氧化物；基於 Sn-Ga-Zn-O 的金屬氧化物；基於 Al-Ga-Zn-O 的金屬氧化物；基於 Sn-Al-Zn-O 的金屬氧化物；基於 In-Zn-O 的金屬氧化物；基於 Sn-Zn-O 的金屬氧化物；基於 Al-Zn-O 的金屬氧化物；基於 In-O 的金屬氧化物；基於 Sn-O 的金屬氧

化物；和基於 Zn-O 的金屬氧化物。並且，在使用上述金屬氧化物所形成的氧化物半導體層中可以包括氧化矽。

氧化物半導體較佳為含 In 的氧化物半導體，更較佳為含 In 和 Ga 的氧化物半導體。為了獲得 i 型（本徵）氧化物半導體層，脫水或脫氫是有效的。

在半導體裝置的製造程序中，在諸如氮或稀有氣體（例如，氬或氦）的惰性氣體的氛圍下進行熱處理的情況下，氧化物半導體層透過熱處理而被變為氧缺乏（oxygen-deficient）氧化物半導體層，成為低電阻氧化物半導體層，即 n 型（例如，n<sup>-</sup>型）氧化物半導體層。然後，透過形成與氧化物半導體層相接觸的氧化物絕緣層，使得氧化物半導體層處於氧過量（oxygen-excess）態。因而，氧化物半導體層的一部分變為高電阻氧化物半導體層，亦即，i 型氧化物半導體層。因此，可以製造並提供具有理想電特性的包括高可靠性薄膜電晶體的半導體裝置。

在半導體裝置的製造程序中，對於脫水或脫氫，在含氮或稀有氣體（氬、氦等）的惰性氣體氛圍下，在大於等於 350°C 下進行熱處理，較佳大於等於 400°C 且小於基板的應變點，例如大於等於 400°C 且小於等於 700°C，更較佳大於等於 420°C 且小於等於 570°C，以減少包含在氧化物半導體層中的諸如水分的雜質。

即使在達到 450°C 下對受到了脫水或脫氫的氧化物半導體層進行熱脫附譜（也稱為 TDS）時，也檢測不到在約 300°C 下的水的兩個峰或者水的至少一個峰。因此，即使

在達到 450°C 下對包括受到了脫水或脫氫的氧化物半導體層的薄膜電晶體進行 TDS 時，也至少檢測不到在約 300°C 下的水的峰。

此外，在半導體裝置的製造程序中，重要的是防止水或氫混入氧化物半導體層，其中，氧化物半導體不暴露於空氣。當使用 i 型氧化物半導體層形成薄膜電晶體時，薄膜電晶體的閾值電壓可以是正的，據此可以實現所謂的常關型切換元件，其中，該 i 型氧化物半導體層透過如下處理獲得：透過脫水或脫氫將氧化物半導體層變為低電阻氧化物半導體層，即 n 型（例如，n<sup>-</sup>型）氧化物半導體層；然後透過供應氧將該低電阻氧化物半導體層變為高電阻氧化物半導體層，稱為 i 型半導體層。對於半導體裝置較佳地是在薄膜電晶體中形成具有盡可能接近 0 V 的正閾值電壓的通道。注意，如果薄膜電晶體的閾值電壓為負，則薄膜電晶體趨於常開；換言之，即使當閘極電壓為 0 V 時，電流也在源極電極和汲極電極之間流動。在主動矩陣顯示裝置中，電路中包括的薄膜電晶體的電特性是重要的，並影響顯示裝置的性能。在薄膜電晶體的電特性中，閾值電壓（ $V_{th}$ ）特別重要。例如，當閾值電壓高或為負時，即使薄膜電晶體具有高的場效應遷移特性，也難以控制電路。在薄膜電晶體具有高閾值電壓的情況下，薄膜電晶體不能執行作為 TFT 的切換功能，並且在 TFT 被在低電壓下驅動時可能成為負載。例如，在 n 通道薄膜電晶體的情況下，較佳僅在向閘極電極施加正電壓之後就形成通道並流



動汲極電流。除非提高驅動電壓才形成通道的電晶體和即使施加負電壓也形成通道且流動汲極電流的電晶體，不適用於用作為電路中使用的薄膜電晶體。

此外，溫度從加熱溫度  $T$  降低的氣體氛圍可以被轉換到不同於溫度上升到加熱溫度  $T$  的氣體氛圍的氣體氛圍。例如，在爐中進行脫水或脫氫之後，用高純氧氣或高純  $N_2O$  氣體進行冷卻，而不暴露至空氣。

使用在透過用於脫水或脫氫的熱處理減少膜中包含的水分之後在不包含水分的氛圍（露點小於等於  $-40^\circ C$ ，較佳小於等於  $-60^\circ C$ ）下緩冷（或冷卻）的氧化物半導體膜，改進了薄膜電晶體的電特性，並且實現了可以量產的高性能薄膜電晶體。

在本說明書中，在諸如氮或稀有氣體（氬或氖）的惰性氣體氛圍下進行的熱處理被稱為“用於脫水或脫氫的熱處理”。在本說明書中，“脫氫”並不表示透過熱處理僅去除  $H_2$ 。為了便於說明，將  $H$ 、 $OH$  等的去除稱為“脫水或脫氫”。

在半導體裝置的製造程序中，在諸如氮或稀有氣體（氬或氖）的惰性氣體氛圍下進行熱處理的情況下，氧化物半導體層透過熱處理而被變為氧缺乏氧化物半導體層，成為低電阻氧化物半導體層，即  $n$  型（例如， $n^-$  型）氧化物半導體層。結果，與源極電極層重疊的氧化物半導體層的區域形成為作為氧缺乏區域的高電阻源極區（也稱為 HRS 區），與汲極電極層重疊的氧化物半導體層的區域形成為

作為氧缺乏區域的高電阻汲極區（也稱為 HRD 區）。

具體上，高電阻汲極區的載流子濃度大於等於  $1 \times 10^{18} / \text{cm}^3$  且至少大於通道形成區的載流子濃度（小於  $1 \times 10^{18} / \text{cm}^3$ ）。注意，本說明書中的載流子濃度是在室溫下透過霍爾效應（Hall effect）測量獲得的載流子濃度。

可以在使用金屬材料形成的汲極電極層與氧化物半導體層之間形成低電阻源極區（也稱為 LRS 區）和低電阻汲極區（也稱為 LRD 區）。具體地，低電阻汲極區的載流子濃度大於高電阻汲極區（HRD 區）的載流子濃度，例如，在大於等於  $1 \times 10^{20} / \text{cm}^3$  且小於等於  $1 \times 10^{21} / \text{cm}^3$  的範圍內。

然後，透過使氧化物半導體層的至少一部分經受脫水或脫氫處於氧過剩的狀態下以獲得高電阻的氧化物半導體層，即 i 型氧化物半導體層，形成通道形成區。注意，可以給出用於製作經受脫水或脫氫處於氧過剩狀態下的氧化物半導體層的方法，用於形成與經受脫水或脫氫的氧化物半導體層接觸的氧化物絕緣層的方法。用於形成氧化物絕緣層的方法的實例包括濺射法。此外，在形成氧化物絕緣層之後，可以進行熱處理（例如在含氧氛圍下的熱處理）、在氧氣氛圍下的冷卻處理或在超乾空氣（露點小於等於  $-40^\circ\text{C}$ ，較佳小於等於  $-60^\circ\text{C}$ ）下的冷卻處理等。

此外，為了使經受脫水或脫氫的氧化物半導體層的至少一部分（與閘極電極層重疊的部分）用作為通道形成區，選擇性地使氧化物半導體層處於氧過剩狀態從而成為高

電阻氧化物半導體層，即 i 型氧化物半導體層。通道形成區可以如下方式形成：在經受脫水或脫氫的氧化物半導體層上形成與其接觸的使用 Ti 等的金屬電極形成的源極電極層和汲極電極層，並選擇性地使不與源極電極層和汲極電極層重疊的暴露區域處於氧過剩狀態。在選擇性地使氧化物半導體層處於氧過剩狀態的情況下，形成與源極電極層重疊的高電阻源極區和與汲極電極層重疊的高電阻汲極區，並在高電阻源極區和高電阻汲極區之間形成通道形成區。換言之，通道形成區以自對準的方式而被形成於源極電極層與汲極電極層之間。

根據本發明的一個實施例，可以製造並提供具有理想電特性的包括高可靠的薄膜電晶體的半導體裝置。

注意，透過在與汲極電極層（和源極電極層）相重疊的氧化物半導體層的一部分中形成高電阻汲極區（和高電阻源極區），可以提高驅動電路的可靠性。具體地說，當形成高電阻汲極區時，電晶體可以具有電導率從汲極電極層到高電阻汲極區和通道形成區逐漸改變的結構。因此，在汲極電極層電連接至用於供應高電源電位 VDD 的佈線的狀態下進行操作的情況下，高電阻汲極區用作為緩衝區，因此即使在閘極電極層與汲極電極層之間施加高電場也不會發生電場的局部集中，這導致電晶體的耐受電壓的增加。

此外，透過形成高電阻汲極區（和高電阻源極區），可以減少驅動電路中的洩漏電流的量。具體地說，透過高

電阻汲極區和高電阻源極區的形成，在汲極電極層和源極電極層之間流動的電晶體的洩漏電流，從汲極電極層流經高電阻汲極區、通道形成區和高電阻源極區到達源極電極層。在這種情況下，在通道形成區中，從高電阻汲極區流向通道形成區的洩漏電流可以集中在通道形成區與閘極絕緣層之間的介面附近，其中當電晶體處於截止狀態時該閘極絕緣層具有高電阻。因此，可以減少後通道部分（與閘極電極層分開的通道形成區的表面的一部分）中的洩漏電流的量。

此外，取決於閘極電極層的寬度，與源極電極層重疊的高電阻源極區和與汲極電極層重疊的高電阻汲極區中間隔著閘極絕緣層與閘極電極層的一部分重疊，並且可以更有效地減少在汲極電極層的端部附近的電場強度。

注意，在本說明書中的諸如“第一”和“第二”的序數是爲了便利而使用的，並不代表步驟的次序和層的堆疊次序。此外，本說明書中的序數不代表指定本發明的特定名稱。

作爲包括驅動電路的顯示裝置，除了液晶顯示裝置之外，給出使用發光元件的發光顯示裝置和使用電泳顯示元件的顯示裝置（其也稱爲“電子紙張”）。

在使用發光元件的發光顯示裝置中，像素部包括多個薄膜電晶體。該像素部包括一個薄膜電晶體的閘極電極連接至另一薄膜電晶體的源極佈線（也稱爲源極佈線層）或汲極佈線（也稱爲汲極佈線層）的區域。此外，在使用發

光元件的發光顯示裝置的驅動電路中，存在薄膜電晶體的閘極電極連接至該薄膜電晶體的源極佈線或汲極佈線的區域。

在液晶顯示裝置中，當像素部和驅動電路形成於一個基板上時，在驅動電路中，在薄膜電晶體的源極電極和汲極電極之間僅施加正極性和負極性中的任一種，所述薄膜電晶體用以構成諸如倒相器電路、NAND 電路、NOR 電路或鎖存電路的邏輯門，或者所述薄膜電晶體用以構成諸如讀出放大器、恆壓發生電路或 VCO 的類比電路。因此，要求高耐受電壓的高電阻汲極區可以被設計成比高電阻源極區寬。此外，可以增加與閘極電極層重疊的高電阻源極區和高電阻汲極區中的每一個的一部分的寬度。

具有單閘極結構的薄膜電晶體被作為為驅動電路設置的薄膜電晶體描述；但是，必要時，也可以使用具有其中包括多個通道形成區的多閘極結構的薄膜電晶體。

在液晶顯示裝置中進行交流（AC）驅動以防止液晶的劣化。透過交流驅動，按規則的時間間隔將施加到像素電極層的信號電位的極性反轉為負或正。在電連接至像素電極層的 TFT 中，一對電極交替地用作為源極電極層和汲極電極層。在本說明書中，像素中的薄膜電晶體的一對電極中的一個被稱為源極電極層，另一個被稱為汲極電極層；實際上，在交流驅動中，一個電極交替地用作為源極電極層和汲極電極層。為了減少洩漏電流，為像素設置的薄膜電晶體的閘極電極層的寬度可以比為驅動電路設置的

薄膜電晶體的閘極電極層的寬度窄。爲了減少洩漏電流，爲像素設置的薄膜電晶體的閘極電極層可以被設計成不與源極電極層或汲極電極層重疊。

根據本發明的一個實施例，可以製造並提供具有穩定電特性的薄膜電晶體。因此，可以提供具有理想電特性的包括高可靠薄膜電晶體的半導體裝置。

### 【實施方式】

將參照附圖詳細描述實施例。但是，本發明不被限制到以下的說明，並且其方式和細節的各種改變對於本領域技術人員會是明顯的，除非這種改變偏離了本發明的精神和範圍。因此，本發明不應該被解釋爲被限制到在以下實施例中所描述的內容。在以下給出的結構中，在不同的附圖中用相同的附圖標記代表具有相似功能的相同部分，並且將不重復其解釋。

注意，在以下的各個實施例中描述的內容可以適當地彼此組合或者替換。

#### （第一實施例）

將參照圖 1A1、圖 1A2、圖 1B、圖 1C、圖 2A 至圖 2E 以及圖 3A 至圖 3D 描述半導體裝置以及製造該半導體裝置的方法。圖 1A1、圖 1A2、圖 1B 和圖 1C 例示形成於一個基板上兩個薄膜電晶體的剖面結構的實例。圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的薄膜電晶體 410 和 420 是

具有底閘極部閘極結構的薄膜電晶體。

圖 1A1 是設置於驅動電路中的薄膜電晶體 410 的平面圖。圖 1A2 是設置於像素中的薄膜電晶體 420 的平面圖。圖 1B 是例示沿圖 1A1 的線 C1-C2 所取的剖面結構和沿圖 1A2 的線 D1-D2 所取出的剖面結構的剖面圖。圖 1C 是例示沿圖 1A1 的線 C3-C4 所取出的剖面結構和沿圖 1A2 的線 D3-D4 所取出的剖面結構的剖面圖。

設置於驅動電路中的薄膜電晶體 410 在具有絕緣表面的基板 400 上包括：閘極電極層 411；閘極絕緣層 402；氧化物半導體層 412，其至少包括通道形成區 413、高電阻源極區 414a 和高電阻汲極區 414b；低電阻源極區 408a；低電阻汲極區 408b；源極電極層 415a；和汲極電極層 415b。此外，薄膜電晶體 410 包括氧化物絕緣層 416，氧化物絕緣層 416 與氧化物半導體層 412 以及低電阻源極區 408a 和低電阻汲極區 408b 的週邊和側表面接觸。

高電阻源極區 414a 以自對準的方式與低電阻源極區 408a 的下表面接觸地形成。並且，高電阻汲極區 414b 以自對準的方式與低電阻汲極區 408b 的下表面接觸地形成。此外，通道形成區 413 與氧化物絕緣層 416 接觸，並且與高電阻源極區 414a 和高電阻汲極區 414b 相比是高電阻區域（i 型區域）。

源極電極層 415a 與低電阻源極區 408a 接觸，且汲極電極層 415b 與低電阻汲極區 408b 相接觸。

對於源極電極層 415a 和汲極電極層 415b，較佳使用

金屬材料以減小佈線的電阻。

此外，透過設置低電阻源極區 408a 和低電阻汲極區 408b，與肖特基結相比可以在熱量方面實現穩定操作。有意地設置載流子濃度高於氧化物半導體層的載流子濃度的低電阻汲極區，因而形成歐姆接觸。

在通道形成區 413 上形成與通道形成區 413 相重疊的導電層 417。導電層 417 電連接至閘極電極層 411 以具有相同電位，由此可以從設置在閘極電極層 411 與導電層 417 之間的氧化物半導體層 412 的上方和下方施加閘極電壓。當閘極電極層 411 和導電層 417 具有不同電位時，例如，預定電位、GND 電位或 0 V，可以控制 TFT 的電特性，例如閾值電壓。換言之，閘極電極層 411 和導電層 417 中的一個用作為第一閘極電極層，並且閘極電極層 411 和導電層 417 中的另一個用作為第二閘極電極層，從而薄膜電晶體 410 可以用作為具有四個端子的薄膜電晶體。

在導電層 417、源極電極層 415a 和汲極電極層 415b、以及氧化物絕緣層 416 之間設置平坦化絕緣層 404。

設置於像素中的薄膜電晶體 420 在具有絕緣表面的基板 400 上包括：閘極電極層 421；閘極絕緣層 402；氧化物半導體層 422，其至少包括通道形成區 423、高電阻源極區 424a 和高電阻汲極區 424b；源極電極層 409a；和汲極電極層 409b。此外，薄膜電晶體 420 包括氧化物絕緣層 416，氧化物絕緣層 416 與氧化物半導體層 422 接觸。

高電阻源極區 424a 以自對準的方式與源極電極層



409a 的下表面接觸地形成。並且，高電阻汲極區 424b 以自對準的方式與汲極電極層 409b 的下表面接觸地形成。此外，通道形成區 423 與氧化物絕緣層 416 相接觸，並且與高電阻源極區 424a 和高電阻汲極區 424b 相比是高電阻區域（i 型區域）。

氧化物半導體層 412 與源極電極層 415a 和汲極電極層 415b 部分地重疊。氧化物半導體層 412 中間隔著閘極絕緣層 402 與閘極電極層 411 重疊。換言之，閘極電極層 411 設置在氧化物半導體層 412 的下方，其中閘極絕緣層 402 置於閘極電極層 411 與氧化物半導體層 412 之間。此外，氧化物半導體層 422 與源極電極層 409a 和汲極電極層 409b 部分地重疊。並且，氧化物半導體層 422 中間隔著閘極絕緣層 402 與閘極電極層 421 重疊。換言之，閘極電極層 421 設置在氧化物半導體層 422 的下方，其中閘極絕緣層 402 置於閘極電極層 421 與氧化物半導體層 422 之間。

將透光材料用於源極電極層 409a 和汲極電極層 409b 以實現使用透光薄膜電晶體的具有高孔徑比的顯示裝置。注意，較佳將電阻低於源極電極層 409a 和汲極電極層 409b 的材料用於源極電極層 415a 和汲極電極層 415b。

還將透光材料用於閘極電極層 421。

在其中設置薄膜電晶體 420 的像素中，將具有對可見光的透光性的導電層用作為像素電極層 427、另一電極層（例如，電容器電極層）或佈線層（例如電容器佈線層）

，由此實現具有高孔徑比的顯示裝置。不言而喻，閘極絕緣層 402、氧化物絕緣層 416 和平坦化絕緣層 404 較佳使用具有對可見光的透光性的膜形成。

平坦化絕緣層 404 設置於像素電極層 427 與源極電極層 409a 和汲極電極層 409b、以及氧化物絕緣層 416 之間。

像素電極層 427 透過設置於氧化物絕緣層 416 中的開口（也稱為接觸孔）和設置於平坦化絕緣層 404 中的開口而與汲極電極層 409b 相接觸。

注意，在形成用於形成氧化物半導體層 412 和氧化物半導體層 422 的氧化物半導體膜之後，進行減少諸如水分的雜質的熱處理（用於脫水或脫氫的熱處理）。在用於脫水和脫氫的熱處理以及緩冷之後，透過形成與氧化物半導體層 412 和 422 等接觸的氧化物絕緣層，降低了氧化物半導體層的載流子濃度，這導致薄膜電晶體 410 和 420 的電特性和可靠性的提高。

在本說明書中，具有對可見光的透光性的膜指的是具有 75% 至 100% 的可見光透光率的膜，並且具有導電性的膜也稱為透明導電膜。此外，可以使用具有對可見光的半透光性（semi-light-transmitting property）的導電膜形成閘極電極層、源極電極層、汲極電極層、像素電極層、另一電極層和佈線層。對可見光的半透光性指的是具有 50% 至 75% 的可見光透光率。

注意，在圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導

體裝置中，作為一個例子，薄膜電晶體 410 和 420 的通道長度是相同的；但是，本發明不限於此。例如，由於用於驅動電路的薄膜電晶體要求比用於像素的薄膜電晶體的更高操作速度，因此薄膜電晶體 410 的通道長度可以比薄膜電晶體 420 的通道長度更窄。此時，薄膜電晶體 410 的通道長度較佳為約  $1\ \mu\text{m}$  至  $5\ \mu\text{m}$ ，而薄膜電晶體 420 的通道長度較佳為約  $5\ \mu\text{m}$  至  $20\ \mu\text{m}$ 。

如上所述，圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置包括位於一個基板上的具有第一薄膜電晶體的驅動電路和具有第二薄膜電晶體的像素。第二薄膜電晶體使用透光材料形成，且第一薄膜電晶體使用電阻比該透光材料低的材料形成。因此，可以提高像素的孔徑比，並且可以提高驅動電路的操作速度。透過在一個基板上設置驅動電路和像素，可以減少將驅動電路和像素彼此電連接的佈線的數目，並且可以縮短將驅動電路和像素彼此電連接的佈線的總長度，由此實現半導體裝置的尺寸的減小和成本的減少。

圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置在用於驅動電路的薄膜電晶體中包括低電阻源極區和低電阻汲極區，所述低電阻源極區和低電阻汲極區位於源極電極層和汲極電極層與形成通道形成區的氧化物半導體層之間。設置低電阻源極區和低電阻汲極區，由此可以提高週邊電路（驅動電路）的頻率特性。這是因為與透過金屬電極層和氧化物半導體層的直接接觸相比，透過金屬電極層與

低電阻源極區和低電阻汲極區的接觸可以進一步降低接觸電阻。使用鉬的電極層（例如鉬層、鋁層和鉬層的疊層）具有與氧化物半導體層的高接觸電阻，因為與例如鈦相比，鉬難以被氧化。這是因為氧從氧化物半導體層的提取弱，由此鉬層與氧化物半導體層之間的接觸介面不變為 n 型。而低電阻源極區和低電阻汲極區被置於氧化物半導體層與源極電極層和汲極電極層之間，由此可以降低接觸電阻，這可以導致週邊電路（驅動電路）的頻率特性的改進。透過設置低電阻源極區和低電阻汲極區，在蝕刻要成為低電阻源極區和低電阻汲極區的層時確定薄膜電晶體的通道長度；因此，可以進一步縮短通道長度。

圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置具有如下結構：氧化物絕緣層與氧化物半導體層的部分和氧化物導電層的週邊和側表面接觸，其中該氧化物導電層與源極電極層和汲極電極層接觸。在這種結構下，當在薄膜電晶體的週邊具有由與閘極電極層相同的層形成的佈線中間隔著絕緣層與由與源極電極層和汲極電極層相同的層形成的佈線交叉的部分時，由與閘極電極層相同的層形成的佈線與由與源極電極層和汲極電極層相同的層形成的佈線之間間距可以被增大，因此可以減小寄生電容。

圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置在驅動電路的薄膜電晶體中可以具有：中間隔著氧化物絕緣層和平坦化絕緣層與通道形成區相重疊的導電層，該導電層使用透光材料形成；因此，可以控制薄膜電晶體的閾值

電壓。

此外，本實施例的電晶體可以具有圖 6 例示的結構。圖 6 例示的半導體裝置與圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置的不同點如下：閘極絕緣層使用多個絕緣層的疊層形成；以及保護絕緣層形成於與半導體層接觸的氧化物絕緣層上方。換言之，圖 6 例示的半導體裝置具有閘極絕緣層 402a 和閘極絕緣層 402b 的疊層，而不是圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的閘極絕緣層 402，以及具有位於圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的氧化物絕緣層 416 上方的保護絕緣層 403。與圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置的相應元件的描述相同的圖 6 例示的半導體裝置的其他元件的描述適當地使用圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置的描述做出，並在此省略。

作為閘極絕緣層 402a 和 402b，例如，可以使用可應用於圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的閘極絕緣層 402 的材料。例如，可以將氮化物絕緣層用於閘極絕緣層 402a，以及可以將氧化物絕緣層用於閘極絕緣層 402b。

以下參照圖 2A 至圖 2E 以及圖 3A 至圖 3D 描述薄膜電晶體 410 和 420 的製造程序的實例。

在具有絕緣表面的基板 400 上形成透光導電膜之後，透過第一光刻製程在該導電膜的一部分上形成抗蝕劑遮罩，然後使用該抗蝕劑遮罩蝕刻該導電膜；因此，形成閘極電極層 411 和 421。在像素部中，透過相同的第一光刻製

程，使用與閘極電極層 411 和 421 相同的材料形成電容器佈線（也稱為電容器佈線層）。當不僅像素而且驅動電路要求電容器時，在驅動電路中也形成電容器佈線。注意，抗蝕劑遮罩可以透過噴墨法來予以形成。當透過噴墨法來形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

儘管對可用於具有絕緣表面的基板 400 的基板沒有特別限制，但必要的是該基板至少具有對隨後進行的熱處理的足夠耐熱性。例如，玻璃基板等可以用作為具有絕緣表面的基板 400。

作為玻璃基板，在隨後進行的熱處理的溫度高的情況下，較佳使用應變點為  $730^{\circ}\text{C}$  或更高的玻璃基板。此外，作為玻璃基板的材料，例如，使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃的玻璃材料。注意，透過包含比硼酸更大量的氧化鋇（ $\text{BaO}$ ），可以獲得更實用的耐熱玻璃。因此，較佳地，使用包含多於  $\text{B}_2\text{O}_3$  的  $\text{BaO}$  的玻璃基板。

注意，可以將由諸如陶瓷基板、石英基板或藍寶石基板的絕緣體形成的基板用於基板 400，代替玻璃基板。或者，可以將微晶玻璃（*crystallized glass*）等用於基板 400。

可以在基板 400 與閘極電極層 411 和 421 之間設置用作為基底膜的絕緣膜。該基底膜具有防止雜質元素從基板 400 擴散的功能，並且可以使用氮化矽膜、氧化矽膜、氮

氧化矽膜和氮化矽膜中的一種或更多種被形成爲具有單層膜或疊層膜。

作爲閘極電極層 411 和 421 的材料，可以採用具有對可見光的透光性的導電材料。例如，導電金屬氧化物，諸如基於 In-Sn-Zn-O 的導電金屬氧化物、基於 In-Al-Zn-O 的導電金屬氧化物、基於 Sn-Ga-Zn-O 的導電金屬氧化物、基於 Al-Ga-Zn-O 的導電金屬氧化物、基於 Sn-Al-Zn-O 的導電金屬氧化物、基於 In-Zn-O 的導電金屬氧化物、基於 Sn-Zn-O 的導電金屬氧化物、基於 Al-Zn-O 的導電金屬氧化物、基於 In-Sn-O 的導電金屬氧化物、基於 In-O 的導電金屬氧化物、基於 Sn-O 的導電金屬氧化物和基於 Zn-O 的導電金屬氧化物。閘極電極層 411 和 421 的厚度在 50 nm 至 300 nm 的範圍內。對於閘極電極層 411 和 421 所使用的金屬氧化物的形成方法，可以使用濺射法、汽相蒸發法（例如電子束蒸發法）、電弧放電離子鍍法或噴射法。當使用濺射法時，使用包含 2 wt%（重量百分比）至 10 wt% 的  $\text{SiO}_2$  的靶材形成要成爲閘極電極層 411 和 421 的導電膜，由此要形成的透光導電膜可以包括抑制結晶化的  $\text{SiO}_x$  ( $x > 0$ )。因而，在隨後要執行的用於脫水或脫氫的熱處理中可以抑制結晶化。

接著，去除抗蝕劑遮罩，並在閘極電極層 411 和 421 上形成閘極絕緣層 402。

閘極絕緣層 402 可以利用電漿 CVD 法、濺射法等使用氧化矽層、氮化矽層、氮氧化矽層和 / 或氧氮化矽層的

單層或疊層形成。例如，當形成氮氧化矽層時，其可以利用電漿 CVD 法使用  $\text{SiH}_4$ 、氧氣和氮氣作為沈積氣體形成。閘極絕緣層 402 的厚度被設定為 100 nm 至 500 nm。在疊層結構的情況下，例如，具有厚度為 50 nm 至 200 nm 的第一閘極絕緣層和厚度為 5 nm 至 300 nm 的第二閘極絕緣層的疊層結構。

在本實施例中，閘極絕緣層 402 是利用電漿 CVD 法形成的厚度為 200 nm 或更小的氮化矽層。

然後，在閘極絕緣層 402 形成厚度達 2 nm 至 200 nm 的氧化物半導體膜 430（參見圖 2A）。由於要在隨後形成的氧化物半導體層即使在形成氧化物半導體膜 430 之後進行用於脫水或脫氫的熱處理也處於非晶態，因此該厚度較佳為 50 nm 或更薄。透過減小氧化物半導體膜 430 的厚度，可以防止隨後要形成的氧化物半導體層在形成氧化物半導體膜 430 之後進行熱處理時被結晶化。

注意，在透過濺射法形成氧化物半導體膜 430 之前，較佳地，透過其中引入氬氣並產生電漿的反向濺射，去除附著到閘極絕緣層的表面的灰塵。該反向濺射指的是不向靶材側施加電壓地在氬氣氛圍中使用射頻（RF）功率源來向基板側施加電壓以在基板附近產生電漿從而使表面改性的方法。注意，可以使用氮氣氛圍、氬氣氛圍、氧氣氛圍等代替氬氣氛圍。

作為氧化物半導體膜 430，可以採用以下任何一種：基於 In-Ga-Zn-O 的非單晶膜，基於 In-Sn-Zn-O 的氧化物



半導體膜，基於 In-Al-Zn-O 的氧化物半導體膜，基於 Sn-Ga-Zn-O 的氧化物半導體膜，基於 Al-Ga-Zn-O 的氧化物半導體膜，基於 Sn-Al-Zn-O 的氧化物半導體膜，基於 In-Zn-O 的氧化物半導體膜，基於 Sn-Zn-O 的氧化物半導體膜，基於 Al-Zn-O 氧化物半導體膜，基於 In-Sn-O 的氧化物半導體膜，基於 In-O 的氧化物半導體膜，基於 Sn-O 的氧化物半導體膜，和基於 Zn-O 的氧化物半導體膜。在本實施例中，透過濺射法使用基於 In-Ga-Zn-O 的氧化物半導體靶材形成氧化物半導體膜 430。或者，可以在稀有氣體（典型地為氬氣）氛圍、氧氣氛圍或包括稀有氣體（典型地為氬氣）和氧的氛圍下透過濺射法形成氧化物半導體膜 430。當採用濺射法時，使用包含 2 wt%（重量百分比）至 10 wt% 的 SiO<sub>2</sub> 的靶材形成氧化物半導體膜 430，由此氧化物半導體膜 430 可以包括抑制結晶化的 SiO<sub>x</sub>（ $x > 0$ ）。因而，在隨後要執行的用於脫水或脫氫的熱處理中可以抑制氧化物半導體層的結晶化。

接著，透過第二光刻製程在氧化物半導體膜 430 上形成抗蝕劑遮罩。使用該抗蝕劑遮罩進行選擇性蝕刻，由此將氧化物半導體膜 430 處理成島狀氧化物半導體層。或者，可以透過噴墨法而形成用以形成島狀氧化物半導體層的抗蝕劑遮罩。當透過噴墨法形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

去除抗蝕劑遮罩，並對氧化物半導體層進行脫水或脫氫。在大於等於 400°C 且小於基板的應變點，例如，大於

等於  $400^{\circ}\text{C}$  且小於等於  $700^{\circ}\text{C}$ ，較佳大於等於  $425^{\circ}\text{C}$  且小於等於  $700^{\circ}\text{C}$  的溫度下，進行用於脫水或脫氫的第一熱處理。注意，當該溫度大於等於  $425^{\circ}\text{C}$  且小於等於  $700^{\circ}\text{C}$  時，熱處理可以執行 1 小時或更短；而當該溫度小於  $425^{\circ}\text{C}$  時，熱處理執行長於 1 小時。這裏，其上形成氧化物半導體層的基板 400 被引入電爐，該電爐是熱處理設備之一。在氮氣氛圍下對氧化物半導體層進行熱處理之後，氧化物半導體層不被暴露到空氣並且防止了水和氫重新混入氧化物半導體層；因此獲得電阻減小的氧化物半導體層 431 和氧化物半導體層 432（參見圖 2B）。在本實施例中，從進行氧化物半導體層的脫水或脫氫的加熱溫度  $T$  到足夠低以防止水或氫重新進入的溫度，使用同一爐；特別地，在氮氣氛圍下進行緩冷直至溫度變為比加熱溫度  $T$  低  $100^{\circ}\text{C}$  或更多。對氮氣氛圍沒有限制，並且可以在諸如氮、氬或氫的稀有氣體氛圍下進行脫水或脫氫。

注意，較佳地，在第一熱處理中，在氮氣或稀有氣體（諸如氮、氬或氫）中不包含水、氫等。或者，較佳地，引入熱處理設備的氮氣或稀有氣體（諸如氮、氬或氫）的純度為 6N（99.9999%）或更高，較佳為 7N（99.99999%）或更高；換言之，引入熱處理設備的氮氣或稀有氣體（諸如氮、氬或氫）的雜質濃度被設定為 1 ppm 或更低，較佳為 0.1 ppm 或更低。

取決於第一熱處理的條件或氧化物半導體層的材料，在某些情況下氧化物半導體層透過結晶化變為微晶層或多

晶層。

可以對還沒有被處理成島狀氧化物半導體層的氧化物半導體膜進行第一熱處理。在這種情況下，在第一熱處理之後，從加熱設備取出基板。進行光刻製程，並去除抗蝕劑遮罩。使用該抗蝕劑遮罩進行選擇性蝕刻，由此處理氧化物半導體膜。

當於形成氧化物半導體膜之前在惰性氣體氛圍（氮或稀有氣體，諸如氦、氖或氬）或者在氧氣氛圍下（在大於等於 400°C 且小於基板的應變點的溫度下）進行熱處理時，可以去除閘極絕緣層中包含的諸如氫和水的雜質。

接著，在氧化物半導體層 431 和 432 以及閘極絕緣層 402 上形成氧化物導電膜。進行第三光刻製程以形成抗蝕劑遮罩 433a 和抗蝕劑遮罩 433b。因而，進行選擇性蝕刻以形成氧化物導電層 406 和氧化物導電層 407（參見圖 2C）。作為氧化物導電膜的材料，可以採用具有對可見光的透光性的導電材料。例如，導電金屬氧化物，諸如基於 In-Sn-Zn-O 的導電金屬氧化物，基於 In-Al-Zn-O 的導電金屬氧化物，基於 Sn-Ga-Zn-O 的導電金屬氧化物，基於 Al-Ga-Zn-O 的導電金屬氧化物，基於 Sn-Al-Zn-O 的導電金屬氧化物，基於 In-Zn-O 的導電金屬氧化物，基於 Sn-Zn-O 的導電金屬氧化物，基於 Al-Zn-O 的導電金屬氧化物，基於 In-Sn-O 的導電金屬氧化物，基於 Al-Zn-O-N 的導電金屬氧化物，基於 In-O 的導電金屬氧化物，基於 Sn-O 的導電金屬氧化物，和基於 Zn-O 的導電金屬氧化物。

氧化物導電膜的厚度適當地選擇在 50 nm 至 300 nm 的範圍內。當採用濺射法作為氧化物導電膜的形成方法時，使用包含 2 wt% 至 10 wt% 的  $\text{SiO}_2$  的靶材形成氧化物導電膜，由此透光導電膜可以包括抑制結晶化的  $\text{SiO}_x$  ( $x > 0$ )。因而，在隨後要執行的用於脫水或脫氫的熱處理中可以抑制要被隨後形成的氧化物導電層 406 和 407 的結晶化。

注意，在本實施例的製造半導體裝置的方法中，上述氧化物半導體層的脫水或脫氫（第一熱處理）可以在形成氧化物導電膜或氧化物導電層 406 和 407 之後進行。

使用包括 In、Ga 和 Zn ( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$  1:1:1 [按摩爾比]， $\text{In}:\text{Ga}:\text{Zn} = 1:1:0.5$  [按原子比]) 的氧化物半導體靶材。氧化物半導體膜 430 在以下條件下形成：基板與靶材之間的距離為 100 mm，壓力為 0.2 Pa，直流 (DC) 功率為 0.5 kW，以及氛圍為氫氣和氧氣的混合氛圍 (氫氣:氧氣 = 30 sccm:20 sccm，且氧氣流率為 40%)。注意，脈衝直流 (DC) 電源是較佳的，因為灰塵可以減少並且膜厚可以均勻。基於 In-Ga-Zn-O 的非單晶膜被形成為具有 5 nm 至 200 nm 的厚度。在本實施例中，作為氧化物半導體膜，透過濺射法使用基於 In-Ga-Zn-O 的氧化物半導體靶材形成厚度為 20 nm 的基於 In-Ga-Zn-O 的非單晶膜。包括諸如  $\text{In}:\text{Ga}:\text{ZnO} = 1:1:1$  或  $\text{In}:\text{Ga}:\text{ZnO} = 1:1:4$  的靶材材料可以用作為氧化物半導體靶材材料。

濺射法的實例包括：RF 濺射法，其中使用高頻功率源作為濺射電源；DC 濺射法；和脈衝 DC 濺射法，其中

以脈衝的方式施加偏壓。RF 濺射法主要用於形成絕緣膜的情況，而 DC 濺射法主要用於形成金屬膜的情況。

此外，存在多源濺射設備，其中可以設置不同材料的多個靶材。在多源濺射設備的情況下，在相同的室中可以將不同材料的膜沈積為堆疊，以及在相同的室中透過電放電可以同時沈積多種材料的膜。

此外，存在在室內設置有磁系統並用於磁控濺射法的濺射設備，以及用於 ECR 濺射法的濺射設備，在 ECR 濺射法中利用微波產生的電漿被不使用輝光放電地使用。

並且，作為透過濺射法的沈積方法，還存在：反應濺射法，其中在沈積期間靶材物質與濺射氣體成分彼此化學反應以形成其薄化合物膜；和偏壓濺射法，其中在沈積期間還將電壓施加到基板。

接著，去除抗蝕劑遮罩 433a 和 433b，並進行第四光刻製程以形成抗蝕劑遮罩 436a 和抗蝕劑遮罩 436b。進行選擇性蝕刻，由此使用氧化物導電層形成低電阻源極區 408a、低電阻汲極區 408b 以及源極電極層 409a 和汲極電極層 409b（參見圖 2D）。注意，用於形成低電阻源極區 408a、低電阻汲極區 408b 以及源極電極層 409a 和汲極電極層 409b 的抗蝕劑遮罩可以透過噴墨法形成。當透過噴墨法形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

注意，在本蝕刻步驟中，較佳適當地確定蝕刻條件以不蝕刻作為下層的氧化物半導體層 431 和氧化物半導體層

432。例如，可以控制蝕刻時間。

此外，對於氧化物半導體層 431 和 432 的材料以及氧化物導電層 406 和 407 的材料中的每一個，較佳使用具有高蝕刻選擇比的材料。例如，包含 Sn 的金屬氧化物材料（例如， $\text{SnZnO}_x$  ( $x>0$ )， $\text{SnGaZnO}_x$  ( $x>0$ ) 等）可以用作為氧化物半導體層 431 和 432 的材料，基於 Al-Zn-O 的材料、基於 Al-Zn-O-N 的材料、基於 Zn-O 的材料等可以用作為氧化物導電層 406 和 407 的材料。上述包含鋅氧化物作為其主要成分的材料可以使用例如鹼性溶液進行蝕刻。當使用諸如基於 Al-Zn-O 的材料或基於 Al-Zn-O-N 的材料的含鋁材料時，較佳使用在去除用於蝕刻的抗蝕劑遮罩時不去除氧化物導電層的方法去除抗蝕劑遮罩。例如，透過採用乾式蝕刻，可以去除抗蝕劑遮罩而不去除氧化物導電層。

接著，形成與氧化物半導體層 431 和 432 的暴露表面接觸的氧化物絕緣層 416。

可以使用濺射法等適當地形成厚度為至少 1nm 或更多的氧化物絕緣層 416，該方法是一種諸如水或氫的雜質不混入氧化物絕緣層 416 的方法。在本實施例中，使用濺射法形成厚度為 300 nm 的氧化矽膜以形成氧化物絕緣層 416。成膜中的基板溫度可以高於或等於室溫且小於等於 300°C，在本實施例中設定為 100°C。氧化矽膜可以在稀有氣體（典型地為氬氣）氛圍、氧氣氣氛或包括稀有氣體（典型地為氬氣）和氧的氛圍下使用濺射法形成。此外，

氧化矽靶材或矽靶材可以被使用作為靶材。例如，可以在包含氧氣和氮氣的氛圍下透過濺射法使用矽靶材形成氧化矽膜。與氧化物半導體層 431 和 432 接觸的電阻減小的氧化物絕緣層 416 使用無機絕緣膜形成，該無機絕緣膜不包含諸如水分、氫離子和  $\text{OH}^-$  的雜質，並且防止這些雜質從外部進入。具體地，使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氮氧化鋁膜等。將使用摻雜有硼的矽靶材形成的氧化矽膜用於氧化物絕緣層 416，由此可以抑制雜質（諸如水分、氫離子和  $\text{OH}^-$ ）的進入。

接著，在惰性氣體氛圍或氧氣氛圍下進行第二熱處理（較佳地在大於等於  $200^\circ\text{C}$  且小於等於  $400^\circ\text{C}$  的溫度下，例如大於等於  $250^\circ\text{C}$  且小於等於  $350^\circ\text{C}$ ）。例如，第二熱處理在氮氣氛圍下在  $250^\circ\text{C}$  的溫度下進行 1 小時。透過第二熱處理，在與氧化物絕緣層 416 接觸時加熱氧化物半導體層 431 和 432 的一部分。

透過上述步驟，減小氧化物半導體層 431 和 432 的電阻，並且氧化物半導體層 431 和 432 的一部分選擇性地變為氧過量狀態。作為結果，與閘極電極層 411 相重疊的通道形成區 413 變為 i 型，並且與閘極電極層 421 重疊的通道形成區 423 變為 i 型。在與源極電極層 415a 相重疊的氧化物半導體層 431 的一部分中以自對準方式形成高電阻源極區 414a。在與汲極電極層 415b 重疊的氧化物半導體層 431 的一部分中以自對準方式形成高電阻汲極區 414b。在與源極電極層 409a 相重疊的氧化物半導體層 432 的

一部分中以自對準方式形成高電阻源極區 424a。在與汲極電極層 409b 重疊的氧化物半導體層 432 的一部分中以自對準方式形成高電阻汲極區 424b (參見圖 2E)。

高電阻汲極區 414b (或高電阻源極區 414a) 形成在與低電阻汲極區 408b (和低電阻源極區 408a) 重疊的氧化物半導體層 431 中，這導致驅動電路的可靠性的提高。具體地說，當形成高電阻汲極區 414b 時，電晶體可以具有電導率從汲極電極層 415b 到高電阻汲極區 414b 和通道形成區 413 逐漸改變的結構。因此，在汲極電極層電連接至用於供應高功率源電位 VDD 的佈線時使電晶體操作的情況下，高電阻汲極區 414b (或高電阻源極區 414a) 用作為緩衝區，由此即使在閘極電極層 411 與汲極電極層 415b 之間施加高電場時也不施加局部高電場，這可以導致電晶體的耐受電壓的提高。

此外，透過在與低電阻汲極區 408b (和低電阻源極區 408a) 相重疊的氧化物半導體層 431 中形成高電阻汲極區 414b (或高電阻源極區 414a)，可以減小驅動電路中的電晶體的洩漏電流。

高電阻汲極區 424b (或高電阻源極區 424a) 形成在與汲極電極層 409b (和源極電極層 409a) 重疊的氧化物半導體層 432 中，這導致像素的可靠性的提高。具體地說，當形成高電阻汲極區 424b 時，電晶體可以具有電導率從汲極電極層 409b 到高電阻汲極區 424b 和通道形成區 423 逐漸改變的結構。因此，在被電連接至用於為汲極電



極層 409b 供應高功率源電位 VDD 的佈線時操作的電晶體中，高電阻汲極區 424b 用作為緩衝區，由此即使在閘極電極層 421 與汲極電極層 409b 之間施加高電場時也不施加局部高電場，這可以導致電晶體的耐受電壓的提高。

此外，透過在與汲極電極層 409b（和源極電極層 409a）相重疊的氧化物半導體層 432 中形成高電阻汲極區 424b（或高電阻源極區 424a），可以減小像素中的電晶體的洩漏電流。

注意，在本實施例的半導體裝置中，可以在氧化物絕緣層 416 上設置保護絕緣層。當設置保護絕緣層時，在本實施例中較佳透過使用 RF 濺射法形成氮化矽膜來形成該保護絕緣層。RF 濺射法因為高生產率而較佳地作為保護絕緣層的形成方法。該保護絕緣層使用無機絕緣膜形成，該無機絕緣膜不包含諸如水分、氫離子和  $\text{OH}^-$  的雜質，並且防止這些雜質從外部進入。使用氮化矽膜、氮化鋁膜、氧氮化矽膜、氮氧化鋁膜等。不言而喻，保護絕緣層是透光絕緣膜。

接著，進行第五光刻製程。形成抗蝕劑遮罩，並蝕刻氧化物絕緣層 416 以形成暴露低電阻源極區 408a 的一部分的區域 418、暴露低電阻汲極區 408b 的一部分的區域 419、和到達汲極電極層 409b 的接觸孔 426。氧化物絕緣層 416 與氧化物半導體層 431 的上表面以及低電阻源極區 408a 和低電阻汲極區 408b 的週邊和側表面相接觸（參見圖 3A）。注意，在這種情況下的抗蝕劑遮罩可以透過噴

墨法來予以形成。當透過噴墨法來形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

接著，在去除抗蝕劑遮罩之後，至少在被暴露的低電阻源極區 408a 和低電阻汲極區 408b 以及在氧化物絕緣層 416 上形成導電膜。進行第六光刻製程以在該導電膜上形成抗蝕劑遮罩 438a 和 438b。因而，選擇性地蝕刻導電膜以形成源極電極層 415a 和汲極電極層 415b（參見圖 3B）。

作為用於形成源極電極層 415a 和汲極電極層 415b 的導電膜的材料，可以給出選自 Al、Cr、Cu、Ta、Ti、Mo 和 W 中的元素，包含這些元素中的任一種作為其成分的合金，包含這些元素中的任何元素組合的合金等。

作為導電膜，較佳使用其中依序堆疊鈦膜、鋁膜和鈦膜的三層膜或者其中依序堆疊鉬膜、鋁膜和鉬膜的三層膜。不言而喻，單層膜、雙層膜、四或更多層膜可以被用於金屬導電膜。當使用鈦膜、鋁膜和鈦膜的堆疊導電膜時，可以透過使用氬氣的乾式蝕刻方法進行蝕刻。

用於形成導電層的抗蝕劑遮罩可以透過噴墨法來予以形成。當透過噴墨法來形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

接著，在氧化物絕緣層 416 上形成平坦化絕緣層 404。作為平坦化絕緣層 404，可以使用具有耐熱性的有機材料，諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了這些有機材料之外，低介電常數材料

(低 k 材料)、矽氧烷基樹脂、磷矽玻璃 (PSG)、硼磷矽玻璃 (BPSG) 等可以被用於平坦化絕緣層 404。注意，平坦化絕緣層 404 可以透過堆疊由這些材料形成的多個絕緣膜來予以形成。

注意，矽氧烷基樹脂對應於使用矽氧烷基材料作為起始材料形成的包括 Si-O-Si 鍵的樹脂。矽氧烷基樹脂可以包括有機基團 (例如烷基或芳基) 或者氟基團作為取代基。有機基團可以包含氟基團。

對形成平坦化絕緣層 404 的方法沒有特別限制，並且取決於材料可以透過諸如濺射法、SOG 法、旋塗、浸塗、噴塗或液滴排放法 (例如，噴墨法、絲網印刷、膠版印刷等) 的方法，或者諸如刮刀、輥塗機、幕塗機或刮刀塗布機的工具 (裝置)，形成平坦化絕緣層 404。

然後，進行第七光刻製程，並形成抗蝕劑遮罩。蝕刻平坦化絕緣層 404 以形成到達汲極電極層 409b 的接觸孔 441 (參見圖 3C)。注意，透過該蝕刻還形成到達閘極電極層 411 和 421 的接觸孔。用於形成到達汲極電極層 409b 的接觸孔 441 的抗蝕劑遮罩可以透過噴墨法形成。當透過噴墨法形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

在去除抗蝕劑遮罩之後，形成透光導電膜。例如，透過濺射法、真空蒸鍍法等，使用氧化銦 ( $\text{In}_2\text{O}_3$ ) 膜、氧化銦-氧化錫合金 ( $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡寫為 ITO) 膜等形成該透光導電膜。含氮的基於 Al-Zn-O 的非單晶膜，即，基於

Al-Zn-O-N 的非單晶膜、基於 Zn-O-N 的非單晶膜和基於 Sn-Zn-O-N 的非單晶膜，可以用作為該透光導電膜。注意，基於 Al-Zn-O-N 的非單晶膜中的鋅的相對比例（原子百分比）小於等於 47%（原子百分比）且大於該非單晶膜中的鋁的相對比例（原子百分比）。基於 Al-Zn-O-N 的非單晶膜中的鋁的相對比例（原子百分比）大於基於 Al-Zn-O-N 的非單晶膜中的氮的相對比例（原子百分比）。利用基於鹽酸的溶液進行具有上述材料的膜的蝕刻處理。但是，由於 ITO 膜的蝕刻特別趨向於留下殘留物，因此可以使用氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）以改進蝕刻加工性。

注意，透光導電膜中的相對比例的單位是原子百分比，並且透過使用電子探針 X 射線微區分析儀（EPMA）的分析評估透光導電膜中的相對比例。

接著，進行第八光刻製程，並形成抗蝕劑遮罩。然後，透過蝕刻去除透光導電膜的多餘部分以形成像素電極層 427 和導電層 417，並去除抗蝕劑遮罩（參見圖 3D）。

透過上述步驟，可以利用八個遮罩在一個基板上分別在驅動電路和像素部中單獨地形成薄膜電晶體 410 和 420，由此與在不同的步驟中形成像素部和驅動電路的情況相比可以減小製造成本。作為驅動電路的電晶體的薄膜電晶體 410 包括氧化物半導體層 412，氧化物半導體層 412 具有高電阻源極區 414a、高電阻汲極區 414b 和通道形成區 413。作為像素的電晶體的薄膜電晶體 420 包括氧化物半導體層 422，氧化物半導體層 422 具有高電阻源極區 424a

、高電阻汲極區 424b 和通道形成區 423。即使將高電場施加到薄膜電晶體 410 和 420 時，高電阻源極區 414a、高電阻汲極區 414b、高電阻源極區 424a 和高電阻汲極區 424b 用作為緩衝區，因而不施加局部高電場，這可以導致電晶體的耐受電壓的提高。

在圖 2A 至圖 2E 以及圖 3A 至圖 3D 例示的製造半導體裝置的方法中，在與薄膜電晶體 410 和 420 相同的基板上可以形成儲存電容器，其具有使用閘極絕緣層 402 作為電媒體的電容器佈線和電容器電極（也稱為電容器電極層）。透過在與各自像素對應的矩陣中佈置薄膜電晶體 420 和儲存電容器以形成像素部，並且在該像素部的週邊處佈置具有薄膜電晶體 410 的驅動電路，可以獲得用於製造主動矩陣顯示裝置的基板之一。在本說明書中，處於說明方便將這種基板稱為主動矩陣基板。

注意，像素電極層 427 透過形成於平坦化絕緣層 404 中的接觸孔 441 和形成於氧化物絕緣層 416 中的接觸孔 426 電連接至電容器電極層。透過經由多個接觸孔而將下電極層和上電極層彼此電連接，即使當絕緣層變得厚時也可以容易地形成接觸孔，由此可以抑制缺陷接觸。注意，可以使用與源極電極層 409a 和汲極電極層 409b 相同的材料並在相同的步驟中形成電容器電極層。

此外，透過在與氧化物半導體層的通道形成區 413 相重疊的部分中設置導電層 417，在用於檢查薄膜電晶體的可靠性的偏壓－溫度應力測試（以下稱為 BT 測試）中，

可以減少 BT 測試前後的薄膜電晶體 410 的閾值電壓的偏移量。導電層 417 可以具有與閘極電極層 411 相同或不同的電位，並且可以用作為閘極電極層。導電層 417 可以處於 GND 狀態、施加 0 V 電位的狀態、或浮置狀態。

可以透過噴墨法來形成用以形成導電層 417 和像素電極層 427 的抗蝕劑遮罩。當透過噴墨法來形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

(第二實施例)

在本實施例中，圖 4A 至圖 4C 例示了第一熱處理不同於第一實施例的第一熱處理的實例。本實施例幾乎與第一實施例相同，除了製程與圖 2A 至圖 2E 以及圖 3A 至圖 3D 的製程部分地不同之外。因此，由相同的附圖標記表示相同的部分，並省略其詳細描述。

圖 4A 至圖 4C 是例示兩個薄膜電晶體的製造程序的剖面圖。

首先，根據第一實施例中描述的製造程序，在具有絕緣表面的基板 400 上形成閘極電極層 411 和 421。

在閘極電極層 411 和 421 上形成閘極絕緣層 402。

接著，在閘極絕緣層 402 形成厚度大於等於 2 nm 且小於等於 200 nm 的氧化物半導體膜 430 (參見圖 4A)。注意，一直到此的製程與第一實施例的製程相同，並且圖 4A 對應於圖 2A。

接著，在惰性氣體氛圍下或在減小的壓力下使氧化物

半導體膜 430 經受脫水或脫氫。用於脫水或脫氫的第一熱處理的溫度大於等於  $350^{\circ}\text{C}$  且小於等於基板應變點，較佳大於等於  $400^{\circ}\text{C}$ 。這裏，基板被引入電爐（該電爐是熱處理設備之一），在氮氣氛圍下對氧化物半導體膜 430 進行熱處理，於是在氧化物半導體膜 430 不被暴露到空氣的情況下防止了水或氫進入氧化物半導體膜 430。因而，氧化物半導體膜 430 被變為氧缺乏半導體膜。因此，氧化物半導體膜 430 的電阻減小，即，氧化物半導體膜 430 變為 n 型半導體膜（例如，n<sup>-</sup>型半導體膜）。之後，將高純氧氣、高純  $\text{N}_2\text{O}$  氣體或超乾空氣（露點小於等於  $-40^{\circ}\text{C}$ ，較佳小於等於  $-60^{\circ}\text{C}$ ）引入相同的爐並進行冷卻。較佳地，氧氣或  $\text{N}_2\text{O}$  氣體中不包含水分、氫等。或者，較佳地，引入熱處理設備的氧氣或  $\text{N}_2\text{O}$  氣體的純度為 6N（99.9999%）或更高，更較佳為 7N（99.99999%）或更高（即，氧氣或  $\text{N}_2\text{O}$  氣體的雜質濃度較佳為 1 ppm 或更低，更較佳為 0.1 ppm 或更低）。

並且，在用於脫水或脫氫的第一熱處理之後，可以在氧氣氛圍、 $\text{N}_2\text{O}$  氣體氛圍或超乾空氣（露點小於等於  $-40^{\circ}\text{C}$ ，較佳小於等於  $-60^{\circ}\text{C}$ ）氛圍下，在  $200^{\circ}\text{C}$  至  $400^{\circ}\text{C}$ （較佳  $200^{\circ}\text{C}$  至  $300^{\circ}\text{C}$ ）下，進行熱處理。

透過上述製程，整個氧化物半導體膜 430 被置入氧過量狀態以具有較高電阻，即，變為 i 型，由此形成氧化物半導體膜 434（參見圖 4B）。作為結果，可以提高要在隨後形成的薄膜電晶體的可靠性。

注意，在本實施例中，示出在形成氧化物半導體膜之後進行脫水或脫氫的實例；但是，對此沒有限制。可以在將氧化物半導體膜處理成如第一實施例的島狀氧化物半導體層之後進行第一熱處理。

氧化物半導體膜可以在惰性氣體氛圍下被脫水或脫氫並在惰性氣體氛圍下冷卻，然後，可以透過光刻製程形成抗蝕劑遮罩。可以使用抗蝕劑遮罩選擇性蝕刻氧化物半導體膜 434 以形成氧化物半導體層，該氧化物半導體層是島狀氧化物半導體層。然後，可以在氧氣氛圍、 $N_2O$  氣體氛圍或超乾空氣（露點小於等於  $-40^\circ C$ ，較佳小於等於  $-60^\circ C$ ）氛圍下，在大於等於  $200^\circ C$  且小於等於  $400^\circ C$ （較佳大於等於  $200^\circ C$  且小於等於  $300^\circ C$ ）下，進行熱處理。

當於形成氧化物半導體膜 434 之前，在惰性氣體氛圍（氮、氬、氖、氫等）、氧氣氛圍或超乾空氣（露點小於等於  $-40^\circ C$ ，較佳小於等於  $-60^\circ C$ ）氛圍下（在大於等於  $400^\circ C$  且小於基板的應變點的溫度下）進行熱處理時，可以去除閘極絕緣層中包含的諸如氫和水的雜質。

接著，透過第二光刻製程在氧化物半導體膜 434 上形成抗蝕劑遮罩。使用該抗蝕劑遮罩對氧化物半導體膜 434 進行選擇性蝕刻，由此形成作為島狀氧化物半導體層的氧化物半導體層 443 和 445。

去除抗蝕劑遮罩。如第一實施例的圖 2C 至圖 2E 以及圖 3A 至圖 3C 例示的，形成與氧化物半導體層 443 接觸的低電阻源極區 408a 和低電阻汲極區 408b，並形成與



氧化物半導體層 443 的上表面以及低電阻源極區 408a 和低電阻汲極區 408b 的週邊和側表面接觸的氧化物絕緣層 416。另一方面，在像素部，將作為透光導電層的源極電極層 409a 和汲極電極層 409b 形成為與氧化物半導體層 445 接觸，並形成與氧化物半導體層 445 接觸的氧化物絕緣層 416。

接著，在惰性氣體氛圍或氧氣氛圍下進行第二熱處理。第二熱處理的條件可以與第一實施例描述的製造半導體裝置的方法的第二熱處理的條件相同。例如，第二熱處理在氮氣氛圍下在 250°C 的溫度下進行 1 小時。

低電阻源極區 408a 和低電阻汲極區 408b 被部分暴露出，因而在氧化物絕緣層 416 中形成到達汲極電極層 409b 的接觸孔。並且，在氧化物絕緣層 416 上形成導電膜。選擇性蝕刻該導電膜以形成與低電阻源極區 408a 接觸的源極電極層 415a 和與低電阻汲極區 408b 接觸的汲極電極層 415b。接著，與氧化物絕緣層 416 接觸地形成平坦化絕緣層 404，在平坦化絕緣層 404 中形成到達汲極電極層 409b 的接觸孔，並在該接觸孔和平坦化絕緣層 404 上形成透光導電膜。選擇性蝕刻該透光導電膜以形成導電層 417 和電連接至汲極電極層 409b 的像素電極層 427（參見圖 4C）。

透過上述步驟，可以利用八個遮罩在一個基板上分別在驅動電路和像素部中單獨地形成薄膜電晶體 449 和 451，在薄膜電晶體 449 和 451 中的每一個中整個氧化物半導

體層是 i 型的。驅動電路的薄膜電晶體 449 包括完全本徵的氧化物半導體層 443，且像素的薄膜電晶體 451 包括完全本徵的氧化物半導體層 445。

在與薄膜電晶體 449 和 451 相同的基板上可以形成儲存電容器，其具有使用閘極絕緣層 402 作為電媒體的電容器佈線和電容器電極。透過在與各自像素對應的矩陣中佈置薄膜電晶體 451 和儲存電容器以形成像素部，並且在該像素部的週邊處佈置具有薄膜電晶體 449 的驅動電路，可以獲得用於製造主動矩陣顯示裝置的基板之一。

此外，透過在與氧化物半導體層 443 的通道形成區相重疊的部分中設置導電層 417，在 BT 測試中，可以減少 BT 測試前後的薄膜電晶體 449 的閾值電壓的偏移量。導電層 417 可以具有與閘極電極層 411 相同或不同的電位，並且可以用作為閘極電極層。導電層 417 可以處於 GND 狀態、施加 0 V 電位的狀態、或浮置狀態。

### ( 第三實施例 )

將參照圖 5A 至圖 5C 描述與第一實施例不同的製造半導體裝置的方法。可以按與第一實施例相似的方式形成與第一實施例相同的部分或具有與第一實施例的部分相似的功能的部分，並省略其相應描述。

圖 5A 至圖 5C 是例示兩個薄膜電晶體的製造程序的剖面圖。

首先，以與第一實施例的圖 2A 類似的方式，在具有

絕緣表面的基板 400 上形成閘極電極層 411 和 421，在閘極電極層 411 和 421 上形成閘極絕緣層 402，並在閘極絕緣層 402 上形成氧化物半導體膜 430（參見圖 5A）。

接著，透過第二光刻製程在氧化物半導體膜 430 上形成抗蝕劑遮罩。使用該抗蝕劑遮罩對氧化物半導體膜 430 進行選擇性蝕刻，由此形成作為島狀氧化物半導體層的氧化物半導體層。

然後，去除抗蝕劑遮罩，並以與第一實施例的圖 2B 相似的方式進行第一熱處理，由此使氧化物半導體層脫水或脫氫。脫水或脫氫的第一熱處理的條件可以與第一實施例中描述的製造半導體裝置的第一熱處理的條件相同。這裏，其上形成氧化物半導體層的基板被引入電爐，該電爐是熱處理設備的其中之一。在氮氣氛圍下對氧化物半導體層進行熱處理之後，氧化物半導體層不被暴露到空氣並且防止了水和氫重新混入氧化物半導體層；因此獲得氧化物半導體層 431 和氧化物半導體層 432（參見圖 5B）。

接著，在氧化物半導體層 431 和 432 以及閘極絕緣層 402 上形成氧化物導電膜。因而，透過第三光刻製程形成抗蝕劑遮罩 445a 和抗蝕劑遮罩 445b。使用抗蝕劑遮罩 445a 和 445b 選擇性蝕刻該氧化物導電膜以形成低電阻源極區 408a、低電阻汲極區 408b 以及源極電極層 409a 和汲極電極層 409b（參見圖 5C）。作為氧化物導電膜的材料，可以使用與第一實施例的氧化物導電膜的材料相似的材料。

注意，在本蝕刻步驟中，較佳適當地確定蝕刻條件以不蝕刻作為下層的氧化物半導體層 431 和氧化物半導體層 432。例如，可以控制蝕刻時間。

此外，對於氧化物半導體層 431 和 432 的材料以及低電阻源極區 408a、低電阻汲極區 408b 和源極電極層 409a 和汲極電極層 409b 的材料中的每一個，較佳使用具有高蝕刻選擇比的材料。例如，包含 Sn 的金屬氧化物材料（例如， $\text{SnZnO}_x$  ( $x > 0$ )， $\text{SnGaZnO}_x$  ( $x > 0$ ) 等）可以用作為氧化物半導體層的材料，基於 Al-Zn-O 的材料、基於 Al-Zn-O-N 的材料、基於 Zn-O 的材料等可以用作為氧化物導電層的材料。上述包含鋅氧化物作為其主要成分的材料可以使用例如鹼性溶液進行蝕刻。當使用諸如基於 Al-Zn-O 的材料或基於 Al-Zn-O-N 的材料的含鋁材料時，較佳使用在去除用於蝕刻的抗蝕劑遮罩時不去除氧化物導電層的方法去除抗蝕劑遮罩。例如，透過採用乾式蝕刻，可以去除抗蝕劑遮罩而不去除氧化物導電層。

氧化物半導體層較佳具有小於等於 50 nm 的厚度以保持非晶態下。例如，所完成的薄膜電晶體的平均厚度較佳大於等於 5 nm 且小於等於 20 nm。

以與第一實施例的圖 2E 相似的方式，與氧化物半導體層 431 和 432 接觸地形成氧化物絕緣層 416；進行第二熱處理使得與閘極電極層 411 相重疊的通道形成區 413 變為 i 型，並且與閘極電極層 421 相重疊的通道形成區 423 變為 i 型；以自對準方式形成與低電阻源極區 408a 相重

疊的高電阻源極區 414a；以自對準方式形成與低電阻汲極區 408b 相重疊的高電阻汲極區 414b；以自對準方式形成與源極電極層 409a 重疊的高電阻源極區 424a；以及以自對準方式形成與汲極電極層 409b 重疊的高電阻汲極區 424b。第二熱處理的條件可以與第一實施例中描述的製造半導體裝置的方法的第二熱處理的條件相同。

以與第一實施例的圖 3A 相似的方式，進行第四光刻製程，並形成抗蝕劑遮罩。因而，透過蝕刻氧化物絕緣層 416，形成暴露低電阻源極區 408 的一部分的區域 418、暴露低電阻汲極區 408b 的一部分的區域 419、和位於汲極電極層 409b 上方的接觸孔 426。氧化物絕緣層 416 被設置為與氧化物半導體層 431 的一部分以及低電阻源極區 408a 和低電阻汲極區 408b 的週邊和側表面接觸。

以與第一實施例的圖 3B 相似的方式，在去除抗蝕劑遮罩之後，至少在被暴露的低電阻源極區 408a 和低電阻汲極區 408b、在接觸孔 426 上、以及在氧化物絕緣層 416 上形成導電膜。進行第五光刻製程以在該導電膜上形成抗蝕劑遮罩 438a 和 438b。選擇性地進行蝕刻以形成源極電極層 415a 和汲極電極層 415b。

以與第一實施例的圖 3C 相似的方式，在去除抗蝕劑遮罩 438a 和 438b 之後，在源極電極層 415a 和汲極電極層 415b 上以及在氧化物絕緣層 416 上形成平坦化絕緣層 404。進行第六光刻製程，並形成抗蝕劑遮罩。蝕刻平坦化絕緣層 404 以形成到達汲極電極層 409b 的接觸孔 441

。以與第一實施例的圖 3D 相似的方式，在形成接觸孔之後，形成透光導電膜。進行第七光刻製程，並形成抗蝕劑遮罩。因而，透過蝕刻來去除多餘部分以形成像素電極層 427 和導電層 417。

透過上述步驟，可以利用七個遮罩在一個基板上分別在驅動電路和像素部中單獨地形成薄膜電晶體 410 和 420。此外，與第一實施例的製造程序相比可以減少遮罩的數目。驅動電路中的薄膜電晶體 410 包括氧化物半導體層 412，氧化物半導體層 412 具有高電阻源極區 414a、高電阻汲極區 414b 和通道形成區 413。像素中的薄膜電晶體 420 包括氧化物半導體層 422，氧化物半導體層 422 具有高電阻源極區 424a、高電阻汲極區 424b 和通道形成區 423。即使將高電場施加到薄膜電晶體 410 和 420 時，高電阻源極區 414a、高電阻汲極區 414b、高電阻源極區 424a 和高電阻汲極區 424b 用作為緩衝區，因而不施加局部高電場，這可以導致電晶體的耐受電壓的提高。

#### ( 第四實施例 )

將參照圖 38A1、圖 38A2、圖 38B 和圖 38C、圖 39A 至圖 39E、以及圖 40A 至圖 40D 描述與第一實施例不同的半導體裝置及製造該半導體裝置的方法。圖 38B 和圖 38C 都是形成於一個基板上的具有彼此不同的結構的兩個薄膜電晶體的剖面結構的實例。圖 38A1、圖 38A2、圖

38B 和圖 38C 中例示的薄膜電晶體 460 和薄膜電晶體 470 是底閘極部閘極電晶體。

圖 38A1 是設置於驅動電路中的薄膜電晶體 460 的平面圖。圖 38A2 是設置於像素中的薄膜電晶體 470 的平面圖。圖 38B 是例示沿圖 38A1 的線 G1-G2 所取出的剖面結構和沿圖 38A2 的線 H1-H2 所取出的剖面結構的剖面圖。圖 38C 是例示沿圖 38A1 的線 G3-G4 所取出的剖面結構和沿圖 38A2 的線 H3-H4 所取出的剖面結構的剖面圖。

設置於驅動電路中的薄膜電晶體 460 在具有絕緣表面的基板 450 上包括：閘極電極層 461；閘極絕緣層 452；氧化物半導體層 462，其至少包括通道形成區 463、高電阻源極區 464a 和高電阻汲極區 464b；低電阻源極區 446a；低電阻汲極區 446b；源極電極層 465a；和汲極電極層 465b。此外，薄膜電晶體 460 設置有氧化物絕緣層 466，氧化物絕緣層 466 與氧化物半導體層 412 以及低電阻源極區 446a 和低電阻汲極區 446b 的週邊和側表面接觸，並與氧化物半導體層 462 的一部分接觸。

注意，高電阻源極區 464a 以自對準的方式與低電阻源極區 446a 的下表面接觸地形成。高電阻汲極區 464b 以自對準的方式與低電阻汲極區 446b 的下表面接觸地形成。此外，通道形成區 463 與氧化物絕緣層 466 接觸，並且與高電阻源極區 464a 和高電阻汲極區 464b 相比用作為高電阻區域（i 型區域）。

源極電極層 465a 與低電阻源極區 446a 相接觸，而汲

極電極層 465b 與低電阻汲極區 446b 接觸。

當設置低電阻源極區 446a 和低電阻汲極區 446b 時，薄膜電晶體 460 與肖特基結相比在熱量方面具有較高的操作穩定性。有意地設置載流子濃度都高於氧化物半導體層的載流子濃度的低電阻源極區和低電阻汲極區，因而形成歐姆接觸。

較佳使用金屬材料作為源極電極層 465a 和汲極電極層 465b，以減小薄膜電晶體 460 的佈線的電阻。

在通道形成區 463 上設置與通道形成區 463 相重疊的導電層 467。導電層 467 電連接至閘極電極層 461 以具有相同電位，由此可以從設置在閘極電極層 461 與導電層 467 之間的氧化物半導體層 462 的上方和下方施加閘極電壓。當閘極電極層 461 和導電層 467 具有不同電位時，例如，當閘極電極層 461 的電位或導電層 467 的電位是預定電位、GND 電位或 0 V 中的任一個時，可以控制 TFT 的電特性，例如閾值電壓。換言之，閘極電極層 461 和導電層 467 中的一個用作為第一閘極電極層，並且閘極電極層 461 和導電層 467 中的另一個用作為第二閘極電極層，從而薄膜電晶體 460 可以用作為具有四個端子的薄膜電晶體。

在導電層 467、源極電極層 465a 和汲極電極層 465b、以及氧化物絕緣層 466 之間設置平坦化絕緣層 454。

設置於像素中的薄膜電晶體 470 在具有絕緣表面的基板 450 上包括：閘極電極層 471；閘極絕緣層 452；氧化



物半導體層 472，其至少包括通道形成區 473、高電阻源極區 474a 和高電阻汲極區 474b；源極電極層 447a；和汲極電極層 447b。此外，薄膜電晶體 420 包括氧化物絕緣層 416，氧化物絕緣層 416 與氧化物半導體層 422 接觸。

注意，高電阻源極區 474a 以自對準的方式與源極電極層 447a 的下表面接觸地形成。高電阻汲極區 474b 以自對準的方式與汲極電極層 447b 的下表面接觸地形成。此外，通道形成區 473 與氧化物絕緣層 466 相接觸，並且與高電阻源極區 474a 和高電阻汲極區 474b 相比用作為高電阻區域（i 型區域）。

注意，氧化物半導體層 462 形成在源極電極層 465a 和汲極電極層 465b 下方，並與源極電極層 465a 和汲極電極層 465b 部分地重疊。此外，氧化物半導體層 462 中間隔著閘極絕緣層 452 與閘極電極層 461 重疊。換言之，氧化物半導體層 462 設置在閘極電極層 461 的上方，其中閘極絕緣層 452 置於半導體層 462 與閘極電極層 461 之間。此外，氧化物半導體層 472 係形成在源極電極層 447a 和汲極電極層 447b 下方，並與源極電極層 447a 和汲極電極層 447b 部分地重疊。氧化物半導體層 472 中間隔著閘極絕緣層 452 與閘極電極層 471 重疊。換言之，氧化物半導體層 472 設置在閘極電極層 471 的上方，其中閘極絕緣層 452 置於氧化物半導體層 472 與閘極電極層 471 之間。

為了實現具有高孔徑比的顯示裝置，使用透光導電膜形成薄膜電晶體 470 的源極電極層 447a 和汲極電極層

447b 中每一個。

還使用透光導電膜形成薄膜電晶體 470 的閘極電極層 471。

在其中設置薄膜電晶體 470 的像素中，使用具有對可見光的透光性的導電膜形成像素電極層 477、另一電極層（電容器電極層等）和佈線層（電容器佈線層等），由此形成具有高孔徑比的顯示裝置。不言而喻，閘極絕緣層 452 和氧化物絕緣層 466 較佳使用具有對可見光的透光性的膜形成。

像素電極層 477 透過設置於氧化物絕緣層 466 中的開口和設置於平坦化絕緣層 454 中的開口與汲極電極層 447b 接觸。注意，設置於氧化物絕緣層 466 中的開口不是必須設置的。

注意，至少在形成氧化物半導體膜之後對氧化物半導體層 462 和 472 進行減少諸如水分的雜質的熱處理（用於脫水或脫氫的熱處理）。在用於脫水和脫氫的熱處理以及緩冷之後，透過形成與氧化物半導體層等接觸的氧化物絕緣層，降低了氧化物半導體層的載流子濃度，這導致薄膜電晶體 460 和 470 的電特性和可靠性的提高。

注意，在圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置中，作為一個例子，薄膜電晶體 460 的通道長度與薄膜電晶體 470 的通道長度相同；但是，本發明不限於此。例如，由於驅動電路中的薄膜電晶體要求比像素中的薄膜電晶體的更高操作速度，因此薄膜電晶體 460 的通

道長度可以比薄膜電晶體 470 的通道長度小。在這種情況下，例如，薄膜電晶體 460 的通道長度較佳為約  $1\ \mu\text{m}$  至  $5\ \mu\text{m}$ ，而薄膜電晶體 470 的通道長度較佳為約  $5\ \mu\text{m}$  至  $20\ \mu\text{m}$ 。

如上所述，圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置包括位於一個基板上的具有第一薄膜電晶體的驅動電路和具有第二薄膜電晶體的像素部。第二薄膜電晶體使用透光材料形成，且第一薄膜電晶體使用電阻比該透光材料低的材料形成。因此，可以提高像素部中的孔徑比，並且可以提高驅動電路的操作速度。當在一個基板上設置驅動電路和像素部時，可以減少將驅動電路和像素部彼此電連接的佈線的數目，並且可以縮短該佈線的總長度；因此，可以減小半導體裝置的尺寸和成本。

對於圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置的驅動電路中的薄膜電晶體，低電阻源極區和低電阻汲極區被設置於源極電極層和汲極電極層與形成通道形成區的氧化物半導體層之間。當設置低電阻源極區和低電阻汲極區時，可以提高週邊電路（驅動電路）的頻率特性。與金屬電極層和氧化物半導體層之間的接觸相比，金屬電極層與低電阻源極區和低電阻汲極區之間的接觸可以降低接觸電阻。使用鉬的電極層（例如鉬層、鋁層和鉬層的疊層）具有與氧化物半導體層的高接觸電阻，因為與鈦相比，鉬難以被氧化，並且從氧化物半導體層的提取氧的操作弱，鉬層與氧化物半導體層之間的接觸介面不變為 n 型

。而當低電阻源極區和低電阻汲極區被置於氧化物半導體層與源極電極層和汲極電極層之間時，可以降低接觸電阻，這可以改進週邊電路（驅動電路）的頻率特性。此外，當設置低電阻源極區和低電阻汲極區時，在蝕刻要用作為低電阻源極區和低電阻汲極區的層時確定薄膜電晶體的通道長度；因此，可以進一步縮短通道長度。

在圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置中，第一薄膜電晶體的氧化物半導體層的端部延伸超過低電阻源極區和低電阻汲極區的端部，並且第二薄膜電晶體的氧化物半導體層的端部也延伸超過源極電極層和汲極電極層的端部。

圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置具有如下結構：氧化物絕緣層與氧化物半導體層的部分和氧化物導電層的週邊和側表面接觸，其中該氧化物導電層與源極電極層和汲極電極層接觸。在這種結構下，當在薄膜電晶體的週邊具有由與閘極電極層相同的層形成的佈線中間隔著絕緣層與由與源極電極層和汲極電極層相同的層形成的佈線交叉的部分時，由與閘極電極層相同的層形成的佈線與由與源極電極層和汲極電極層相同的層形成的佈線之間的間距可以被增大，因此可以減小寄生電容。

本實施例的電晶體可以具有圖 42 例示的結構。圖 42 例示的半導體裝置與圖 38B 例示的半導體裝置的不同點如下：閘極絕緣層使用多個絕緣層的疊層形成；以及保護絕緣層設置於與半導體層接觸的氧化物絕緣層上方。換言之

，圖 42 例示的半導體裝置具有閘極絕緣層 452a 和閘極絕緣層 452b 的疊層，而不是圖 38B 例示的閘極絕緣層 452，以及具有位於圖 38B 例示的氧化物絕緣層 466 上方的保護絕緣層 453。與圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置的相應元件的描述相同的圖 42 例示的半導體裝置的其他元件的描述適當地採用圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置的描述，並在此省略。

例如，可應用於圖 38B 和圖 38C 例示的閘極絕緣層 452 的材料可以被用於閘極絕緣層 452a 和閘極絕緣層 452b。例如，可以將氮化物絕緣層用於閘極絕緣層 452a，以及可以將氧化物絕緣層用於閘極絕緣層 452b。

較佳地，保護絕緣層 453 與都設置在氧化物絕緣層 466 下方的閘極絕緣層 452a 或用作為基底膜的絕緣膜接觸，由此防止靠近基板側表面的諸如水分、氫離子和  $\text{OH}^-$  的雜質進入。特別是，將氮化矽膜用於都與氧化物絕緣層 466 接觸的閘極絕緣層 452a 或用作為基底膜的絕緣膜是有效的。換言之，當將氮化矽層設置為圍繞氧化物半導體層的下表面、上表面和側表面時，提高了半導體裝置的可靠性。

以下參照圖 39A 至圖 39E 以及圖 40A 至圖 40D 描述在一個基板上製造薄膜電晶體 460 和 470 的製程。

首先，在具有絕緣表面的基板 450 上形成透光導電膜，然後透過第一光刻製程在該導電膜上形成抗蝕劑遮罩，

以及使用該抗蝕劑遮罩進行選擇性蝕刻，由此形成閘極電極層 461 和 471。此外，在像素部中，透過相同的第一光刻製程，使用與閘極電極層 461 和 471 相同的材料形成電容器佈線。在不僅像素部而且驅動電路要求電容時，為驅動電路也形成電容器佈線。注意，抗蝕劑遮罩可以透過噴墨法形成。當透過噴墨法形成抗蝕劑遮罩時，不使用光遮罩，這導致製造成本的減少。

儘管對可用於具有絕緣表面的基板 450 的基板沒有特別限制，但必要的是該基板至少具有對隨後進行的熱處理的足夠耐熱性。例如，玻璃基板等可以用作為具有絕緣表面的基板 450。

作為玻璃基板，在隨後進行的熱處理的溫度高的情況下，可以使用應變點為  $730^{\circ}\text{C}$  或更高的玻璃基板。作為玻璃基板的材料，例如，使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃的玻璃材料。注意，透過包含比硼酸更大量的氧化鋇 ( $\text{BaO}$ )，玻璃基板耐熱且更實用。因此，較佳地，使用  $\text{BaO}$  的量大於  $\text{B}_2\text{O}_3$  的量的包含  $\text{BaO}$  和  $\text{B}_2\text{O}_3$  的玻璃基板。

注意，可以將由諸如陶瓷基板、石英基板或藍寶石基板的絕緣體形成的基板用於基板 450，代替玻璃基板。或者，可以將微晶玻璃等用於基板 450。

可以在基板 450 與閘極電極層 461 和 471 之間設置用作為基底膜的絕緣膜。該基底膜具有防止雜質元素從基板 450 擴散的功能，並且可以使用氮化矽膜、氧化矽膜、氮

氧化矽膜和氮化矽膜中的一種或更多種被形成為具有單層膜或疊層膜。

作為閘極電極層 461 和 471 的材料，可以採用作為實例的具有對可見光的透光性的以下導電材料：基於 In-Sn-Zn-O 的導電金屬氧化物、基於 In-Al-Zn-O 的導電金屬氧化物、基於 Sn-Ga-Zn-O 的導電金屬氧化物、基於 Al-Ga-Zn-O 的導電金屬氧化物、基於 Sn-Al-Zn-O 的導電金屬氧化物、基於 In-Zn-O 的導電金屬氧化物、基於 Sn-Zn-O 的導電金屬氧化物、基於 Al-Zn-O 的導電金屬氧化物、基於 In-Sn-O 的導電金屬氧化物、基於 In-O 的導電金屬氧化物、基於 Sn-O 的導電金屬氧化物或基於 Zn-O 的導電金屬氧化物。閘極電極層 461 和 471 的厚度都在大於等於 50 nm 且小於等於 300 nm 的範圍內。對於閘極電極層 461 和 471 所使用的導電膜的成膜方法，可以使用濺射法、真空蒸鍍法（例如電子束蒸發法）、電弧放電離子鍍法或噴射法。當使用濺射法時，使用包含大於等於 2 wt% 且小於等於 10 wt% 的 SiO<sub>2</sub> 的靶材進行膜沈積，並且要形成的透光導電膜可以包括抑制結晶化的 SiO<sub>x</sub> (x>0)。因而，在隨後的製程中要執行的用於脫水或脫氫的熱處理時可以抑制結晶化。

接著，去除抗蝕劑遮罩，並在閘極電極層 461 上形成閘極絕緣層 452。

閘極絕緣層 452 可以利用電漿 CVD 法、濺射法等形成為具有氧化矽層、氮化矽層、氮氧化矽層或氮化矽層

的單層或疊層。例如，在形成氮氧化矽層的情況下，氮氧化矽層可以利用電漿 CVD 法使用  $\text{SiH}_4$ 、氧氣和氮氣作為沈積氣體形成。

閘極絕緣層 452 的厚度大於等於 100 nm 且小於等於 500 nm。在使用疊層的情況下，例如，厚度大於等於 5 nm 且小於等於 300 nm 的第二閘極絕緣層堆疊在厚度大於等於 50 nm 且小於等於 200 nm 的第一閘極絕緣層上方。

在本實施例中，透過電漿 CVD 法使用氮化矽層將閘極絕緣層 452 形成為厚度小於等於 200 nm。

然後，在閘極絕緣層 452 形成厚度大於等於 2 nm 且小於等於 200 nm 的氧化物半導體膜 480（參見圖 39A）。即使在形成氧化物半導體膜 480 之後進行用於脫水或脫氫的熱處理，氧化物半導體膜 480 的厚度較佳為小於等於 50 nm，以保持隨後要形成的氧化物半導體層處於非晶態。當氧化物半導體膜 480 的厚度小時，在形成氧化物半導體膜 480 之後進行熱處理的情況下可以防止隨後要形成的氧化物半導體層的結晶化。

注意，在透過濺射法形成氧化物半導體膜 480 之前，較佳地，透過其中引入氫氣並產生電漿的反向濺射，去除附著到閘極絕緣層 452 的表面的灰塵。該反向濺射指的是不向靶材側施加電壓地在氫氣氛圍中使用射頻（RF）功率源來向基板側施加電壓以圍繞基板產生電漿從而使表面改性的方法。注意，可以使用氮氣氛圍、氫氣氛圍、氧氣氛圍等代替氫氣氛圍。



氧化物半導體膜 480 使用基於 In-Ga-Zn-O 的非單晶膜，基於 In-Sn-Zn-O 的氧化物半導體膜，基於 In-Al-Zn-O 的氧化物半導體膜，基於 Sn-Ga-Zn-O 的氧化物半導體膜，基於 Al-Ga-Zn-O 的氧化物半導體膜，基於 Sn-Al-Zn-O 的氧化物半導體膜，基於 In-Zn-O 的氧化物半導體膜，基於 Sn-Zn-O 的氧化物半導體膜，基於 Al-Zn-O 氧化物半導體膜，基於 In-Sn-O 的氧化物半導體膜，基於 In-O 的氧化物半導體膜，基於 Sn-O 的氧化物半導體膜，或基於 Zn-O 的氧化物半導體膜形成。在本實施例中，透過濺射法使用基於 In-Ga-Zn-O 的氧化物半導體靶材形成氧化物半導體膜 480。或者，可以在稀有氣體（典型地為氬氣）氛圍、氧氣氣氛或包含稀有氣體（典型地為氬氣）和氧的氛圍下透過濺射法形成氧化物半導體膜 480。當採用濺射法時，使用包含大於等於 2 wt% 且小於等於 10 wt% 的 SiO<sub>2</sub> 的靶材形成氧化物半導體膜 480，並且氧化物半導體膜 480 可以包括抑制結晶化的 SiO<sub>x</sub> (x>0)。因而，在後續的製程中要執行的用於脫水或脫氫的熱處理時可以抑制氧化物半導體層的結晶化。

對氧化物半導體膜 480 進行脫水或脫氫。在大於等於 400°C 且小於基板的應變點，例如，大於等於 400°C 且小於等於 700°C，較佳大於等於 425°C 且小於等於 700°C 的溫度下，進行用於脫水或脫氫的第一熱處理。注意，當該溫度大於等於 425°C 且小於等於 700°C 時，熱處理可以執行 1 小時或更短；而當該溫度小於 425°C 時，熱處理執行

長於 1 小時。這裏，其上形成氧化物半導體膜的基板 450 被引入電爐，該電爐是熱處理設備之一。在氮氣氛圍下對氧化物半導體膜進行熱處理之後，氧化物半導體膜不被暴露到空氣並且防止了水和氫重新混入氧化物半導體層；因此獲得電阻減小的氧化物半導體層（參見圖 39B）。在本實施例中，從進行氧化物半導體膜 480 的脫水或脫氫的加熱溫度 T 到足夠低以防止水或氫重新進入的溫度，使用同一爐；特別地，在氮氣氛圍下進行緩冷直至溫度變為比加熱溫度 T 低 100°C 或更多。對氮氣氛圍沒有限制，並且可以在諸如氮、氬或氫的稀有氣體氛圍下進行脫水或脫氫。

注意，較佳地，在第一熱處理中，在氮氣或稀有氣體（諸如氮、氬或氫）中不包含水、氫等。或者，較佳地，引入熱處理設備的氮氣或稀有氣體（諸如氮、氬或氫）的純度為 6N（99.9999%）或更高，較佳為 7N（99.99999%）或更高；換言之，雜質濃度被設定為 1 ppm 或更低，較佳為 0.1 ppm 或更低。

取決於第一熱處理的條件或氧化物半導體膜 480 的材料，在某些情況下進行結晶化以形成微晶膜或多晶膜。

在形成氧化物半導體膜 480 之前，可以在惰性氣體氛圍（氮、氬、氬、氫等）或者在氧氣氛圍下（在大於等於 400°C 且小於基板的應變點的溫度下）進行熱處理，由此可以去除閘極絕緣層 452 中包含的諸如氫和水的雜質。

接著，在氧化物半導體膜 480 上形成氧化物導電膜，並透過第二光刻製程形成抗蝕劑遮罩 482a 和抗蝕劑遮罩

482b。然後，使用抗蝕劑遮罩 482a 和抗蝕劑遮罩 482b 同時選擇性蝕刻該氧化物導電膜和氧化物半導體膜 480。形成作為島狀氧化物半導體層的氧化物半導體層 462 和 472、以及氧化物導電層 442 和氧化物導電層 444（參見圖 39C）。注意，用於抗蝕劑遮罩 482a 和抗蝕劑遮罩 482b 可以透過噴墨法形成。當透過噴墨法形成抗蝕劑遮罩時，不使用光遮罩，因此可以減少製造成本。

對於氧化物導電膜的形成方法，採用濺射法、真空蒸鍍法（電子束蒸發法等）、電弧放電離子鍍法或噴射法。對於氧化物導電膜的材料，可以使用電阻高於氧化物半導體膜 480 且電阻低於源極電極層 465a 和汲極電極層 465b 的材料。例如，可以使用基於 In-Sn-Zn-O 的導電金屬氧化物，基於 In-Al-Zn-O 的導電金屬氧化物，基於 Sn-Ga-Zn-O 的導電金屬氧化物，基於 Al-Ga-Zn-O 的導電金屬氧化物，基於 Sn-Al-Zn-O 的導電金屬氧化物，基於 In-Zn-O 的導電金屬氧化物，基於 Sn-Zn-O 的導電金屬氧化物，基於 Al-Zn-O 的導電金屬氧化物，基於 In-Sn-O 的導電金屬氧化物，基於 In-O 的導電金屬氧化物，基於 Sn-O 的導電金屬氧化物，或基於 Zn-O 的導電金屬氧化物。氧化物導電膜的厚度適當地選擇在大於等於 50 nm 且小於等於 300 nm 的範圍內。當採用濺射法時，使用包含大於等於 2 wt% 且小於等於 10 wt% 的 SiO<sub>2</sub> 的靶材進行膜沈積，並且透光導電膜可以包括抑制結晶化的 SiO<sub>x</sub> (x>0)。因而，可以抑制氧化物導電膜的結晶化。

使用包括 In、Ga 和 Zn ( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}$  1:1:1 [按摩爾比]， $\text{In}:\text{Ga}:\text{Zn} = 1:1:0.5$  [按原子比]) 的氧化物半導體靶材。氧化物半導體膜在以下條件下形成：基板 450 與靶材之間的距離為 100 mm，壓力為 0.2 Pa，直流 (DC) 功率為 0.5 kW，以及氛圍為氬氣和氧氣的混合氛圍 (氬氣:氧氣 = 30 sccm:20 sccm，且氧氣流率為 40%)。注意，脈衝直流 (DC) 電源是較佳的，因為灰塵可以減少並且膜厚可以均勻。基於 In-Ga-Zn-O 的非單晶膜被形成為具有 5 nm 至 200 nm 的厚度。在本實施例中，作為氧化物半導體膜，透過濺射法使用基於 In-Ga-Zn-O 的氧化物半導體靶材形成厚度為 20 nm 的基於 In-Ga-Zn-O 的非單晶膜。作為氧化物半導體靶材材料，可以使用諸如  $\text{In}:\text{Ga}:\text{ZnO} = 1:1:1$  或  $\text{In}:\text{Ga}:\text{ZnO} = 1:1:4$  的靶材材料。

注意，本實施例中的抗蝕劑遮罩 482a 和 482b 都是具有凹部或凸部的抗蝕劑遮罩。換言之，每個抗蝕劑遮罩還可以被稱為包括厚度不同的多個區域 (這裏是兩個區域) 的抗蝕劑遮罩。對於抗蝕劑遮罩 482a 和 482b，將厚區域稱為抗蝕劑遮罩 482a 和 482b 的凸部，而將薄區域稱為抗蝕劑遮罩 482a 和 482b 的凹部。

在抗蝕劑遮罩 482a 和 482b 中，凸部形成於其中源極電極層和汲極電極層在抗蝕劑遮罩 482a 和 482b 中的每一個的下方形成的部分中，且凹部形成於其中通道形成區隨後在抗蝕劑遮罩 482a 和 482b 中的每一個的下方形成的部分中。

抗蝕劑遮罩 482a 和 482b 中的每一個可以使用多色調遮罩形成。多色調遮罩是能夠利用多級光強曝光的遮罩，典型地利用三級光強進行曝光以提供曝光區域、半曝光區域和未曝光區域。當使用多色調遮罩時，一次曝光和顯影製程允許形成具有多種厚度（典型地，兩種厚度）的抗蝕劑遮罩。因此，利用多色調遮罩，可以減少光遮罩的數目。

透過使用多色調遮罩進行曝光並顯影，可以形成都包括具有不同厚度的區域的抗蝕劑遮罩 482a 和 482b。注意，不限制於此，抗蝕劑遮罩 482a 和 482b 可以不使用多色調遮罩地形成。

接下來，使抗蝕劑遮罩 482a 和 482b 後退（縮小）以形成抗蝕劑遮罩 487a 和抗蝕劑遮罩 487b。為了使抗蝕劑遮罩後退（縮小），可以進行使用氧電漿的灰化等。使得抗蝕劑遮罩後退（縮小）以部分地暴露氧化物半導體層 462 和 472。

接著，使用抗蝕劑遮罩 487a 和 487b 進行選擇性蝕刻，由此形成低電阻源極區 446a、低電阻汲極區 446b 以及源極電極層 447a 和汲極電極層 447b（參見圖 39D）。

注意，如圖 39D 所示，使用以使得抗蝕劑遮罩 482a 和 482b 後退（縮小）的方式形成的抗蝕劑遮罩 487a 和 487b 進行蝕刻，由此氧化物半導體層 462 的端部延伸超過低電阻源極區 446a 和低電阻汲極區 446b 的端部，而氧化物半導體層 472 的端部延伸超過源極電極層 447a 和汲

極電極層 447b 的端部。

注意，可以適當地設置此時的蝕刻步驟的蝕刻條件以保留下氧化物半導體層 462 和下氧化物半導體層 472。例如，可以控制蝕刻時間。

較佳地，氧化物半導體層 462 和 472 以及氧化物導電層 442 和 444 使用具有高蝕刻選擇比的材料形成。例如，包含 Sn 的金屬氧化物材料（例如， $\text{SnZnO}_x$  ( $x > 0$ )， $\text{SnGaZnO}_x$  ( $x > 0$ ) 等）用作為用於形成氧化物半導體層的材料，而基於 Al-Zn-O 的材料、基於 Al-Zn-O-N 的材料、基於 Zn-O 的材料等可以用作為用於氧化物導電層的材料。上述包含鋅氧化物作為其主要成分的材料可以使用例如鹼性溶液進行蝕刻。在使用諸如基於 Al-Zn-O 的材料或基於 Al-Zn-O-N 的材料的含鋁材料的情況下，較佳使用在去除用於蝕刻的抗蝕劑遮罩時不一起去除氧化物導電層的方法去除抗蝕劑遮罩。例如，透過採用乾式蝕刻，可以去除抗蝕劑遮罩而不去除氧化物導電層。

接著，去除抗蝕劑遮罩 487a 和 487b，然後形成與氧化物半導體層 462 和 472 部分地接觸的氧化物絕緣層 466。

氧化物絕緣層 466 的厚度為至少 1nm 或更多，並且可以使用諸如濺射法的方法適當地形成氧化物絕緣層 466，該方法是一種防止諸如水或氫的雜質進入氧化物絕緣層 466 的方法。在本實施例中，使用濺射法形成厚度為 300 nm 的氧化矽膜作為氧化物絕緣層 466。成膜中的基板溫

度可以高於或等於室溫且小於等於  $300^{\circ}\text{C}$ ，在本實施例中設定為  $100^{\circ}\text{C}$ 。氧化矽膜可以在稀有氣體（典型地為氬氣）氛圍、氧氣氛圍或包括稀有氣體（典型地為氬氣）和氧的氛圍下透過濺射法形成。氧化矽靶材或矽靶材可以被使用作為靶材。例如，可以在包含氧氣和氮氣的氛圍下透過濺射法使用矽靶材形成氧化矽膜。與氧化物半導體層 462 和 472 部分地接觸的氧化物絕緣層 466 不包含諸如水分、氫離子和  $\text{OH}^-$  的雜質，並且使用防止這些雜質從外部進入的無機絕緣膜形成。典型地，使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氮氧化鋁膜等形成氧化物絕緣層 466。使用摻雜有硼的矽靶材材料形成氧化矽膜，並使用該氧化矽膜形成氧化物絕緣層 466，由此可以抑制雜質（諸如水分、氫離子和  $\text{OH}^-$ ）的進入。

接著，在惰性氣體氛圍或氧氣氛圍下進行第二熱處理（較佳地在大於等於  $200^{\circ}\text{C}$  且小於等於  $400^{\circ}\text{C}$  的溫度下，例如大於等於  $250^{\circ}\text{C}$  且小於等於  $350^{\circ}\text{C}$ ）。例如，第二熱處理在氮氣氛圍下在  $250^{\circ}\text{C}$  的溫度下進行 1 小時。當進行第二熱處理時，加熱與氧化物絕緣層 466 部分地接觸的氧化物半導體層 462 和 472。

透過上述製程，減小氧化物半導體層 462 和 472 的電阻，並且使氧化物半導體層 462 和 472 的一部分選擇性地處於氧過量狀態。作為結果，與閘極電極層 461 重疊的通道形成區 463 為 i 型。與閘極電極層 471 相重疊的通道形成區 473 為 i 型。在與低電阻源極區 446a 重疊的氧化物

半導體層 462 的一部分中以自對準方式形成高電阻源極區 464a。在低電阻汲極區 446b 重疊的氧化物半導體層 462 的一部分中以自對準方式形成高電阻汲極區 464b。在與源極電極層 447a 相重疊的氧化物半導體層 472 的一部分中以自對準方式形成高電阻源極區 474a。在與汲極電極層 447b 重疊的氧化物半導體層 472 的一部分中以自對準方式形成高電阻汲極區 474b (參見圖 39E)。

注意，透過在與低電阻源極區 446a (和低電阻汲極區 446b) 重疊的氧化物半導體層 462 的部分中形成高電阻汲極區 464b (或高電阻源極區 464a)，可以提供驅動電路的可靠性。具體地，當形成高電阻汲極區 464b 時，電晶體可以具有電導率從汲極電極層 465b 到高電阻汲極區 464b 和通道形成區 463 逐漸改變的結構。因此，在汲極電極層電連接至用於供應高功率源電位 VDD 的佈線時使電晶體操作的情況下，高電阻汲極區用作為緩衝區，由此即使在閘極電極層 461 與汲極電極層 465b 之間施加高電場時也不發生電場的局部集中，這導致電晶體的耐受電壓的提高。

在與低電阻源極區 446a (和低電阻汲極區 446b) 相重疊的氧化物半導體層 462 中形成高電阻汲極區 464b (或高電阻源極區 464a)，由此可以減小驅動電路中的電晶體的洩漏電流。

注意，透過在與汲極電極層 447b (和源極電極層 447a) 相重疊的氧化物半導體層 472 的部分中形成高電阻



汲極區 474b (或高電阻源極區 474a) , 可以提高像素的可靠性。具體地, 當形成高電阻汲極區 474b 時, 電晶體可以具有電導率從汲極電極層 447b 到高電阻汲極區 474b 和通道形成區 473 逐漸改變的結構。因此, 在汲極電極層 447b 電連接至用於供應高功率源電位 VDD 的佈線時操作的情況下, 高電阻汲極區 474b 用作為緩衝區, 由此即使在閘極電極層 471 與汲極電極層 447b 之間施加高電場時也不發生電場的局部集中, 這導致電晶體的耐受電壓的提高。

當在與汲極電極層 447b (和源極電極層 447a) 重疊的氧化物半導體層 472 中形成高電阻汲極區 474b (或高電阻源極區 474a) , 可以減小像素中的電晶體的洩漏電流。

注意, 在本實施例的半導體裝置中, 可以在氧化物絕緣層 466 上設置保護絕緣層。在本實施例中, 當設置保護絕緣層時, 透過 RF 濺射法形成氮化矽膜。RF 濺射法具有生產率的優勢; 因而較佳該方法作為保護絕緣層的成膜方法。例如, 使用無機絕緣膜形成不包含諸如水分、氫離子和  $\text{OH}^-$  的雜質的該保護絕緣層, 該無機絕緣膜防止這些雜質從外部進入。可以使用氮化矽膜、氮化鋁膜、氧氮化矽膜、氮氧化鋁膜等形成保護絕緣層。不言而喻, 保護絕緣層是透光絕緣層。

接著, 進行第三光刻製程, 並形成抗蝕劑遮罩。當蝕刻氧化物絕緣層 466 時, 形成暴露低電阻源極區 446a 的

一部分的區域 428、暴露低電阻汲極區 446b 的一部分的區域 429、和到達汲極電極層 447b 的接觸孔 437，由此氧化物絕緣層 466 與氧化物半導體層 462 的上表面以及低電阻源極區 446a 和低電阻汲極區 446b 的週邊和側表面相接觸（參見圖 40A）。注意，這裏的抗蝕劑遮罩可以透過噴墨法來以形成。當透過噴墨法來形成抗蝕劑遮罩時，不使用光遮罩，因此可以減少製造成本。

接著，在去除抗蝕劑遮罩之後，至少在被暴露的低電阻源極區 446a、被暴露的低電阻汲極區 446b 以及在氧化物絕緣層 466 上形成導電膜。進行第四光刻製程以在該導電膜上形成抗蝕劑遮罩 491a 和 491b，並選擇性地蝕刻該導電膜，由此形成源極電極層 405a 和汲極電極層 405b（參見圖 40B）。

作為用於形成源極電極層 405a 和汲極電極層 405b 的導電膜的材料，可以給出選自 Al、Cr、Cu、Ta、Ti、Mo 和 W 中的元素，包含這些元素中的任一種作為其成分的合金，包含這些元素中的任何元素組合的合金等。

作為導電膜，較佳使用其中依序堆疊鈦膜、鋁膜和鈦膜的三層疊膜；或者其中依序堆疊鉬膜、鋁膜和鉬膜的三層疊膜。不言而喻，單層膜、雙層膜、四或更多層膜可以被用於導電膜。當使用鈦膜、鋁膜和鈦膜的堆疊導電膜作為導電膜時，可以透過使用氟氣的乾式蝕刻方法進行蝕刻。

接著，在氧化物絕緣層 466 上形成平坦化絕緣層 454

。作為平坦化絕緣層 454，可以使用具有耐熱性的有機材料，諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了這些有機材料之外，也可以使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽玻璃（PSG）、硼磷矽玻璃（BPSG）等作為平坦化絕緣層 454。注意，平坦化絕緣層 454 可以透過堆疊使用這些材料形成的多個絕緣膜來予以形成。

對形成平坦化絕緣層 454 的方法沒有特別限制，並且取決於材料可以透過諸如濺射法、SOG 法、旋塗、浸塗、噴塗或液滴排放法（例如，噴墨法、絲網印刷、膠版印刷等）的方法，或者諸如刮刀、輥塗機、幕塗機或刮刀塗布機的工具（裝置），形成平坦化絕緣層 454。

然後，進行第五光刻製程。形成抗蝕劑遮罩，並蝕刻平坦化絕緣層 454 以形成到達汲極電極層 447b 的接觸孔 494（參見圖 40C）。此外，透過該蝕刻形成到達閘極電極層 461 和 471 的接觸孔。用於形成到達汲極電極層 447b 的接觸孔的抗蝕劑遮罩可以透過噴墨法形成。當透過噴墨法來形成抗蝕劑遮罩時，不使用光遮罩；因此可以減少製造成本。

接著，去除抗蝕劑遮罩，然後形成透光導電膜。例如，透過濺射法、真空蒸鍍法等沈積氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡寫為 ITO）等，由此形成該透光導電膜。作為該透光導電膜，可以使用含氮的基於 Al-Zn-O 的非單晶膜，即，基於 Al-Zn-O-N 的非單晶膜

、基於 Zn-O-N 的非單晶膜和基於 Sn-Zn-O-N 的非單晶膜。注意，基於 Al-Zn-O-N 的非單晶膜中的鋅的相對比例（原子百分比）小於等於 47%（原子百分比）且大於基於 Al-Zn-O-N 的非單晶膜中的鋁的相對比例（原子百分比）。基於 Al-Zn-O-N 的非單晶膜中的鋁的相對比例（原子百分比）大於基於 Al-Zn-O-N 的非單晶膜中的氮的相對比例（原子百分比）。利用基於鹽酸的溶液進行具有上述材料的膜的蝕刻處理。但是，由於在蝕刻 ITO 膜時特別趨向於產生殘留物，因此可以使用氧化銦-氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）合金以改進蝕刻加工性。

接著，進行第六光刻製程，並形成抗蝕劑遮罩。然後，透過蝕刻來去除透光導電膜的多餘部分並去除抗蝕劑遮罩，由此形成像素電極層 477 和導電層 467（參見圖 40D）。

透過上述製程，可以利用六個遮罩在一個基板上分別在驅動電路和像素部中單獨地形成薄膜電晶體 460 和 470。驅動電路中的薄膜電晶體 460 包括氧化物半導體層 462，氧化物半導體層 462 具有高電阻源極區 464a、高電阻汲極區 464b 和通道形成區 463。像素中的薄膜電晶體 470 包括氧化物半導體層 472，氧化物半導體層 472 具有高電阻源極區 474a、高電阻汲極區 474b 和通道形成區 473。即使將高電場施加到薄膜電晶體 460 和 470 時，高電阻源極區 464a、高電阻汲極區 464b、高電阻源極區 474a 和高電阻汲極區 474b 用作為緩衝區，由此不施加局部電場集

中，並提高了電晶體的耐受電壓。

透過圖 39A 至圖 39E 以及圖 40A 至圖 40D 例示的製造半導體裝置的方法，閘極絕緣層 452 用作為電媒體，並且使用電容器佈線和電容器電極形成的儲存電容器也可以形成在與薄膜電晶體 460 和 470 相同的基板上。透過在與各自像素對應的矩陣中佈置薄膜電晶體 470 和儲存電容器以形成像素部，並且在該像素部的週邊處佈置具有薄膜電晶體 460 的驅動電路，由此可以獲得用於製造主動矩陣顯示裝置的基板之一。

注意，像素電極層 477 透過形成於平坦化絕緣層 454 中的接觸孔 494 和形成於氧化物絕緣層 466 中的接觸孔 437 電連接至電容器電極層。注意，可以使用與源極電極層 447a 和汲極電極層 447b 相同的材料並在相同的步驟中形成電容器電極層。

此外，當在與氧化物半導體層 462 的通道形成區 463 相重疊的部分中設置導電層 467 時，在用以檢查薄膜電晶體的可靠性的偏壓－溫度應力測試（以下稱為 BT 測試）中，可以減少 BT 測試前後的薄膜電晶體 460 的閾值電壓的偏移量。導電層 467 可以具有與閘極電極層 461 相同或不同的電位，並且可以用作為閘極電極層。導電層 467 可以處於 GND 狀態、施加 0 V 電位的狀態、或浮置狀態。

可以透過噴墨法來形成用以形成導電層 467 和像素電極層 477 的抗蝕劑遮罩。當透過噴墨法來形成抗蝕劑遮罩時，不使用光遮罩，可以減少製造成本。

(第五實施例)

在本實施例中，圖 41A 至圖 41C 例示了第一熱處理不同於第四實施例的第一熱處理的實例。由於本實施例中描述的製程僅部分與圖 39A 至圖 39E 以及圖 40A 至圖 40C 的製程不同，因此，在圖 41A 至圖 41C 中對與圖 39A 至圖 39E 以及圖 40A 至圖 40C 相同的部分使用相同的附圖標記，並將省略相同部分的詳細描述。

圖 41A 至圖 41C 是例示兩個薄膜電晶體的製造程序的剖面圖。

首先，根據第四實施例，在具有絕緣表面的基板 450 上形成閘極電極層 461 和 471。

接著，在閘極電極層 461 和 471 上形成閘極絕緣層 452。

然後，在閘極絕緣層 452 形成厚度大於等於 2 nm 且小於等於 200 nm 的氧化物半導體膜 480 (參見圖 41A)。注意，一直到此階段的製程與第四實施例的製程相同，並且圖 41A 對應於圖 39A。

接著，在惰性氣體氛圍下或在減小的壓力下使氧化物半導體膜 480 經受脫水或脫氫。用於脫水或脫氫的第一熱處理的溫度大於等於 350°C 且小於等於基板應變點，較佳大於等於 400°C。這裏，基板被引入電爐 (該電爐是熱處理設備之一)，在氮氣氛圍下對氧化物半導體膜 480 進行熱處理，於是在氧化物半導體膜 480 不被暴露到空氣的情

況下防止了水或氫進入氧化物半導體膜 480。因而，氧化物半導體膜 480 被變為氧缺乏半導體膜。因此，氧化物半導體膜 480 的電阻減小，即，氧化物半導體膜 480 變為 n 型半導體膜（例如，n<sup>-</sup>型半導體膜）。之後，將高純氧氣、高純 N<sub>2</sub>O 氣體或超乾空氣（露點小於等於 -40°C，較佳小於等於 -60°C）引入相同的爐並進行冷卻。較佳地，氧氣或 N<sub>2</sub>O 氣體中不包含水分、氫等。或者，較佳地，引入熱處理設備的氧氣或 N<sub>2</sub>O 氣體的純度為 6N（99.9999%）或更高，更較佳為 7N（99.99999%）或更高（即，氧氣或 N<sub>2</sub>O 氣體的雜質濃度較佳為 1 ppm 或更低，更較佳為 0.1 ppm 或更低）。

並且，在用於脫水或脫氫的第一熱處理之後，可以在氧氣氛圍、N<sub>2</sub>O 氣體氛圍或超乾空氣（露點小於等於 -40°C，較佳小於等於 -60°C）氛圍下，在 200°C 至 400°C（較佳 200°C 至 300°C）下，進行熱處理。

透過上述製程，使得整個氧化物半導體層處於氧過量狀態並增大電阻，亦即，具有 i 型，由此形成氧化物半導體膜 496（參見圖 41B）。作為結果，可以提高要在隨後形成的薄膜電晶體的可靠性。

氧化物半導體膜可以在惰性氣體氛圍下被脫水或脫氫，然後可以在惰性氣體氛圍下冷卻。可以透過光刻製程形成抗蝕劑遮罩，並可以使用該抗蝕劑遮罩選擇性蝕刻氧化物半導體膜 496。可以形成氧化物半導體層，該氧化物半導體層是島狀氧化物半導體層。然後，可以在氧氣氛圍、

$N_2O$  氣體氛圍或超乾空氣（露點小於等於  $-40^\circ C$ ，較佳小於等於  $-60^\circ C$ ）氛圍下，在大於等於  $200^\circ C$  且小於等於  $400^\circ C$ （較佳大於等於  $200^\circ C$  且小於等於  $300^\circ C$ ）下，進行熱處理。

或者，在形成氧化物半導體膜 480 之前，可以在惰性氣體氛圍（氮、氬、氖、氫等）、氧氣氛圍或超乾空氣（露點小於等於  $-40^\circ C$ ，較佳小於等於  $-60^\circ C$ ）氛圍下（在大於等於  $400^\circ C$  且小於基板的應變點的溫度下）進行熱處理，並可以去除閘極絕緣層中包含的諸如氫和水的雜質。

以與第四實施例的圖 39A 至圖 39E 以及圖 40A 至圖 40C 相似的方式，形成氧化物半導體層 497 和氧化物半導體層 498。形成與氧化物半導體層 497 接觸的低電阻源極區 446a 和低電阻汲極區 446b。形成與氧化物半導體層 497 的部分以及低電阻源極區 446a 和低電阻汲極區 446b 的週邊和側表面接觸的氧化物絕緣層 466。另一方面，在像素部，將作為透光導電層的源極電極層 447a 和汲極電極層 447b 形成為與氧化物半導體層 498 接觸。形成與氧化物半導體層 498 的部分接觸的氧化物絕緣層 466。

接著，在惰性氣體氛圍或氧氣氛圍下進行第二熱處理（較佳地在大於等於  $200^\circ C$  且小於等於  $400^\circ C$  的溫度下，例如大於等於  $250^\circ C$  且小於等於  $350^\circ C$ ）。第二熱處理的條件可以與第四實施例描述的製造半導體裝置的方法的第二熱處理的條件相同。例如，第二熱處理在氮氣氛圍下在  $250^\circ C$  的溫度下進行 1 小時。



接著，低電阻源極區 446a 和低電阻汲極區 446b 的部分被暴露出，並在氧化物絕緣層 466 中形成到達汲極電極層 447b 的接觸孔。在氧化物絕緣層 466 上形成導電膜，並選擇性蝕刻該導電膜以形成與低電阻源極區 446a 接觸的源極電極層 465a 和與低電阻汲極區 446b 接觸的汲極電極層 465b。與氧化物絕緣層 466 接觸地形成平坦化絕緣層 454，並在平坦化絕緣層 454 中形成到達汲極電極層 447b 的接觸孔。在該接觸孔和平坦化絕緣層 454 上形成透光導電膜。選擇性蝕刻該透光導電膜以形成導電層 467 和電連接至汲極電極層 447b 的像素電極層 477（參見圖 41C）。

透過上述步驟，可以利用六個遮罩在一個基板上分別在驅動電路和像素部中單獨地形成薄膜電晶體 492 和 493，在薄膜電晶體 492 和 493 中的每一個具有完全本徵的氧化物半導體層。驅動電路的薄膜電晶體 492 包括完全本徵的氧化物半導體層 497。像素的薄膜電晶體 493 包括完全本徵的氧化物半導體層 498。

閘極絕緣層 452 用作為電媒體，並且在與薄膜電晶體 492 和 493 相同的基板上還可以形成使用電容器佈線和電容器電極形成的儲存電容器。在與各自像素對應的矩陣中佈置薄膜電晶體 493 和儲存電容器以形成像素部，並且在該像素部的週邊處佈置具有薄膜電晶體 492 的驅動電路，由此可以獲得用於製造主動矩陣顯示裝置的基板之一。

此外，當在與氧化物半導體層 497 的通道形成區相重

疊的部分中設置導電層 467 時，在 BT 測試中，可以減少 BT 測試前後的薄膜電晶體 492 的閾值電壓的偏移量。導電層 467 可以具有與閘極電極層 461 相同或不同的電位，並且可以用作為閘極電極層。導電層 467 可以處於 GND 狀態、施加 0 V 電位的狀態、或浮置狀態。

(第六實施例)

將參照圖 43A1、圖 43A2、圖 43B 和圖 43C 以及圖 44A 至圖 44C 描述與第一實施例不同的半導體裝置及製造該半導體裝置的方法。

在圖 43A1、圖 43A2、圖 43B 和圖 43C 中例示的半導體裝置的驅動電路中，與薄膜電晶體的源極電極、汲極電極和通道形成區相重疊的導電層的結構與圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置不同。因此，對於與圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置的相同部分，可以適當地採用圖 1A1、圖 1A2、圖 1B 和圖 1C 例示的半導體裝置的描述，並在此省略。

圖 43A1 是設置於驅動電路中的薄膜電晶體 440 的平面圖。圖 43A2 是設置於像素中的薄膜電晶體 420 的平面圖。圖 43B 是例示沿圖 43A1 的線 C5-C6 所取出的剖面結構和沿圖 43A2 的線 D5-D6 所取出的剖面結構的剖面圖。圖 43C 是例示沿圖 43A1 的線 C7-C8 所取出的剖面結構和沿圖 43A2 的線 D7-D8 所取出的剖面結構的剖面圖。

以與圖 1A1、圖 1A2、圖 1B 和圖 1C 相似的方式，設

置於驅動電路中的薄膜電晶體 440 在具有絕緣表面的基板 400 上包括：閘極電極層 411；閘極絕緣層 402；氧化物半導體層 412，其至少包括通道形成區 413、高電阻源極區 414a 和高電阻汲極區 414b；低電阻源極區 408a；低電阻汲極區 408b；以及源極電極層 405a 和汲極電極層 405b。此外，薄膜電晶體 440 設置有氧化物絕緣層 416，氧化物絕緣層 416 與低電阻源極區 408a 和低電阻汲極區 408b 的週邊和側表面相接觸，並與氧化物半導體層的一部分相接觸。

注意，高電阻源極區 414a 以自對準的方式與低電阻源極區 408a 的下表面接觸地形成。高電阻汲極區 414b 以自對準的方式與低電阻汲極區 408b 的下表面接觸地形成。此外，通道形成區 413 與氧化物絕緣層 416 相接觸，並且與高電阻源極區 414a 和高電阻汲極區 414b 相比而被使用作為高電阻區域（i 型區域）。

注意，圖 43A1、圖 43A2、圖 43B 和圖 43C 中例示的半導體裝置在薄膜電晶體的氧化物半導體層中具有高電阻源極區和高電阻汲極區；但是，結構並不限於此，並且整個氧化物半導體層可以是沒有高電阻源極區和高電阻汲極區的高電阻區域（i 型區域）。

源極電極層 405a 與低電阻源極區 408a 接觸，而汲極電極層 405b 與低電阻汲極區 408b 接觸。

在圖 43A1、圖 43A2、圖 43B 和圖 43C 中例示的驅動電路中的通道形成區 413 上，設置與通道形成區 413 相重

疊的導電層 405c。導電層 405c 電連接至閘極電極層 411 以具有相同電位，由此可以從設置在閘極電極層 411 與導電層 405c 之間的氧化物半導體層 412 的上方和下方施加閘極電壓。當閘極電極層 411 和導電層 405c 具有不同電位時，例如，閘極電極層 411 的電位或導電層 405c 的電位是預定電位、GND 電位或 0 V，可以控制 TFT 的電特性，例如閾值電壓。

源極電極層 405a 和汲極電極層 405b 以及導電層 405c 可以使用相同材料形成，例如，較佳使用金屬材料。

在導電層 405c、源極電極層 405a 和汲極電極層 405b、以及氧化物絕緣層 416 之上為驅動電路設置平坦化絕緣層 404。

設置於像素中的薄膜電晶體 420 的結構與圖 1A1、圖 1A2、圖 1B 和圖 1C 中例示的半導體裝置的結構相同；因此，此處使用圖 1A1、圖 1A2、圖 1B 和圖 1C 中例示的半導體裝置的描述，並省略描述。

注意，在圖 43A1、圖 43A2、圖 43B 和圖 43C 例示的半導體裝置中，作為一個例子，薄膜電晶體 440 的通道長度與薄膜電晶體 420 的通道長度相同；但是，本發明不限於此。例如，由於驅動電路中的薄膜電晶體要求比像素部中的薄膜電晶體的更高操作速度，因此薄膜電晶體 440 的通道長度可以比薄膜電晶體 420 的通道長度小。此時，例如，薄膜電晶體 440 的通道長度較佳為約  $1\ \mu\text{m}$  至  $5\ \mu\text{m}$

，而薄膜電晶體 420 的通道長度較佳為約  $5\ \mu\text{m}$  至  $20\ \mu\text{m}$ 。

如上所述，圖 43A1、圖 43A2、圖 43B 和圖 43C 例示的半導體裝置包括位於一個基板上的具有第一薄膜電晶體的驅動電路和具有第二薄膜電晶體的像素部。第二薄膜電晶體使用透光材料形成，且第一薄膜電晶體使用電阻比該透光材料低的材料形成。因此，可以提高像素部中的孔徑比，並且可以提高驅動電路的操作速度。當在一個基板上設置驅動電路和像素部時，可以減少將驅動電路和像素部彼此電連接的佈線的數目，並且可以縮短該佈線的總長度；因此，可以減小半導體裝置的尺寸和成本。

圖 43A1、圖 43A2、圖 43B 和圖 43C 例示的半導體裝置具有如下結構：氧化物絕緣層與氧化物半導體層的部分和氧化物導電層的週邊和側表面接觸，其中該氧化物導電層與源極電極層和汲極電極層接觸。在這種結構下，當在薄膜電晶體的週邊具有由與閘極電極層相同的層形成的佈線中間隔著絕緣層與由與源極電極層和汲極電極層相同的層形成的佈線交叉的部分時，由與閘極電極層相同的層形成的佈線與由與源極電極層和汲極電極層相同的層形成的佈線之間的間距可以被增大，因此可以減小寄生電容。

對於圖 43A1、圖 43A2、圖 43B 和圖 43C 例示的半導體裝置的驅動電路中的薄膜電晶體，低電阻源極區和低電阻汲極區被設置於源極電極層和汲極電極層與形成通道形成區的氧化物半導體層之間。當設置低電阻源極區和低電

阻汲極區時，可以提高週邊電路（驅動電路）的頻率特性。與金屬電極層和氧化物半導體層之間的接觸相比，金屬電極層與低電阻源極區和低電阻汲極區之間的接觸可以降低接觸電阻。使用鈾的電極層（例如鈾層、鈾層和鈾層的疊層）具有與氧化物半導體層的高接觸電阻，因為與鈦相比，鈾難以被氧化，並且從氧化物半導體層的提取氧的操作弱，鈾層與氧化物半導體層之間的接觸介面不變為 n 型。而當低電阻源極區和低電阻汲極區被置於氧化物半導體層與源極電極層和汲極電極層之間時，可以降低接觸電阻，這可以改進週邊電路（驅動電路）的頻率特性。此外，當設置低電阻源極區和低電阻汲極區時，在蝕刻要用作為低電阻源極區和低電阻汲極區的層時確定薄膜電晶體的通道長度（L）；因此，可以進一步縮短通道長度。

對於圖 43A1、圖 43A2、圖 43B 和圖 43C 例示的半導體裝置的驅動電路中的薄膜電晶體，可以設置中間隔著氧化物絕緣層與通道形成區相重疊的導電層，且該導電層係使用與源極電極層和汲極電極層相同的材料所形成；因此，可以控制薄膜電晶體的閾值電壓。由於導電層使用與驅動電路中的薄膜電晶體的源極電極層和汲極電極層相同的材料形成，可以減小佈線電阻。注意，導電層是與源極電極層和汲極電極層相同的層，因此，較佳地，將導電層設置為不與源極電極層和汲極電極層接觸。例如，中間隔著絕緣層在導電層上方設置另一導電層，該另一導電層透過設置於絕緣層中的接觸孔電連接至該導電層，由此可以引

導 (lead) 該導電層。

以與第一實施例相似的方式，本實施例的半導體裝置具有薄膜電晶體，在該薄膜電晶體中設置兩個閘極絕緣層，並在氧化物絕緣層上方設置保護絕緣層。

以下參照圖 44A 至圖 44C 描述在一個基板上製造薄膜電晶體 440 和 420 的方法的實例。

首先，類似於第一實施例中描述的圖 2A 至圖 2E 和圖 3A，在基板 400 上形成閘極電極層 411 和 421，並在閘極電極層 411 和 421 上形成閘極絕緣層 402。中間隔著閘極絕緣層 402 在閘極電極層 411 上方形成氧化物半導體層 412，並且中間隔著閘極絕緣層 402 在閘極電極層 421 上方形成氧化物半導體層 422。進行第一熱處理，並進行氧化物半導體層 412 和氧化物半導體層 422 的脫水或脫氫。使用氧化物半導體層 412 上方的氧化物導電層形成低電阻源極區 408a 和低電阻汲極區 408b。使用氧化物半導體層 422 上方的氧化物導電層形成源極電極層 409a 和汲極電極層 409b。氧化物絕緣層 416 被形成為與氧化物半導體層 412 的部分接觸，與低電阻源極區 408a 和低電阻汲極區 408b 的週邊和側表面接觸，並與源極電極層 409a 和汲極電極層 409b 接觸，以及進行第二熱處理。去除氧化物絕緣層 416 的一部分，暴露低電阻源極區 408a 和低電阻汲極區 408b 的部分，並在氧化物絕緣層 416 中形成到達汲極電極層 409b 的接觸孔 426。

在氧化物絕緣層 416 上方形成導電膜，並透過光刻製

程形成抗蝕劑遮罩 448a、抗蝕劑遮罩 448b 和抗蝕劑遮罩 448c。使用抗蝕劑遮罩 448a、抗蝕劑遮罩 448b 和抗蝕劑遮罩 448c 進行蝕刻以形成源極電極層 405a、汲極電極層 405b 和導電層 405c (參見圖 44A)。

注意，對於此時的蝕刻步驟，較佳地，不蝕刻低電阻源極區 408a、低電阻汲極區 408b、源極電極層 409a 和汲極電極層 409b、氧化物半導體層 412 和氧化物半導體層 422，並可以適當地設置蝕刻條件以不蝕刻低電阻源極區 408a、低電阻汲極區 408b、源極電極層 409a 和汲極電極層 409b、氧化物半導體層 412 和氧化物半導體層 422。例如，可以控制蝕刻時間。

較佳地，使用具有高蝕刻選擇比的材料作為用於形成氧化物半導體層 412 和 422 的材料以及作為用於形成低電阻源極區 408a、低電阻汲極區 408b 以及源極電極層 409a 和汲極電極層 409b 的材料。例如，包含 Sn 的金屬氧化物材料 (例如， $\text{SnZnO}_x$  ( $x>0$ )， $\text{SnGaZnO}_x$  ( $x>0$ ) 等) 可以用作為用於形成氧化物半導體層的材料，基於 Al-Zn-O 的材料、基於 Al-Zn-O-N 的材料、基於 Zn-O 的材料等可以用作為用於形成氧化物導電層的材料。上述包含鋅氧化物作為其主要成分的材料可以使用例如鹼性溶液進行蝕刻。在使用諸如基於 Al-Zn-O 的材料或基於 Al-Zn-O-N 的材料的含鋁材料的情況下，較佳使用在去除用於蝕刻的抗蝕劑遮罩時不一起去除氧化物導電層的方法去除抗蝕劑遮罩。例如，透過採用乾式蝕刻，由此可以去除抗蝕劑遮罩



而不去除氧化物導電層。

接著，去除抗蝕劑遮罩 448a 至 448c，然後在源極電極層 405a 和汲極電極層 405b、導電層 405c 以及氧化物絕緣層 416 上方形成平坦化絕緣層 404。進行光刻製程，並形成抗蝕劑遮罩。蝕刻平坦化絕緣層 404 以形成到達汲極電極層 409b 的接觸孔 441（參見圖 44B）。

接著，去除抗蝕劑遮罩，然後形成透光導電膜。進行光刻製程，並形成抗蝕劑遮罩。透過蝕刻去除多餘部分以形成像素電極層 427（參見圖 44C）。

在圖 44A 至圖 44C 例示的本實施例的製造半導體裝置的方法中，可以使用一個遮罩形成低電阻源極區 408a、低電阻汲極區 408b、源極電極層 409a 和汲極電極層 409b。

透過上述步驟，可以利用七個或八個遮罩在一個基板上分別在驅動電路和像素部中單獨地形成薄膜電晶體 440 和 420。驅動電路中的薄膜電晶體 440 包括氧化物半導體層 412，氧化物半導體層 412 具有高電阻源極區 414a、高電阻汲極區 414b 和通道形成區 413。像素中的薄膜電晶體 420 包括氧化物半導體層 422，氧化物半導體層 422 具有高電阻源極區 424a、高電阻汲極區 424b 和通道形成區 423。即使將高電場施加到薄膜電晶體 440 和 420 時，高電阻源極區 414a、高電阻汲極區 414b、高電阻源極區 424a 和高電阻汲極區 424b 用作為緩衝區，由此不施加局部電場集中，並且提高電晶體的耐受電壓。

在本實施例的製造半導體裝置的方法中，在驅動電路的薄膜電晶體中，可以在與源極電極層和汲極電極層相同的步驟中形成與半導體層的通道形成區相重疊的導電層。因而，可以不增加製造步驟數目地形成半導體裝置。

(第七實施例)

將參照圖 45A1、圖 45A2、圖 45B 和圖 45C 以及圖 46A 至圖 46C 描述與第六實施例不同的半導體裝置及製造該半導體裝置的方法。

在圖 45A1、圖 45A2、圖 45B 和圖 45C 中例示的半導體裝置的驅動電路中，與薄膜電晶體的源極電極、汲極電極和通道形成區相重疊的導電層的結構與第四實施例的圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置不同。因此，對於與圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置的相同部分，可以適當地採用圖 38A1、圖 38A2、圖 38B 和圖 38C 例示的半導體裝置的描述，並在此省略。

圖 45A1 是設置於驅動電路中的薄膜電晶體 490 的平面圖。圖 45A2 是設置於像素中的薄膜電晶體 470 的平面圖。圖 45B 是例示沿圖 45A1 的線 G5-G6 所取出的剖面結構和沿圖 45A2 的線 H5-H6 所取出的剖面結構的剖面圖。圖 45C 是例示沿圖 45A1 的線 G7-G8 所取出的剖面結構和沿圖 45A2 的線 H7-H8 所取出的剖面結構的剖面圖。

如在圖 38A1、圖 38A2、圖 38B 和圖 38C 中例示的，

設置於驅動電路中的薄膜電晶體 490 在具有絕緣表面的基板 450 上包括：閘極電極層 461；閘極絕緣層 452；氧化物半導體層 462，其至少包括通道形成區 463、高電阻源極區 464a 和高電阻汲極區 464b；低電阻源極區 446a；低電阻汲極區 446b；源極電極層 495a 和汲極電極層 495b。此外，薄膜電晶體 490 設置有保護絕緣層 453，保護絕緣層 453 與低電阻源極區 446a 和低電阻汲極區 446b 的週邊和側表面接觸，並與氧化物半導體層 462 的一部分接觸。

高電阻源極區 464a 以自對準的方式與低電阻源極區 446a 的下表面接觸地形成。高電阻汲極區 464b 以自對準的方式與低電阻汲極區 446b 的下表面接觸地形成。此外，通道形成區 463 與保護絕緣層 453 相接觸，並且與高電阻源極區 464a 和高電阻汲極區 464b 相比而被使用作為高電阻區域（i 型區域）。

注意，圖 45A1、圖 45A2、圖 45B 和圖 45C 中例示的半導體裝置在薄膜電晶體的氧化物半導體層中具有高電阻源極區和高電阻汲極區；但是，結構並不限於此，並且整個氧化物半導體層可以是沒有高電阻源極區和高電阻汲極區的高電阻區域（i 型區域）。

源極電極層 495a 與低電阻源極區 446a 接觸，而汲極電極層 495b 與低電阻汲極區 446b 接觸。

在圖 45A1、圖 45A2、圖 45B 和圖 45C 中例示的驅動電路中的通道形成區 463 上，設置與通道形成區 463 相重疊的導電層 495c。導電層 495c 電連接至閘極電極層 461

以具有相同電位，由此可以從設置在閘極電極層 461 與導電層 495c 之間的氧化物半導體層 462 的上方和下方施加閘極電壓。當閘極電極層 461 和導電層 495c 具有不同電位時，例如，閘極電極層 461 的電位或導電層 495c 的電位是預定電位、GND 電位或 0 V，可以控制 TFT 的電特性，例如閾值電壓。

源極電極層 495a 和汲極電極層 495b 以及導電層 495c 可以使用相同材料形成，例如，較佳使用金屬材料。

在導電層 495c、源極電極層 495a 和汲極電極層 495b、以及氧化物絕緣層 466 之上為驅動電路設置平坦化絕緣層 454。

圖 45A2 是設置有像素中的薄膜電晶體 470 的平面圖。薄膜電晶體 470 的結構與圖 38A1、圖 38A2、圖 38B 和圖 38C 中例示的半導體裝置的結構相同；因此，此處使用圖 38A1、圖 38A2、圖 38B 和圖 38C 中例示的半導體裝置的描述，並省略描述。

注意，在圖 45A1、圖 45A2、圖 45B 和圖 45C 例示的半導體裝置中，作為一個例子，薄膜電晶體 490 的通道長度與薄膜電晶體 470 的通道長度相同；但是，本發明不限於此。例如，由於驅動電路中的薄膜電晶體要求比像素部中的薄膜電晶體的更高操作速度，因此薄膜電晶體 490 的通道長度可以比薄膜電晶體 470 的通道長度小。在這種情況下，例如，薄膜電晶體 490 的通道長度較佳為約  $1\ \mu\text{m}$

至  $5\ \mu\text{m}$ ，而薄膜電晶體 470 的通道長度較佳為約  $5\ \mu\text{m}$  至  $20\ \mu\text{m}$ 。

如上所述，圖 45A1、圖 45A2、圖 45B 和圖 45C 例示的半導體裝置包括位於一個基板上的具有第一薄膜電晶體的驅動電路和具有第二薄膜電晶體的像素部。第二薄膜電晶體使用透光材料形成，且第一薄膜電晶體使用電阻比該透光材料低的材料形成。因此，可以提高像素部中的孔徑比，並且可以提高驅動電路的操作速度。當在一個基板上設置驅動電路和像素部時，可以減少將驅動電路和像素部彼此電連接的佈線的數目，並且可以縮短該佈線的總長度；因此，可以減小半導體裝置的尺寸和成本。

在圖 45A1、圖 45A2、圖 45B 和圖 45C 例示的半導體裝置中，第一薄膜電晶體的氧化物半導體層的端部延伸超過低電阻源極區和低電阻汲極區的端部，並且第二薄膜電晶體的氧化物半導體層的端部延伸超過源極電極層和汲極電極層的端部。

對於圖 45A1、圖 45A2、圖 45B 和圖 45C 例示的半導體裝置的驅動電路中的薄膜電晶體，低電阻源極區和低電阻汲極區被設置於源極電極層和汲極電極層與形成通道形成區的氧化物半導體層之間。當設置低電阻源極區和低電阻汲極區時，可以提高週邊電路（驅動電路）的頻率特性。與金屬電極層和氧化物半導體層之間的接觸相比，金屬電極層與低電阻源極區和低電阻汲極區之間的接觸可以降低接觸電阻。使用鉬的電極層（例如鉬層、鋁層和鉬層的

疊層) 具有與氧化物半導體層的高接觸電阻，因為與鈦相比，鉬難以被氧化，並且從氧化物半導體層的提取氧的操作弱，鉬層與氧化物半導體層之間的接觸介面不變為 n 型。而當低電阻源極區和低電阻汲極區被置於氧化物半導體層與源極電極層和汲極電極層之間時，可以降低接觸電阻，並可以改進週邊電路（驅動電路）的頻率特性。此外，當設置低電阻源極區和低電阻汲極區時，在蝕刻要被使用作為低電阻源極區和低電阻汲極區的層時確定薄膜電晶體的通道長度（L）；因此，可以進一步縮短通道長度。

圖 45A1、圖 45A2、圖 45B 和圖 45C 例示的半導體裝置具有如下結構：氧化物絕緣層與氧化物半導體層的部分和氧化物導電層的週邊和側表面接觸，其中該氧化物導電層與源極電極層和汲極電極層接觸。在這種結構下，當在薄膜電晶體的週邊具有由與閘極電極層相同的層形成的佈線中間隔著絕緣層與由與源極電極層和汲極電極層相同的層形成的佈線交叉的部分時，由與閘極電極層相同的層形成的佈線與由與源極電極層和汲極電極層相同的層形成的佈線之間間距可以被增大，因此可以減小寄生電容。

對於圖 45A1、圖 45A2、圖 45B 和圖 45C 例示的半導體裝置的驅動電路中的薄膜電晶體，可以設置中間隔著氧化物絕緣層與通道形成區重疊的導電層，且該導電層使用與源極電極層和汲極電極層相同的材料形成；因此，可以控制薄膜電晶體的閾值電壓。由於導電層使用與驅動電路中的薄膜電晶體的源極電極層和汲極電極層相同的材料形

成，可以減小佈線電阻。

以與第四實施例相似的方式，本實施例的半導體裝置具有薄膜電晶體，在該薄膜電晶體中設置兩個閘極絕緣層，並在氧化物絕緣層上方設置保護絕緣層。

以下參照圖 46A 至圖 46C 描述在一個基板上製造薄膜電晶體 490 和 470 的方法的實例。

首先，類似於第四實施例的圖 39A 至圖 39E 和圖 40A，在基板 450 上形成閘極電極層 461 和 471，並在閘極電極層 461 和 471 上形成閘極絕緣層 452。在閘極絕緣層 452 上方形成氧化物半導體膜 480，並進行第一熱處理。進行氧化物半導體膜的脫水或脫氫，由此獲得氧化物半導體膜 481。在氧化物半導體膜 481 上方形成氧化物導電膜，並使用多色調遮罩形成抗蝕劑遮罩 482a 和 482b。使用抗蝕劑遮罩 482a 和 482b 蝕刻氧化物半導體膜 481 和該氧化物導電膜，由此中間隔著閘極絕緣層 452 在閘極電極層 461 上方形成氧化物半導體層 462，並且中間隔著閘極絕緣層 452 在閘極電極層 471 上方形成氧化物半導體層 472。去除抗蝕劑遮罩 482a 和 482b，並使用氧化物半導體層 462 上方的氧化物導電層形成低電阻源極區 446a 和低電阻汲極區 446b，使用氧化物半導體層 472 上方的氧化物導電層形成源極電極層 447a 和汲極電極層 447b。氧化物絕緣層 466 被形成為與氧化物半導體層的部分接觸，與低電阻源極區 446a 和低電阻汲極區 446b 的週邊和側表面接觸，並與源極電極層 447a 和汲極電極層 447b 接觸。

進行第二熱處理，並去除氧化物絕緣層 466 的一部分。暴露低電阻源極區 446a 和低電阻汲極區 446b 的部分，並在氧化物絕緣層 466 中形成到達汲極電極層 447b 的接觸孔 437。

在氧化物絕緣層 466 上方形成導電膜，並透過光刻製程以形成抗蝕劑遮罩 455a、抗蝕劑遮罩 455b 和抗蝕劑遮罩 455c。進行選擇性蝕刻以形成源極電極層 495a、汲極電極層 495b 和導電層 495c（參見圖 46A）。

注意，對於此時的蝕刻步驟，較佳地，不蝕刻作為下層的低電阻源極區 446a 和低電阻汲極區 446b、源極電極層 447a 和汲極電極層 447b、以及氧化物半導體層 462 和氧化物半導體層 472，並可以適當地設置蝕刻條件以不蝕刻低電阻源極區 446a、低電阻汲極區 446b、源極電極層 447a 和汲極電極層 447b、以及氧化物半導體層 462 和氧化物半導體層 472。例如，可以控制蝕刻時間。

較佳地，使用具有高蝕刻選擇比的材料作為用於形成氧化物半導體層 462 和 472 的材料以及作為用於形成低電阻源極區 446a、低電阻汲極區 446b 以及源極電極層 447a 和汲極電極層 447b 的材料。例如，包含 Sn 的金屬氧化物材料（例如， $\text{SnZnOx}$  或  $\text{SnGaZnOx}$ ）可以被使用作為用於形成氧化物半導體層的材料，基於 Al-Zn-O 的材料、基於 Al-Zn-O-N 的材料、基於 Zn-O 的材料等可以被使用作為用於形成氧化物導電層的材料。上述包含鋅氧化物作為其主要成分的材料可以使用例如鹼性溶液進行蝕刻。在使



用諸如基於 Al-Zn-O 的材料或基於 Al-Zn-O-N 的材料的含鋁材料的情況下，較佳使用在去除用於蝕刻的抗蝕劑遮罩時不一起去除氧化物導電層的方法去除抗蝕劑遮罩。例如，透過採用乾式蝕刻，由此可以去除抗蝕劑遮罩而不去除氧化物導電層。

接著，去除抗蝕劑遮罩 455a 至 455c，然後在源極電極層 495a 和汲極電極層 495b、導電層 495c 以及氧化物絕緣層 466 上方形成平坦化絕緣層 454。進行光刻製程，並形成抗蝕劑遮罩。蝕刻平坦化絕緣層 454 以形成到達汲極電極層 447b 的接觸孔 494（參見圖 46B）。

接著，去除抗蝕劑遮罩，然後形成透光導電膜。進行光刻製程，並形成抗蝕劑遮罩。透過蝕刻來去除多餘部分以形成像素電極層 477。

透過上述製程，可以利用六個遮罩在一個基板上分別在驅動電路和像素部中單獨地形成薄膜電晶體 490 和 470，並且與第六實施例描述的製造程序相比可以減少遮罩的數目。驅動電路中的薄膜電晶體 490 包括氧化物半導體層 462，氧化物半導體層 462 具有高電阻源極區 464a、高電阻汲極區 464b 和通道形成區 463。像素中的薄膜電晶體 470 包括氧化物半導體層 472，氧化物半導體層 472 具有高電阻源極區 474a、高電阻汲極區 474b 和通道形成區 473。即使將高電場施加到薄膜電晶體 490 和 470 時，高電阻源極區 464a、高電阻汲極區 464b、高電阻源極區 474a 和高電阻汲極區 474b 用作為緩衝區，由此不施加局

部電場集中，並且提高電晶體的耐受電壓。

透過本實施例的製造半導體裝置的方法，在驅動電路的薄膜電晶體中，可以在與源極電極層和汲極電極層相同的步驟中形成與半導體層的通道形成區重疊的導電層。因而，可以不增加製造步驟數目地形成半導體裝置。注意，本實施例可以與適當地與任意其他實施例組合。

#### (第八實施例)

在本實施例中，將描述使用第一實施例中描述的主動矩陣基板製造主動矩陣液晶顯示裝置的實例。注意，本實施例還可以適用於在第二實施例至第七實施例的任一個中描述的任何主動矩陣基板。

圖 7A 例示主動矩陣基板的剖面結構的實例。

在第一實施例至第七實施例中描述了位於一個基板上的驅動電路中的薄膜電晶體和像素部中的薄膜電晶體；在本實施例中，除了這些薄膜電晶體之外，還例示儲存電容器的端子部和佈線交叉部、閘極佈線和源極佈線用於描述。電容器的端子部和佈線交叉部、閘極佈線和源極佈線可以在與第一實施例至第七實施例中任一個中的半導體裝置的相同製造程序中形成，並且可以不增加光遮罩數目且不增加步驟數目地製造。此外，在用作為像素部中的顯示區域的部分中，所有的閘極佈線、源極佈線和電容器佈線層使用透光導電膜形成，導致高的孔徑比。並且，在不被使用作為顯示區域的部分中，可以將金屬佈線用於源極佈線

層，以降低佈線電阻。注意，在本實施例中，描述了如下情況：圖 43A1、圖 43A2、圖 43B 和圖 43C 例示的薄膜電晶體 440 用作為驅動電路中的薄膜電晶體的實例，並且：圖 43A1、圖 43A2、圖 43B 和圖 43C 例示的薄膜電晶體 420 用作為像素部中的薄膜電晶體的實例；但是，對此沒有特別限制。

在圖 7A 中，薄膜電晶體 210 是設置於驅動電路中的薄膜電晶體，而電連接至像素電極層 227 的薄膜電晶體 220 是設置於像素部中的薄膜電晶體。

在本實施例中，形成於基板 200 上的薄膜電晶體 220 具有與圖 43A1、圖 43A2、圖 43B 和圖 43C 的薄膜電晶體 440 相同的結構。

使用透光材料在與薄膜電晶體 220 的閘極電極層相同的步驟中形成的電容器佈線層 230 與電容器電極層 231 重疊，其中，用作為電媒體的閘極絕緣層 202 位於電容器佈線層 230 與電容器電極層 231 之間。因此，形成儲存電容器。使用相同的透光材料在與薄膜電晶體 220 的源極電極層或汲極電極層相同的步驟中形成電容器電極層 231。由於儲存電容器具有與薄膜電晶體 220 一樣好的透光性，因此可以增加孔徑比。

儲存電容器的透光性在增加孔徑比上是重要的。特別是對於 10 英寸或更小的小液晶顯示面板，例如，當透過增加閘極佈線的數目減小像素尺寸以實現更高的顯示影像的清晰度時，也可以實現高孔徑比。並且，對於薄膜電晶

體 220 和儲存電容器的元件使用透光膜，使得即使在將一個像素分割成多個子像素以實現寬視角時，也可以實現高孔徑比。即，即使當佈置一組高密度薄膜電晶體時，也可以保持高的孔徑比，並且顯示區域可以具有足夠的面積。例如，當一個像素包括兩個至四個子像素和儲存電容器時，儲存電容器具有與薄膜電晶體一樣好的透光性，由此可以增加孔徑比。

注意，儲存電容器係設置於像素電極層 227 下方，且電容器電極層 231 係電連接至像素電極層 227。

儘管在本實施例中描述了儲存電容器由電容器電極層 231 和電容器佈線層 230 構成的實例，但是對儲存電容器的結構沒有特別限制。例如，儲存電容器可以如下方式而被形成：沒有電容器佈線層；像素電極層與相鄰像素中的閘極佈線重疊，其中平坦化絕緣層、氧化物絕緣層和閘極絕緣層位於其間。

在圖 7A 中，由於形成具有大的電容之儲存電容器，因此僅閘極絕緣層 202 係設置於電容器佈線與電容器電極之間。在閘極佈線層 232 與其上形成的佈線之間用閘極絕緣層 202 和氧化物絕緣層 266 設置佈線交叉部，以減小寄生電容。注意，較佳地閘極絕緣層的厚度為小以增加儲存電容；因此，在選擇性地蝕刻氧化物絕緣層 266 時可以使電容器佈線上方的閘極絕緣層減薄。

按照像素密度設置多個閘極佈線、源極佈線和電容器佈線層。在端子部中，設置多個具有與閘極佈線相同的電

位的端子電極、多個具有與源極佈線相同的電位的端子電極、多個具有與電容器佈線相同的電位的端子電極等。對每個端子電極的數目沒有特別限制，可以由實踐者適當地確定端子的數目。

在端子部，具有與閘極佈線相同電位的端子電極可以使用與像素電極層 227 相同的透光材料形成。具有與閘極佈線相同電位的端子電極透過到達閘極佈線的接觸孔而被電連接至閘極佈線。使用與用於形成電連接薄膜電晶體 220 的汲極電極層和像素電極層 227 的接觸孔的相同光遮罩，透過選擇性地蝕刻平坦化絕緣層 204、氧化物絕緣層 266 和閘極絕緣層 202，形成到達閘極佈線的接觸孔。

驅動電路中的薄膜電晶體 210 的閘極電極層可以電連接至設置於氧化物半導體層上的導電層 405c。在這種情況下，使用與用於形成電連接薄膜電晶體 220 的汲極電極層和像素電極層 227 的接觸孔的相同光遮罩，透過選擇性蝕刻平坦化絕緣層 204、氧化物絕緣層 266 和閘極絕緣層 202，形成一個接觸孔。驅動電路中的薄膜電晶體 210 的導電層 405c 和閘極電極層透過該接觸孔而彼此電連接。

具有與驅動電路中的端子電極層 234 相同電位的端子電極層 235 可以使用與像素電極層 227 相同的透光材料形成。端子電極層 235 透過到達端子電極層 234 的接觸孔而被電連接至端子電極層 234。端子電極層 234 是金屬佈線，在與薄膜電晶體 210 的源極電極層相同的步驟中使用相同材料形成，並且具有與薄膜電晶體 210 的源極電極層相

同的電位。

具有與電容器佈線層 230 相同電位的第三端子電極可以使用與像素電極層 227 相同的透光材料形成。並且，可以使用與用於形成將電容器電極層 231 電連接至像素電極層 227 的接觸孔的光遮罩相同的光遮罩，在相同的步驟中，形成到達電容器佈線層 230 的接觸孔。

在製造主動矩陣液晶顯示裝置的情況下，在主動矩陣基板與設置有對置電極（counter electrode）（也稱為對置電極層）的對基板之間，設置液晶層，並將主動矩陣基板和對基板彼此固定。在主動矩陣基板上方設置電連接至設置於對基板上的對置電極的共用電極，並在端子部中設置電連接至該共用電極的第四端子電極。第四端子電極用於將共用電極設置成諸如 GND 或 0 V 的固定電位。第四端子電極可以使用與像素電極層 227 相同的透光材料來予以形成。

驅動電路中的薄膜電晶體 210 的閘極電極層，或具有與驅動電路中的薄膜電晶體 210 的閘極電極層和汲極電極層相同電位的端子電極，或具有與汲極電極層相同電位的端子電極，透過由蝕刻閘極絕緣層 202 設置的接觸孔彼此電連接。例如，如圖 7A 和圖 7B 所例示的，電極 272 可以透過設置於閘極絕緣層 202 中的接觸孔電連接至電極 271。此時，可以去除氧化物絕緣層 266 的部分。因而，可以獲得理想的接觸，這導致接觸電阻的減小。因此，可以減少開口的數目，這導致由驅動電路佔據的面積減小。

在圖 7A 和圖 7B 中，描述了如下實例：驅動電路中的薄膜電晶體 210 的閘極電極層，或具有與驅動電路中的薄膜電晶體 210 的閘極電極層和汲極電極層相同電位的端子電極，或具有與汲極電極層相同電位的端子電極，透過設置於閘極絕緣層 202 中的接觸孔而彼此電連接；但是，對此沒有特別限制。像素部中的薄膜電晶體 220 的閘極電極層，或具有與該閘極電極層和汲極電極層相同電位的端子電極，或具有與汲極電極層相同電位的端子電極，可以透過設置於閘極絕緣層 202 中的接觸孔而彼此電連接。

對薄膜電晶體 220 的源極電極層和薄膜電晶體 210 的源極電極層彼此電連接的結構沒有特別限制；例如，在與像素電極層 227 相同的步驟中可以形成用於連接薄膜電晶體 220 的源極電極層和薄膜電晶體 210 的源極電極層的連接電極。並且，在不被使用作為顯示區域的部分中，薄膜電晶體 220 的源極電極層和薄膜電晶體 210 的源極電極層可以彼此接觸且重疊。

注意，圖 7A 例示驅動電路中的閘極佈線層 232 的剖面結構。由於在本實施例中描述 10 英寸或更小的小液晶顯示面板，因此使用與薄膜電晶體 220 的閘極電極層相同的透光材料形成驅動電路中的閘極佈線層 232。

當將相同的材料用於閘極電極層、源極電極層、汲極電極層、像素電極層、另一電極層、和另一佈線層時，可以使用共用濺射靶材和共用製造設備，因此可以減少材料成本和用於蝕刻的蝕刻劑（或蝕刻氣體）的成本。結果，

可以減少製造成本。

當將感光樹脂材料用於圖 7A 的結構中的平坦化絕緣層 204 時，可以省略用於形成抗蝕劑遮罩的步驟。

圖 7B 例示與圖 7A 的結構部分地不同的剖面結構。圖 7B 除了不設置平坦化絕緣層 204 之外與圖 7A 相同；因此，用相同的附圖標記代表與圖 7A 相同的部分，並省略這些部分的詳細描述。在圖 7B 中，像素電極層 227 和導電層 405c 被形成為與氧化物絕緣層 266 接觸，並且端子電極層 235 被形成於端子電極層 234 上。

在圖 7B 的結構的情況下，可以省略用於形成平坦化絕緣層 204 的步驟。

#### （第九實施例）

在本實施例中，將描述閘極佈線的一部分由金屬佈線製成以減小佈線電阻的實例，因為在液晶顯示面板的尺寸超過 10 英寸並達到 60 英寸甚至 120 英寸的情況下透光佈線的電阻有可能成爲一個問題。

注意，在圖 8A 中，用相同的附圖標記代表與圖 7A 相同的部分，並省略這些部分的詳細描述。注意，本實施例也可以適用於在第一實施例至第七實施例的任一個中描述的任何主動矩陣基板。

圖 8A 例示驅動電路的閘極佈線的一部分由金屬佈線製成，並被形成為與透光佈線接觸的實例，該透光佈線與薄膜電晶體 210 的閘極電極層的材料相同。注意，由於形



成金屬佈線，因此本實施例中的光遮罩的數目大於第八實施例中的光遮罩的數目。

首先，在基板 200 上形成能夠耐受用於脫水或脫氫的第一熱處理的耐熱導電材料膜（厚度為 100 nm 至 500 nm）。

在本實施例中，形成 370 nm 厚的鎢膜和 50 nm 厚的氮化鉬膜。儘管這裏使用氮化鉬膜和鎢膜的疊層作為導電膜，但是沒有特別限制，並且導電膜可以使用以下材料形成：選自 Ta、W、Ti、Mo、Al 和 Cu 的元素；包含這些元素中的任一種作為其成分的合金，包含上述元素的組合的合金膜，或包含這些元素中的任一種作為其成分氮化物。耐熱導電膜不限於包含上述元素的單層，而可以是兩層或更多層的疊層。

在第一光刻製程中，形成金屬佈線以形成第一金屬佈線層 236 和第二金屬佈線層 237。較佳地，使用感應耦合電漿（ICP）蝕刻方法來蝕刻鎢膜和氮化鉬膜。透過適當地調整蝕刻條件（施加到線圈電極的電功率量、施加到基板側電極的電功率量、和基板側電極的溫度），透過 ICP 蝕刻方法可以將上述膜蝕刻成期望的錐形。使得第一金屬佈線層 236 和第二金屬佈線層 237 為錐形；因此，可以減少其上形成的透光導電膜的缺陷。

然後，在形成透光導電膜之後，在第二光刻製程中形成閘極佈線層 238、薄膜電晶體 210 的閘極電極層、和薄膜電晶體 220 的閘極電極層。透光導電膜使用第一實施例

中描述的具有對可見光的透光性的導電材料中的任一種形成。

注意，例如，依據透光導電膜的材料，如果在閘極佈線層 238 與第一金屬佈線層 236 或第二金屬佈線層 237 之間具有介面，則可以使用隨後的熱處理等形成氧化物膜並可以增加接觸電阻。為此，第二金屬佈線層 237 較佳使用防止第一金屬佈線層 236 的氧化的金屬氮化物膜形成。

接著，在與第一實施例至第七實施例中任一個相同的步驟中形成閘極絕緣層、氧化物半導體層等。根據第一實施例進行隨後的步驟以形成主動矩陣基板。

此外，在本實施例中，描述了在形成平坦化絕緣層 204 之後使用光遮罩選擇性去除端子部中的平坦化絕緣層的實例。較佳地，平坦化絕緣層不被置於端子部中，使得端子部可以理想的方式連接至 FPC。

在閘極佈線層 238 與其上形成的佈線之間用閘極絕緣層 202 和氧化物絕緣層 266 設置佈線交叉部，以減小寄生電容。注意，較佳地閘極絕緣層的厚度為小以增加儲存電容；因此，在選擇性蝕刻氧化物絕緣層 266 時可以使電容器佈線上方的閘極絕緣層減薄。

在圖 8A 中，端子電極層 235 形成於端子電極層 234 上方。圖 8A 例示了閘極佈線層 238 與第二金屬佈線層 237 的部分重疊；或者，閘極佈線層 238 可以完全覆蓋第一金屬佈線層 236 和第二金屬佈線層 237。換言之，第一金屬佈線層 236 和第二金屬佈線層 237 可以被稱為用於減

小閘極佈線層 238 的電阻的輔助佈線。

在端子部中，具有與閘極佈線相同電位的第一端子電極層 234 形成於保護絕緣層 203 上方，並電連接至第二金屬佈線層 237。使用金屬佈線還形成從端子部引導的佈線。

此外，爲了減少佈線電阻，金屬佈線（即，第一金屬佈線層 236 和第二金屬佈線層 237）可以用作爲在不作爲顯示區域的部分中的閘極佈線層和電容器佈線層的輔助佈線。

驅動電路中的薄膜電晶體的閘極電極層，或具有與驅動電路中的薄膜電晶體的閘極電極層和汲極電極層相同電位的端子電極，或具有與汲極電極層相同電位的端子電極，透過由蝕刻閘極絕緣層 202 設置的接觸孔而彼此電連接。例如，如圖 8A 和圖 8B 所例示的，電極 272 可以透過設置於閘極絕緣層 202 中的接觸孔而被電連接至金屬佈線層 281 和金屬佈線層 282 的疊層，金屬佈線層 281 和金屬佈線層 282 設置有閘極佈線層 283。此時，可以預先去除氧化物絕緣層 266 的部分。因而，可以獲得理想的接觸，這導致接觸電阻的減小。因此，可以減少開口的數目，這導致由驅動電路佔據的面積減小。

在圖 8A 和圖 8B 中，描述了如下實例：驅動電路中的薄膜電晶體的閘極電極層，或具有與閘極電極層和汲極電極層相同電位的端子電極，或具有與汲極電極層相同電位的端子電極，透過設置於閘極絕緣層 202 中的接觸孔彼

此電連接；但是，對此沒有特別限制。像素部中的薄膜電晶體的閘極電極層，或具有與該閘極電極層和汲極電極層相同電位的端子電極，或具有與汲極電極層相同電位的端子電極，可以透過設置於閘極絕緣層 202 中的接觸孔彼此電連接。

圖 8B 例示與圖 8A 的結構部分地不同的剖面結構。圖 8B 除了驅動電路中的薄膜電晶體的閘極電極層的材料之外與圖 8A 相同；因此，用相同的附圖標記代表相同的部分，並省略這些部分的詳細描述。

圖 8B 例示了驅動電路中的薄膜電晶體的閘極電極層由金屬佈線製成的實例。在驅動電路中，閘極電極層的材料不限於透光材料。

在圖 8B 中，驅動電路中薄膜電晶體 240 包括金屬佈線層 242 堆疊在金屬佈線層 241 上方的閘極電極層。注意，金屬佈線層 241 可以使用與金屬佈線層 236 相同的材料在相同的步驟中形成。並且，金屬佈線層 242 可以使用與第二金屬佈線層 237 相同的材料在相同的步驟中形成。

在金屬佈線層 241 電連接至導電層 405c 的情況下，較佳地將金屬氮化物膜用於金屬佈線層 242 以防止第一金屬佈線層 242 的氧化。

在本實施例中，將金屬佈線用於一些佈線，使得佈線電阻減小；即使在液晶顯示面板的尺寸超過 10 英寸並達到 60 英寸甚至 120 英寸時，也能夠實現高清晰度的顯示影像，並能夠實現高孔徑比。

(第十實施例)

在本實施例中，圖 9A 和圖 9B 都例示儲存電容器的結構不同於第八實施例的實例。除了儲存電容器的結構與圖 7A 不同之外，圖 9A 與圖 7A 幾乎相同。因此，用相同的附圖標記代表相同部分，並省略詳細描述。注意，圖 9A 示出像素部中的薄膜電晶體 220 和儲存電容器的剖面結構。

圖 9A 示出如下實例：儲存電容器係由像素電極層 227 和與像素電極層 227 重疊的電容器電極層 231 所形成，使用氧化物絕緣層 266、保護絕緣層 203 和平坦化絕緣層 204 作為電媒體。由於電容器電極層 231 使用與像素部中的薄膜電晶體 220 的源極電極層相似的透光材料和製程形成，因此將電容器電極層 231 設置為不與薄膜電晶體 220 的源極佈線層重疊。

在圖 9A 例示的儲存電容器中，一對電極和電媒體具有透光性，因此儲存電容器整體上具有透光性。

圖 9B 是與圖 9A 不同的儲存電容器結構的實例。除了儲存電容器的結構與圖 7A 不同之外，圖 9B 與圖 7A 幾乎相同。因此，用相同的附圖標記代表相同部分，並省略詳細描述。

圖 9B 示出如下實例：儲存電容器係由電容器佈線層 230、與電容器佈線層 230 相重疊的氧化物半導體層 251、和電容器電極層 231 所形成。氧化物半導體層 251 被堆

疊為在電容器電極層 231 下方與其接觸，並用作為儲存電容器的電極的其中一個。注意，在與薄膜電晶體 220 的源極電極層或汲極電極層相同的步驟中使用透光材料形成電容器電極層 231。由於透過與薄膜電晶體 220 的閘極電極層相同的製程使用相同的透光材料來形成電容器佈線層 230，因此電容器佈線層 230 被設置為不與薄膜電晶體 220 的閘極佈線層重疊。

此外，電容器電極層 231 係電連接至像素電極層 227。

在圖 9B 例示的儲存電容器中，一對電極和電媒體具有透光性，因此儲存電容器整體上具有透光性。

在圖 9A 和圖 9B 例示的儲存電容器都具有透光性；因此即使在例如透過增加閘極佈線的數目減小像素尺寸以實現更高清晰度的顯示影像時，也可以獲得足夠的電容和高孔徑比。

本實施例可以與適當地與任意其他實施例組合。

(第十一實施例)

在本實施例中，以下將描述在一個基板上形成要設置在像素部中的半導體裝置和驅動電路的至少一部分的實例。

根據第一實施例至第七實施例中的任一個形成要設置在像素部中的薄膜電晶體。並且，在第一實施例至第七實施例中的任一個中描述的薄膜電晶體是 n 通道 TFT。因此

，驅動電路中可以使用  $n$  通道 TFT 形成的驅動電路的部分被形成在與像素部中的薄膜電晶體相同的基板上。

圖 14A 例示主動矩陣顯示裝置的框圖實例。在顯示裝置的基板 5300 上方，設置像素部 5301、第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 和信號線驅動電路 5304。在像素部 5301 中，設置從信號線驅動電路 5304 延伸的多條信號線，並設置從第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303 延伸的多條掃描線。注意，在掃描線和信號線彼此交叉的各個區域中，將包括顯示元件的像素設置在矩陣中。此外，顯示裝置中的基板 5300 透過諸如可撓性印刷電路（FPC）的連接部連接至定時控制電路 5305（也稱為控制器或控制器 IC）。

在圖 14A 中，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 和信號線驅動電路 5304 設置在與像素部 5301 相同的基板 5300 上。因而，減少了設置在外部的驅動電路等的元件的數目，由此可以實現成本減少。此外，在基板 5300 的外部設置驅動電路的情況下，透過延伸佈線可以減少連接部中的連接數目，由此可以實現可靠性的提高或產率的增加。

注意，作為實例，定時控制電路 5305 將第一掃描線驅動電路起動信號（GSP1）和第一掃描線驅動電路時鐘信號（GCK1）供應到第一掃描線驅動電路 5302。並且，作為實例，定時控制電路 5305 將第二掃描線驅動電路起動信號（GSP2）（也稱為起動脈衝）和第二掃描線驅動

電路時鐘信號 (GCK2) 供應到第二掃描線驅動電路 5303。作為實例，定時控制電路 5305 將信號線驅動電路起動信號 (SSP)、信號線驅動電路時鐘信號 (SCK)、視頻信號資料 (DATA) (也簡稱為視頻信號) 和鎖存信號 (LAT) 供應到信號線驅動電路 5304。注意，每種時鐘信號可以是周期不同的多個時鐘信號，或者可以與反相時鐘信號 (CKB) 一起供應。注意，可以省略第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303 中的一個。

圖 14B 示出如下結構：具有低驅動頻率的電路 (例如，第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303) 形成於與像素部 5301 相同的基板 5300 上，而信號線驅動電路 5304 形成於與像素部 5301 不同的基板上。在這種結構的情況下，形成於基板 5300 上的驅動電路可以使用與使用單晶半導體形成的電晶體相比場效應遷移率低的薄膜電晶體構成。因而，可以實現顯示裝置的尺寸增加、步驟數目的減少、成本減少、產率提高等。

此外，在第一實施例至第七實施例的任一個中描述的薄膜電晶體是 n 通道 TFT。在圖 15A 和圖 15B 中，作為實例，描述使用 n 通道 TFT 形成的信號線驅動電路的結構和操作實例。

信號線驅動電路包括移位暫存器 5601 和切換電路 5602。切換電路 5602 包括多個切換電路。切換電路 5602\_1 至 5602\_N (N 是 2 或更大的自然數) 中的每一個包括多個薄膜電晶體 5603\_1 至 5603\_k (k 是 2 或更大的



自然數)。將描述薄膜電晶體 5603\_1 至 5603\_k 是 n 通道 TFT 的實例。

將使用切換電路 5602\_1 作為實例來描述信號線驅動電路的連接關係。薄膜電晶體 5603\_1 至 5603\_k 的第一端子分別連接至佈線 5604\_1 至 5604\_k。薄膜電晶體 5603\_1 至 5603\_k 的第二端子分別連接至信號線 S1 至 Sk。薄膜電晶體 5603\_1 至 5603\_k 的閘極連接至佈線 5605\_1。

移位暫存器 5601 具有將 H 位準信號（也稱為 H 信號或高電源電位位準）依序輸出到佈線 5605\_1 至 5605\_N 以及依序選擇切換電路 5602\_1 至 5602\_N 的功能。

切換電路 5602\_1 具有控制佈線 5604\_1 至 5604\_k 與信號線 S1 至 Sk 之間的傳導（第一端子與第二端子之間的傳導）的功能，即控制是否將佈線 5604\_1 至 5604\_k 的電位供應到信號線 S1 至 Sk 的功能。以這種方式，切換電路 5602\_1 用作為選擇器。此外，薄膜電晶體 5603\_1 至 5603\_k 中的每一個具有控制佈線 5604\_1 至 5604\_k 與信號線 S1 至 Sk 之間的傳導的功能，即控制是否將佈線 5604\_1 至 5604\_k 的電位供應到信號線 S1 至 Sk 的功能。以這種方式，薄膜電晶體 5603\_1 至 5603\_k 中的每一個用作為開關。

注意，視頻信號資料（DATA）被輸入到佈線 5604\_1 至 5604\_k 中的每一個。在許多情況下，視頻信號資料（DATA）是對應於影像資料或影像信號的類比信號。

接著，將參照圖 15B 的時序圖描述圖 15A 中的信號

線驅動電路的操作。圖 15B 中示出信號  $S_{out\_1}$  至  $S_{out\_N}$  和信號  $Vdata\_1$  至  $Vdata\_k$  的實例。信號  $S_{out\_1}$  至  $S_{out\_N}$  是移位暫存器 5601 的輸出信號的實例，信號  $Vdata\_1$  至  $Vdata\_k$  是被輸入到佈線 5604\_1 至 5604\_k 的信號的實例。注意，信號線驅動電路的一個操作周期對應於顯示裝置中的一個閘極選擇周期。例如，一個閘極選擇周期被分割成周期 T1 至 TN。周期 T1 至 TN 是用於將視頻信號資料 (DATA) 寫入到屬於選定的列的像素的周期。

注意，對於在本實施例的一些附圖等中示出的一些元件，為了清楚起見將信號波形失真等放大。因此，本實施例不受這些附圖中例示的這些比例的限制。

在周期 T1 至 TN 中，移位暫存器 5601 將 H 位準信號依序輸出到佈線 5605\_1 至 5605\_N。例如，在周期 T1，移位暫存器 5601 將 H 位準信號輸出到佈線 5605\_1。於是，薄膜電晶體 5603\_1 至 5603\_k 被導通，由此使得佈線 5604\_1 至 5604\_k 與信號線 S1 至 Sk 進入傳導。在這種情況下，Data (S1) 至 Data (Sk) 分別被輸入佈線 5604\_1 至 5604\_k。Data (S1) 至 Data (Sk) 分別透過薄膜電晶體 5603\_1 至 5603\_k 而被輸入到第一至第 k 行中的選定列中的像素。因此，在周期 T1 至 TN，視頻信號資料 (DATA) 被依序寫入到每 k 行的選定列中。

透過將視頻信號資料 (DATA) 寫入到每多個行的像素，可以減少視頻信號資料 (DATA) 的數目或者佈線的

數目。因此，可以減少到外部電路的連接。透過即那個視頻信號寫入到每多個行的像素，可以延長寫入時間，並可以防止視頻信號的不足寫入。

注意，作為移位暫存器 5601 和切換電路 5602，可以使用包括在第一實施例至第七實施例的任一個中描述的薄膜電晶體的電路。在這種情況下，移位暫存器 5601 中包括的所有電晶體可以是  $n$  通道電晶體，或者移位暫存器 5601 中包括的所有電晶體可以是  $p$  通道電晶體。

將描述用作為掃描線驅動電路和/或信號線驅動電路的一部分的移位暫存器的實例。

掃描線驅動電路包括移位暫存器。在一些情況下，掃描線驅動電路也可以包括位準移位器 (level shifter)、緩衝器等。在掃描線驅動電路中，當時鐘信號 (CLK) 和起動脈衝信號 (SP) 被輸入到移位暫存器時，產生選擇信號。所產生的選擇信號由緩衝器緩衝並放大，並且結果導致的信號被供應到相應的掃描線。一條線的像素中的電晶體的閘極電極被連接至掃描線。由於一條線的像素中的電晶體必須同時被導通，因此使用可以供應大電流的緩衝器。

將參照圖 16A 至圖 16C 以及圖 17A 和圖 17B 描述用作為掃描線驅動電路和/或信號線驅動電路的一部分的移位暫存器的實例。

移位暫存器包括第一至第  $N$  脈衝輸出電路 10\_1 至 10\_N ( $N$  是大於等於 3 的自然數) (參見圖 16A)。來自

第一佈線 11 的第一時鐘信號 CK1、來自第二佈線 12 的第二時鐘信號 CK2、來自第三佈線 13 的第三時鐘信號 CK3 和來自第四佈線 14 的第四時鐘信號 CK4 被供應到圖 16A 所示的移位暫存器的第一至第 N 脈衝輸出電路 10\_1 至 10\_N。來自第五佈線 15 的起動脈衝 SP1 (第一起動脈衝) 被輸入到第一脈衝輸出電路 10\_1。來自前級 10\_(n-1) 的脈衝輸出電路的信號 (稱為前級信號 OUT(n-1) (n 是大於等於 2 且小於等於 N 的自然數)) 被輸入到第二級或其後級 10\_n 中的第 n 脈衝輸出電路。來自第一脈衝輸出電路 10\_1 之後兩級的第三脈衝輸出電路 10\_3 的信號被輸入到第一脈衝輸出電路 10\_1。以類似的方式, 來自第 n 脈衝輸出電路 10\_n 之後兩級的第 (n+2) 脈衝輸出電路 10\_(n+2) 的信號 (稱為下級信號 OUT(n+2)) 被輸入到第二級或其後級中的第 n 脈衝輸出電路。因此, 各個級中的脈衝輸出電路輸出第一輸出信號 (OUT(1) (SR)) 至 OUT(N) (SR) 和 第二輸出信號 (OUT(1) 至 OUT(N)), 第一輸出信號 (OUT(1) (SR) 至 OUT(N) (SR)) 要被輸入到後級的脈衝輸出電路和/或在前一級之前的級中的脈衝輸出電路, 第二輸出信號 (OUT(1) 至 OUT(N)) 要被輸入到另一電路等。注意, 如圖 16A 所示, 下級信號 OUT(n+2) 不被輸入到移位暫存器的最後兩級; 因此, 作為實例, 將將第二起動脈衝 SP2 和第三起動脈衝 SP3 單獨地輸入到移位暫存器的最後兩級。

注意，時鐘信號（CK）是以規則間隔在 H 位準和 L 位準（稱為 L 信號或低電源電位位準）之間震盪的信號。第一到第四時鐘信號（CK1）至（CK4）被依序延遲 1/4 周期。在本實施例中，利用第一到第四時鐘信號（CK1）至（CK4），進行脈衝輸出電路的驅動的控制等。注意，根據時鐘信號被輸入的驅動電路，時鐘信號也稱為 GCK 或 SCK；但是，使用 CK 作為時鐘信號進行描述。

第一輸入端子 21、第二輸入端子 22 和第三輸入端子 23 被電連接至第一至第四佈線 11 至 14 中的任一個。例如，在圖 16A 中，第一脈衝輸出電路 10\_1 的第一輸入端子 21 電連接至第一佈線 11，第一脈衝輸出電路 10\_1 的第二輸入端子 22 電連接至第二佈線 12，第一脈衝輸出電路 10\_1 的第三輸入端子 23 電連接至第三佈線 13。此外，第二脈衝輸出電路 10\_2 的第一輸入端子 21 電連接至第二佈線 12，第二脈衝輸出電路 10\_2 的第二輸入端子 22 電連接至第三佈線 13，第二脈衝輸出電路 10\_2 的第三輸入端子 23 電連接至第四佈線 14。

第一至第 N 脈衝輸出電路 10\_1 至 10\_N 中的每一個包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26 和第二輸出端子 27（參見圖 16B）。在第一脈衝輸出電路 10\_1 中，第一時鐘信號 CK1 被輸入到第一輸入端子 21；第二時鐘信號 CK2 被輸入到第二輸入端子 22；第三時鐘信號 CK3 被輸入到第三輸入端子 23；起動脈衝被輸

入到第四輸入端子 24；下級信號 OUT (3) 被輸入到第五輸入端子 25；第一輸出信號 OUT (1) (SR) 被從第一輸出端子 26 輸出；第二輸出信號 OUT (1) 被從第二輸出端子 27 輸出。

在第一至第 N 脈衝輸出電路 10\_1 至 10\_N 中，除了具有三個端子的薄膜電晶體之外，可以使用上述實施例中描述的具有四個端子的薄膜電晶體 (TFT)。注意，在本說明書中，當薄膜電晶體具有中間夾著半導體層的兩個閘極電極時，將半導體層下方的閘極電極稱為下閘極電極，並將半導體層上方的閘極電極稱為上閘極電極。

當將氧化物半導體用於薄膜電晶體中包括通道形成區的半導體層時，取決於製造程序閾值電壓有時在正向或負向偏移。因此，將氧化物半導體用作為包括通道形成區的半導體層的薄膜電晶體較佳地具有可以控制閾值電壓的結構。透過在薄膜電晶體的通道形成區的上方和下方設置其間具有閘極絕緣膜的閘極電極，並控制上閘極電極和/或下閘極電極的電位，可以將具有四個端子的薄膜電晶體的閾值電壓控制到期望值。

接著，將參照圖 16C 描述脈衝輸出電路的具體電路構造的實例。

第一脈衝輸出電路 10\_1 包括第一至第十三電晶體 31 至 43。除了上述第一至第五輸入端子 21 至 25 以及第一和第二輸出端子 26 和 27 之外，從被供應第一高電源電位 VDD 的電源線 51、被供應第二高電源電位 VCC 的電源線

52、和被供應第三低電源電位  $V_{SS}$  的電源線 53，將信號或電源電位供應到第一至第十三電晶體 31 至 43。這裏，圖 16C 中的各個電源線的電源電位的幅值關係如下：第一電源電位  $V_{DD}$  大於等於第二電源電位  $V_{CC}$ ，且第二電源電位  $V_{CC}$  大於等於第三電源電位  $V_{SS}$ 。儘管第一至第四時鐘信號（CK1）至（CK4）是以規則間隔在 H 位準信號和 L 位準信號之間交替的信號，但是當時鐘信號處於 H 位準時電位是  $V_{DD}$ ，而當時鐘信號處於 L 位準時電位是  $V_{SS}$ 。注意，當電源線 51 的電位  $V_{DD}$  被設定為高於電源線 52 的電位  $V_{CC}$  時，可以不對操作產生不利影響地減少施加到電晶體閘極電極的電位；因此，可以減少電晶體的閾值電壓的偏移並且可以抑制劣化。第一至第十三電晶體 31 至 43 中，較佳地將具有四個端子的電晶體用作為第一電晶體 31 和第六至第九電晶體 36 至 39 中的每一個。第一電晶體 31 和第六至第九電晶體 36 至 39 中的每一個操作以使得利用控制信號切換電晶體 33 的閘極電極和電晶體 40 的閘極電極的電位，並且因為對輸入到閘極電極的控制信號的回應快（導通狀態電流的上升陡），所以可以進一步減少脈衝輸出電路的誤操作。因此，使用具有四個端子的電晶體，可以控制閾值電壓，並可以進一步減少脈衝輸出電路的誤操作。

注意，薄膜電晶體是具有至少閘極、汲極和源極的三個端子的元件。薄膜電晶體具有半導體區（也稱為通道形成區），包括在與閘極重疊的區域中形成的通道區。可以

透過控制閘極的電位，以控制通過通道區在汲極和源極之間流動的電流。這裏，由於薄膜電晶體的源極和汲極根據薄膜電晶體的結構、操作條件等而改變，所以難以限定哪個是源極或汲極。因此，在一些情況下，用作為源極和汲極的區域不被稱為源極和汲極。在這種情況下，例如，上述區域可以被稱為第一端子和第二端子。

在圖 16C 中，第一電晶體 31 的第一端子電連接至電源線 51，第一電晶體 31 的第二端子電連接至第九電晶體 39 的第一端子，並且第一電晶體 31 的閘極電極（第一閘極電極和第二閘極電極）電連接至第四輸入端子 24。第二電晶體 32 的第一端子電連接至電源線 53，第二電晶體 32 的第二端子電連接至第九電晶體 39 的第一端子，並且第二電晶體 32 的閘極電極電連接至第四電晶體 34 的閘極電極。第三電晶體 33 的第一端子電連接至第一輸入端子 21，第三電晶體 33 的第二端子電連接至第一輸出端子 26。第四電晶體 34 的第一端子電連接至電源線 53，第四電晶體 34 的第二端子電連接至第一輸出端子 26。第五電晶體 35 的第一端子電連接至電源線 53，第五電晶體 35 的第二端子電連接至第二電晶體 32 的閘極電極以及第四電晶體 34 的閘極電極，並且第五電晶體 35 的閘極電極電連接至第四輸入端子 24。第六電晶體 36 的第一端子電連接至電源線 52，第六電晶體 36 的第二端子電連接至第二電晶體 32 的閘極電極以及第四電晶體 34 的閘極電極，並且第六電晶體 36 的閘極電極（第一閘極電極和第二閘極電



極) 電連接至第五輸入端子 25。第七電晶體 37 的第一端子電連接至電源線 52，第七電晶體 37 的第二端子電連接至第八電晶體 38 的第二端子，並且第七電晶體 37 的閘極電極(第一閘極電極和第二閘極電極)電連接至第三輸入端子 23。第八電晶體 38 的第一端子電連接至第二電晶體 32 的閘極電極以及第四電晶體 34 的閘極電極，第八電晶體 38 的閘極電極(第一閘極電極和第二閘極電極)電連接至第二輸入端子 22。第九電晶體 39 的第一端子電連接至第一電晶體 31 的第二端子以及第二電晶體 32 的第二端子，第九電晶體 39 的第二端子電連接至第三電晶體 33 的閘極電極以及第十電晶體 40 的閘極電極，並且第九電晶體 39 的閘極電極(第一閘極電極和第二閘極電極)電連接至電源線 52。第十電晶體 40 的第一端子電連接至第一輸入端子 21，第十電晶體 40 的第二端子電連接至第二輸出端子 27，並且第十電晶體 40 的閘極電極電連接至第九電晶體 39 的第二端子。第十一電晶體 41 的第一端子電連接至電源線 53，第十一電晶體 41 的第二端子電連接至第二輸出端子 27，並且第十一電晶體 41 的閘極電極電連接至第二電晶體 32 的閘極電極以及第四電晶體 34 的閘極電極。第十二電晶體 42 的第一端子電連接至電源線 53，第十二電晶體 42 的第二端子電連接至第二輸出端子 27，並且第十二電晶體 42 的閘極電極(第一閘極電極和第二閘極電極)電連接至第七電晶體 37 的閘極電極。第十三電晶體 43 的第一端子電連接至電源線 53，第十三電晶體 43

的第二端子電連接至第一輸出端子 26，並且第十三電晶體 43 的閘極電極（第一閘極電極和第二閘極電極）電連接至第七電晶體 37 的閘極電極。

在圖 16C 中，第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極和第九電晶體 39 的第二端子的連接點被稱為節點 A。此外，第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子和第十一電晶體 41 的閘極電極的連接點被稱為節點 B。

注意，在圖 16C 和圖 17A 中，可以附加地設置用以透過使節點 A 處於浮置態而進行自舉操作（bootstrap operation）的電容器。此外，可以附加地設置具有電連接至節點 B 的一個電極以保持節點 B 的電位的電容器。

這裏，圖 17B 示出包括圖 17A 所示的多個脈衝輸出電路的移位暫存器的時序圖。注意，當移位暫存器是掃描線驅動電路時，在圖 17B 中，周期 61 是垂直回描周期，周期 62 是閘極選擇周期。

注意，如圖 17A 所示，透過設置閘極電極被供應第二電源電位 VCC 的第九電晶體 39，可以在自舉操作前後獲得以下所述的優點。

在沒有閘極電極被供應第二電源電位 VCC 的第九電晶體 39 的情況下，如果節點 A 的電位透過自舉操作而上升，則第一電晶體 31 的作為第二端子的源極的電位增加到高於第一電源電位 VDD 的值。於是，第一電晶體的第

一端子，即電源線 51，開始用作為其源極。因此，在第一電晶體 31 中，在閘極和源極之間以及在閘極和汲極之間施加大的偏壓以及因此施加顯著的應力，這可以導致電晶體的劣化。透過設置閘極電極被供應第二電源電位 VCC 的第九電晶體 39，節點 A 的電位透過自舉操作而上升，但同時，可以防止第一電晶體 31 的第二端子的電位增加。換言之，透過設置第九電晶體 39，可以減少在第一電晶體 31 的閘極和源極之間施加的負偏壓。因而，利用本實施例的電路構造，可以減少在第一電晶體 31 的閘極和源極之間施加的負偏壓，由此可以進一步限制由於應力導致的第一電晶體 31 的劣化。

注意，第九電晶體 39 被設置為透過其第一端子和第二端子連接在第一電晶體 31 的第二端子和第三電晶體 33 的閘極之間。當使用本實施例中所示的包括多個脈衝輸出電路的移位暫存器時，在具有比掃描線驅動電路更多級的信號線驅動電路中，可以省略第九電晶體 39，因此可以減少電晶體的數目。

當氧化物半導體被使用作為第一至第十三電晶體 31 至 43 的半導體層時，可以減小薄膜電晶體的截止電流，可以增加導通電流和場效應遷移率，並且可以減小劣化程度；因此，可以減少電路中的誤操作。使用氧化物半導體形成的電晶體的劣化程度（其由將高電位施加至閘極電極而引起）與使用非晶矽形成的電晶體的劣化程度相比小。因此，即使當將第一電源電位 VDD 供應到被供應第二電

源電位 VCC 的電源線時，也可以執行類似的操作，並且可以減少在電路中引導的電源線的數目，由此可以使得電路小型化。

注意，即使改變佈線連接而使得透過第三輸入端子 23 供應到第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）的時鐘信號和透過第二輸入端子 22 供應到第八電晶體 38 的閘極電極（第一閘極電極和第二閘極電極）的時鐘信號分別是透過第二輸入端子 22 供應到第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）的時鐘信號和透過第三輸入端子 23 供應到第八電晶體 38 的閘極電極（第一閘極電極和第二閘極電極）的時鐘信號時，也可以獲得類似的操作效果。注意，在圖 17A 所示的移位暫存器中，在第七電晶體 37 和第八電晶體 38 都處於導通狀態之後，第七電晶體 37 截止而第八電晶體 38 仍處於導通狀態，然後第七電晶體仍截止而第八電晶體 38 截止。因此，由第二輸入端子 22 和第三輸入端子 23 的電位降低導致的節點 B 的電位的降低，因為第七電晶體 37 的閘極電極的電位降低和第八電晶體 38 的閘極電極的電位降低而發生兩次。另一方面，在圖 17A 所示的移位暫存器中，由第二輸入端子 22 和第三輸入端子 23 的電位降低導致的節點 B 的電位的降低，可以減少到一次，其在第八電晶體 38 的閘極電極的單位降低時發生。節點 B 的電位的降低的數目可以透過以下方式減少：在第七電晶體 37 和第八電晶體 38 都處於導通狀態之後，第七電晶體 37

仍處於導通狀態而第八電晶體 38 截止，然後第七電晶體 37 截止而第八電晶體 38 仍截止。因此，該連接關係，即，從第三輸入端子 23 到第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）供應時鐘信號 CK3 並且從第二輸入端子 22 到第八電晶體 38 的閘極電極（第一閘極電極和第二閘極電極）供應時鐘信號 CK2，是較佳的。這是因為可以減少節點 B 的電位的改變次數，由此可以降低雜訊。

以這種方式，在第一輸出端子 26 和第二輸出端子 27 的電位保持在 L 位準的周期中，將 H 位準信號規則地供應到節點 B；因此，可以抑制脈衝輸出電路的誤操作。

#### （第十二實施例）

當製造薄膜電晶體並用於像素部進而用於驅動電路時，可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。並且，當在與像素部相同的基板上形成使用薄膜電晶體的驅動電路的部分或全部時，可以獲得面板上系統（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）或發光元件（也稱為發光顯示元件）。發光元件的種類包括由電流或電壓控制其亮度的元件，具體地包括無機電致發光（EL）元件、有機 EL 元件等。並且，可以使用其對比度由電效應改變的顯示媒體，例如電子墨水。

此外，顯示裝置包括其中密封顯示元件的面板，以及包括控制器的 IC 等安裝於面板上的模組。顯示裝置還涉及單元基板（element substrate），其對應於在顯示裝置的製造程序中完成顯示元件之前的一個模式，並且單元基板設置有用於將電流供應到多個像素中的每一個中的顯示元件的裝置。具體地，單元基板可以處於僅形成顯示元件的像素電極（也稱為像素電極層）之後的狀態，形成要被使用作為像素電極的導電膜之後且在蝕刻該導電膜以形成像素電極之前的狀態，或者任何其他狀態。

注意，本說明書中的顯示裝置指的是影像顯示裝置、顯示裝置或光源（包括發光裝置）。此外，顯示裝置的種類還包括以下模組：附接連接器的模組，所述連接器諸如是可撓性印刷電路（FPC）、帶自動接合（TAB）帶或帶載體封裝（TCP）；在尖端處設置印刷線路板的具有 TAB 帶或 TCP 的模組；和透過玻璃上晶片（COG）方法將積體電路（IC）直接安裝在顯示元件上的模組。

將參照圖 10A1、圖 10A2 和圖 10B 描述作為半導體裝置的一個實施例的液晶顯示面板的外觀和剖面。圖 10A1 和圖 10A2 都是薄膜電晶體 4010 和 4011 以及液晶元件 4013 被用密封劑 4005 密封在第一基板 4001 和第二基板 4006 之間的面板的平面圖。圖 10B 是沿圖 10A1 和圖 10A2 的線 M-N 所取出的剖面圖。

密封劑 4005 被設置為圍繞設置於第一基板 4001 上方的像素部 4002 和掃描線驅動電路 4004。第二基板 4006

被設置於像素部 4002 和掃描線驅動電路 4004 上方。因此，透過第一基板 4001、密封劑 4005 和第二基板 4006，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 密封在一起。使用單獨準備的基板上的單晶半導體膜或多晶半導體膜形成的信號線驅動電路 4003 被安裝於第一基板 4001 上的與由密封劑 4005 圍繞的區域不同的區域中。

注意，對單獨形成的驅動電路的連接方法沒有特別限制，可以使用 COG 方法、引線接合方法、TAB 方法等。圖 10A1 例示透過 COG 方法安裝信號線驅動電路 4003 的實例，而圖 10A2 例示透過 TAB 方法安裝信號線驅動電路 4003 的實例。

設置於第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 中的每一個包括多個薄膜電晶體。圖 10B 例示包括在像素部 4002 中的薄膜電晶體 4010 和包括在掃描線驅動電路 4004 中的薄膜電晶體 4011。氧化物絕緣層 4041、保護絕緣層 4020 和絕緣層 4021 係依序設置於薄膜電晶體 4010 和 4011 上。

作為薄膜電晶體 4010 和 4011，可以採用在第一實施例至第七實施例的任一個中描述的包括氧化物半導體層的高可靠薄膜電晶體。作為用於驅動電路的薄膜電晶體 4011 的實例，可以給出在第一實施例至第七實施例中描述的薄膜電晶體 410、440、449、460、490 和 492。作為用於像素的薄膜電晶體 4010 的實例，可以給出在第一實施例至第七實施例中描述的薄膜電晶體 420、451、470 和

493。在本實施例中，薄膜電晶體 4010 和 4011 是 n 通道薄膜電晶體。

在絕緣層 4021 上，在與用於驅動電路的薄膜電晶體 4011 的氧化物半導體層的通道形成區重疊的部分中設置導電層 4040。此外，透過在與氧化物半導體層的通道形成區重疊的部分中設置導電層 4040，可以減小 BT 測試前後薄膜電晶體 4011 的閾值電壓的偏移量。導電層 4040 可以具有與薄膜電晶體 4011 的閘極電極層的電位相同或不同的電位，並且可以用作為第二閘極電極層。導電層 4040 可以處於 GND 狀態、施加 0 V 電位的狀態、或浮置狀態。

包括在液晶元件 4013 中的像素電極層 4030 電連接至薄膜電晶體 4010。在第二基板 4006 上形成液晶元件 4013 的對置電極層 4031。像素電極層 4030、對置電極層 4031 和液晶層 4008 彼此重疊的部分對應於液晶元件 4013。注意，像素電極層 4030 和對置電極層 4031 分別設置有氧化物絕緣層 4032 和氧化物絕緣層 4033，氧化物絕緣層 4032 和氧化物絕緣層 4033 中的每一個用作為對準膜。液晶層 4008 夾在像素電極層 4030 和對置電極層 4031 之間，液晶層 4008 與像素電極層 4030 和對置電極層 4031 中間置有氧化物絕緣層 4032 和 4033。

注意，由玻璃、陶瓷或塑膠所製成的透光基板可以用於第一基板 4001 和第二基板 4006。作為塑膠，可以使用纖維玻璃增強塑膠 (FRP) 板、聚氟乙烯 (PVF) 膜、聚



酯膜或丙烯酸樹脂膜。

設置透過選擇性蝕刻絕緣膜獲得的柱狀間隔物 4035，以控制像素電極層 4030 與對置電極層 4031 之間的距離（單元間隙）。注意，球形間隔物可以用於間隔物 4035。對置電極層 4031 電連接至設置於與薄膜電晶體 4010 相同的基板上的共用電位線。利用共用連接部，對置電極層 4031 可以透過設置於這對基板之間的導電粒子電連接至共用電位線。注意，導電粒子包含在密封劑 4005 中。

或者，可以使用顯示藍相（blue phase）的液晶，對準膜對於該液晶是多餘的。藍相是液晶相之一，其在增加膽甾相液晶的溫度時在膽甾相就要變成各向同性相前產生。由於藍相僅在窄溫度範圍內產生，所以包含 5 wt% 或更多的手性劑的液晶組分被用於液晶層 4008 以增大溫度範圍。包括顯示藍相的液晶和手性劑的液晶組分具有 1 毫秒或更小的回應時間，具有光學各向同性，這使得不需要對準製程，並具有小的視角依賴性。

本實施例的液晶顯示裝置還可以應用於透射型液晶顯示裝置或透射反射型液晶顯示裝置。

在本實施例中，將描述液晶顯示裝置的實例，其中偏振片設置於基板的外表面上（觀看者側上），並且用於顯示元件的著色層（也稱為濾色器）和電極層係依序設置於基板的內表面上；但是，偏振片可以設置於基板的內表面上。偏振片和著色層的堆疊結構不被限制到本實施例所述的結構，而可以根據偏振片和著色層的材料或製造步驟的

條件適當地設置。

在薄膜電晶體 4011 中，氧化物絕緣層 4041 被形成為與包括通道形成區的半導體層接觸。例如，可以使用與第一實施例中描述的氧化物絕緣層 416 類似的材料和方法形成氧化物絕緣層 4041。這裏，以類似於第一實施例的方式，使用濺射法形成氧化矽膜作為氧化物絕緣層 4041。

此外，保護絕緣層 4020 形成於氧化物絕緣層 4041 上。保護絕緣層 4020 可以使用類似於在第一實施例中描述的保護絕緣層 403 的材料和方法形成。這裏，使用 PCVD 方法形成氮化矽膜作為保護絕緣層 4020。

為了降低薄膜電晶體的表面粗糙度，在保護絕緣層 4020 上形成絕緣層 4021，作為平坦化絕緣膜。絕緣層 4021 可以使用類似於在第一實施例中描述的水平化絕緣層 404 的材料和方法形成，並且可以使用具有耐熱性的有機材料，諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了這些有機材料之外，還可以使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽玻璃（PSG）、硼磷矽玻璃（BPSG）等。注意，絕緣層 4021 可以透過堆疊由這些材料形成的多個絕緣膜來形成。

對形成絕緣層 4021 的方法沒有特別限制，並且取決於材料可以透過諸如濺射法、SOG 法、旋塗、浸塗、噴塗或液滴排放法（例如，噴墨法、絲網印刷、膠版印刷等）的方法，或者諸如刮刀、輥塗機、幕塗機或刮刀塗布機的工具（裝置），形成絕緣層 4021。絕緣層 4021 的烘焙步

驟還用作為半導體層的退火步驟，由此可以有效地製造半導體裝置。

像素電極層 4030 和對置電極層 4031 可以由透光導電材料製成，諸如含氧化鎢的氧化銮、含氧化鎢的氧化銮鋅、含氧化鈦的氧化銮、含氧化鈦的氧化銮錫、氧化銮錫（以下稱為 ITO）、氧化銮鋅或添加氧化矽的氧化銮錫。

包含導電高分子（也稱為導電聚合物）的導電組分可以用於像素電極層 4030 和對置電極層 4031。由該導電組分製成的像素電極較佳地具有 10000 歐姆/立方或更小的薄層電阻以及在 550 nm 的波長下的 70% 或更大的透光率。此外，該導電組分中包含的導電高分子的電阻率較佳為  $0.1 \Omega \cdot \text{cm}$  或更小。

作為導電高分子，可以使用所謂的  $\pi$  電子共軛導電聚合物。例如，可以使用聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者兩種以上的上述材料的共聚物。

此外，多種信號和電位被從 FPC4018 供應到單獨地形成的信號線驅動電路 4003、以及掃描線驅動電路 4004 或像素部 4002。

由與包括在液晶元件 4013 中的像素電極層 4030 相同的導電膜形成連接端子電極 4015，並由與薄膜電晶體 4011 的源極電極層和汲極電極層相同的導電膜形成端子電極 4016。

連接端子電極 4015 透過各向異性導電膜 4019 而被電

連接至包括在 FPC 4018 中的端子。

注意，圖 10A1、圖 10A2 和圖 10B 例示信號線驅動電路 4003 被單獨地形成並安裝在第一基板 4001 上的實例；但是，本實施例不被限制到該結構。掃描線驅動電路可以被單獨地形成然後安裝，或者僅信號線驅動電路的一部分或者掃描線驅動電路的一部分被單獨地形成然後安裝。

圖 19 例示使用根據本說明書中揭示的製造方法製造的 TFT 基板 2600 形成的作為半導體裝置的液晶顯示模組的實例。

圖 19 例示了液晶顯示模組的實例，其中 TFT 基板 2600 和對基板 2601 用密封劑 2602 彼此接合，並且包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、和著色層 2605 設置於基板之間以形成顯示區域。著色層 2605 對於進行彩色顯示是必要的。在 RGB 系統的情況下，為各個像素設置與紅色、綠色和藍色對應的相應著色層。在 TFT 基板 2600 和對基板 2601 外部設置偏振片 2606 和 2607 以及漫射板 2613。光源包括冷陰極管 2610 和反射板 2611。電路板 2612 透過可撓性佈線板 2609 連接至 TFT 基板 2600 的佈線電路部 2608，並且包括諸如控制電路或電源電路的外部電路。偏振片和液晶層可以堆疊，它們之間置有延遲片。

對於液晶顯示模組，可以使用 TN（扭轉向列）模式、IPS（平面內切換）模式、FFS（邊緣場切換）模式、MVA（多域垂直對準）模式、PVA（圖案化垂直對準）模

式、ASM（軸對稱對準微單元）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、AFLC（反鐵電液晶）模式等。

透過上述製程，可以製造作為半導體裝置的高可靠液晶顯示面板。

本實施例可以與其他實施例中描述的結構適當地組合。

。

### （第十三實施例）

將描述電子紙張的實例作為本發明的實施例的半導體裝置。

第一實施例至第七實施例的任一個中描述的薄膜電晶體可以作為電子紙張，在電子紙張中電子墨水由電連接至切換元件的元件驅動。電子紙張還被稱為電泳顯示裝置（電泳顯示器），其優點在於具有與普通紙張相同水平的可讀性，比其他顯示裝置的功耗低，且可以被製作得輕薄。

電泳顯示器可以具有多種模式。電泳顯示器包含多個分散在溶劑或溶質中的微囊體，每個微囊體包含帶有正電荷的第一粒子和帶有負電荷的第二粒子。透過對微囊體施加電場，微囊體中的粒子沿彼此相反的方向移動，並且僅顯示聚集到一側上的粒子的顏色。注意，第一粒子和第二粒子分別包含色素，且在沒有電場的情況下不移動。並且，第一粒子和第二粒子具有不同的顏色（其可以是無色的

)。

因此，電泳顯示器是一種利用所謂的介電泳效應的顯示器，透過該介電泳效應，具有高介電常數的物質向高電場區域移動。電泳顯示裝置不需要使用液晶顯示裝置中所需的偏振片和對基板，由此可以減小電泳顯示裝置的厚度和重量。

上述微囊體分散於溶劑中的溶液被稱為電子墨水。該電子墨水可以被印刷到玻璃、塑膠、布、紙張等的表面上。此外，利用濾色器或具有色素的粒子，也可以實現彩色顯示。

另外，如果將多個上述微囊體適當地排列在主動矩陣基板上以被置於兩個電極之間，則可以完成主動矩陣顯示裝置，並且可以透過向微囊體施加電場而進行顯示。例如，可以使用透過在第一實施例至第七實施例的任一個中描述的薄膜電晶體所獲得的主動矩陣基板。

注意，微囊體中的第一粒子和第二粒子都可以由選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料和磁泳材料中的單種材料形成，或者由這些材料中的任何材料的複合材料形成。

圖 18 例示作為半導體裝置的一個實例的主動矩陣電子紙張。薄膜電晶體 581 可以類似於第一實施例中描述的薄膜電晶體的方式製造，其是包括氧化物半導體層的高可靠薄膜電晶體。在第二實施例至第七實施例的任一個中描

述的薄膜電晶體也可以用作為薄膜電晶體 581。

圖 18 中的電子紙張是使用扭轉球顯示系統的顯示裝置的實例。扭轉球顯示系統指的是如下方法：將顏色分別是黑和白的球狀粒子排列在作為用於顯示元件的電極層的第一電極層和第二電極層之間，並在第一電極層和第二電極層之間產生電位差以控制球狀粒子和取向，由此進行顯示。

形成於基板 580 上的薄膜電晶體 581 是具有底閘極部閘極結構的薄膜電晶體，並且覆蓋有絕緣層 583 和 584，絕緣層 583 和 584 與半導體層接觸。薄膜電晶體 581 的源極電極層或汲極電極層透過形成於絕緣層 583 和 584 以及絕緣層 585 中的開口與第一電極層接觸，由此將薄膜電晶體 581 電連接至第一電極層 587。在形成於基板 596 上的第一電極層 587 和第二電極層 588 之間，設置球狀粒子 589，每個球狀粒子 589 具有黑色區域 509a、白色區域 509b 以及圍繞黑色區域和白色區域的腔 594，該腔填充有液體。圍繞球狀粒子 589 的空間填充有諸如樹脂的填充劑 595。第一電極層 587 對應於像素電極，第二電極層 588 對應於共用電極。第二電極層 588 電連接至設置於與薄膜電晶體 581 相同的基板上的共用電位線。利用共用連接部，第二電極層 588 可以透過設置於一對基板之間的導電粒子電連接至共用電位線。

替代扭轉球，也可以使用電泳元件。使用直徑約為  $10\ \mu\text{m}$  至  $200\ \mu\text{m}$  的微囊體，其中封裝透明液體、帶正電

荷的白色微粒和帶負電荷的黑色微粒。在設置於第一電極層和第二電極層之間的微囊體中，當在第一電極層和第二電極層之間施加電場時，白色微粒和黑色微粒沿彼此相反的方向移動，由此可以顯示白色或黑色。使用這種原理的顯示元件是電泳顯示元件，通常稱為電子紙張。電泳顯示元件具有比液晶顯示元件高的反射率，因此無需輔助光，功耗低，且可以在昏暗的場所識別顯示部。此外，即使不將電力施加到顯示部，也可以保持已經顯示的影像。因而，即使具有顯示功能的半導體裝置（其可以簡稱為顯示裝置或設置有顯示裝置的半導體裝置）遠離電波源，也可以保存所顯示的影像。

透過上述製程，可以製造作為半導體裝置的高可靠電子紙張。

本實施例可以與其他實施例中描述的結構適當地組合而實施。

#### （第十四實施例）

將描述發光顯示裝置的實例作為半導體裝置。作為顯示裝置中包括的顯示元件，這裏描述利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物來分類。通常，將前者稱為有機 EL 元件，而將後者稱為無機 EL 元件。

在有機 EL 元件中，透過向發光元件施加電壓，將電子和電洞從一對置電極單獨地注入含發光有機化合物的層



中，並流動電流。然後，載流子（電子和電洞）結合，由此激發發光有機化合物。發光有機化合物從激發態返回基態，由此發光。在這種機制的情況下，將這種發光元件稱為電流激發發光元件。

無機 EL 元件根據其元件結構被分類成分散型無機 EL 元件和薄膜無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散到粘合劑中的發光層，並且其發光機制是利用施體能階和受體能階的施體－受體結合型發光。無機 EL 元件具有如下結構：發光層夾在電媒體層之間，電媒體層又被夾在電極之間；並且無機 EL 元件的發光機制是利用金屬離子的內殼電子躍遷的定域化型發光。注意，這裏使用有機 EL 元件作為發光元件進行描述。

圖 12 例示作為半導體裝置的實例的像素結構的實例，其可以由數位時間灰度方法驅動。

將描述可以由數位時間灰度方法驅動的像素的結構和操作。這裏描述的實例中一個像素包括使用通道形成區中的氧化物半導體層的兩個 n 通道電晶體。

像素 6400 包括切換電晶體 6401、驅動電晶體 6402、發光元件 6404 和電容器 6403。切換電晶體 6401 的閘極電極連接至掃描線 6406，切換電晶體 6401 的第一電極（源極電極和汲極電極層中的一個）連接至信號線 6405，切換電晶體 6401 的第二電極（源極電極和汲極電極層中的另一個）連接至驅動電晶體 6402 的閘極電極。驅動電晶體 6402 的閘極電極透過電容器 6403 而被連接至電源線

6407，驅動電晶體 6402 的第一電極連接至電源線 6407，驅動電晶體 6402 的第二電極連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共用電極 6408。共用電極 6408 係電連接至形成於一個基板上的共用電位線。

注意，發光元件 6404 的第二電極（共用電極 6408）被設定成低電源電位。當以被設定到電源線 6407 的高電源電位為基準時，該低電源電位小於被供應到電源線 6407 的高電源電位。例如，可以給出 GND 和 0 V 作為低電源電位。高電源電位和低電源電位之間的電位差被施加到發光元件 6404，使得電流流經發光元件 6404，由此發光元件 6404 發光。因此，設定各個電位以使得高電源電位和低電源電位之間的電位差大於等於發光元件 6404 的正向閾值電壓。

當使用驅動電晶體 6402 的閘極電容作為電容器 6403 的替代物時，可以省略電容器 6403。驅動電晶體 6402 的閘極電容可以形成於通道形成區和閘極電極之間。

這裏，在使用電壓輸入電壓驅動方法的情況下，將視頻信號輸入到驅動電晶體 6402 的閘極電極，並使得驅動電晶體 6402 充分地導通或截止。也就是說，驅動電晶體 6402 在線性區域中操作，因此將高於電源線 6407 的電壓的電壓施加到驅動電晶體 6402 的閘極電極。注意，將大於等於（電源線電壓 + 驅動電晶體 6402 的  $V_{th}$ ）的電壓施加到信號線 6405。

在使用類比灰度方法替代數位時間灰度方法的情況下，透過以不同的方式輸入信號可以採用與圖 12 相同的像素結構。

在使用類比灰度方法的情況下，將大於等於（發光元件 6404 的正向電壓 + 驅動電晶體 6402 的  $V_{th}$ ）的電壓施加到驅動電晶體 6402 的閘極電極。發光元件 6404 的正向電壓指的是獲得期望亮度的電壓，並至少包括正向閾值電壓。透過輸入視頻信號以使能驅動電晶體 6402 操作在飽和區域中，可以將電流供應到發光元件 6404。為了使驅動電晶體 6402 可以操作在飽和區域中，電源線 6407 的電位高於驅動電晶體 6402 的電位。由於視頻信號是類比信號，所以按照視頻信號的電流在發光元件 6404 中流動，並且可以進行類比灰度方法。

注意，像素結構不限於圖 12 所示的結構。例如，圖 12 例示的像素可以進一步包括切換、電阻器、電容器、電晶體、邏輯電路等。

接著，將參照圖 13A 至圖 13C 描述發光元件的結構。這裏，將以 n 通道驅動 TFT 為例描述像素的剖面結構。用於圖 13A 至圖 13C 例示的半導體裝置的驅動 TFT 7001、驅動 TFT 7011 和驅動 TFT 7021 可以類似於在第一實施例至第七實施例的任一個中描述的薄膜電晶體的方式製造，並且是分別包括氧化物半導體層的高可靠薄膜電晶體。

每個薄膜電晶體和每個發光元件形成於一個基板上。

爲了提取從發光元件發出的光，陽極和陰極中的至少一個可以透光。發光元件可以具有：頂發射結構，其中透過與基板相反的表面提取光；底發射結構，其中透過基板側上的表面提取光；或雙發射結構，其中透過與基板相反的表面和基板側上的表面提取光。圖 12 中例示的像素結構可以適用於具有這些發射結構中的任一種的發光元件。

將參照圖 13A 描述具有底發射結構的發光元件。

圖 13A 是在 TFT 7011 是 n 型且光從發光元件 7012 到陰極 7013 側發射的情況下的像素的剖面圖。在圖 13A 中，發光元件 7012 的陰極 7013 形成於電連接至 TFT 7011 的透光導電膜 7017 上方，並且發光層 7014 和陽極 7015 係依序堆疊在陰極 7013 上方。注意，透光導電膜 7017 透過形成於氧化物絕緣層 7031、絕緣層 7032 和保護絕緣層 7035 中的接觸孔電連接至 TFT 7011 的汲極電極層。

作爲透光導電膜 7017，可以使用透光導電膜，諸如含氧化鎢的氧化銦、含氧化鎢的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫（以下稱爲 ITO）、氧化銦鋅或添加氧化矽的氧化銦錫的膜。

陰極 7013 可以使用多種材料形成，並且較佳使用具有低功函數的材料，例如，諸如 Li 或 Cs 的鹼金屬，諸如 Mg、Ca 或 Sr 的鹼土金屬，包含任何這些元素的合金（Mg: Ag、Al: Li 等），諸如 Yb 或 Er 的稀土金屬等。在圖 13A 中，陰極 7013 的厚度大致是透光的厚度（較佳地，

約 5 nm 到 30 nm)。例如，厚度為 20 nm 的鋁膜用作為陰極 7013。

注意，透光導電膜和鋁膜可以被堆疊並選擇性蝕刻以形成透光導電膜 7017 和陰極 7013；在這種情況下，透光導電膜 7017 和陰極 7013 可以使用相同的遮罩進行蝕刻。

陰極 7013 的週邊部分覆蓋有分隔壁 7019。分隔壁 7019 係使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷所形成，所述有機樹脂膜諸如是聚醯亞胺、丙烯酸樹脂、聚醯胺或環氧樹脂。特別較佳地，分隔壁 7019 使用感光樹脂材料形成以在陰極 7013 上方具有開口，由此將該開口的側壁形成為具有連續曲率的斜面。在將感光樹脂材料用於分隔壁 7019 的情況下，可以省略形成抗蝕劑遮罩的步驟。

形成於陰極 7013 和分隔壁 7019 上方的發光層 7014 可以被形成為單層或堆疊的多層。當發光層 7014 形成為多層時，透過在陰極 7013 上依序堆疊電子注入層、電子輸送層、發光層、電洞輸送層和電洞注入層形成發光層 7014。注意，不是必須設置所有的這些層。

堆疊順序不限於上述堆疊順序，而可以在陰極 7013 上依序堆疊電洞注入層、電洞輸送層、發光層、電子輸送層和電子注入層。但是，當比較功耗時，由於功耗低，所以較佳在陰極 7013 上依序堆疊電子注入層、電子輸送層、發光層、電洞輸送層和電洞注入層。

作為形成於發光層 7014 上方的陽極 7015，可以採用

多種材料，並且較佳使用例如具有高功函數的材料，諸如氮化鈦、ZrN、Ti、W、Ni、Pt 或 Cr；或者透光導電材料，諸如 ITO、IZO（氧化銦氧化鋅）或 ZnO。作為陽極 7015 上方的遮光膜 7016，使用例如遮光的金屬、反射光的金屬等。在本實施例中，將 ITO 膜用於陽極 7015，將 Ti 膜用於遮光膜 7016。

發光元件 7012 對應於發光層 7014 夾在陰極 7013 與陽極 7015 之間的區域。在圖 13A 例示的元件結構的情況下，從發光元件 7012 到陰極 7013 側發射光，如箭頭所示。

注意，圖 13A 中例示如下實例：將透光導電膜用作為閘極電極層，從發光元件 7012 發射的光透過濾色器層 7033 和 TFT 7011 的閘極電極層和源極電極層，並發射光。將透光導電膜用作為 TFT 7011 的閘極電極層和源極電極層，可以提高孔徑比。

透過液滴排放法（例如，噴墨法、印刷法）、利用光刻技術的蝕刻法等，形成濾色器層 7033。

濾色器層 7033 覆蓋有外塗層 7034，並且還覆蓋有保護絕緣層 7035。注意，圖 13 中例示厚度薄的外塗層 7034；但是，外塗層 7034 具有用於平坦化具有由於濾色器層 7033 導致的不均勻度的表面的功能。

在與分隔壁 7019 重疊的部分中設置接觸孔，該接觸孔形成於氧化物絕緣層 7031、絕緣層 7032 和保護絕緣層 7035 中，並且該接觸孔到達汲極電極層。在圖 13A 中，

到達汲極電極層的接觸孔與分隔壁 7019 彼此重疊，由此可以提高孔徑比。

接著，將參照圖 13B 描述具有雙發射結構的發光元件。

在圖 13B 中，發光元件 7022 的陰極 7023 形成於電連接至 TFT 7021 的透光導電膜 7027 上方，並且發光層 7024 和陽極 7025 係依序堆疊在陰極 7023 上方。注意，透光導電膜 7027 透過形成於氧化物絕緣層 7041、絕緣層 7042 和保護絕緣層 7045 中的接觸孔電連接至 TFT 7021 的汲極電極層。

作為透光導電膜 7027，可以使用含氧化鎢的氧化銦、含氧化鎢的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫（以下稱為 ITO）、氧化銦鋅或添加氧化矽的氧化銦錫的透光導電膜等。

陰極 7023 可以由多種材料形成，只要它們具有低功函數即可。例如，較佳諸如 Li 或 Cs 的鹼金屬；諸如 Mg、Ca 或 Sr 的鹼土金屬；包含任何這些元素的合金（Mg: Ag、Al: Li 等）；諸如 Yb 或 Er 的稀土金屬等。在本實施例中，陰極 7023 的厚度被形成為可以透光的厚度（較佳地，約 5 nm 到 30 nm）。例如，厚度為 20 nm 的鋁膜用作為陰極 7023。

注意，透光導電膜和鋁膜可以被堆疊然後選擇性蝕刻，由此可以形成透光導電膜 7027 和陰極 7023；在這種情況下，較佳地，可以使用相同的遮罩進行蝕刻。

陰極 7023 的週邊覆蓋有分隔壁 7029。分隔壁 7029 係使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷所形成，所述有機樹脂膜諸如是聚醯亞胺、丙烯酸樹脂、聚醯胺或環氧樹脂。特別較佳地，分隔壁 7029 使用感光材料形成以在陰極 7023 上方具有開口，由此將該開口的側壁形成為具有連續曲率的斜面。在將感光樹脂材料用於分隔壁 7029 的情況下，可以省略形成抗蝕劑遮罩的步驟。

形成於陰極 7023 和分隔壁 7029 上方的發光層 7024 可以被形成為單層或堆疊的多層。當發光層 7024 形成為多層時，透過在陰極 7023 上係依序堆疊電子注入層、電子輸送層、發光層、電洞輸送層和電洞注入層形成發光層 7024。注意，不是必須設置所有的這些層。

堆疊順序不限於上述堆疊順序，而可以在陰極 7023 上依序堆疊電洞注入層、電洞輸送層、發光層、電子輸送層和電子注入層。但是，當比較功耗時，由於功耗低，所以較佳在陰極 7023 上依序堆疊電子注入層、電子輸送層、發光層、電洞輸送層和電洞注入層。

作為形成於發光層 7024 上方的陽極 7025，可以採用多種材料，並且較佳使用例如具有高功函數的材料，例如 ITO、IZO、ZnO 等的透光導電材料。在本實施例中，將包含氧化矽的 ITO 膜用於陽極 7025。

發光元件 7022 對應於發光層 7024 夾在陰極 7023 與陽極 7025 之間的區域。在圖 13B 例示的元件結構的情況下，從發光元件 7022 到陽極 7025 側和陰極 7023 側二者



發射光，如箭頭所示。

注意，圖 13B 中例示如下實例：將透光導電膜用作為閘極電極層，從發光元件 7022 發射的光通過濾色器層 7043 和 TFT 7021 的閘極電極層和源極電極層，並發射光。當將透光導電膜用作為 TFT 7021 的閘極電極層和源極電極層時，陽極 7025 側的孔徑比可以與陰極 7023 側的孔徑比大致相同。

透過液滴排放法（例如，噴墨法、印刷法）、利用光刻技術的蝕刻法等，形成濾色器層 7043。

濾色器層 7043 覆蓋有外塗層 7044，並且還覆蓋有保護絕緣層 7045。

在與分隔壁 7029 重疊的部分中設置接觸孔，該接觸孔形成於氧化物絕緣層 7041、絕緣層 7042 和保護絕緣層 7045 中，並且該接觸孔到達汲極電極層。到達汲極電極層的接觸孔與分隔壁 7029 彼此重疊，由此陽極 7025 側的孔徑比可以與陰極 7023 側的孔徑比大致相同。

在與分隔壁 7029 重疊的部分中設置接觸孔，該接觸孔形成於保護絕緣層 7045 和絕緣層 7042 中，並且該接觸孔到達透光導電膜 7027。

注意，當使用具有雙發射結構的發光元件並在兩個顯示表面上進行全色顯示時，來自陽極 7025 的光不通過濾色器層 7043；因此，較佳地在陽極 7025 上設置密封基板，該密封基板設置有另一濾色器層。

接著，參照圖 13C 描述具有頂發射結構的發光元件。

圖 13C 是在 TFT 7001 是 n 型且光從發光元件 7002 到陽極 7005 側發射的情況下的像素的剖面圖。在圖 13C 中，形成電連接至 TFT 7001 的發光元件 7002 的陰極 7003，並且發光層 7004 和陽極 7005 係依序堆疊在陰極 7003 上方。

陰極 7003 可以使用多種導電材料形成，只要它們具有低功函數即可。例如，較佳諸如 Li 或 Cs 的鹼金屬；諸如 Mg、Ca 或 Sr 的鹼土金屬；包含任何這些元素的合金（Mg: Ag、Al: Li 等）；諸如 Yb 或 Er 的稀土金屬等。

陰極 7003 的週邊部分覆蓋有分隔壁 7009。分隔壁 7009 係使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷所形成，所述有機樹脂膜諸如是聚醯亞胺、丙烯酸樹脂、聚醯胺或環氧樹脂。特別較佳地，分隔壁 7009 使用感光材料形成以在陰極 7003 上方具有開口，由此將該開口的側壁形成為具有連續曲率的斜面。在將感光樹脂材料用於分隔壁 7009 的情況下，可以省略形成抗蝕劑遮罩的步驟。

形成於陰極 7003 和分隔壁 7009 上方的發光層 7004 可以被形成為單層或堆疊的多層。當發光層 7004 形成為多層時，透過在陰極 7003 上依序堆疊電子注入層、電子輸送層、發光層、電洞輸送層和電洞注入層形成發光層 7004。注意，不是必須設置所有的這些層。

堆疊順序不限於上述堆疊順序，而可以在陰極 7003 上依序堆疊電洞注入層、電洞輸送層、發光層、電子輸送層和電子注入層。在依序堆疊這些層的情況下，陰極

7003 用作爲陽極。

在圖 13C 中，在疊層膜上方依序堆疊電洞注入層、電洞輸送層、發光層、電子輸送層和電子注入層，在該疊層膜中依序堆疊 Ti 膜、Al 膜和 Ti 膜，因此，形成 Mg:Ag 合金薄膜和 ITO 的疊層。

但是，當比較功耗時，由於功耗低，所以較佳在陰極 7003 上依序堆疊電子注入層、電子輸送層、發光層、電洞輸送層和電洞注入層。

陽極 7005 使用透光導電材料形成，例如，可以使用含氧化錫的氧化銦、含氧化錫的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫、氧化銦鋅或添加氧化矽的氧化銦錫等的透光導電膜。

發光元件 7002 對應於發光層 7004 夾在陰極 7003 與陽極 7005 之間的區域。在圖 13C 例示的元件結構的情況下，從發光元件 7002 到陽極 7005 側發射光，如箭頭所示。

在圖 13C 中。例示將薄膜電晶體 460 用作爲 TFT 7001 的實例；但是，沒有特別限制，而可以使用另一薄膜電晶體。當使用另一薄膜電晶體作爲 TFT 7001 時，陰極 7003 與汲極電極層彼此電連接以彼此接觸。

在圖 13C 中，TFT 7001 的汲極電極層電連接至陰極 7003，在它們中間置有氧化物絕緣層 7051。平坦化絕緣層 7053 使用諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂的樹脂材料形成。除了這些樹脂材

料之外，也可以使用低介電常數材料（低 k 材料）、矽氧烷樹脂、磷矽玻璃（PSG）、硼磷矽玻璃（BPSG）等。注意，平坦化絕緣層 7053 可以透過堆疊由這些材料形成的多個絕緣膜來形成。對形成平坦化絕緣層 7053 的方法沒有特別限制，並且取決於材料可以透過諸如濺射法、SOG 法、旋塗、浸塗、噴塗或液滴排放法（例如，噴墨法、絲網印刷、膠版印刷等）的方法，或者諸如刮刀、輥塗機、幕塗機或刮刀塗布機的工具（裝置），形成平坦化絕緣層 7053。

設置分隔壁 7009 以將陰極 7003 和相鄰像素的陰極隔離。分隔壁 7009 係使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷所形成，所述有機樹脂膜諸如是聚醯亞胺、丙烯酸樹脂、聚醯胺或環氧樹脂。特別較佳地，分隔壁 7009 使用感光材料形成以在陰極 7003 上方具有開口，由此將該開口的側壁形成為具有連續曲率的斜面。在將感光樹脂材料用於分隔壁 7009 的情況下，可以省略形成抗蝕劑遮罩的步驟。

在圖 13C 的結構中，當進行全色顯示時，例如，將發光元件 7002 用作為綠色發光元件，將相鄰發光元件中的一個用作為紅色發光元件，並且將相鄰發光元件中的另一個用作為藍色發光元件。或者，可以使用四種發光元件製造能夠全色顯示的發光顯示裝置，這四種發光元件包括白色發光元件以及上述三種發光元件。

在圖 13C 的結構中，可以如下方式製造製造能夠全色

顯示的發光顯示裝置：佈置的全部多個發光元件是白色發光元件，並且在發光元件 7002 上佈置具有濾色器等密封基板。呈現諸如白色的單色的材料被形成並與濾色器或色彩轉換層組合，由此可以進行全色顯示。

不言而喻，也可以進行單色光的顯示。例如，可以利用白光發射形成發光系統，或者可以利用單色光發射形成區域色（area-color）發光裝置。

必要時，可以設置諸如包括環形偏振片的偏振膜的光學膜。

儘管這裏描述了有機 EL 元件作為發光元件，但是，也可以設置無機 EL 元件作為發光元件。

注意，描述了控制發光元件的驅動的薄膜電晶體（驅動 TFT）電連接至發光元件的實例；但是，可以採用用於電流控制的 TFT 連接在驅動 TFT 和發光元件之間的結構。

當結構不設置發光元件和分隔壁時，本發明的一個實施例可以應用於液晶顯示裝置。將在圖 47 中描述液晶顯示裝置的情況。

描述 n 型 TFT 7071 的情況。在圖 47 中，設置電連接至 TFT 7071 的透光導電膜 7067，並且透光導電膜 7067 透過形成於氧化物絕緣層 7061、保護絕緣層 7062、濾色器層 7063、外塗層 7064 和保護絕緣層 7065 中的接觸孔電連接至 TFT 7071 的汲極電極層。

作為透光導電膜 7067，例如，可以使用透光導電膜

，諸如含氧化鎢的氧化銦、含氧化鎢的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫（以下稱爲ITO）、氧化銦鋅或添加氧化矽的氧化銦錫的膜。

注意，圖 47 中例示使用透光導電膜作爲閘極電極層的實例，並且從背光等發射的光通過濾色器層 7063，並發射光。因而，使用透光導電膜作爲 TFT 7071 的閘極和源極電極層，並且可以提高孔徑比。

透過液滴排放法（例如，噴墨法、印刷法）、利用光刻技術的蝕刻法等，形成濾色器層 7063。

濾色器層 7033 覆蓋有外塗層 7064，並且還覆蓋有保護絕緣層 7065。注意，圖 47 中例示厚度薄的外塗層 7064；但是，外塗層 7064 具有用於平坦化具有由於濾色器層 7063 導致的不均勻度的表面的功能。

液晶層設置於透光導電膜 7067 上的結構可以應用於液晶顯示裝置。

接著，將參照圖 11A 和圖 11B 描述作爲半導體裝置的一個實施例的發光顯示面板（也稱爲發光面板）的外觀和剖面。圖 11A 是面板的平面圖，在該面板中薄膜電晶體和發光元件被用密封劑密封在第一基板和第二基板之間。圖 11B 是沿圖 11A 的線 H-I 所取出的剖面。

密封劑 4505 被設置爲圍繞設置於第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、信號線驅動電路 4503b、掃描線驅動電路 4504a 和掃描線驅動電路 4504b。此外，第二基板 4506 設置於像素部 4502、信號線驅動

電路 4503a 和 4503b 以及掃描線驅動電路 4504a 和 4504b 上。因而，透過第一基板 4501、密封劑 4505 和第二基板 4506，用填充劑 4507 將像素部 4502、信號線驅動電路 4503a 和 4503b 以及掃描線驅動電路 4504a 和 4504b 密封在一起。較佳地，用保護膜（諸如接合膜或紫外可固化樹脂膜）或者具有高氣密性和小脫氣作用的覆蓋材料如此封裝（密封）顯示裝置，使得該顯示裝置不暴露於外部空氣。

形成於第一基板 4501 上的像素部 4502、信號線驅動電路 4503a 和 4503b 以及掃描線驅動電路 4504a 和 4504b 中的每一個包括多個薄膜電晶體，並且在圖 11B 作為實例例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

作為薄膜電晶體 4509 和 4510，可以採用在第一實施例至第七實施例的任一個中描述的包括氧化物半導體層的高可靠薄膜電晶體。作為用於驅動電路的薄膜電晶體 4509，可以使用薄膜電晶體 410、440、449、460、490 或 492。作為用於像素的薄膜電晶體 4510，例如，可以使用在第一實施例至第七實施例的任一個中描述的薄膜電晶體 420、451、470 和 493 中的任一個。在本實施例中，薄膜電晶體 4509 和 4510 是 n 通道薄膜電晶體。

在絕緣層 4544 上，在與用於驅動電路的薄膜電晶體 4509 的氧化物半導體層的通道形成區重疊的部分中設置導電層 4540。當在與氧化物半導體層的通道形成區重疊

的部分中設置導電層 4540 時，可以減小 BT 測試前後薄膜電晶體 4509 的閾值電壓的偏移量。導電層 4540 可以具有與薄膜電晶體 4509 的閘極電極層的電位相同或不同的電位，並且可以用作為第二閘極電極層。導電層 4540 的電位可以是 GND、0 V 或處於浮置狀態。

在薄膜電晶體 4509 中，將氧化物絕緣層 4541 形成為保護絕緣膜以與包括通道形成區的半導體層接觸。氧化物絕緣層 4541 可以使用類似於在第一實施例中描述的氧化物絕緣層 416 的材料和方法形成。此外，為了降低薄膜電晶體的表面粗糙度，薄膜電晶體覆蓋有用作為平坦化絕緣膜的絕緣層 4544。這裏，利用第一實施例，透過濺射法形成氧化矽膜作為氧化物絕緣層 4541。

保護絕緣層 4543 形成於氧化物絕緣層 4541 上。保護絕緣層 4543 可以使用類似於在第一實施例中描述的保護絕緣層 403 的材料和方法形成。這裏，透過 PCVD 方法形成氮化矽膜作為保護絕緣層 4543。

此外，形成絕緣層 4544 作為平坦化絕緣膜。絕緣層 4544 可以使用類似於在第一實施例中描述平坦化絕緣層 404 的材料和方法形成。這裏，將丙烯酸樹脂用於絕緣層 4544。

作為包括在發光元件 4511 中的像素電極的第一電極層 4517 電連接至薄膜電晶體 4510 的源極電極層或汲極電極層。注意，發光元件 4511 的結構不限於疊層結構，該疊層結構包括第一電極層 4517、電致發光層 4512 和第二



電極層 4513。可以根據從發光元件 4511 提取光的方向等適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁 4520。特別較佳地，分隔壁 4520 係使用感光材料所形成以便在第一電極層 4517 上方具有開口，據此將該開口的側壁形成為具有連續曲率的斜面。

電致發光層 4512 可以形成為單層或堆疊的多層。

注意，保護膜可以形成於第二電極層 4513 和分隔壁 4520 上以防止氧、氫、水分、二氧化碳等進入發光元件 4511。作為該保護膜，可以形成氮化矽膜、氧氮化矽膜、DLC 膜等。

從 FPC 4518a 和 FPC 4518b 將多種信號和電位供應到信號線驅動電路 4503a 和 4503b、掃描線驅動電路 4504a 和 4504b 或像素部 4502。

由與包括在發光元件 4511 中的第一電極層 4517 相同的導電膜形成連接端子電極 4515，並由與包括在薄膜電晶體 4510 中的源極電極層和汲極電極層相同的導電膜形成端子電極 4516。

連接端子電極 4515 透過各向異性導電膜 4519 而被電連接至 FPC 4518a 的端子。

位於從發光元件 4511 提取光的方向上的基板需要具有透光性。在這種情況下，使用諸如玻璃板、塑膠板、聚酯膜或丙烯酸樹脂膜的透光材料作為該基板。

作為填充劑 4507，除了諸如氮氣或氫氣的惰性氣體

之外，可以使用紫外可固化樹脂或熱固樹脂。例如，可以使用聚氯乙烯（PVC）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、聚乙烯醇縮丁醛（PVB）或乙烯-乙酸乙烯酯共聚物（EVA）。

必要時，可以在發光元件 4511 的發光表面上適當地設置光學膜，諸如偏振片、環形偏振片（包括橢圓形偏振片）、延遲片（四分之一波片或半波片）或濾色器。此外，可以為偏振片或環形偏振片設置抗反射膜。例如，可以進行抗眩光處理，由此可以透過表面上的凸部和凹部將反射光漫射，從而減少眩光。

信號線驅動電路 4503a 和 4503b 以及掃描線驅動電路 4504a 和 4504b 可以被安裝在單獨地準備的基板上，作為使用單晶半導體膜或多晶半導體膜形成的驅動電路。或者，可以單獨地形成和安裝僅信號線驅動電路或其部分，或者僅掃描線驅動電路或其部分。本實施例不限於圖 11A 和圖 11B 例示的結構。

透過上述製程，可以製造作為半導體裝置的高可靠發光顯示裝置（顯示面板）。

本實施例可以與其他實施例中描述的結構適當組合地實施。

#### （第十五實施例）

本說明書揭示的半導體裝置可以應用於電子紙張。電子紙張可以用於多種領域中的電子裝置，只有它們可以顯

示資料即可。例如，電子紙張可以應用於電子書閱讀器（電子書）、海報、諸如火車的車輛中的廣告或諸如信用卡的各種卡的顯示。電子裝置的實例在圖 20 中例示。

圖 20 例示電子書閱讀器的實例。例如，電子書閱讀器 2700 包括兩個殼體，殼體 2701 和殼體 2703。用鉸鏈 2711 組合殼體 2701 和殼體 2703，由此可以利用鉸鏈 2711 作為軸打開和閉合電子書閱讀器 2700。利用這種結構，電子書閱讀器 2700 可以像紙質書一樣操作。

顯示部 2705 和顯示部 2707 分別被結合在殼體 2701 和殼體 2703 中。顯示部 2705 和顯示部 2707 可以顯示一個影像或不同的影像。在顯示部 2705 和顯示部 2707 顯示不同的影像的情況下，例如，文本可以顯示在右側的顯示部（圖 20 的顯示部 2705）上，而圖形可以顯示在左側的顯示部（圖 20 的顯示部 2707）上。

圖 20 例示殼體 2701 設置有操作部等的實例。例如，殼體 2701 設置有電源開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，可以在與殼體的顯示部相同的表面上設置鍵盤、指向裝置等。此外，可以在殼體的背表面或側表面上設置外部連接端子（耳機端子、USB 端子、可以連接至諸如交流適配器和 USB 線纜的各種線纜的端子等）、記錄媒體插入部分等。並且，電子書閱讀器 2700 可以具有電子辭典的功能。

電子書閱讀器 2700 可以具有能夠無線發送和接收資料的構造。透過無線通信，可以從電子書伺服器購買和下載

載期望的書籍資料等。

(第十六實施例)

本說明書揭示的半導體裝置可以應用於多種電子裝置(包括娛樂機)。電子裝置的實例包括電視機(也稱為電視或電視接收機)、電腦等的監視器、諸如數位照相機或數位攝像機的相機、數位相框、蜂巢式電話(也稱為移動式電話或移動式電話機)、攜帶型遊戲機、攜帶型資訊終端、音頻再現裝置、大尺寸遊戲機(例如,彈球機)等。

圖 21A 例示電視機的實例。在電視機 9600 中,顯示部 9603 被結合到殼體 9601 中。影像可以被顯示在顯示部 9603 上。這裏,殼體 9601 係由台座 9605 所支撐。

可以用殼體 9601 的操作開關或單獨的遙控器 9610 操作電視機 9600。可以用遙控器 9610 的操作鍵 9609 控制頻道和音量,從而可以控制在顯示部 9603 上顯示的影像。此外,遙控器 9610 可以設置有顯示部 9607,用於顯示從遙控器 9610 輸出的資料。

注意,電視機 9600 係設置有接收器、數據機等。利用接收器,可以接收普通電視廣播。此外,當電視機 9600 經由數據機透過有線或無線連接被連接至通信網路時,可以進行單向(從發送器到接收器)或雙向(在發送器和接收器之間、在接收器之間等)資料通信。

圖 21B 例示數位相框的實例。例如,在數位相框 9700 中,顯示部 9703 結合到殼體 9701 中。各種影像可

以顯示在顯示部 9703 上。例如，顯示部 9703 可以顯示由數位照相機等拍攝的影像的資料以用作為普通相框。

注意，數位相框 9700 係設置有操作部、外部連接部（USB 埠、可以連接至諸如 USB 線纜的各種線路的埠等）、記錄媒體插入部等。它們可以設置在與顯示部相同的表面上，但是對於數位相框 9700 的設計，較佳將它們設置在側表面或背表面上。例如，將儲存由數位照相機所拍攝到的影像資料的記憶體插入數位相框 9700 的記錄媒體插入部中，由此可以下載影像資料並在顯示部 9703 上顯示。

數位相框 9700 可以具有能夠無線發送和接收資料的構造。透過無線通信，可以下載想要的影像資料來顯示。

圖 22A 例示攜帶型娛樂機，其包括兩個殼體：殼體 9881 和殼體 9891。殼體 9881 和 9891 與連接部 9893 連接以被打開和閉合。顯示部 9882 和顯示部 9883 分別結合到殼體 9881 和殼體 9891 中。此外，圖 22A 例示的攜帶型娛樂機包括揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入裝置（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力、位移、位置、速度、加速度、角速度、轉動頻率、距離、光、液體、磁、溫度、化學物質、聲、時間、硬度、電場、電流、電壓、電功率、輻射、流速、濕度、梯度、振盪、氣味或紅外線的功能的感測器）或微音器 9889）等。不言而喻，攜帶型娛樂機的結構不限於上述結構，而可以採用至少設置有本說明書揭示的

半導體裝置的其他結構。攜帶型娛樂機可以適當地包括其他附屬設備。圖 22A 例示的攜帶型娛樂機具有讀取儲存在記錄媒體中的程式或資料以將其顯示在顯示部上的功能，以及透過無線通信與另一攜帶型娛樂機共用資訊的功能。圖 22A 例示的攜帶型娛樂機可以具有多種功能，不限於上述功能。

圖 22B 例示作為大尺寸娛樂機的自動販賣機的實例。在投幣機 9900 中，顯示部 9903 被結合到殼體 9901 中。此外，投幣機 9900 包括諸如開始桿或停止開關的操作裝置、投幣槽、揚聲器等。不言而喻，投幣機 9900 的結構不限於上述結構，而可以採用至少設置有本說明書揭示的半導體裝置的其他結構。投幣機 9900 可以適當地包括其他附屬設備。

圖 23A 是例示攜帶型電腦的實例的透視圖。

在圖 23A 的攜帶型電腦中，透過將連接頂部殼體 9301 和底部殼體 9302 的鉸鏈單元閉合，可以使具有顯示部 9303 的頂部殼體 9301 與具有鍵盤 9304 的底部殼體 9302 彼此重疊。圖 23A 的攜帶型電腦可以便於攜帶，並在使用用於輸入的鍵盤的情況下，打開鉸鏈單元，並且用戶可以看著顯示部 9303 進行輸入。

除了鍵盤 9304 之外，底部殼體 9302 包括指向裝置 9306，利用其可以進行輸入。此外，當顯示部 9303 是觸控輸入面板時，可以透過觸摸顯示部的一部分進行輸入。底部殼體 9302 包括諸如 CPU 或硬碟的演算法功能部。此

外，底部殼體 9302 包括外部連接埠 9305，在其中插入另一裝置，諸如符合 USB 通信標準的通信纜線。

包括顯示部 9307 的頂殼體 9301 可以具有大顯示幕，並且可以透過將顯示部 9307 向頂部殼體 9301 的內部滑動將顯示部 9307 保持在其中。此外，用戶可以調整可以被保持在頂部殼體 9301 中的顯示部 9307 的螢幕取向。當可以被保持在頂部殼體 9301 中的顯示部 9307 是觸控輸入面板時，可以透過觸摸可以被保持在頂部殼體 9301 中的顯示部 9307 的一部分進行輸入。

顯示部 9303 或可以被保持在頂部殼體 9301 中的顯示部 9307 使用液晶顯示面板、諸如有機發光元件或無機發光元件的發光顯示面板的影像顯示裝置等形成。

此外，圖 23A 的攜帶型電腦可以設置有接收器等並且可以接收電視廣播以在顯示部 9303 或顯示部 9307 上顯示影像。在將連接頂部殼體 9301 和底部殼體 9302 的鉸鏈單元保持閉合時，當透過滑動顯示部 9307 暴露顯示部 9307 的整個螢幕時，用戶可以觀看電視廣播。在這種情況下，不打開鉸鏈單元，並且不在顯示部 9303 上進行顯示。此外，僅進行用於顯示電視廣播的電路的啟動。因此，可以消耗最少的電力，這對電池容量有限的攜帶型電腦而言是有用的。

圖 23B 是例示用戶可以像腕表一樣戴在腕上的蜂巢式電話的實例的透視圖。該蜂巢式電話形成有：包括通信裝置和電池的主體，該通信裝置至少包括電話功能；帶部

9204，其使得主體能夠被戴在腕上；調整部 9205，用於調整帶部對於腕固定的定置；顯示部 9201；揚聲器 9207；和微音器 9208。

此外，主體包括操作開關 9203。例如，除了用作為用於接通電源的開關、用於轉換顯示的開關、用於指示開始取影像的開關等之外，操作開關 9203 用作為用於當按下開關時啓動因特網程式的開關，並且可以被使用以對應於每個功能。

透過用手指或輸入筆觸摸顯示部 9201，對操作開關 9203 進行操作，或將語音輸入到微音器 9208 中，操作對該蜂巢式電話的輸入。注意，圖 23B 中例示了在顯示部 9201 上顯示的被顯示按鈕 9202。可以透過用手等觸摸被顯示按鈕 9202 進行輸入。

此外，主體包括相機部 9206，相機部 9206 包括影像拾取裝置，該影像拾取裝置具有將透過相機鏡頭所形成的物體之影像轉變成電子影像信號的功能。注意，不是必須設置相機部。

圖 23B 例示的蜂巢式電話設置有電視廣播接收器等，並且可以透過接收電視廣播在顯示部 9201 上顯示影像。此外，圖 23B 例示的蜂巢式電話設置有諸如記憶體的記憶體裝置等，並且可以講電視廣播記錄在記憶體中。圖 23B 例示的蜂巢式電話可以具有諸如 GPS 的收集位置資訊的功能。

液晶顯示面板、諸如有機發光元件或無機發光元件的



發光顯示面板等的影像顯示裝置用作為顯示部 9201。圖 23B 例示的蜂巢式電話是小型和輕量的，並且圖 23B 例示的蜂巢式電話的電池容量有限。因此，較佳地使用可以用低功耗驅動的面板作為顯示部 9201 的顯示裝置。

注意，圖 23B 例示戴在腕上的電子裝置；但是，本實施例不限於此，只要採用便攜形狀皆可。

#### (第十七實施例)

本實施例將參照圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、圖 34、圖 35、圖 36 和圖 37，描述包括在第一實施例至第七實施例中描述的任何薄膜電晶體的顯示裝置的實例作為半導體裝置的一個實施例。在本實施例中，將參照圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、圖 34、圖 35、圖 36 和圖 37，描述使用液晶元件作為顯示元件的液晶顯示裝置。第一實施例至第七實施例中描述的任何薄膜電晶體可以應用於圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、圖 34、圖 35、圖 36 和圖 37 例示的液晶顯示裝置所用的 TFT 628 和 TFT 629，TFT 628 和 TFT 629 可以類似於第一實施例至第七實施例中描述的任何薄膜電晶體的方式製造，並且具有高電特性和高可靠性。TFT 628 和 TFT 629 中的每一個包括氧化物半導體作為通道形成區。在圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、圖 34

、圖 35、圖 36 和圖 37 中解釋將圖 4A 例示的薄膜電晶體用作為薄膜電晶體的實例的情況，但是情況並不限於此。

首先，描述垂直對準（VA）液晶顯示裝置。VA 顯示裝置具有一種形式，其中液晶顯示面板的液晶分子的對準受控。VA 液晶顯示裝置具有當不施加電壓時液晶分子垂直於面板表面的形式。特別地，在本實施例中，設計成將像素分割成若干區域（子像素），由此分子在相應區域中在不同方向對準。這被稱為域增（domain multiplication）或多域設計。在以下的說明中，描述具有多域設計的液晶顯示裝置。

圖 25 和圖 26 分別例示像素電極和對置電極。圖 25 是設置有像素電極的基板的一側的平面圖。圖 24 例示沿途 25 的線 E-F 所取出的剖面結構。圖 26 是設置有對置電極的基板的一側的平面圖。以下，參照這些附圖進行描述。

圖 24 例示以下狀態：設置有 TFT 628、電連接至 TFT 628 的像素電極層 624 和儲存電容器部 630 的基板 600 與設置有對置電極層 640 等的對基板 601 重疊，並且在基板 600 與對基板 601 之間注入液晶。

對基板 601 係設置有著色膜 636 和對置電極層 640，並且對置電極層 640 係設置有突出部 644。對準膜 648 形成於像素電極層 624 上。類似地，對置電極層 640 和突出部 644 也設置有對準膜 646。液晶層 650 係形成於基板 600 與對基板 601 之間。

儘管這裏將柱狀間隔物用作爲間隔物，但是可以分散珠形間隔物。此外，間隔物也可以在設置於基板 600 上的像素電極層 624 上方形成。

TFT 628、電連接至 TFT 628 的像素電極層 624 和儲存電容器部 630 係形成於基板 600 的上方。像素電極層 624 透過接觸孔 623 而被電連接至 TFT 628 以及佈線 618a 和佈線 618b，接觸孔 623 穿過覆蓋儲存電容器部 630 的絕緣膜 620，穿過覆蓋絕緣膜 620 的絕緣膜 696，並且穿過覆蓋絕緣膜 696 的絕緣膜 622。第一實施例到第七實施例中描述的任何薄膜電晶體可以適當地用作爲 TFT 628。儲存電容器部 630 包括：第一電容器佈線 604，其在形成 TFT 628 的閘極佈線 602 的同時形成；閘極絕緣膜 606；以及在形成佈線 616 的同時形成的第二電容器佈線 617a 和第二電容器佈線 617b。

透過重疊像素電極層 624、液晶層 650 和對置電極層 640，以形成液晶元件。

例如，使用在第一實施例至第七實施例中描述的任何材料形成像素電極層 624。像素電極層 624 設置有狹縫 625。狹縫 625 具有控制液晶的對準的功能。

圖 25 例示的 TFT 629、電連接至 TFT 629 的像素電極層 626 和儲存電容器部 631 可分別以類似於 TFT 628、像素電極層 624 和儲存電容器部 630 的方式形成。TFT 628 和 TFT 629 都連接至佈線 616。該液晶顯示面板的像素包括像素電極層 624 和 626。像素電極層 624 和 626 中

的每一個位於子像素中。

圖 26 例示對基板側上的平面結構。對置電極層 640 較佳使用類似於像素電極層 624 的材料形成。對置電極層 640 係設置有用以控制液晶的對準的突出部 644。注意，在圖 26 中，像素電極層 624 和 626 由虛線指示，並且對置電極層 640 與像素電極層 624 和 626 彼此重疊。

圖 27 例示該像素結構的等效電路。TFT 628 和 TFT 629 都連接至閘極佈線 602 和佈線 616。在這種情況下，當電容器佈線 604 和電容器佈線 605 的電位彼此不同時，液晶元件 651 和液晶元件 652 的操作可以改變。也就是說，透過個別控制電容器佈線 604 和 605 的電位，精確控制液晶的對準，並增大視角。

當將電壓施加到設置有狹縫 625 的像素電極層 624 時，在狹縫 625 附近產生電場失真（傾斜電場）。狹縫 625 和對基板 601 側上的突出部 644 以接合的方式交替佈置，從而有效地產生傾斜電場以控制液晶的對準，由此液晶的對準方向根據位置而改變。也就是說，透過域增，增大了液晶顯示面板的視角。

接著，參照圖 28、圖 29、圖 30 和圖 31 描述與上述裝置不同的另一 VA 液晶顯示裝置。

圖 28 和圖 29 中的每一個例示 VA 液晶顯示面板的像素結構。圖 29 是基板 600 的平面圖。圖 28 例示沿圖 29 的線 Y-Z 所取出的剖面結構。以下參照這些附圖進行描述。

在本像素結構中，一個像素中包括多個像素電極，並且每個像素電極連接至相應的 TFT。每個 TFT 由不同的閘極信號確定。也就是說，該結構是在多域像素中個別地控制供應到每個像素電極的信號的結構。

透過穿過絕緣膜 620、絕緣膜 621 和絕緣膜 622 的接觸孔 623，像素電極層 624 透過佈線 618 而被連接至 TFT 628。透過穿過絕緣膜 620、絕緣膜 621 和絕緣膜 622 的接觸孔 627，像素電極層 626 透過佈線 619 而被連接至 TFT 629。TFT 628 的閘極佈線 602 與 TFT 629 的閘極佈線 603 分離，從而可以給予不同的閘極信號。相對照地，用作為資料線的佈線 616 為 TFT 628 和 629 所共用。作為 TFT 628 和 629 中的每一個，可以適當地使用第一實施例至第七實施例中描述的薄膜電晶體中的任一個。注意，第一閘極絕緣膜 606a 和第二閘極絕緣膜 606b 形成於閘極佈線 602、閘極佈線 603 和電容器佈線 690 上方。

像素電極層 624 和 626 具有不同的形狀並且由狹縫 625 分離。像素電極層 626 形成為圍繞擴展成 V 形的像素電極層 624 的外側。透過 TFT 628 和 629 使得施加在像素電極層 624 和 626 之間的電壓改變以控制液晶的對準。圖 31 例示該像素結構的等效電路。TFT 628 連接至閘極佈線 602。TFT 629 連接至閘極佈線 603。TFT 628 和 TFT 629 都連接至佈線 616。當將不同的閘極信號施加到閘極佈線 602 和 603 時，可以改變 TFT 628 和 TFT 629 的操作定時。液晶元件 651 和 652 的操作可以改變。也就是說，TFT

628 和 TFT 629 的操作被個別地控制，由此精確控制液晶元件 651 和 652 的液晶的操作，並可以增大視角。

對基板 601 係設置有著色膜 636 和對置電極層 640。並且，在著色膜 636 與對置電極層 640 之間形成平坦化膜 637 以防止液晶的對準無序。圖 30 例示對基板側上的平面結構。在對置電極層 640 中形成狹縫 641，其在不同像素間共用。狹縫 641 與像素電極層 624 和 626 側上的狹縫 625 以接合的方式交替佈置；因此，有效地產生傾斜電場，並可以控制液晶的對準。因而，液晶的對準方向可以根據位置而改變，並且增大了視角。注意，在圖 30 中，形成於基板 600 上的像素電極層 624 和 626 由虛線指示，並且對置電極層 640 與像素電極層 624 和 626 彼此重疊。

第一液晶元件透過重疊像素電極層 624、液晶層 650 和對置電極層 640 形成。第二液晶元件透過重疊像素電極層 626、液晶層 650 和對置電極層 640 形成。圖 28、圖 29、圖 30、圖 31 和圖 32 例示的顯示面板的像素結構是多域結構，其中第一液晶元件和第二液晶元件被包括在一個像素中。

接著，描述水平電場液晶顯示裝置。水平電場模式是一種將電場水平地施加到單元中的液晶分子以驅動液晶顯示灰度的模式。透過這種方法，可以將視角增加到約 180 度。以下，描述採用水平電場模式的液晶顯示裝置。

圖 32 例示了如下狀態：設置有電極層 607、TFT 628 和電連接至 TFT 628 的像素電極層 624 的基板 600 與對基

板 601 重疊，並在基板 600 與對基板 601 之間注入液晶。對基板 601 設置有著色膜 636、平坦化膜 637 等。注意，在對基板 601 側不設置對置電極層。液晶層 650 形成在基板 600 與對基板 601 之間，對準膜 646 和 648 置於它們中間。

在基板 600 上方形成電極層 607、電連接至電極層 607 的電容器佈線 604、和 TFT 628，TFT 628 是在第一實施例至第七實施例的任一個中描述的薄膜電晶體。電容器佈線 604 可以使用類似於 TFT 628 的閘極佈線 602 的材料形成。作為 TFT 628，可以使用在第一實施例至第七實施例的任一個中描述的薄膜電晶體。電極層 607 可以使用類似於在第一實施例至第七實施例的任一個中描述的像素電極層的材料形成。電極層 607 形成為大致分隔成像素形狀的形狀。注意，閘極絕緣膜 606 形成於電極層 607 和電容器佈線 604 上方。

TFT 628 的佈線 616 和 618 形成於閘極絕緣膜 606 上方。佈線 616 用作為在一個方向延伸的資料線（透過其在液晶顯示面板中傳輸視頻信號），並用作為 TFT 628 的源極電極和汲極電極的其中一個。佈線 618 用作為源極電極和汲極電極的另一個，並電連接至第二像素電極層 624。

絕緣膜 620 形成於佈線 616 和 618 上方。絕緣膜 696 形成於絕緣膜 620 上方。在絕緣膜 696 上方，形成透過形成於絕緣膜 620 和 696 中的接觸孔 623 電連接至佈線 618 的像素電極層 624。像素電極層 624 使用類似於在第一實

施例至第七實施例的任一個中描述的像素電極層的材料形成。

以這種方式，在基板 600 上形成 TFT 628 和電連接至 TFT 628 的像素電極層 624。注意，在電極層 607 和像素電極層 624 之間形成儲存電容器。

圖 33 是例示像素電極的結構的平面圖。圖 32 例示沿圖 33 的線 O-P 所取出的剖面結構。像素電極層 624 設置有狹縫 625。狹縫 625 用於控制液晶的對準。在這種情況下，在電極層 607 和像素電極層 624 之間產生電場。形成於電極層 607 與像素電極層 624 之間的閘極絕緣膜 606 的厚度是 50 nm 至 200 nm，這與厚度為  $2\ \mu\text{m}$  至  $10\ \mu\text{m}$  的液晶層相比足夠薄。因而，產生（在水平方向）基本平行於基板 600 的電場。液晶的對準由電場控制。使用大致平行於基板的電場使得液晶分子水平地轉動。在這種情況下，由於在任何狀態下液晶分子平行於基板，因此對比度等受視角改變的影響較小，並且可以增大視角。此外，由於電極層 607 和像素電極層 624 是透光電極，可以增加孔徑比。

接著，描述水平電場液晶顯示裝置的另一實例。

圖 34 和圖 35 都例示 IPS 液晶顯示裝置的像素結構。圖 35 是平面圖。圖 34 例示沿圖 35 的線 V-W 所取出的剖面結構。以下，參照這些附圖進行描述。

圖 34 例示如下狀態：設置有 TFT 628 和電連接至 TFT 628 的像素電極層 624 的基板 600 與對基板 601 重疊



，並在基板 600 與對基板 601 之間注入液晶。對基板 601 設置有著色膜 636、平坦化膜 637 等。在對基板 601 側不設置對置電極層。液晶層 650 係形成在基板 600 與對基板 601 之間，且對準膜 646 和 648 係置於其間。

在基板 600 上方形成共用電位線 609 和在第一實施例至第七實施例的任一個中描述的 TFT 628。共用電位線 609 可以在形成 TFT 628 的閘極佈線 602 的同時形成。作為第一像素電極的像素電極層 624 形成為大致分隔成像素形狀的形狀。作為 TFT 628，可以使用在第一實施例至第七實施例的任一個中描述的薄膜電晶體。

TFT 628 的佈線 616 和 618 形成於閘極絕緣膜 606 上方。佈線 616 用作為在一個方向延伸的資料線（透過其在液晶顯示面板中傳輸視頻信號），並用作為 TFT 628 的源極極和汲極電極中的一個。佈線 618 用作為源極電極和汲極電極中的另一個，並電連接至像素電極層 624。

絕緣膜 620 係形成於佈線 616 和 618 的上方。絕緣膜 696 係形成於絕緣膜 620 的上方。在絕緣膜 696 的上方，形成透過形成於絕緣膜 620 和 696 中的接觸孔 623 電連接至佈線 618 的像素電極層 624。像素電極層 624 使用類似於在第一實施例至第七實施例的任一個中描述的像素電極層的材料來予以形成。注意，如圖 35 所例示的，形成像素電極層 624 以用梳狀電極產生水平電場，該梳狀電極在形成共用電位線 609 的同時形成。並且，形成像素電極層 624 以使得像素電極層 624 的梳齒部與在形成共用電位線

609 的同時形成的梳狀電極交替地接合。

液晶的對準由在施加到像素電極層 624 的單位與共用電位線 609 的電位之間產生的電場所控制。使用大致平行於基板的電場使液晶分子水平地轉動。在這種情況下，由於在任何狀態下液晶分子平行於基板，因此對比度等受視角改變的影響較小，並且可以增大視角。

以這種方式，在基板 600 上形成 TFT 628 和電連接至 TFT 628 的像素電極層 624。使用共用電位線 609、電容器電極 615 和設置於它們之間的閘極絕緣膜 606 形成儲存電容器。電容器電極 615 和像素電極層 624 透過接觸孔 633 而相連接。

接下來，描述 TN 液晶顯示裝置的模式。

圖 36 和圖 37 都例示 TN 液晶顯示裝置的像素結構。圖 37 是平面圖。圖 36 例示沿圖 37 的線 K-L 所取出的剖面結構。以下，參照這些附圖進行描述。

像素電極層 624 透過佈線 618 和形成於絕緣膜 620 和 696 中的接觸孔 623 而被連接至 TFT 628。用作為資料線的佈線 616 連接至 TFT 628。作為 TFT 628，可以使用在第一實施例至第七實施例中描述的任一個 TFT。

像素電極層 624 使用類似於在第一實施例至第七實施例的任一個中描述的像素電極層的材料形成。電容器佈線 604 可以在形成 TFT 628 的閘極佈線 602 的同時形成。閘極絕緣膜 606 形成於閘極佈線 602 和電容器佈線 604 上方。使用電容器佈線 604、電容器電極 615 和在電容器佈線

604 與電容器電極 615 之間的閘極絕緣膜 606 形成儲存電容器。電容器電極 615 透過接觸孔 633 而被連接至像素電極層 624。

對基板 601 設置有著色膜 636 和對置電極層 640。平坦化膜 637 形成於着色膜 636 和對置電極層 640 之間以防止液晶的對準無序。液晶層 650 係形成於像素電極層 624 與對置電極層 640 之間，對準膜 648 和 646 係置於其間。

透過重疊像素電極層 624、液晶層 650 和對置電極層 640 形成液晶元件。

着色膜 636 可以設置於基板 600 側上。此外，偏振片附接到基板 600 的一個表面，該表面與其上形成薄膜電晶體的表面相反。並且，偏振片附接到對基板 601 的一個表面，該表面與其上形成對置電極層 640 的表面相反。

透過上述製程，可以形成作為顯示裝置的液晶顯示裝置。本實施例的液晶顯示裝置具有高孔徑比。

本申請案係基於 2009 年 8 月 7 日向日本專利局提交的日本專利申請案第 2009-185300 號，這裏透過援引而加入該日本申請案的全部內容。

### 【圖式簡單說明】

在附圖中：

圖 1A1、圖 1A2、圖 1B、和圖 1C 是例示半導體裝置的視圖；

圖 2A 至圖 2E 是例示製造半導體裝置的方法的視圖

;

圖 3A 至圖 3D 是例示製造半導體裝置的方法的視圖

;

圖 4A 至圖 4C 是例示製造半導體裝置的方法的視圖

;

圖 5A 至圖 5C 是例示製造半導體裝置的方法的視圖

;

圖 6 是例示半導體裝置的視圖；

圖 7A 和圖 7B 都是是例示半導體裝置的視圖；

圖 8A 和圖 8B 都是例示半導體裝置的視圖；

圖 9A 和圖 9B 都是例示半導體裝置的視圖；

圖 10A1、圖 10A2 和圖 10B 都是例示半導體裝置的視圖；

圖 11A 和圖 11B 都是例示半導體裝置的視圖；

圖 12 是例示半導體裝置中的像素的等效電路的視圖

;

圖 13A 至圖 13C 都是例示半導體裝置的視圖；

圖 14A 和圖 14B 都是例示半導體裝置的框圖；

圖 15A 和圖 15B 分別是信號線驅動電路的構造和操作；

圖 16A 至圖 16C 都是例示移位暫存器的構造的視圖

;

圖 17A 和圖 17B 分別是移位暫存器的構造和操作；

圖 18 是例示半導體裝置的視圖；

圖 19 是例示半導體裝置的視圖；

圖 20 是例示電子書閱讀器的實例的外部視圖；

圖 21A 和圖 21B 分別是例示電視裝置和數位相框的實例的外部視圖；

圖 22A 和圖 22B 都是例示遊戲機的實例的外部視圖；

圖 23A 和圖 23B 分別是例示攜帶型電腦和移動式電話的實例的外部視圖；

圖 24 是例示半導體裝置的視圖；

圖 25 是例示半導體裝置的視圖；

圖 26 是例示半導體裝置的視圖；

圖 27 是例示半導體裝置的視圖；

圖 28 是例示半導體裝置的視圖；

圖 29 是例示半導體裝置的視圖；

圖 30 是例示半導體裝置的視圖；

圖 31 是例示半導體裝置的視圖；

圖 32 是例示半導體裝置的視圖；

圖 33 是例示半導體裝置的視圖；

圖 34 是例示半導體裝置的視圖；

圖 35 是例示半導體裝置的視圖；

圖 36 是例示半導體裝置的視圖；

圖 37 是例示半導體裝置的視圖；

圖 38A1、圖 38A2、圖 38B 和圖 38C 是例示半導體裝置的視圖；

圖 39A 至圖 39E 是例示製造半導體裝置的方法的視圖；

圖 40A 至圖 40D 是例示製造半導體裝置的方法的視圖；

圖 41A 至圖 41C 是例示製造半導體裝置的方法的視圖；

圖 42 是例示半導體裝置的視圖；

圖 43A1、圖 43A2、圖 43B 和圖 43C 例示半導體裝置的視圖；

圖 44A 至 44C 是例示製造半導體裝置的方法的視圖；

圖 45A1、圖 45A2、圖 45B 和圖 45C 是例示半導體裝置的視圖；

圖 46A 至圖 46C 是例示製造半導體裝置的方法的視圖；以及

圖 47 是例示半導體裝置的視圖。

#### 【主要元件對照表】

410：薄膜電晶體

411：閘極電極層

402：閘極絕緣層

412：氧化物半導體

413：通道形成區

414a：高電阻源極區

414b : 高電阻汲極區  
408a : 低電阻源極區  
408b : 低電阻汲極區  
415a : 源極電極層  
415b : 汲極電極層  
400 : 基板  
416 : 氧化物絕緣層  
417 : 導電層  
420 : 薄膜電晶體  
404 : 平坦化絕緣層  
422 : 氧化物半導體層  
423 : 通道形成區  
424a : 高電阻源極區  
424b : 高電阻汲極區  
409a : 源極電極層  
409b : 汲極電極層  
421 : 閘極電極層  
427 : 像素電極層  
430 : 氧化物半導體層  
431 : 氧化物半導體層  
432 : 氧化物半導體層  
433a : 抗蝕劑遮罩  
433b : 抗蝕劑遮罩  
406 : 氧化物導電層

- 407 : 氧化物導電層
- 418 : 區域
- 419 : 區域
- 426 : 接觸孔
- 438 a : 抗蝕劑遮罩
- 438 b : 抗蝕劑遮罩
- 480 : 氧化物半導體膜
- 441 : 接觸孔
- 443 : 氧化物半導體層
- 445 : 氧化物半導體層
- 449 : 薄膜電晶體
- 451 : 薄膜電晶體
- 445 a : 抗蝕劑遮罩
- 445 b : 抗蝕劑遮罩
- 460 : 薄膜電晶體
- 461 : 閘極電極層
- 452 , 452 a , 452 b : 閘極絕緣層
- 462 : 氧化物半導體層
- 463 : 氧化物半導體層
- 464 a : 高電阻源極區
- 464 b : 高電阻汲極區
- 446 a : 低電阻源極區
- 446 b : 低電阻汲極區
- 465 a : 源極電極層



465b : 汲極電極層  
450 : 基板  
466 : 氧化物絕緣層  
467 : 導電層  
470 : 薄膜電晶體  
471 : 閘極電極層  
472 : 氧化物半導體層  
473 : 通道形成區  
474a : 高電阻源極區  
474b : 高電阻汲極區  
447a : 源極電極層  
447b : 汲極電極層  
477 : 像素電極層  
453 : 保護絕緣層  
480 : 氧化物半導體膜  
482a : 抗蝕劑遮罩  
482b : 抗蝕劑遮罩  
442 : 氧化物半導體層  
444 : 氧化物導電層  
487a : 抗蝕劑遮罩  
487b : 抗蝕劑遮罩  
428 : 區域  
429 : 區域  
437 : 接觸孔

491 a : 抗蝕劑遮罩  
491 b : 抗蝕劑遮罩  
405 a : 源極電極層  
405 b : 汲極電極層  
454 : 平坦化絕緣層  
494 : 接觸孔  
496 : 氧化物半導體膜  
497 : 氧化物半導體膜  
498 : 氧化物半導體膜  
492 : 薄膜電晶體  
493 : 薄膜電晶體  
440 : 薄膜電晶體  
405 c : 導電層  
448 a : 抗蝕劑遮罩  
448 b : 抗蝕劑遮罩  
490 : 薄膜電晶體  
495 a : 源極電極層  
495 b : 汲極電極層  
495 c : 導電層  
455 a : 抗蝕劑遮罩  
455 b : 抗蝕劑遮罩  
455 c : 抗蝕劑遮罩  
200 : 基板  
202 : 閘極絕緣層

- 203 : 保護絕緣層
- 204 : 平坦化絕緣層
- 210 : 薄膜電晶體
- 220 : 薄膜電晶體
- 227 : 像素電晶體
- 230 : 電容器佈線層
- 231 : 電容器電極層
- 232 : 閘極佈線層
- 234 : 端子電極層
- 235 : 端子電極層
- 236 : 第一金屬佈線層
- 237 : 第二金屬佈線層
- 238 : 閘極佈線層
- 240 : 薄膜電晶體
- 241 : 金屬佈線層
- 242 : 金屬佈線層
- 251 : 氧化物半導體層
- 266 : 氧化物絕緣膜
- 271 : 電極
- 272 : 電極
- 281 : 金屬佈線層
- 282 : 金屬佈線層
- 283 : 閘極佈線層
- 5300 : 基板

- 5301：像素部
- 5302：第一掃描線驅動電路
- 5303：第二掃描線驅動電路
- 5304：信號線驅動電路
- 5305：定時控制電路
- 5601：移位暫存器
- 5602，5602\_1 至 5602\_N：切換電路
- 5603\_1 至 5603\_k：薄膜電晶體
- 5604\_1 至 5604\_k：佈線
- 5605\_1 至 5605\_N：佈線
- S1 至 Sk：信號線
- 21：第一輸入端子
- 22：第二輸入端子
- 23：第三輸入端子
- 11：第一佈線
- 12：第二佈線
- 13：第三佈線
- 14：第四佈線
- 10\_1 至 10\_N：第一至第 N 脈衝輸出電路
- 24：第四輸入端子
- 25：第五輸入端子
- 26：第一輸出端子
- 27：第二輸出端子
- 31 至 43：第一至第十三電晶體

- 51 : 電源線
- 52 : 電源線
- 53 : 電源線
- 4001 : 第一基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封劑
- 4006 : 第二基板
- 4008 : 液晶層
- 4010 : 薄膜電晶體
- 4011 : 薄膜電晶體
- 4013 : 液晶元件
- 4015 : 連接端子電極
- 4016 : 端子電極
- 4018 : 可撓性印刷電路 ( FPC )
- 4019 : 各向異性導電膜
- 4020 : 保護絕緣層
- 4021 : 絕緣層
- 4030 : 像素電極層
- 4031 : 對置電極層
- 4032 : 氧化物絕緣層
- 4033 : 氧化物絕緣層
- 4035 : 間隔物

- 4040 : 導電層
- 4041 : 氧化物絕緣層
- 403 : 保護絕緣層
- 2600 : TFT 基板
- 2601 : 對置基板
- 2602 : 密封劑
- 2603 : 像素部
- 2604 : 顯示元件
- 2605 : 著色層
- 2606 : 偏振片
- 2607 : 偏振片
- 2608 : 佈線電路部
- 2609 : 可撓性佈線板
- 2610 : 冷陰極管
- 2611 : 反射板
- 2612 : 電路部
- 2613 : 漫射板
- 581 : 薄膜電晶體
- 580 : 基板
- 583 : 絕緣層
- 584 : 絕緣層
- 585 : 絕緣層
- 587 : 第一電極層
- 588 : 第二電極層

- 589 : 球狀粒子
- 590a : 黑色區域
- 590b : 白色區域
- 594 : 腔
- 595 : 填充劑
- 6400 : 像素
- 6401 : 切換電晶體
- 6402 : 驅動電晶體
- 6403 : 電容器
- 6404 : 發光元件
- 6405 : 信號線
- 6406 : 掃描線
- 6407 : 電源線
- 6408 : 共用電極
- 7001 : 驅動 TFT
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層
- 7005 : 陽極
- 7009 : 分隔壁
- 7011 : 驅動 TFT
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層

- 7015 : 陽極
- 7017 : 透光導電膜
- 7019 : 分隔壁
- 7021 : 驅動 TFT
- 7022 : 發光元件
- 7023 : 陰極
- 7024 : 發光層
- 7025 : 陽極
- 7027 : 透光導電膜
- 7029 : 分隔壁
- 7031 : 氧化物絕緣層
- 7032 : 絕緣層
- 7033 : 著色層
- 7034 : 外塗層
- 7035 : 保護絕緣層
- 7041 : 氧化物絕緣層
- 7042 : 絕緣層
- 7043 : 著色層
- 7044 : 外塗層
- 7045 : 保護絕緣層
- 7051 : 氧化物絕緣層
- 7053 : 平坦化絕緣層
- 7061 : 氧化物絕緣層
- 7062 : 保護絕緣層



- 7063 : 濾色器層
- 7064 : 外塗層
- 7065 : 保護絕緣層
- 7067 : 透光導電膜
- 7071 : 薄膜電晶體 ( TFT )
- 4501 : 第一基板
- 4502 : 像素部
- 4503 a : 信號線驅動電路
- 4503 b : 信號線驅動電路
- 4504 a : 掃描線驅動電路
- 4504 b : 掃描線驅動電路
- 4505 : 密封劑
- 4506 : 第二基板
- 4507 : 填充劑
- 4509 : 薄膜電晶體
- 4510 : 薄膜電晶體
- 4511 : 發光元件
- 4512 : 電致發光層
- 4513 : 第二電極層
- 4515 : 連接端子電極
- 4516 : 端子電極
- 4517 : 第一電極層
- 4518 a : 可撓性印刷電路 ( FPC )
- 4518 b : 可撓性印刷電路 ( FPC )

4519：各向異性導電膜

4520：分隔壁

4540：導電層

4541：氧化物絕緣層

4543：保護絕緣層

4544：絕緣層

2700：電子書閱讀器

2701：殼體

2703：殼體

2705：顯示部

2707：顯示部

2711：鉸鏈

2721：電源開關

2723：操作鍵

2725：揚聲器

9600：電視機

9601：殼體

9603：顯示部

9605：台座

9607：顯示部

9609：操作鍵

9610：遙控器

9700：數位相框

9701：殼體

- 9703 : 顯示部
- 9881 : 殼體
- 9882 : 顯示部
- 9883 : 顯示部
- 9884 : 揚聲器部
- 9885 : 操作鍵
- 9886 : 記錄媒體插入部
- 9887 : 連接端子
- 9888 : 感測器
- 9889 : 微音器
- 9890 : LED 燈
- 9891 : 殼體
- 9893 : 連接部
- 9900 : 投幣機
- 9903 : 顯示部
- 9301 : 頂部殼體
- 9302 : 底部殼體
- 9303 : 顯示部
- 9304 : 鍵盤
- 9305 : 外部連接埠
- 9306 : 指向裝置
- 9307 : 顯示部
- 9201 : 顯示部
- 9202 : 被顯示按鈕

- 9203 : 操作開關
- 9204 : 帶部
- 9205 : 調整部
- 9206 : 相機部
- 9207 : 揚聲器
- 9208 : 微音器
- 600 : 基板
- 601 : 對置基板
- 602 : 閘極佈線
- 603 : 閘極佈線
- 604 : 第一電容器佈線
- 605 : 電容器佈線
- 606 : 閘極絕緣膜
- 606a : 第一閘極絕緣膜
- 606b : 第二閘極絕緣膜
- 607 : 電極層
- 609 : 共用電位線
- 615 : 電容器電極
- 616 : 佈線
- 617a : 第一電容器佈線
- 617b : 第二電容器佈線
- 618 : 佈線
- 618a : 佈線
- 618b : 佈線

- 620 : 絕緣膜
- 621 : 絕緣膜
- 622 : 絕緣膜
- 623 : 接觸孔
- 624 : 像素電極層
- 625 : 狹縫
- 626 : 像素電極層
- 627 : 接觸孔
- 628 : 薄膜電晶體 ( TFT )
- 629 : 薄膜電晶體 ( TFT )
- 630 : 儲存電容器部
- 631 : 儲存電容器部
- 633 : 接觸孔
- 636 : 著色膜
- 637 : 平坦化膜
- 640 : 對置電極層
- 641 : 狹縫
- 644 : 突出部
- 646 : 對準膜
- 648 : 對準膜
- 650 : 液晶層
- 651 : 液晶元件
- 652 : 液晶元件
- 690 : 電容器佈線

696 : 絶縁膜

**七、申請專利範圍：**

1. 一種半導體裝置，包括：

在絕緣表面之上的驅動電路和像素，該驅動電路包含第一薄膜電晶體，該像素包含第二薄膜電晶體，

該第一薄膜電晶體包括：

在該絕緣表面之上的第一閘極電極層；

在該第一閘極電極層之上的閘極絕緣層；

在該第一閘極電極層之上的第一氧化物半導體層，該第一氧化物半導體層包括第一通道形成區，且該閘極絕緣層在該第一閘極電極層與該第一氧化物半導體層之間；

在該第一氧化物半導體層之上的第一氧化物導電層和第二氧化物導電層；

氧化物絕緣層，在該第一氧化物導電層和該第二氧化物導電層之上且與該第一通道形成區相接觸，並且與該第一氧化物導電層和該第二氧化物導電層的週邊和側表面相接觸；

第一源極電極層，在該氧化物絕緣層之上且與該第一氧化物導電層相接觸；以及

第一汲極電極層，在該氧化物絕緣層之上且與該第二氧化物導電層相接觸；並且

該第二薄膜電晶體包括：

在該絕緣表面之上的第二閘極電極層；

在該第二閘極電極層之上的第二氧化物半導體

層，該第二氧化物半導體層包括第二通道形成區，且該閘極絕緣層在該第二閘極電極層與該第二氧化物半導體層之間；以及

在該第二氧化物半導體層之上的第二源極電極層和第二汲極電極層，

其中，該第二閘極電極層、該第二氧化物半導體層、該第二源極電極層和該第二汲極電極層都具有透光性。

2. 一種半導體裝置，包括：

在絕緣表面之上的驅動電路和像素，該驅動電路包含第一薄膜電晶體，該像素包含第二薄膜電晶體，

該第一薄膜電晶體包括：

在該絕緣表面之上的第一閘極電極層；

在該第一閘極電極層之上的閘極絕緣層；

在該第一閘極電極層之上的第一氧化物半導體層，該第一氧化物半導體層包括第一通道形成區，且該閘極絕緣層在該第一閘極電極層與該第一氧化物半導體層之間；

在該第一氧化物半導體層之上的第一氧化物導電層和第二氧化物導電層；

氧化物絕緣層，在該第一氧化物導電層和該第二氧化物導電層之上且與該第一通道形成區相接觸，並且該氧化物絕緣層覆蓋該第一氧化物導電層的端部和該第二氧化物導電層的端部；

第一源極電極層，在該氧化物絕緣層之上，並與



該第一氧化物導電層相接觸；以及

第一汲極電極層，在該氧化物絕緣層之上，並與該第二氧化物導電層相接觸；並且

該第二薄膜電晶體包括：

在該絕緣表面之上的第二閘極電極層；

在該第二閘極電極層之上的第二氧化物半導體層，該第二氧化物半導體層包括第二通道形成區，且該閘極絕緣層在該第二閘極電極層與該第二氧化物半導體層之間；以及

在該第二氧化物半導體層之上的第二源極電極層和第二汲極電極層，

其中，該第二閘極電極層、該第二氧化物半導體層、該第二源極電極層和該第二汲極電極層都具有透光性。

3. 如申請專利範圍第 1 或 2 項所述的半導體裝置，還包括：

在該第一源極電極層、該第一汲極電極層、該第二源極電極層和該第二汲極電極層之上的平坦化絕緣層；以及

在該平坦化絕緣層之上的像素電極層，

其中，該像素電極層透過該平坦化絕緣層的接觸孔而與該第二汲極電極層直接相接觸。

4. 如申請專利範圍第 1 或 2 項所述的半導體裝置，其中，該第一源極電極層和該第一汲極電極層都包括選自 Al、Cr、Cu、Ta、Ti、Mo 和 W 中的其中一個元素作為主要成分的導電層，或這些元素中的任何元素之組合的疊

層。

5. 如申請專利範圍第 1 或 2 項所述的半導體裝置，其中，該第二源極電極層和該第二汲極電極層都包括氧化銮、氧化銮-氧化錫合金、氧化銮-氧化鋅合金或氧化鋅。

6. 如申請專利範圍第 1 或 2 項所述的半導體裝置，還包括在該絕緣表面之上的電容器部，

其中，該電容器部包括電容器佈線層和與該電容器佈線層相重疊的電容器電極層，並且

其中，該電容器佈線層和該電容器電極層都具有透光性。

7. 如申請專利範圍第 1 或 2 項所述的半導體裝置，還包括：

在該第一源極電極層、該第一汲極電極層、該第二源極電極層和該第二汲極電極層之上的平坦化絕緣層；以及

在該第一通道形成區之上的導電層，且該平坦化絕緣層係插置於該導電層與該第一通道形成區之間。

8. 如申請專利範圍第 1 或 2 項所述的半導體裝置，其中，該第一氧化物導電層和該第二氧化物導電層包括與該第二源極電極層和該第二汲極電極層之材料相同的材料。

9. 如申請專利範圍第 1 或 2 項所述的半導體裝置，還包括在該氧化物絕緣層與該第一源極電極層和該第一汲極電極層的每一者之間的保護層。

10. 如申請專利範圍第 1 或 2 項所述的半導體裝置，

其中，該第一氧化物導電層和該第二氧化物導電層的每一者皆覆蓋該第一氧化物半導體層的端部。

11. 如申請專利範圍第 1 或 2 項所述的半導體裝置，其中，該第一氧化物半導體層包括第一高電阻源極區和第一高電阻汲極區，

其中，該第一通道形成區係設置於該第一高電阻源極區與該第一高電阻汲極區之間，並且

其中，該第一高電阻源極區和該第一高電阻汲極區的每一者皆具有比該第一通道形成區更低的電阻。

12. 一種半導體裝置的製造方法，包括以下步驟：

在絕緣表面之上形成第一閘極電極層和第二閘極電極層；

在該第一閘極電極層和該第二閘極電極層之上形成閘極絕緣層；

在該第一閘極電極層之上形成第一氧化物半導體層，且該閘極絕緣層係插置於該第一閘極電極層與該第一氧化物半導體層之間，並在該第二閘極電極層之上形成第二氧化物半導體層，且該閘極絕緣層係插置於第二閘極電極層與該第二氧化物半導體層之間；

對該第一氧化物半導體層和該第二氧化物半導體層進行熱處理，以便減小該第一氧化物半導體層和該第二氧化物半導體層中的氫濃度；

在進行該熱處理之後，在該第一氧化物半導體層之上形成第一氧化物導電層和第二氧化物導電層，並在該第二

氧化物半導體層之上形成第二源極電極層和第二汲極電極層；

在該第一氧化物導電層和該第二氧化物導電層之上形成氧化物絕緣層，使得該氧化物絕緣層與該第一氧化物半導體層之在該第一氧化物導電層與該第二氧化物導電層之間的部分相接觸，並使該第一氧化物導電層的部分和該第二氧化物導電層的部分暴露出；以及

形成在該第一氧化物導電層之上的第一源極電極層，和在該第二氧化物導電層之上的第一汲極電極層。

13. 如申請專利範圍第 12 項所述的半導體裝置的製造方法，其中，使用多色調遮罩以形成抗蝕劑遮罩，使得藉由使用該抗蝕劑遮罩來進行蝕刻，以形成該第一氧化物半導體層、該第二氧化物半導體層、該第一氧化物導電層、該第二氧化物導電層、該第二源極電極層和該第二汲極電極層。

圖 1A1

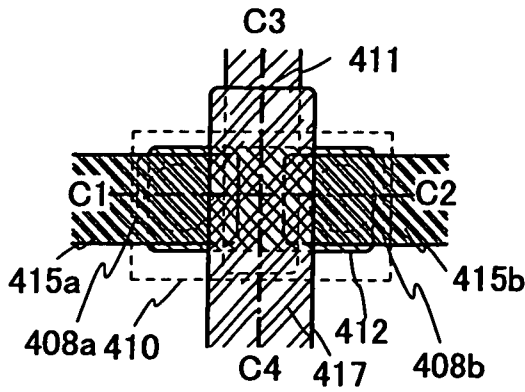


圖 1A2

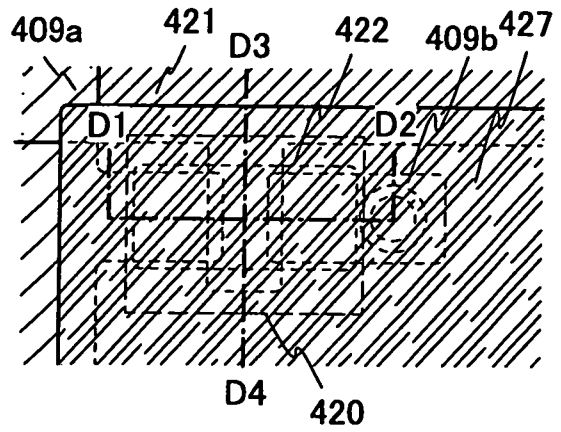


圖 1B

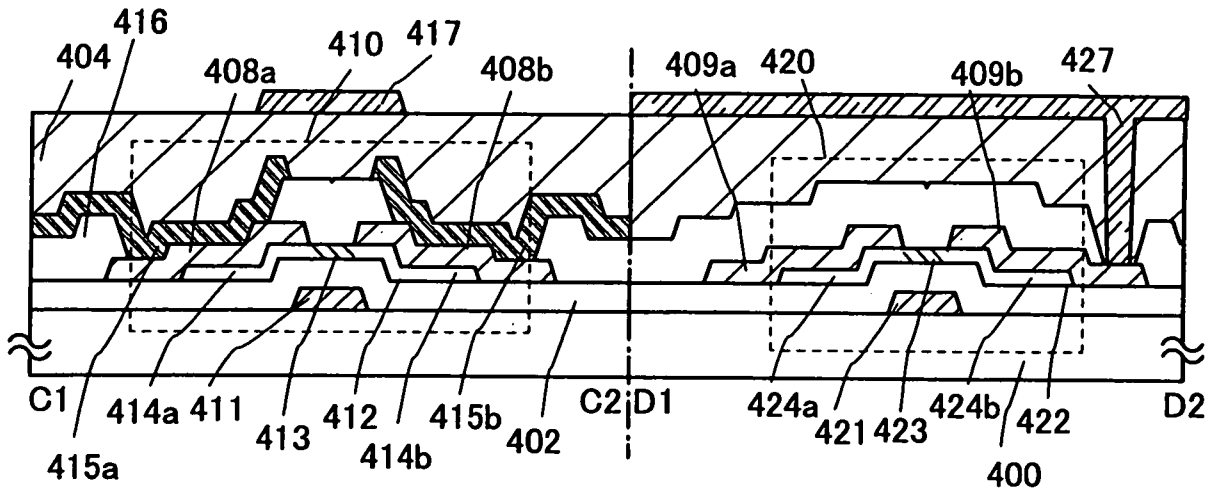


圖 1C

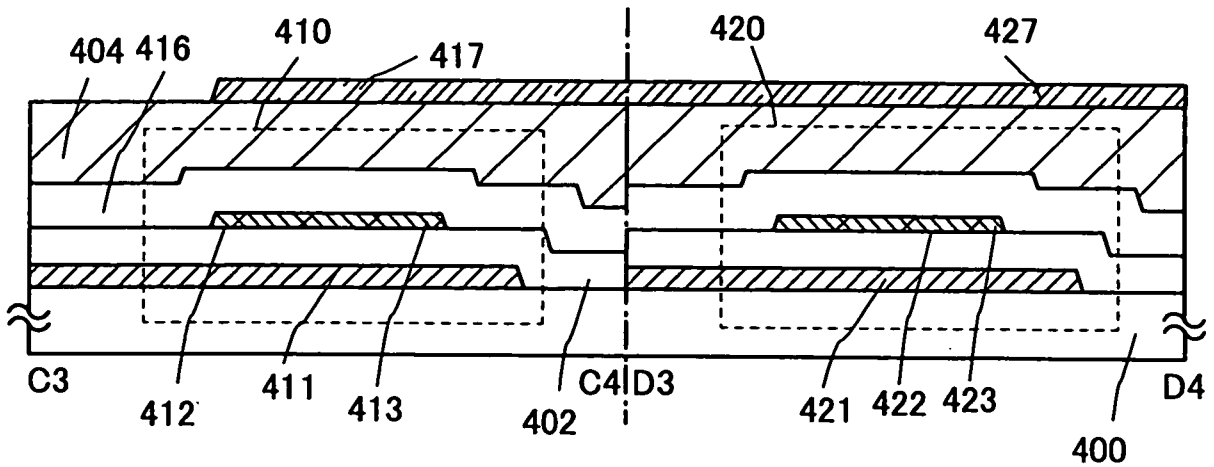


圖 2A

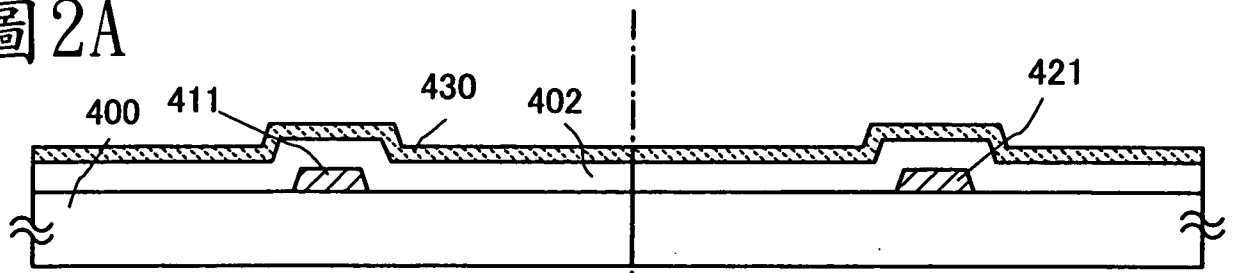


圖 2B

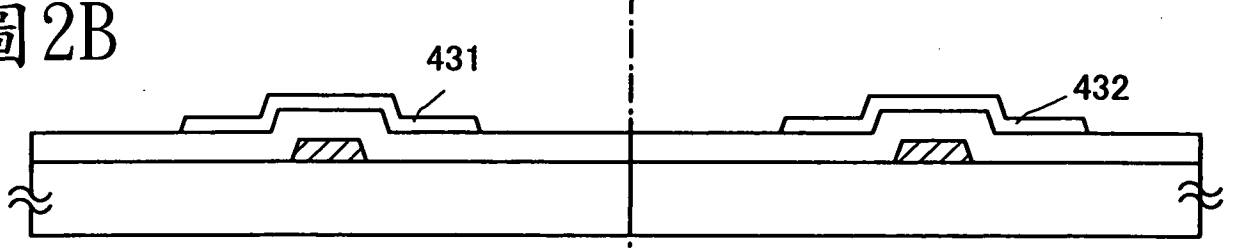


圖 2C

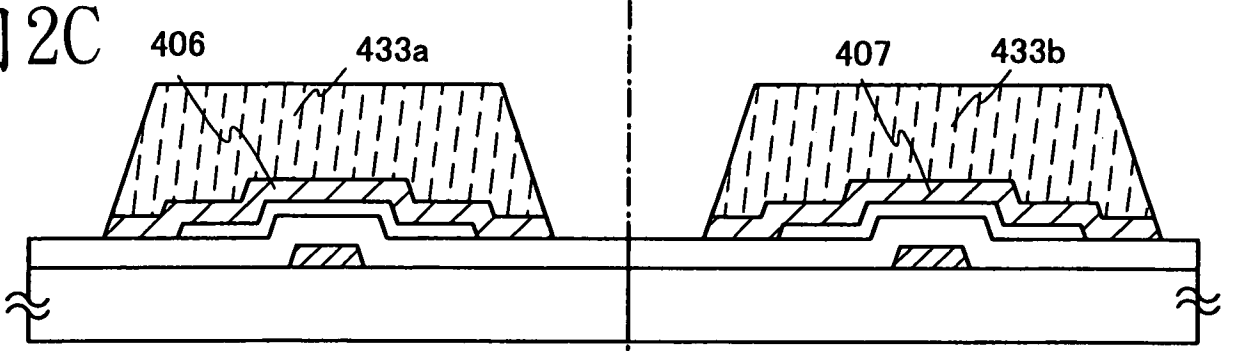


圖 2D

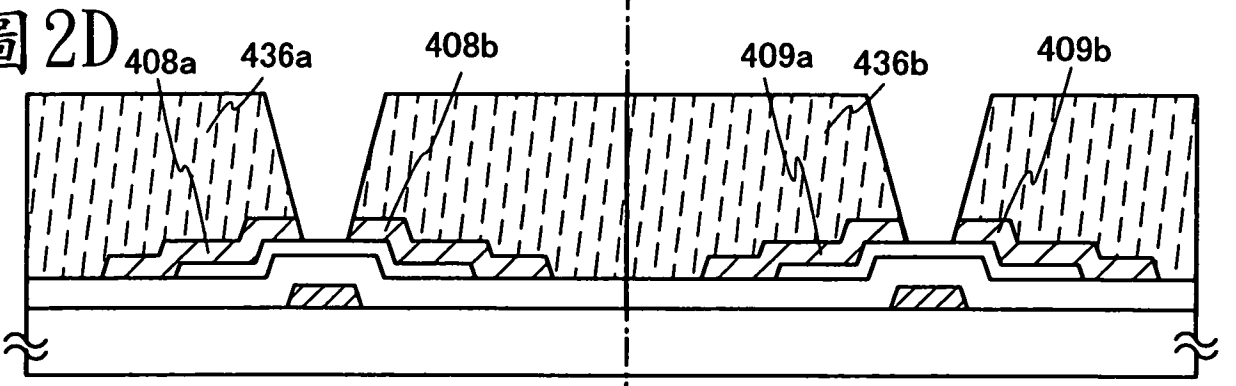


圖 2E

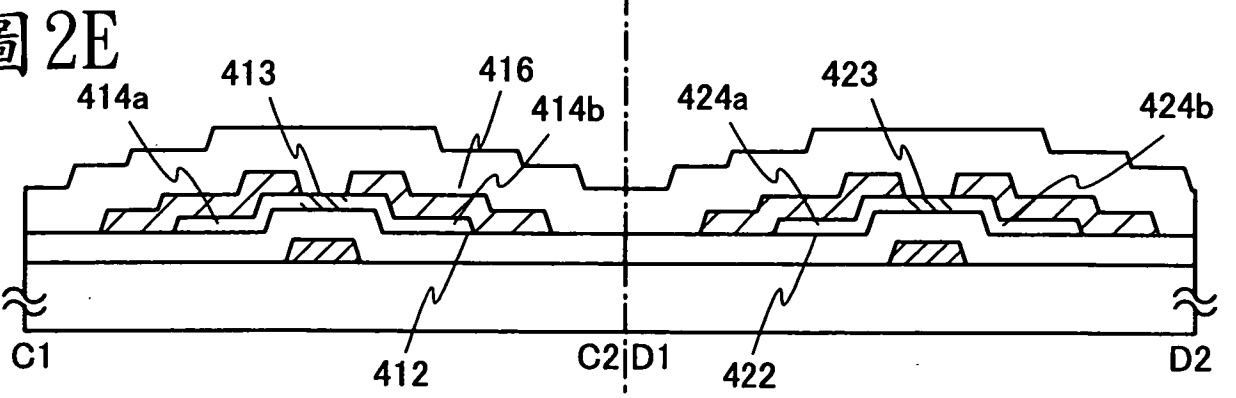


圖 3A

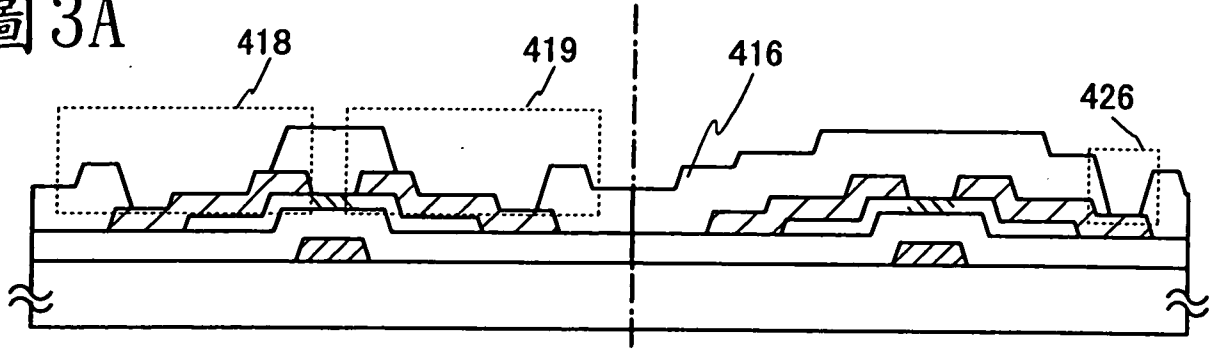


圖 3B

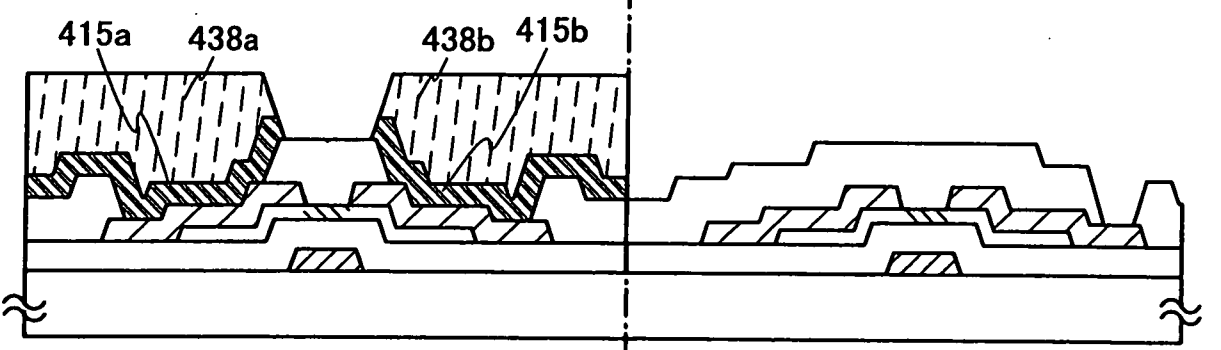


圖 3C

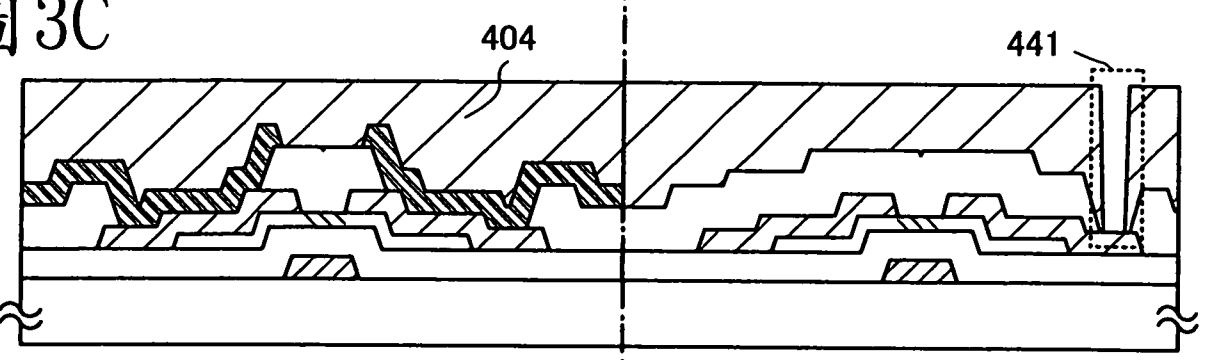


圖 3D

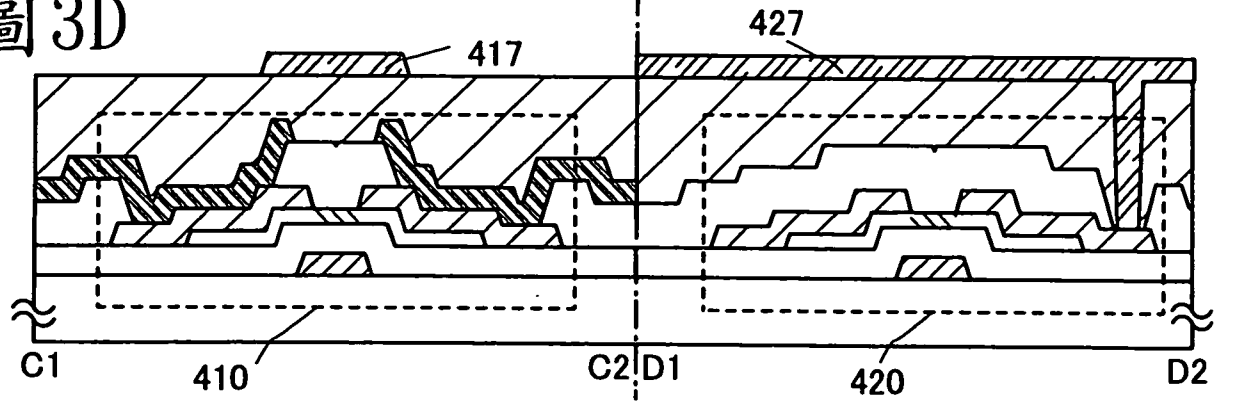


圖 4A

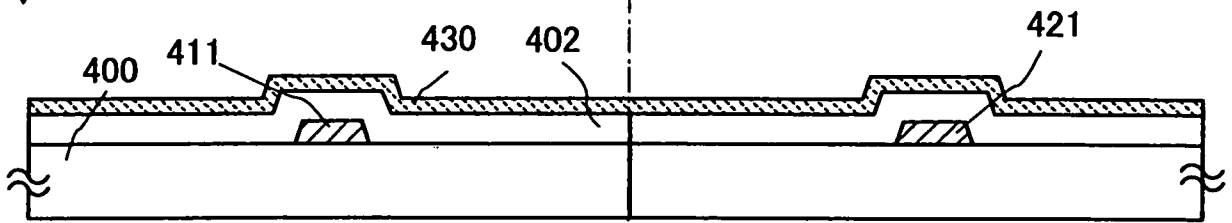


圖 4B

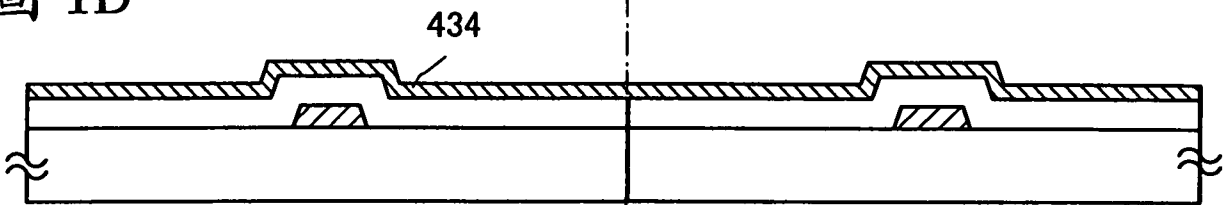


圖 4C

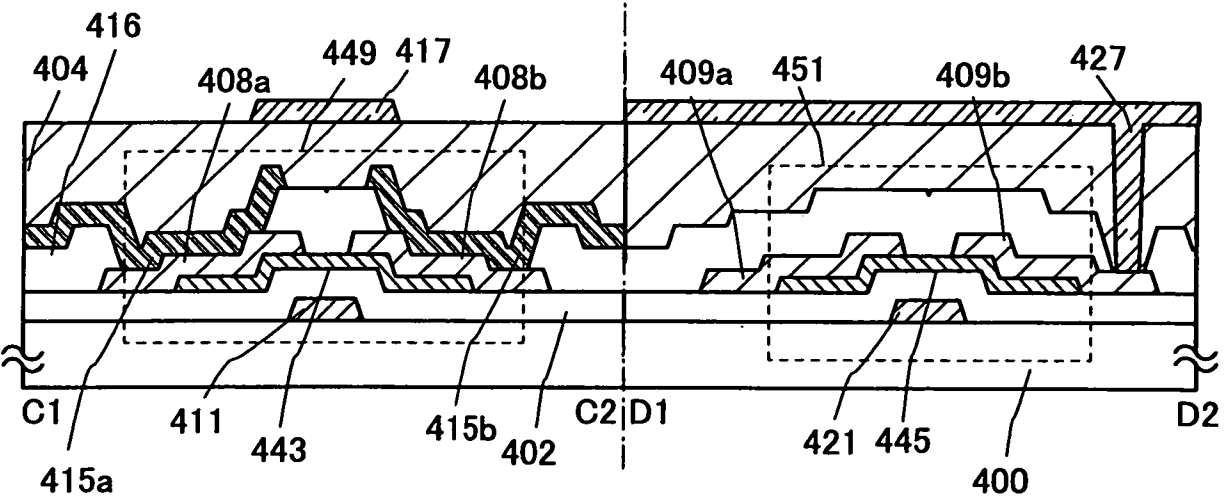




圖 5A

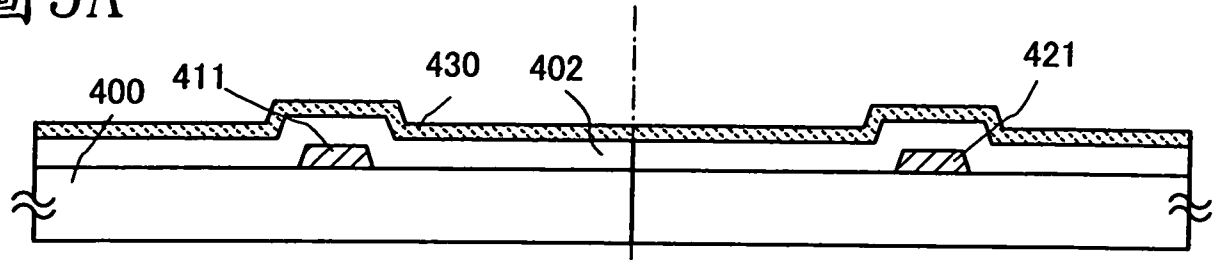


圖 5B

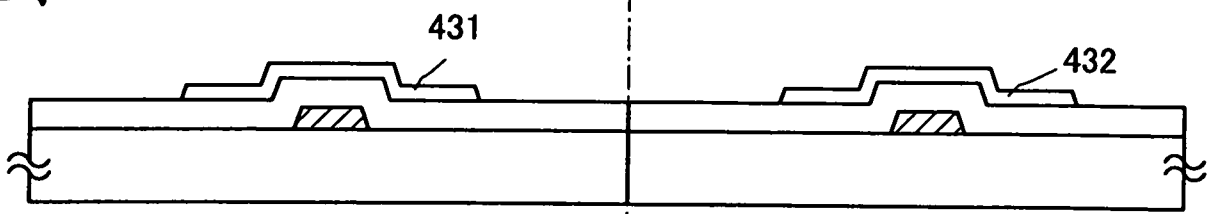


圖 5C

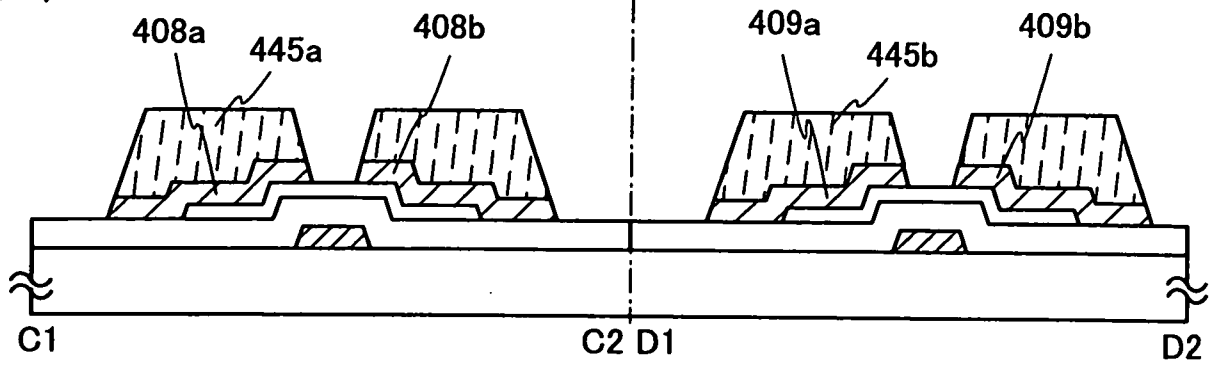


圖6

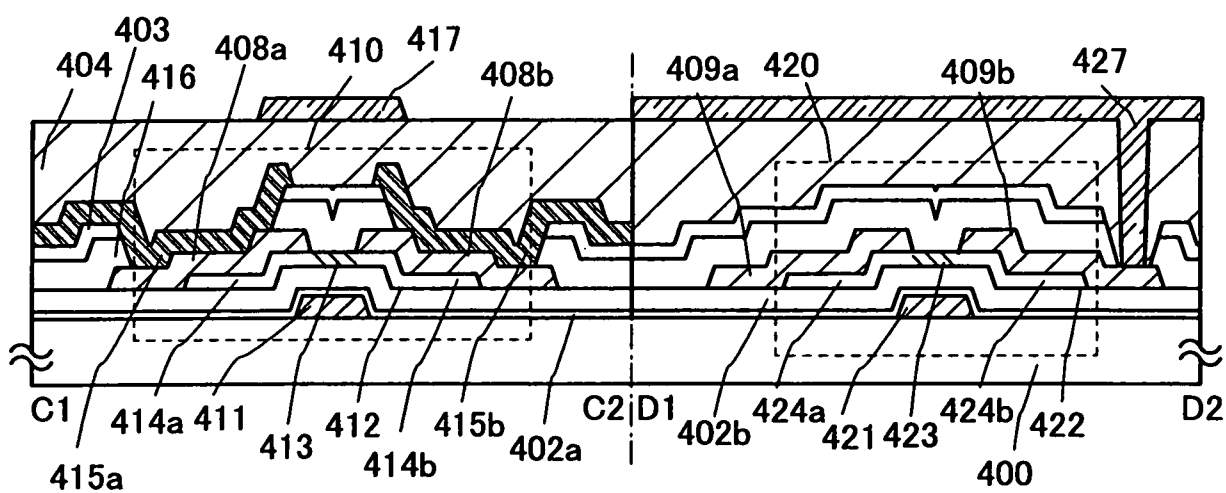


圖7A

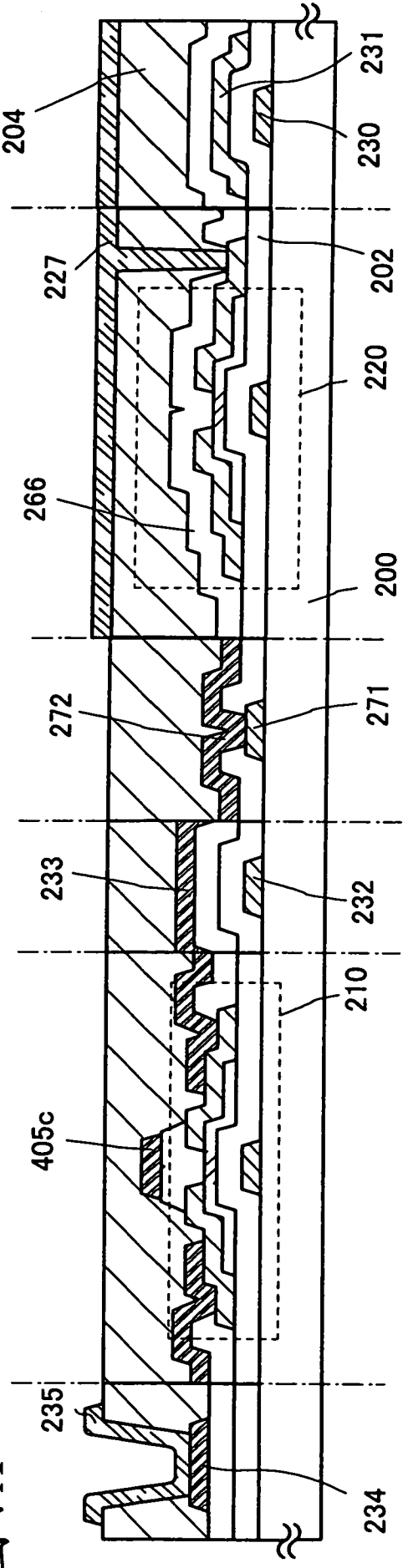


圖7B

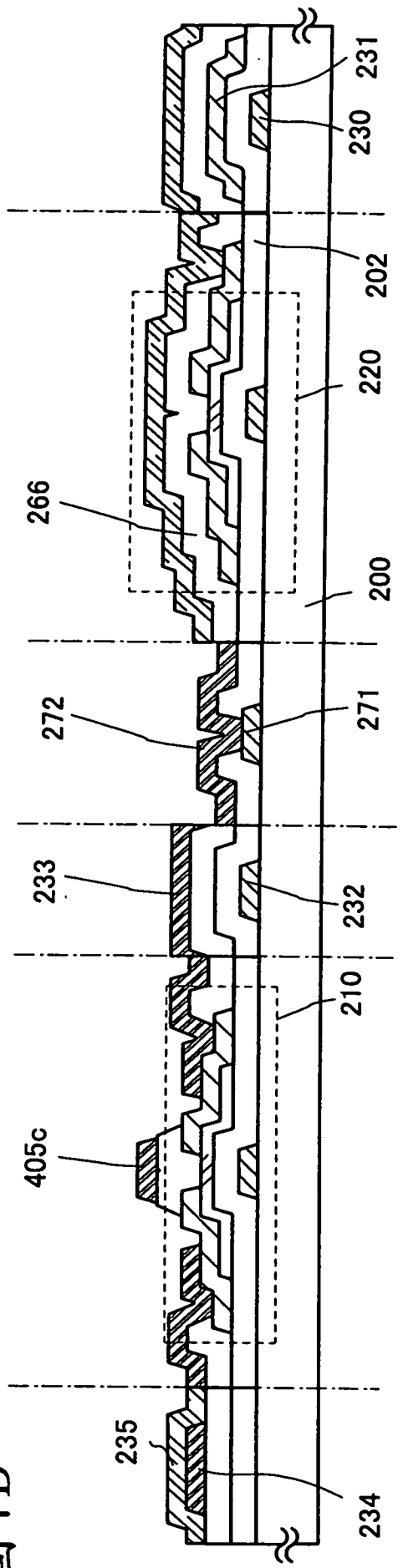


圖8A

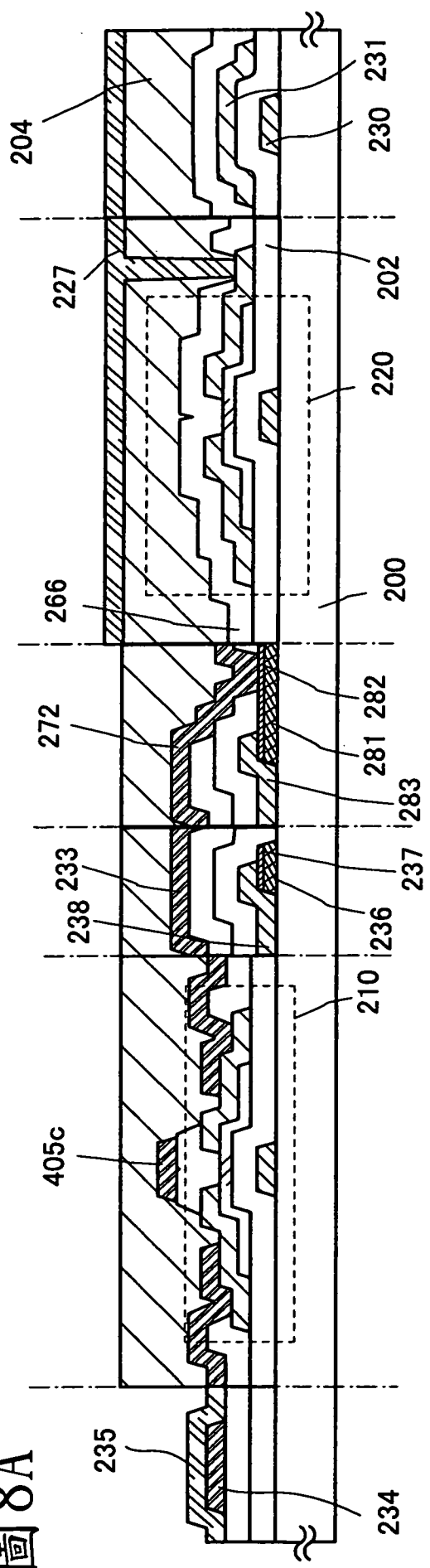


圖8B

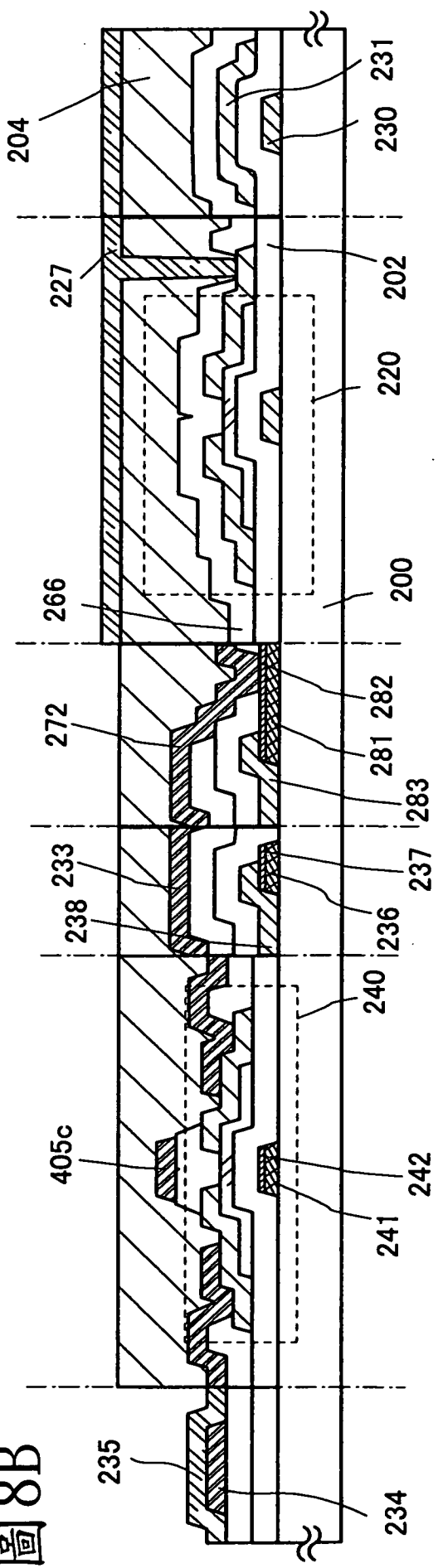


圖 9A

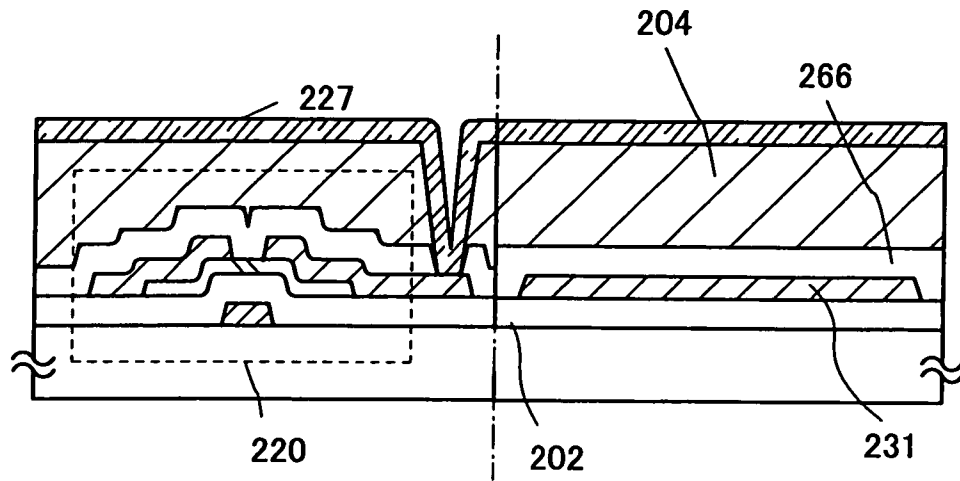


圖 9B

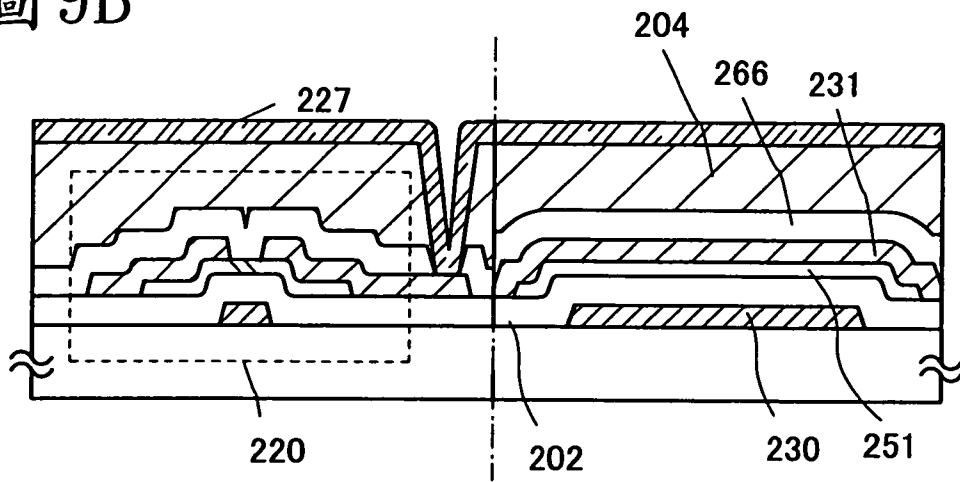


圖10A1

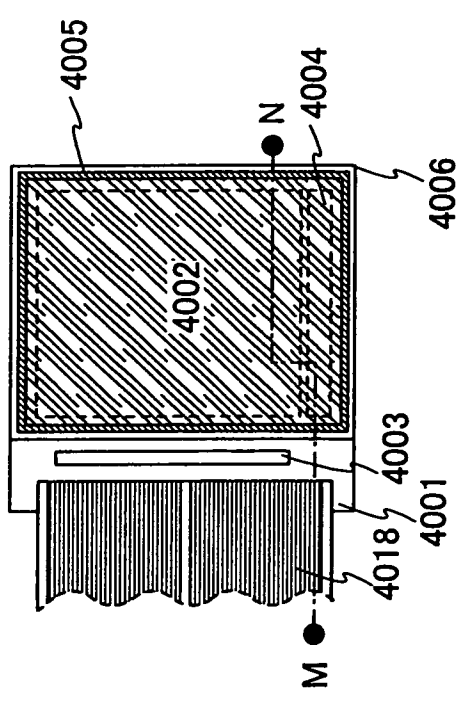


圖10A2

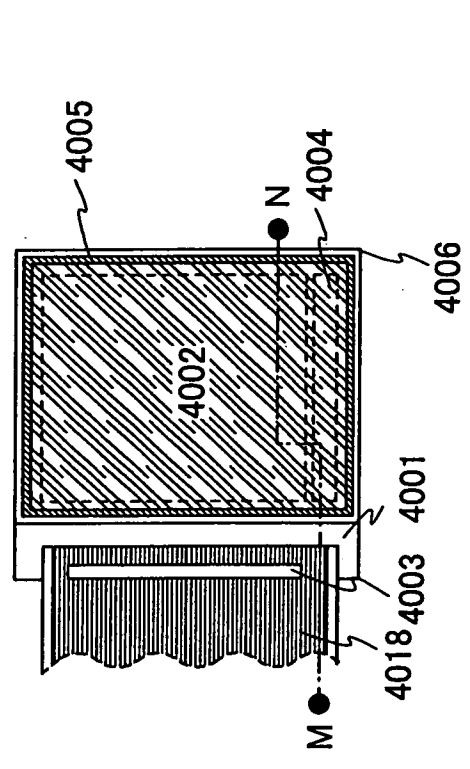


圖10B

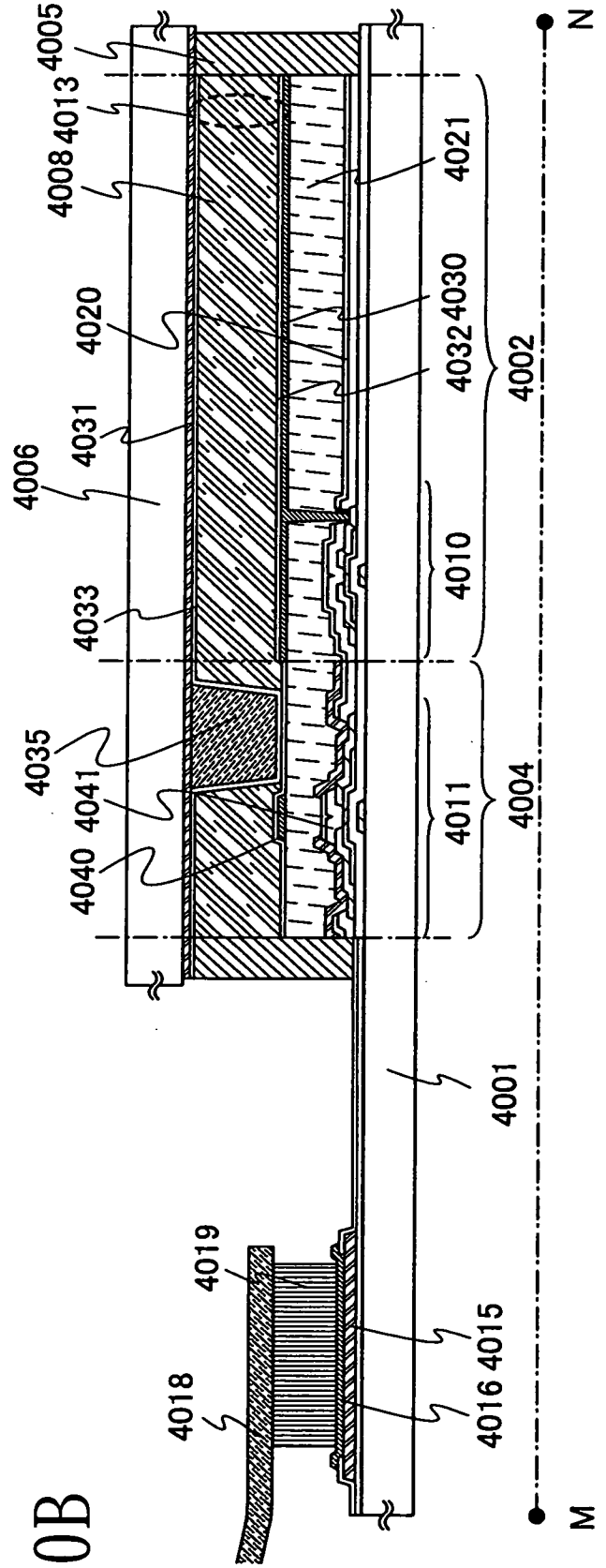


圖11A

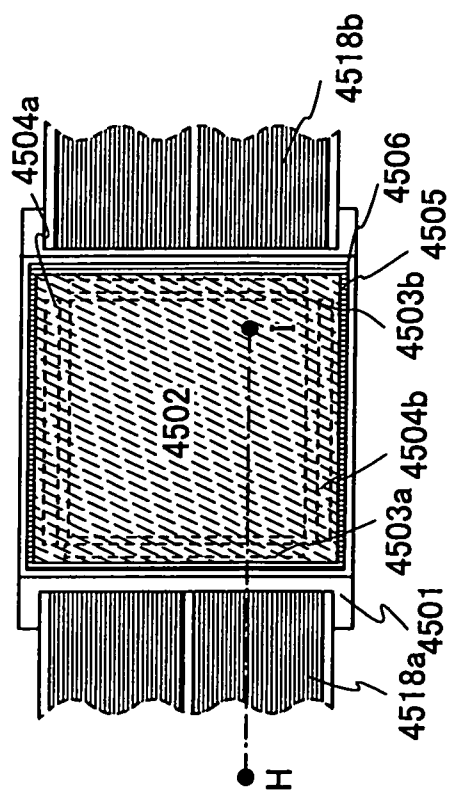


圖11B

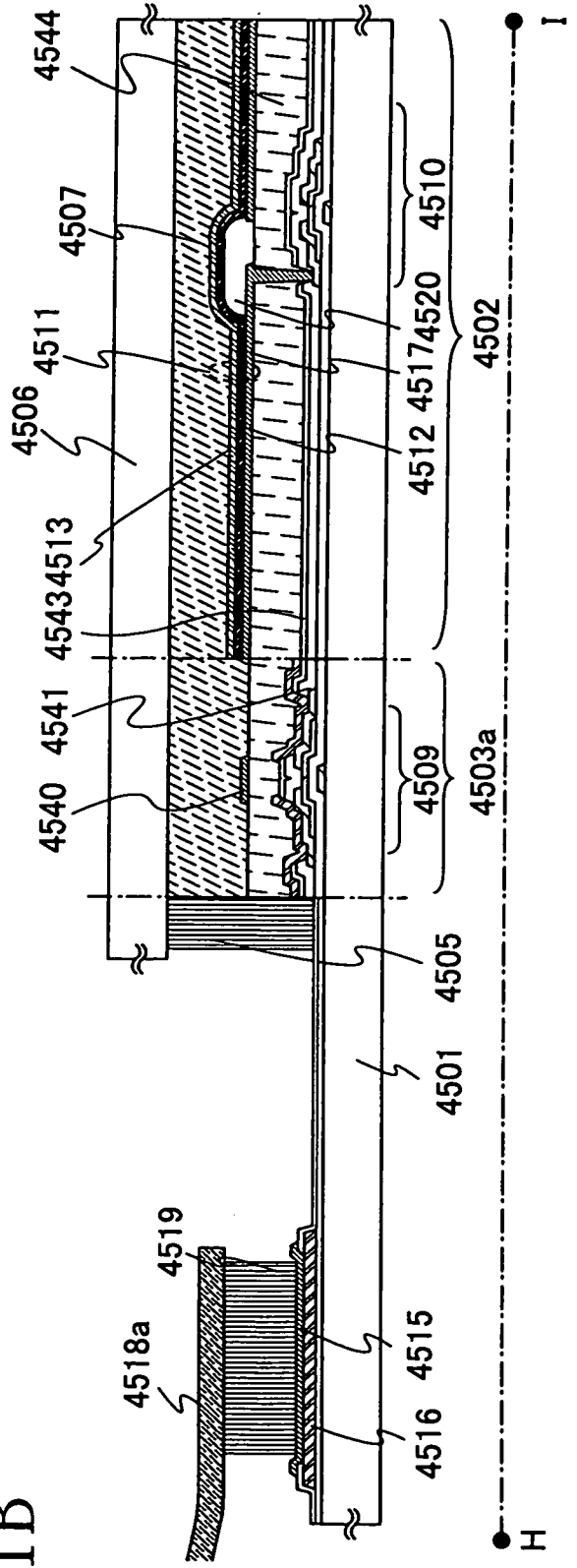


圖 12

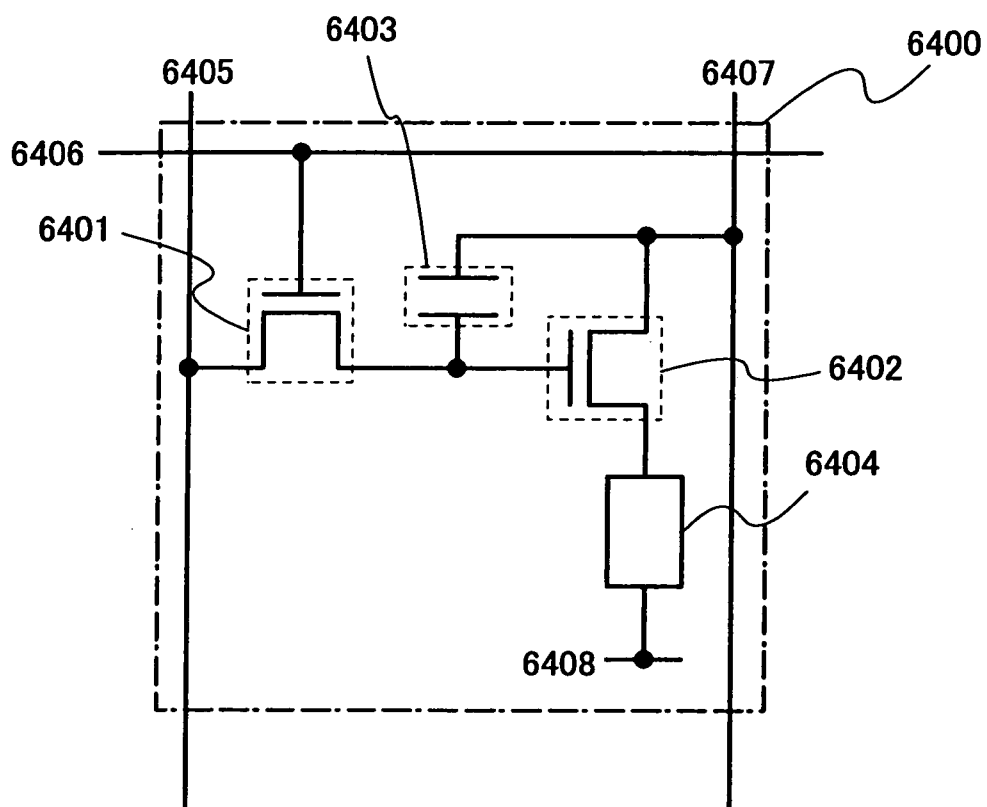




圖 13A

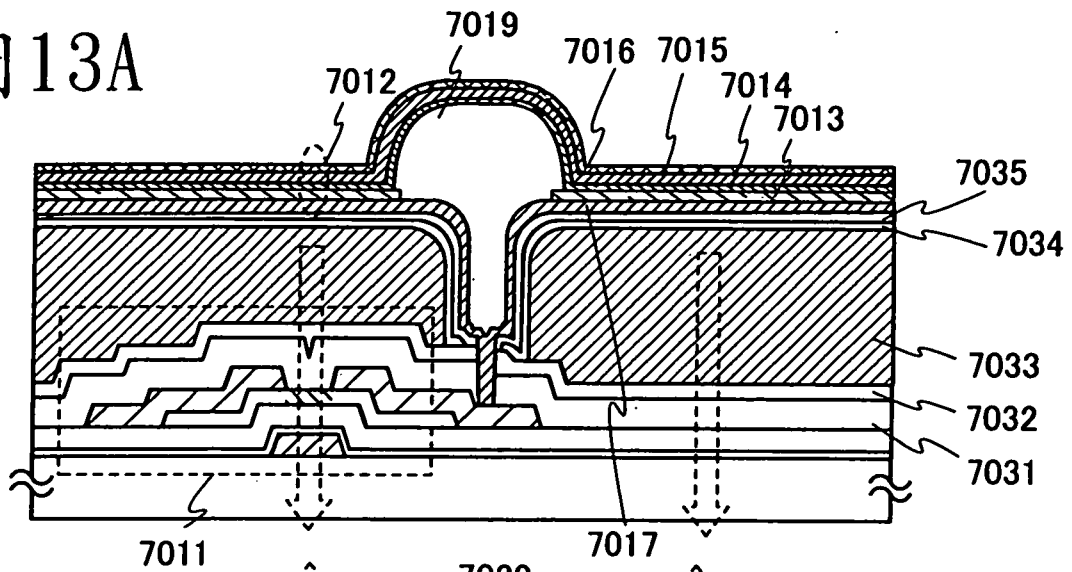


圖 13B

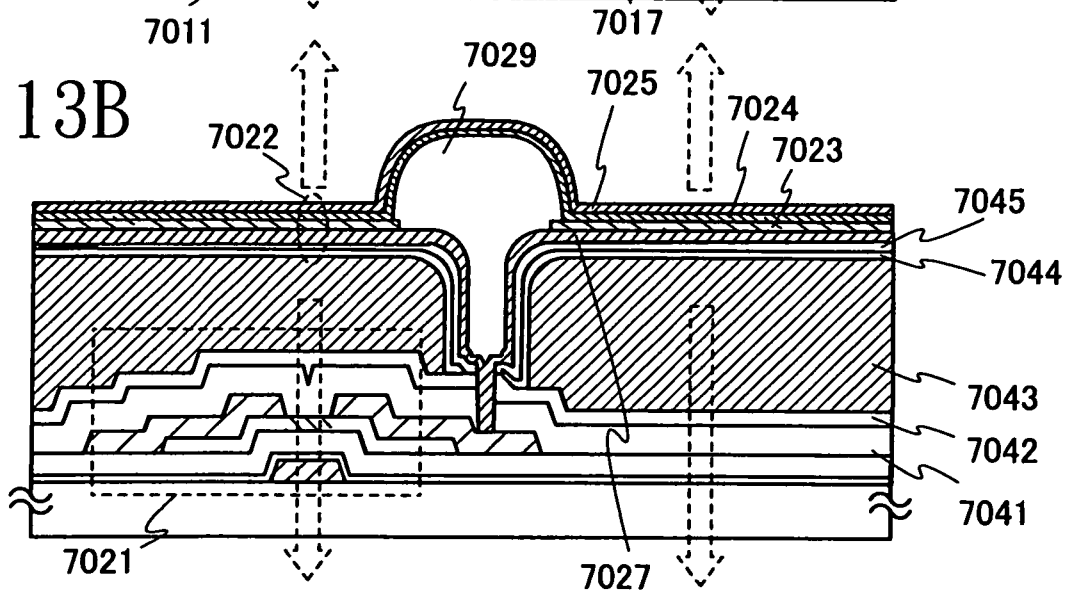


圖 13C

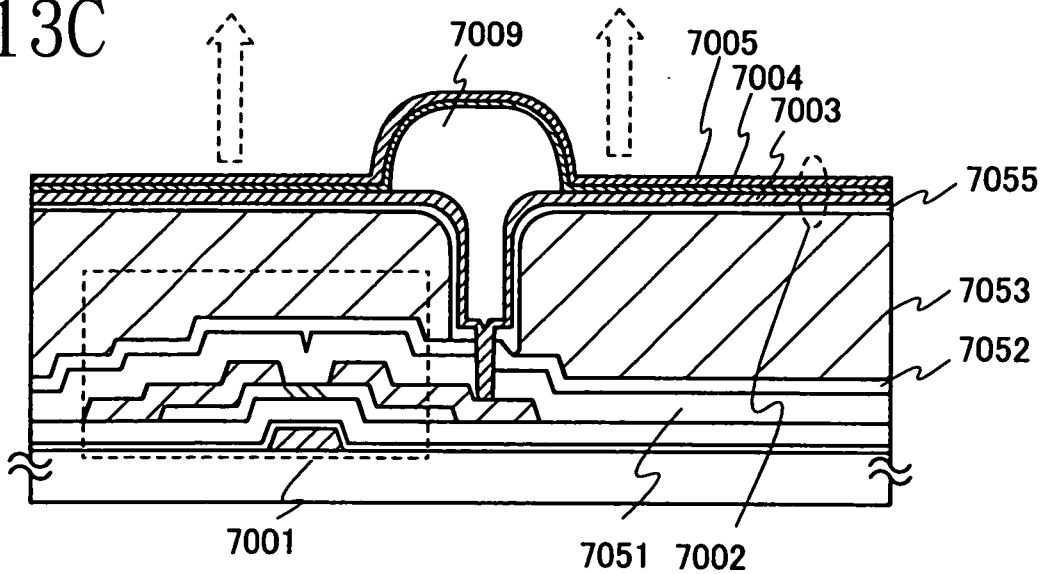


圖 14A

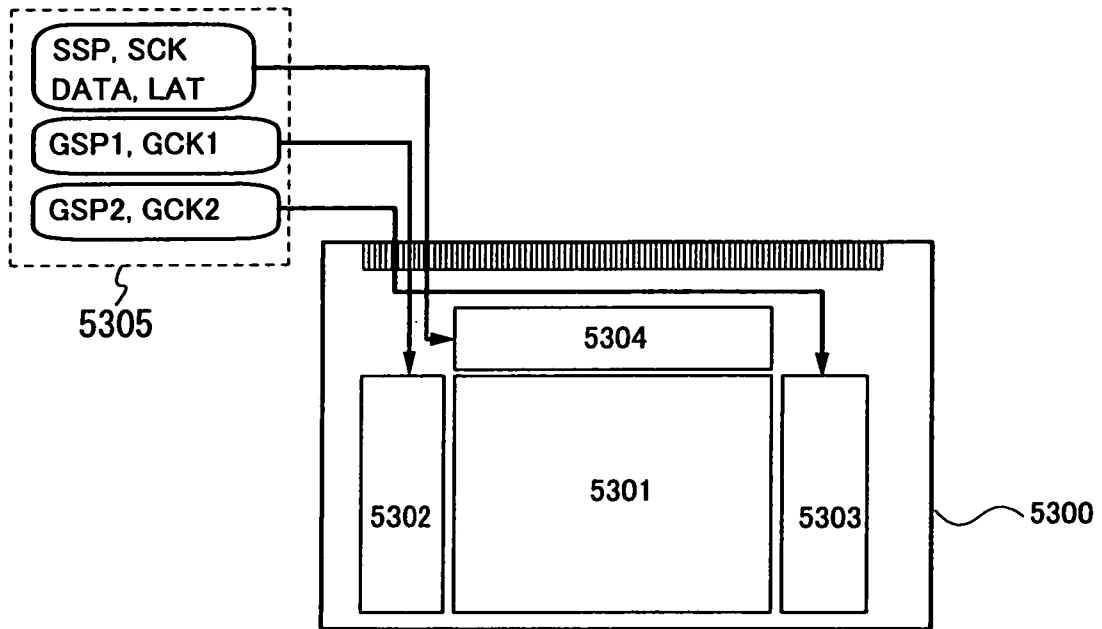


圖 14B

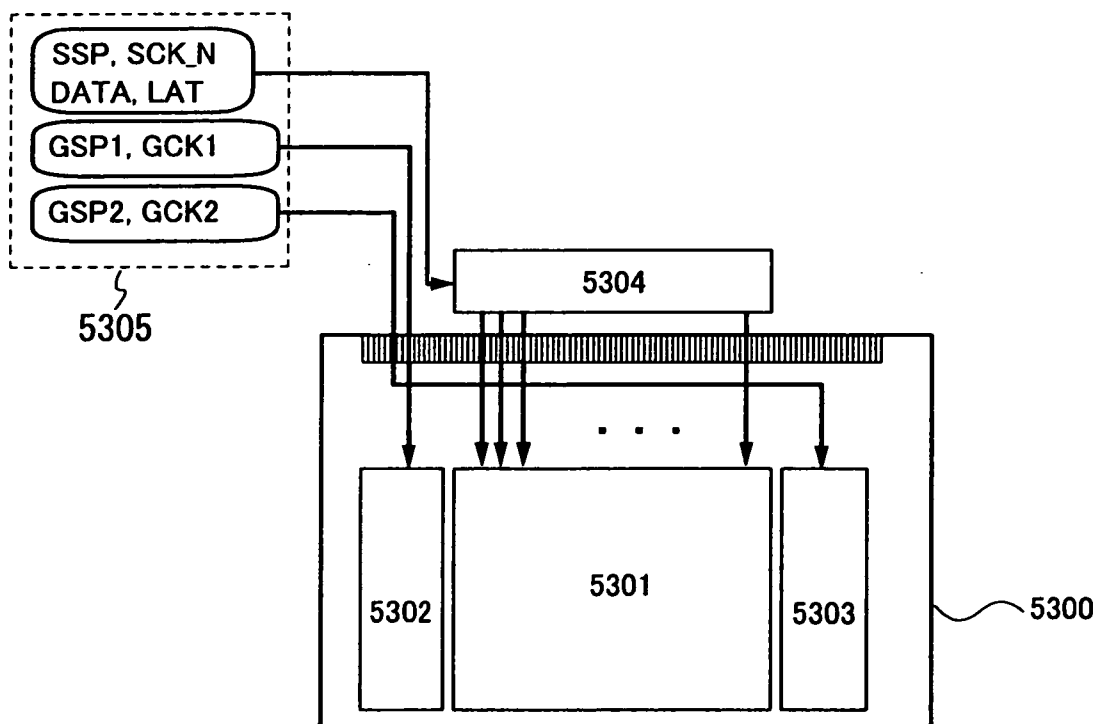


圖 15A

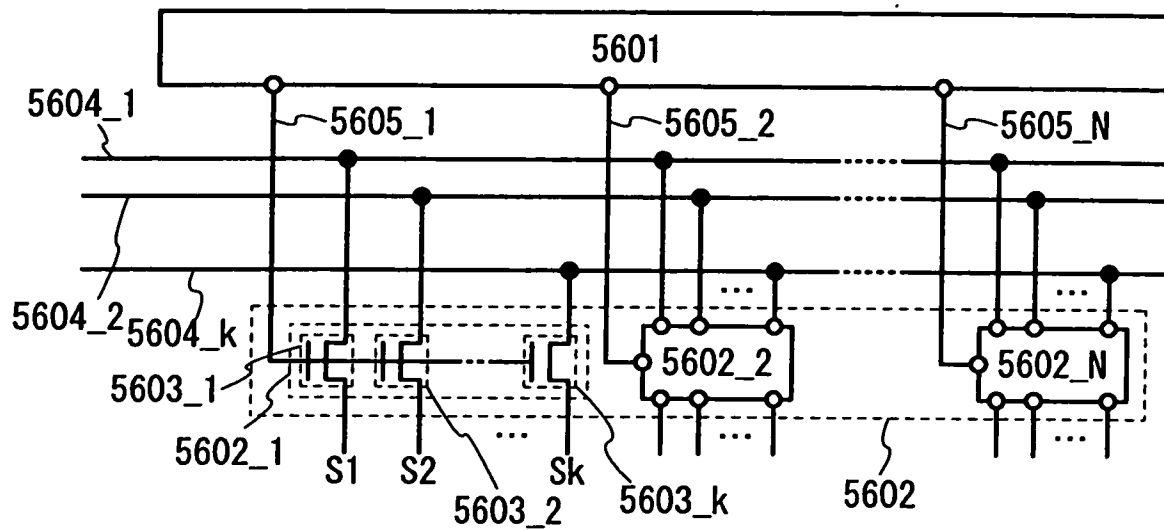


圖 15B

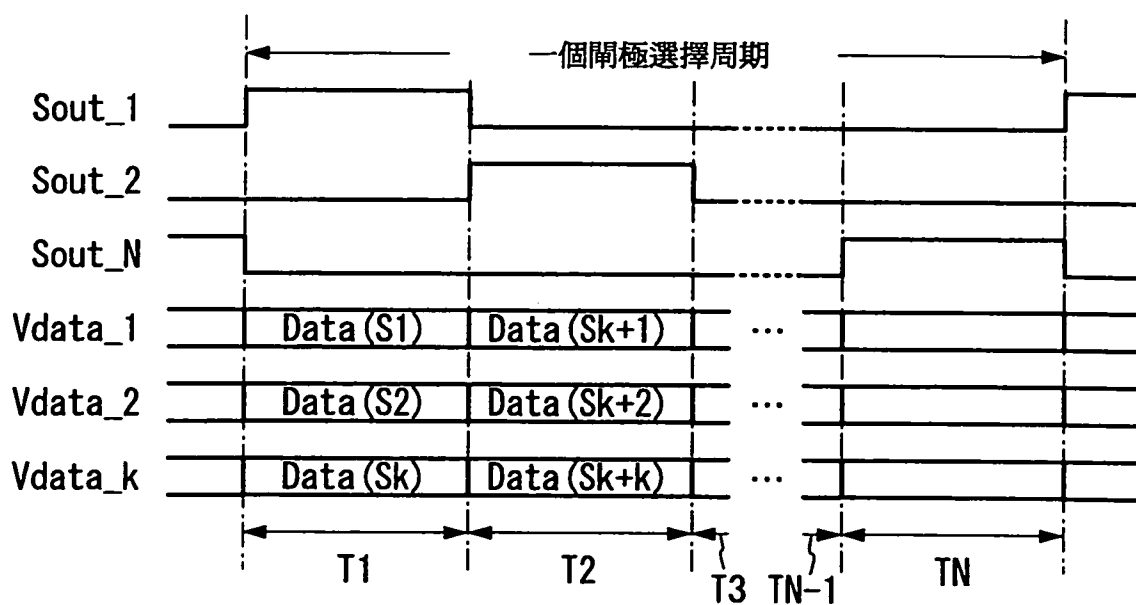


圖 16A

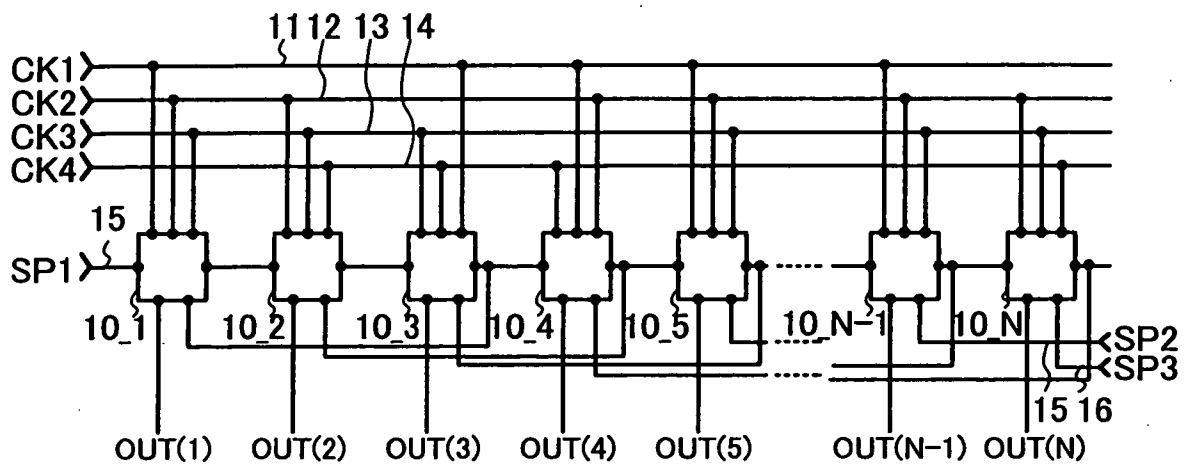


圖 16B

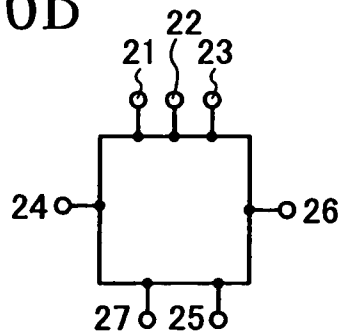


圖 16C

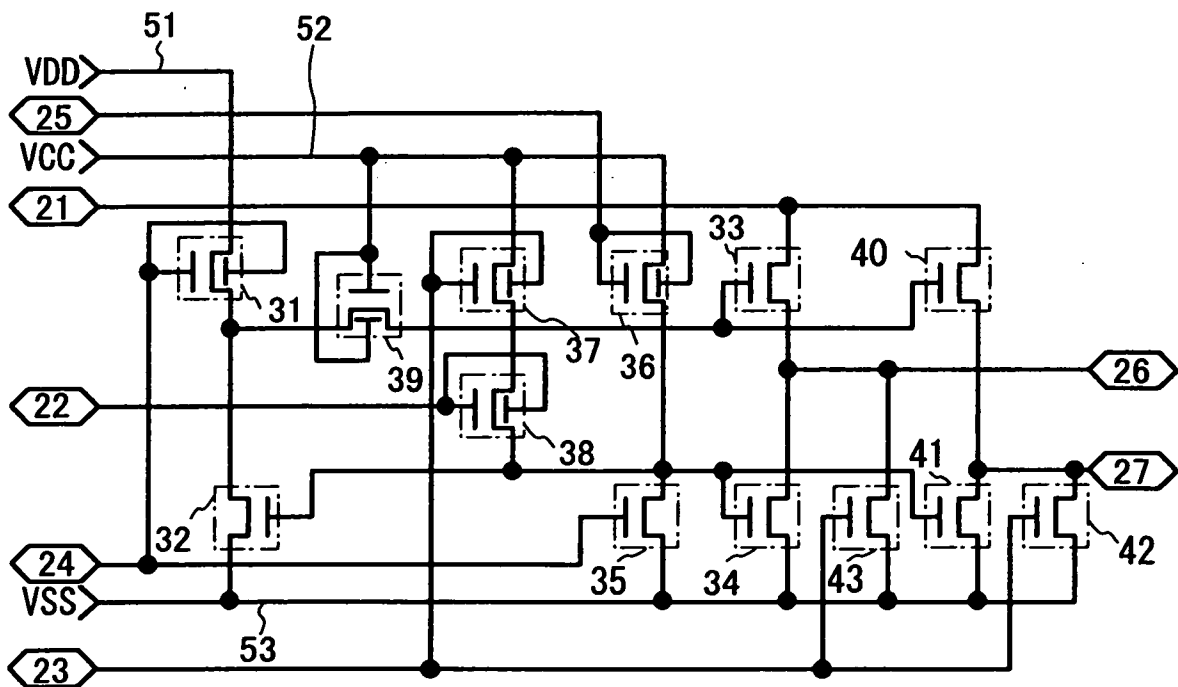


圖 17A

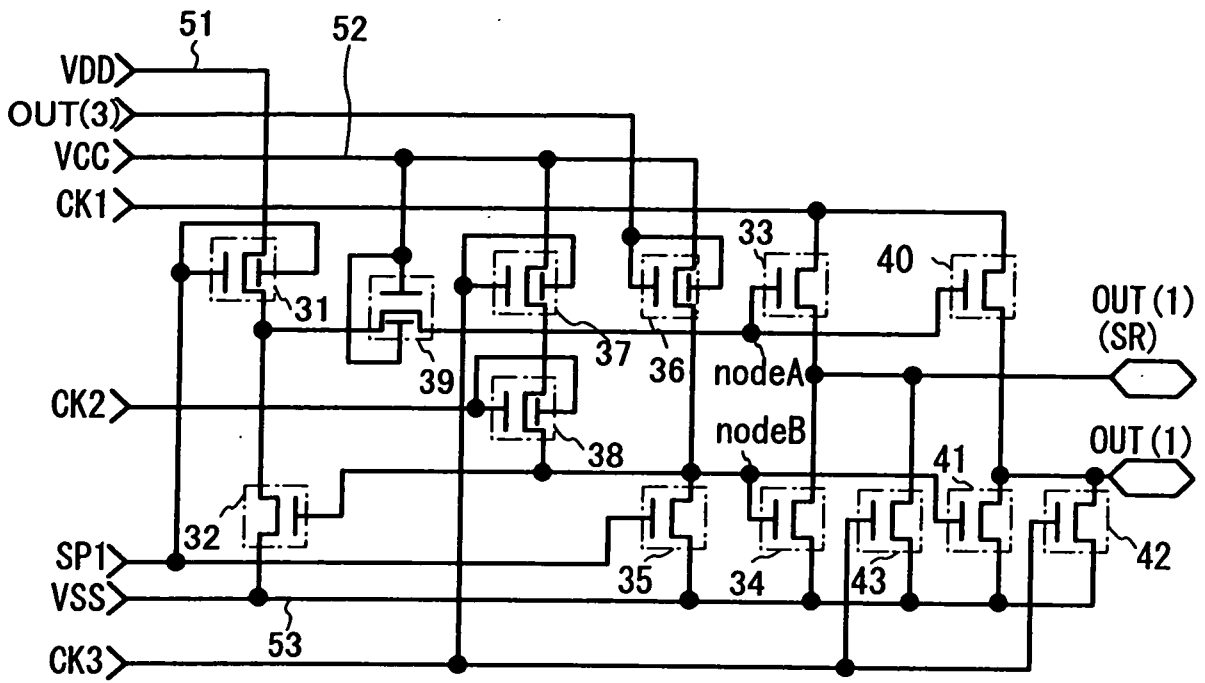


圖 17B

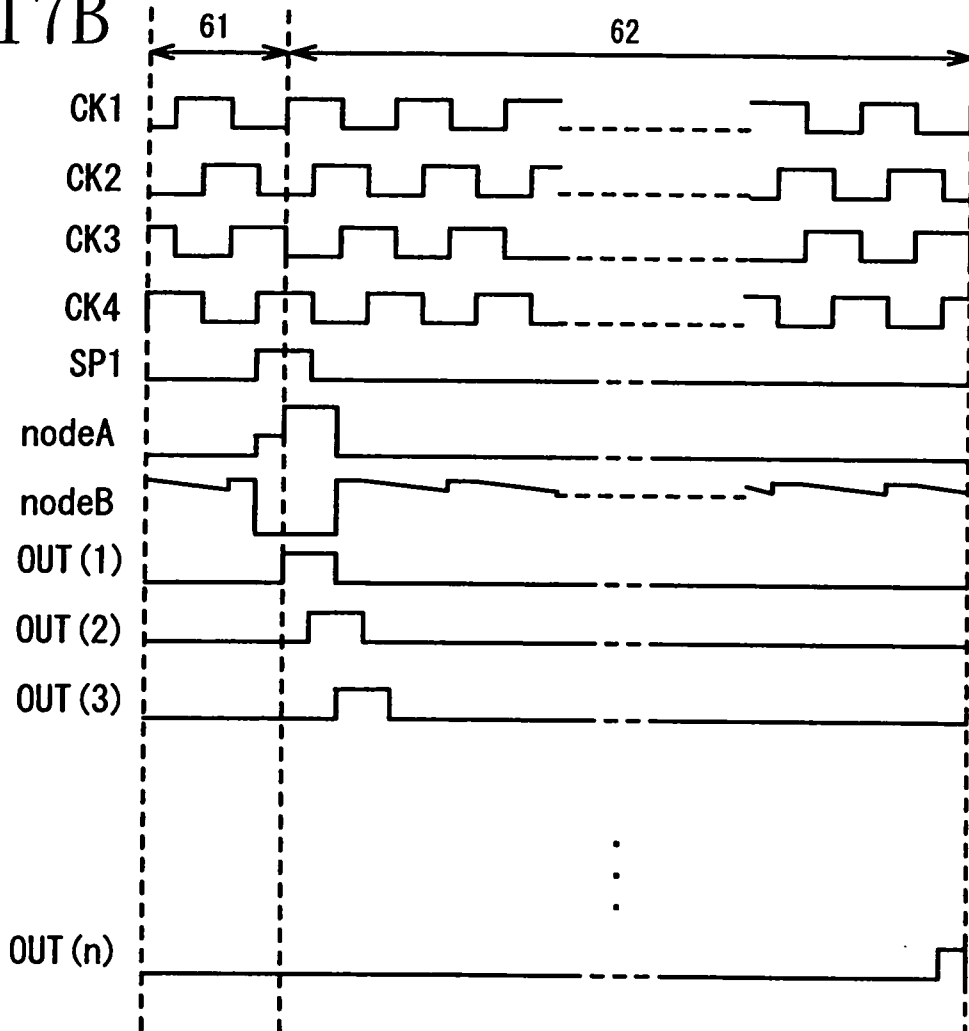


圖 18

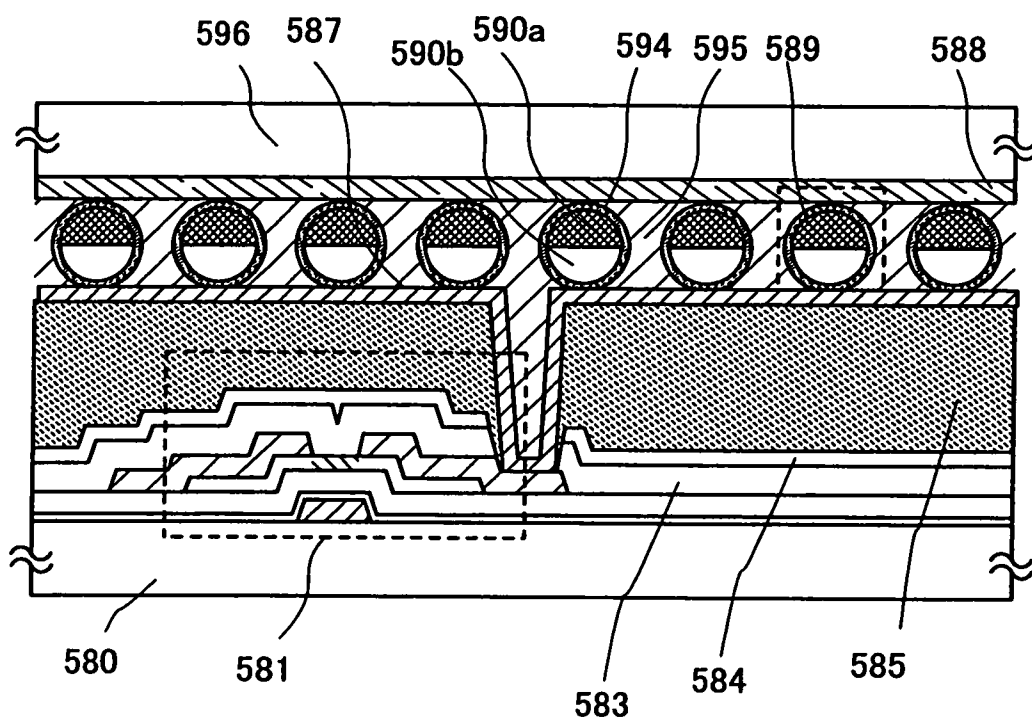


圖19

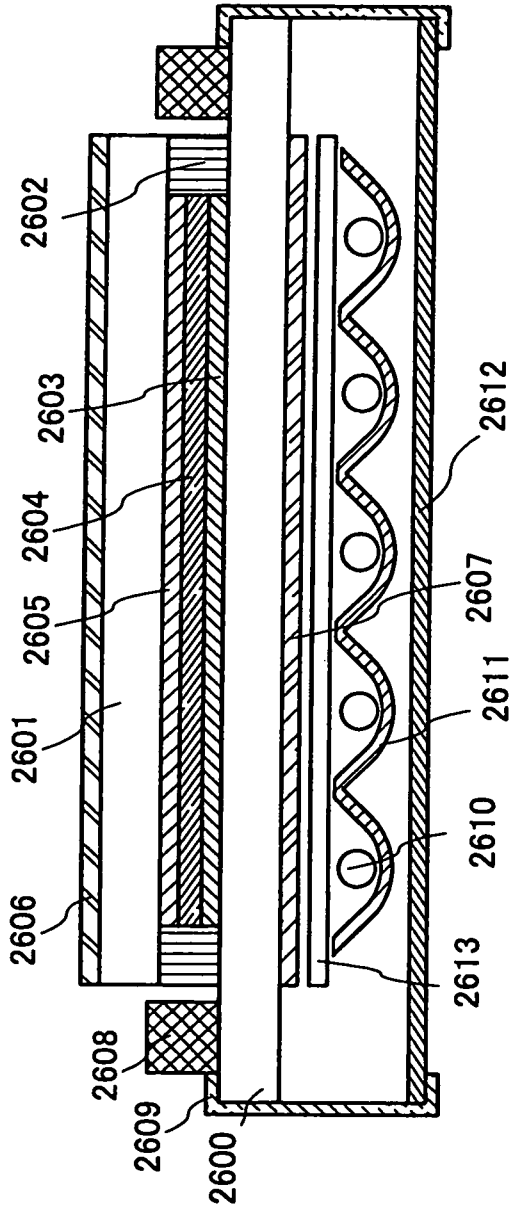


圖 20

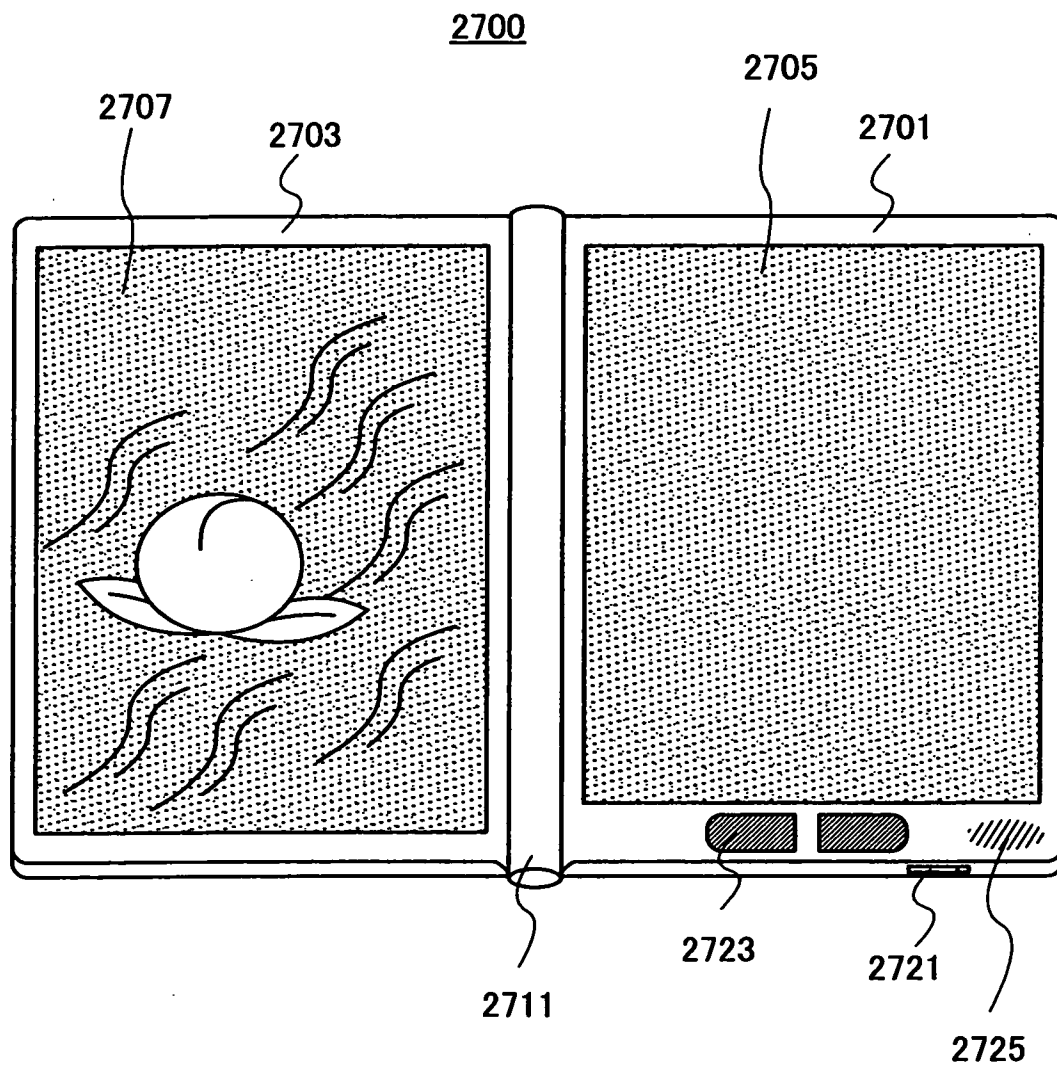




圖 21A

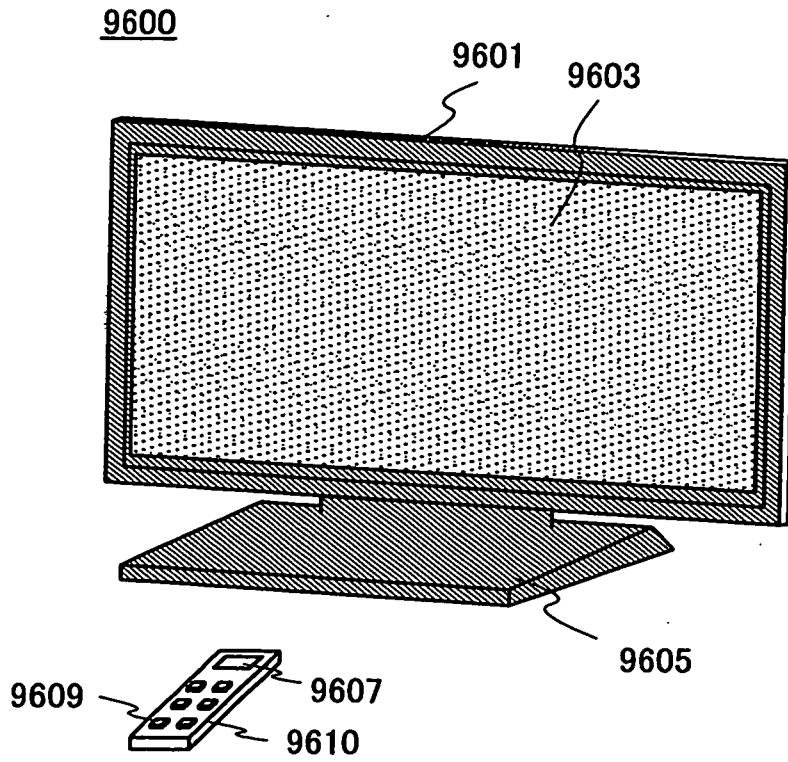


圖 21B

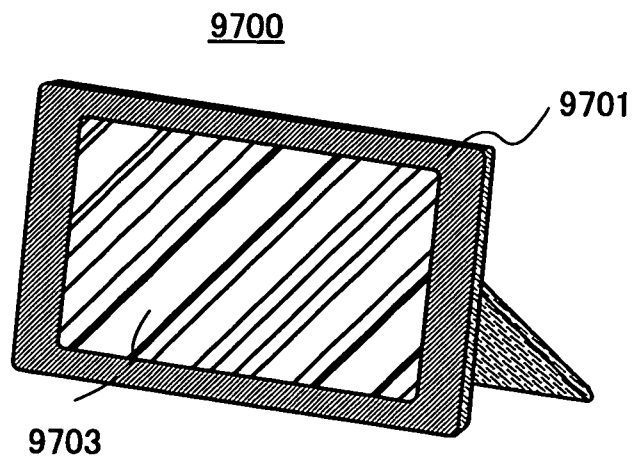


圖 22A

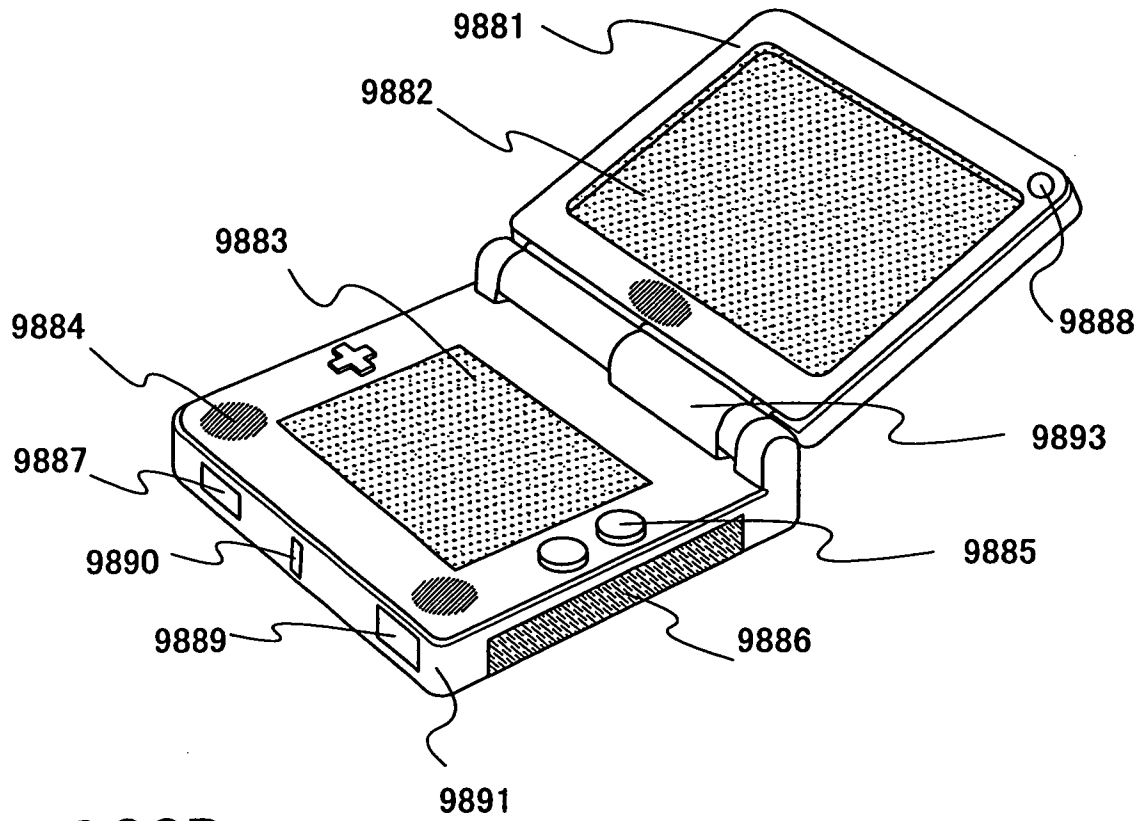


圖 22B

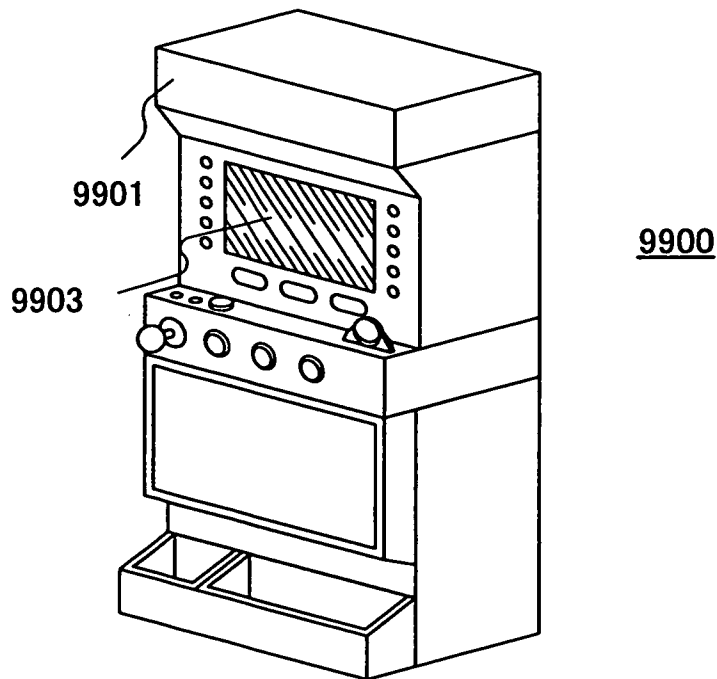


圖 23A

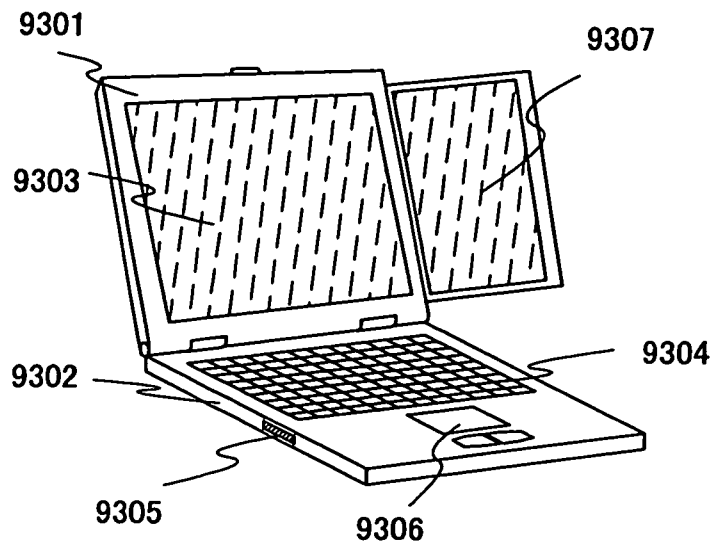


圖 23B

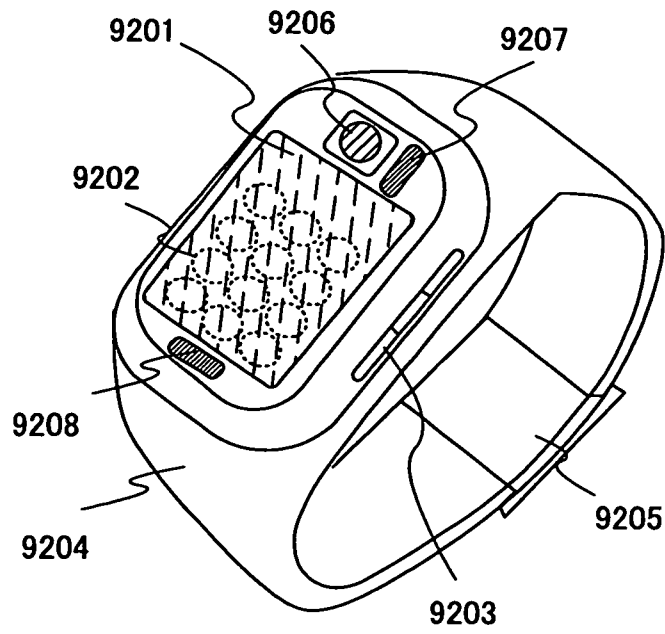


圖24

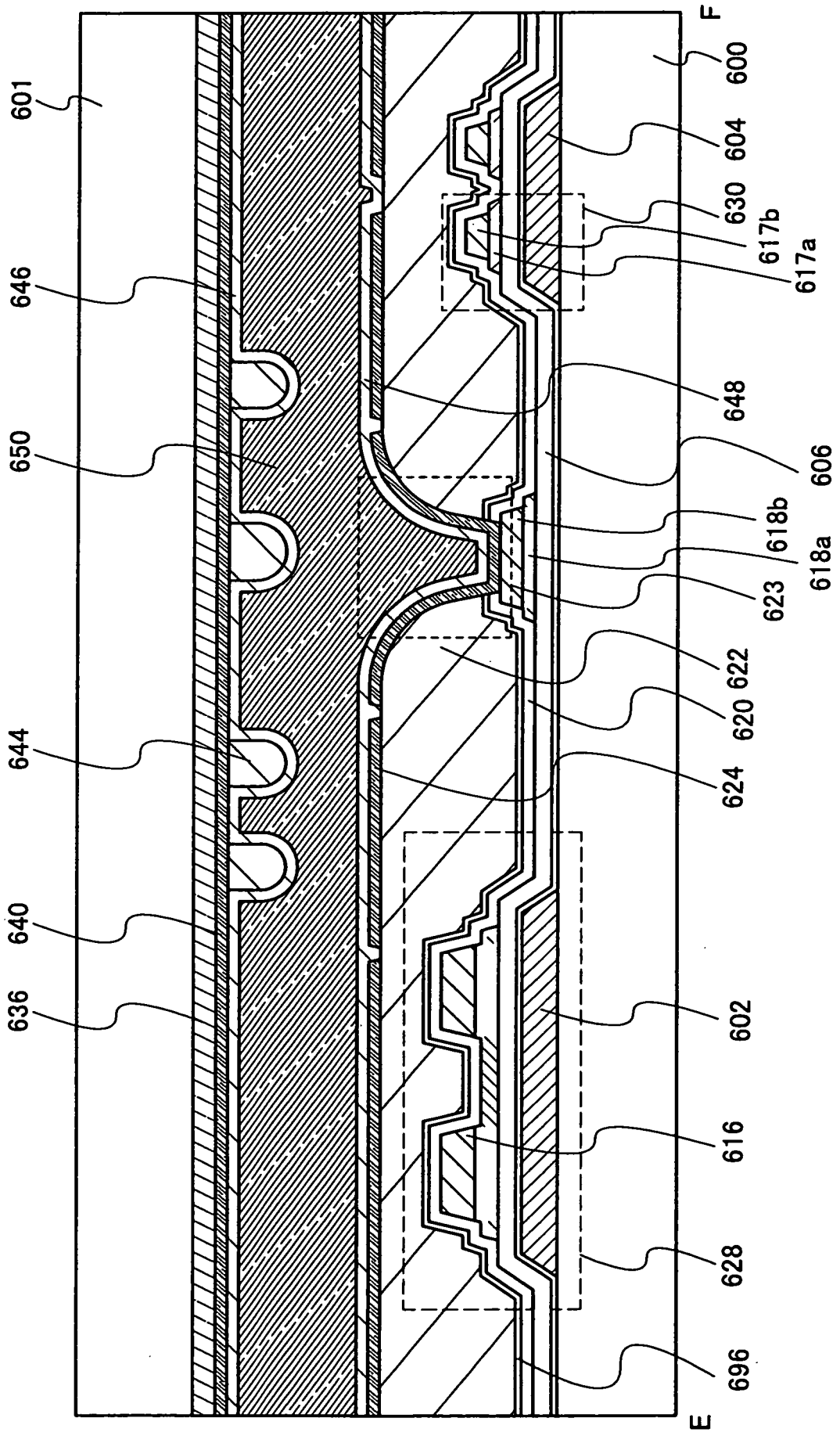


圖 25

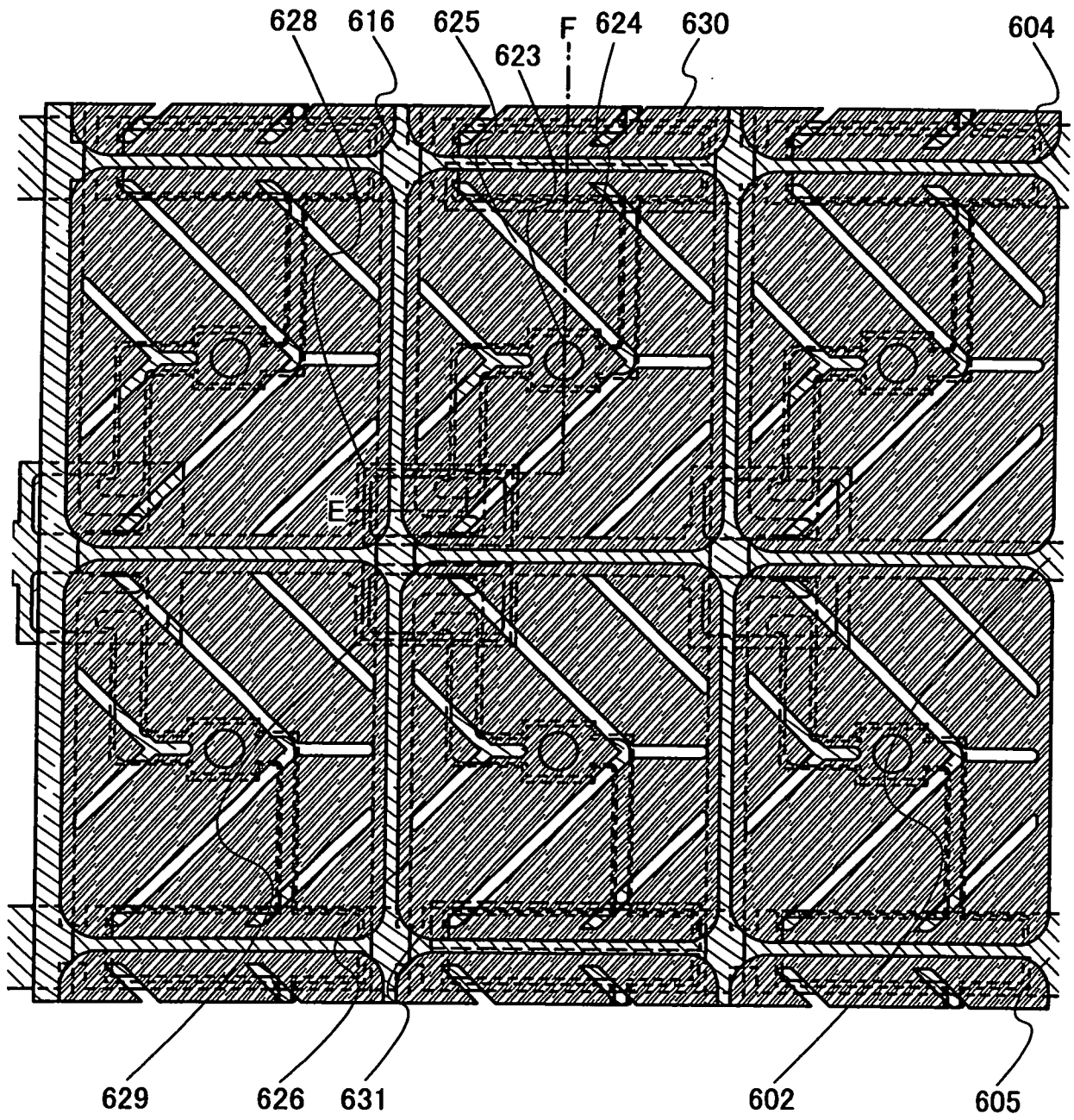


圖 26

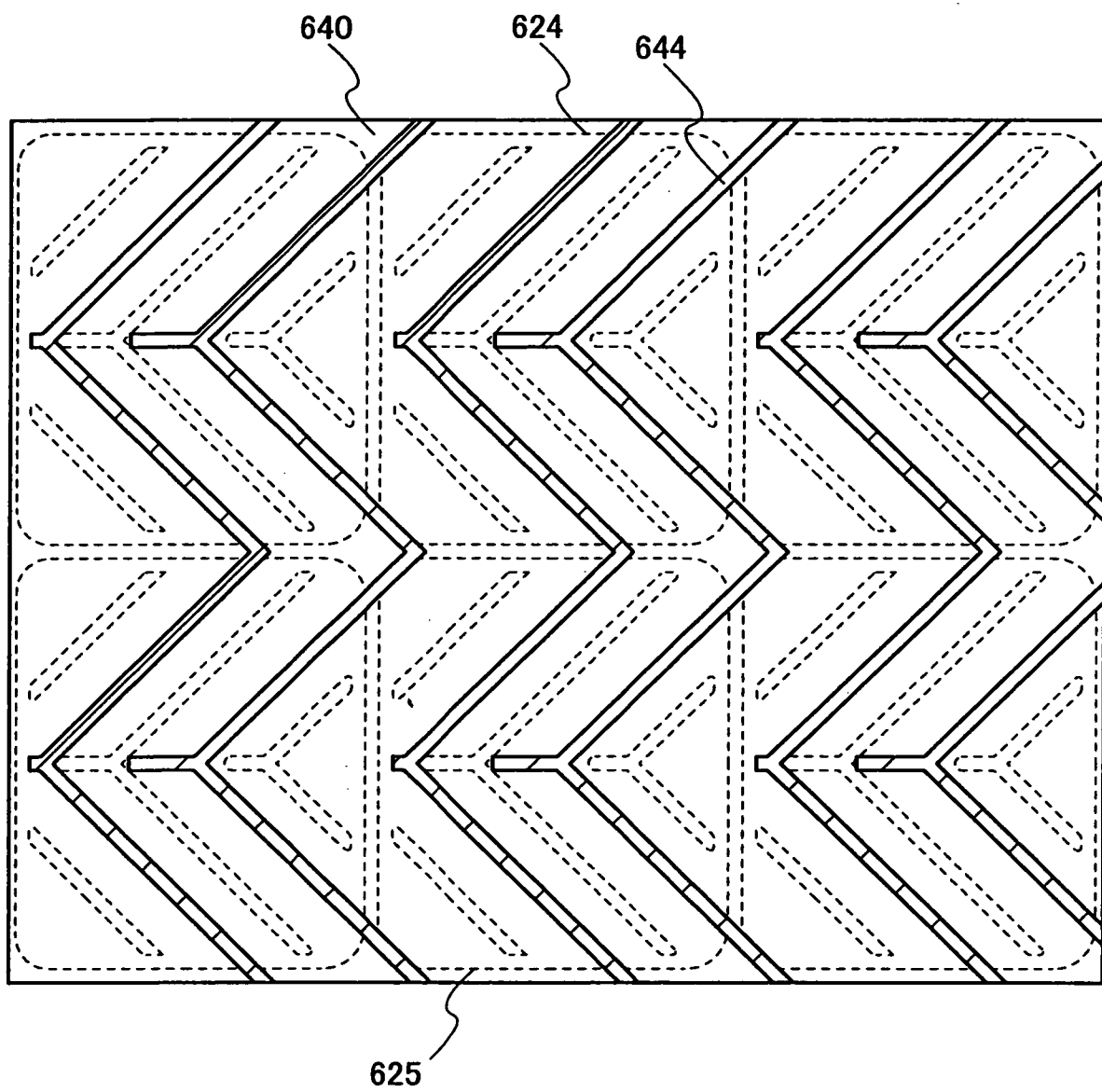


圖 27

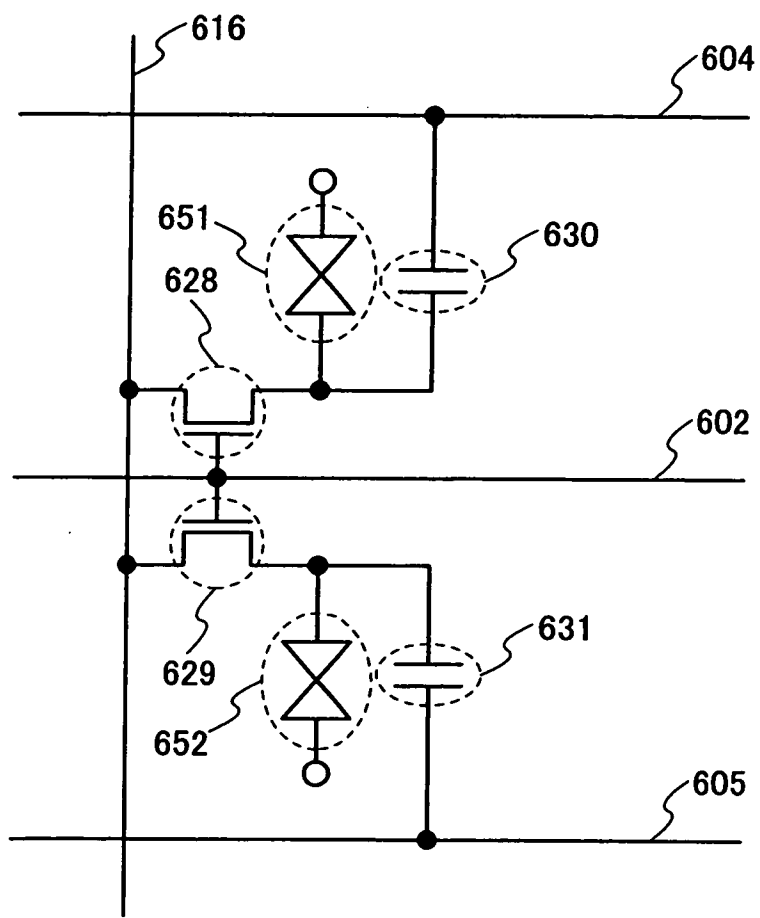


圖 28

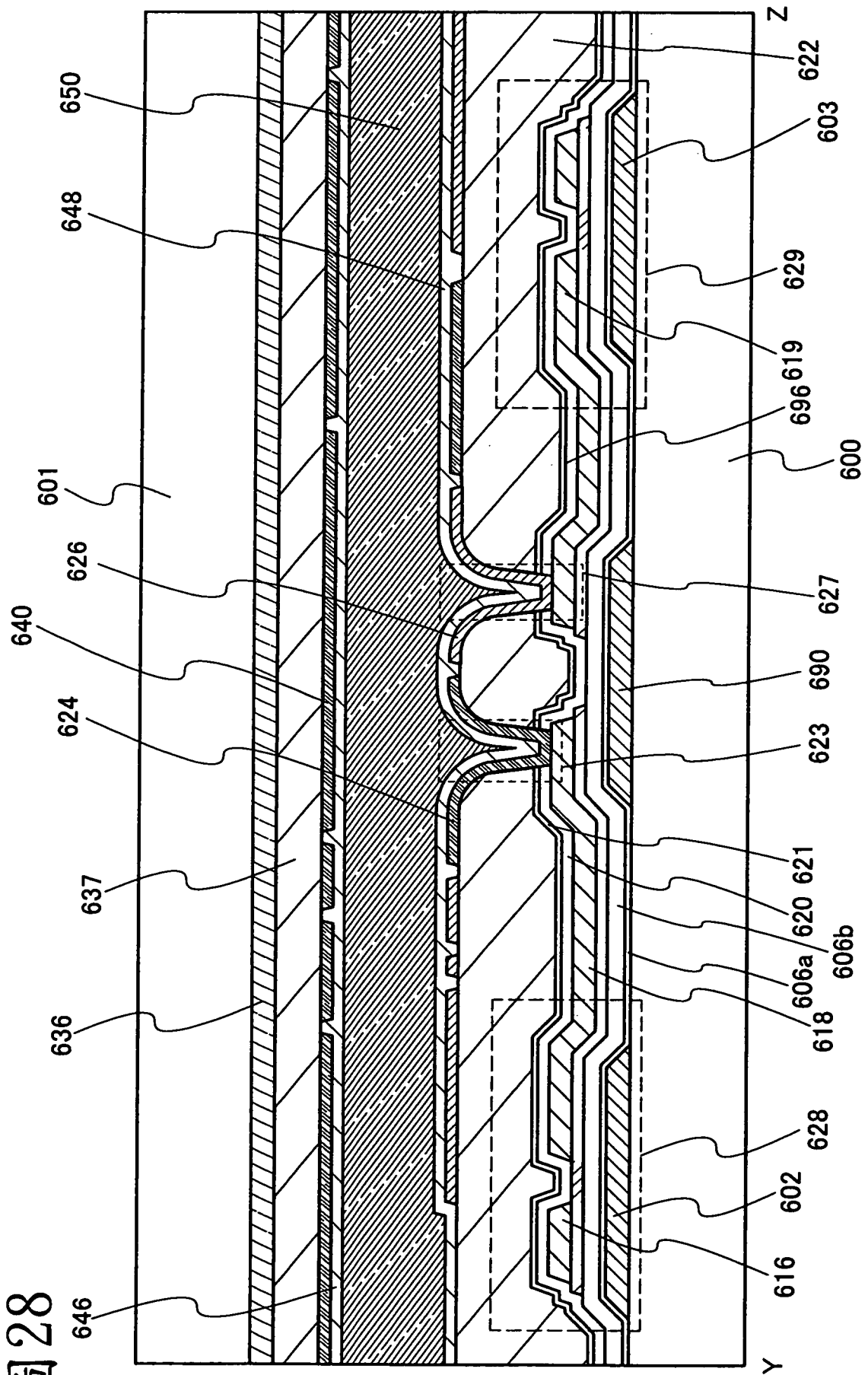




圖 29

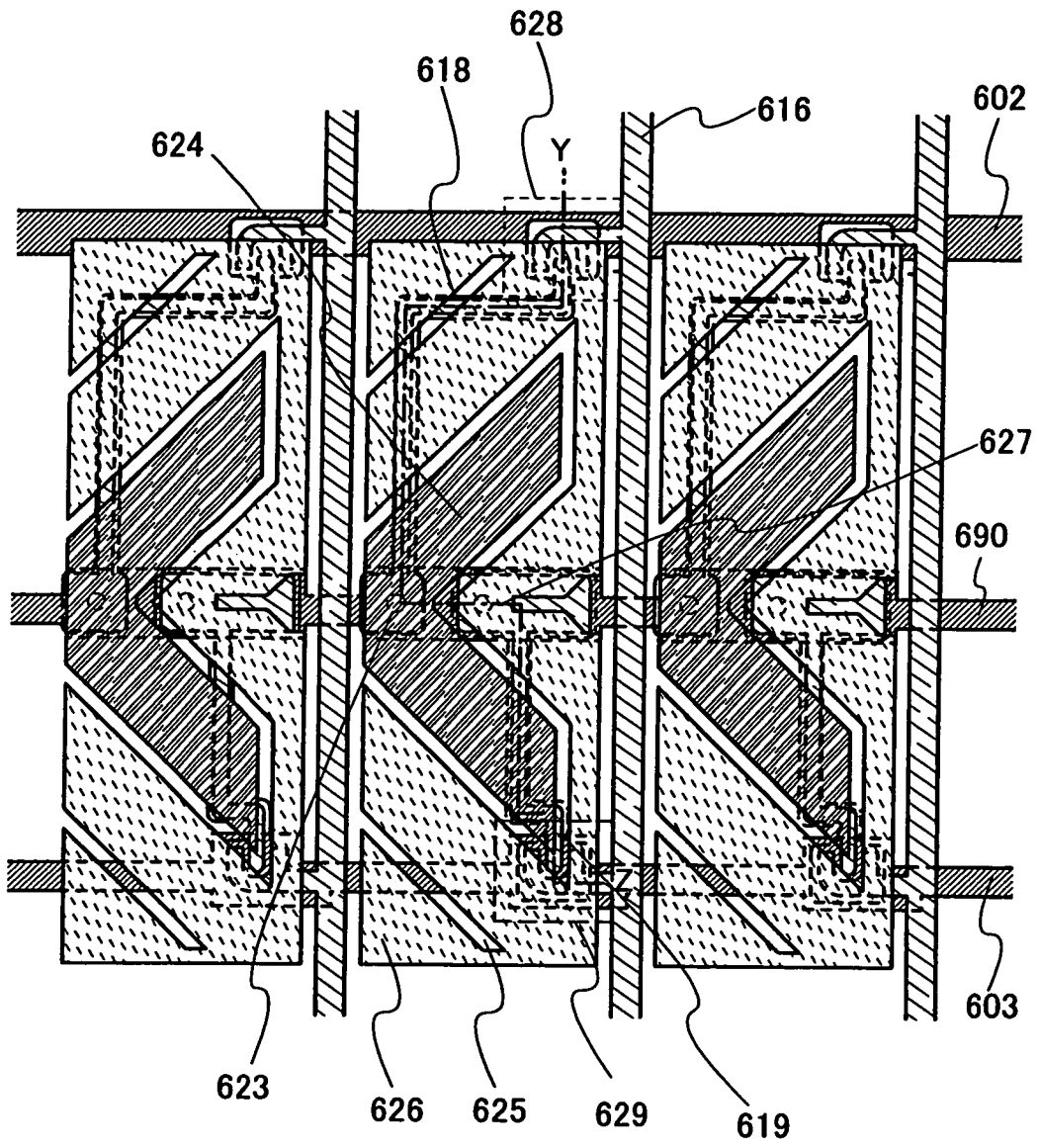


圖 30

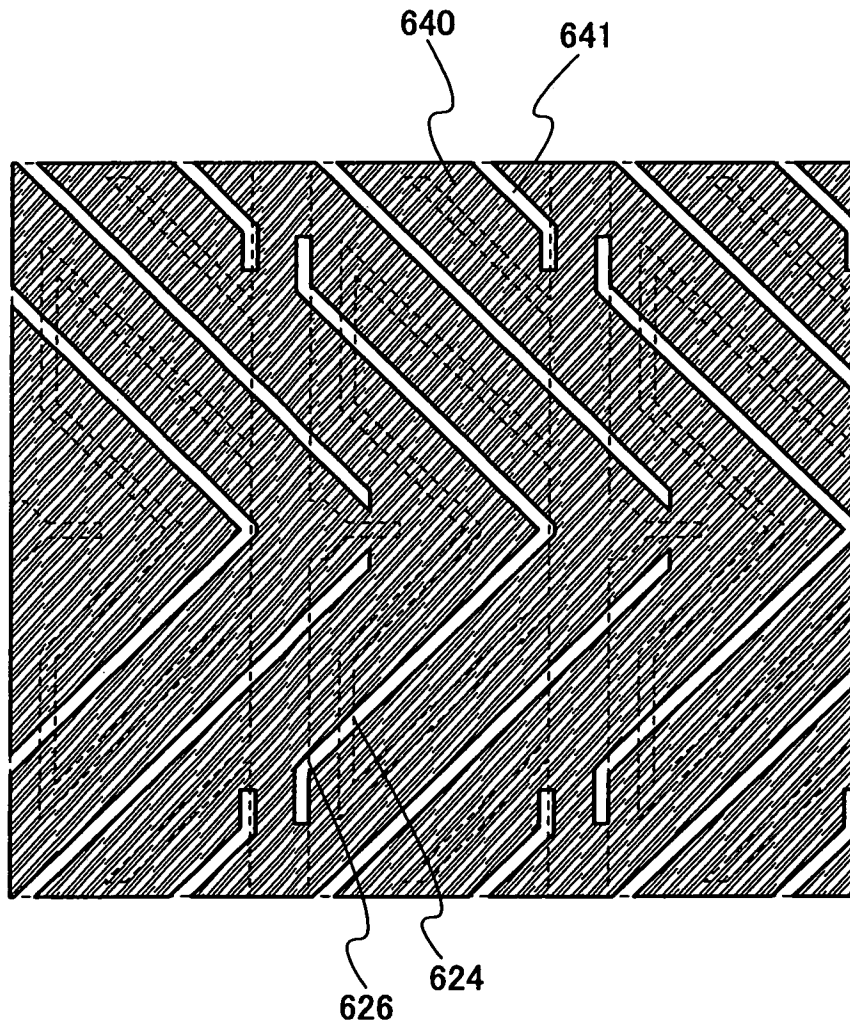


圖 31

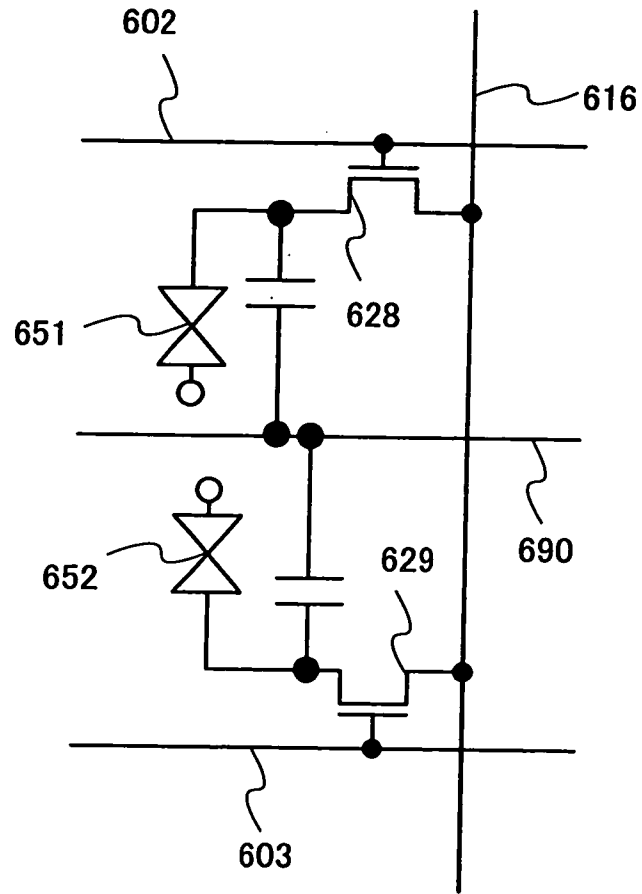


圖32

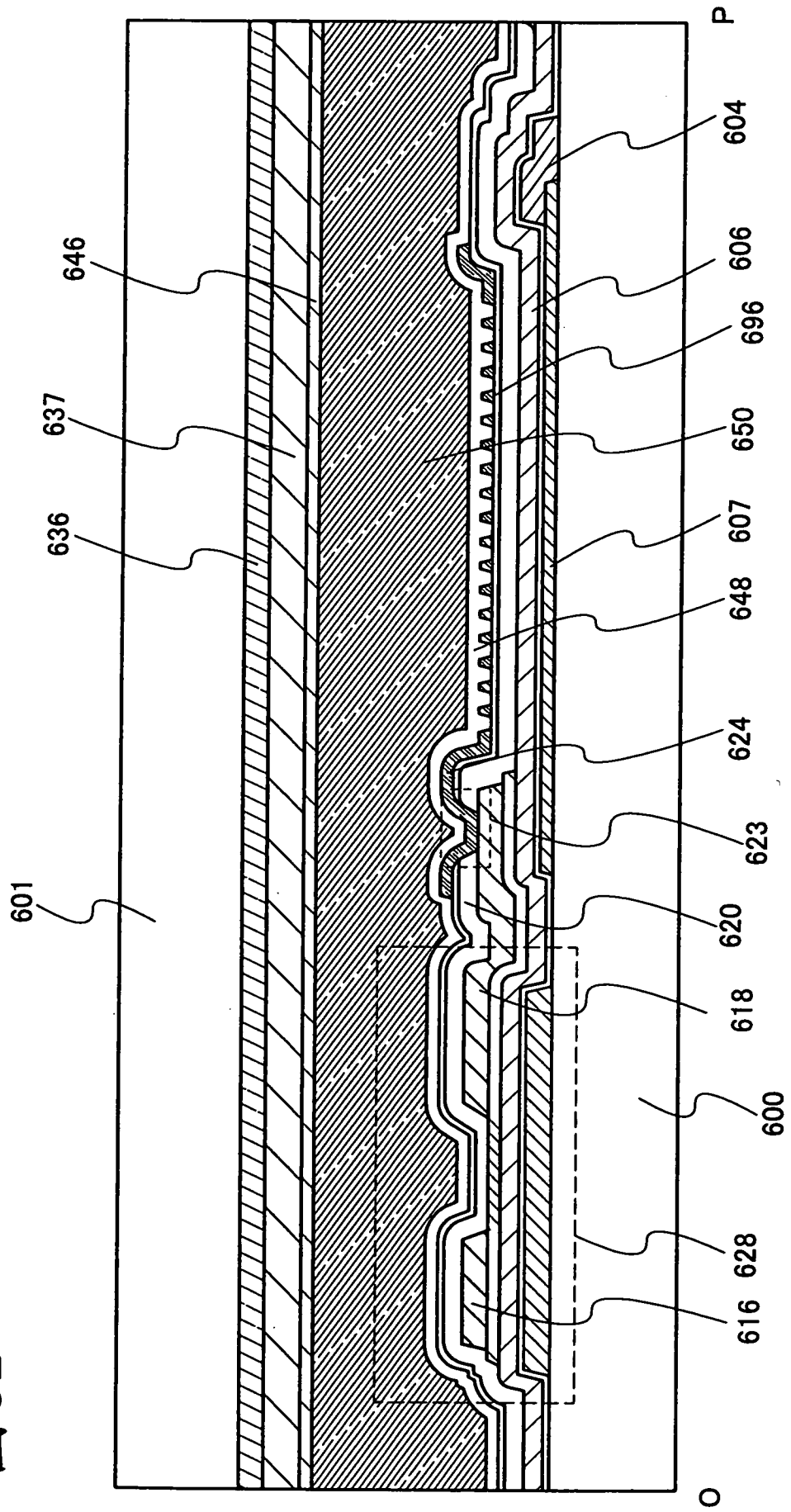


圖 33

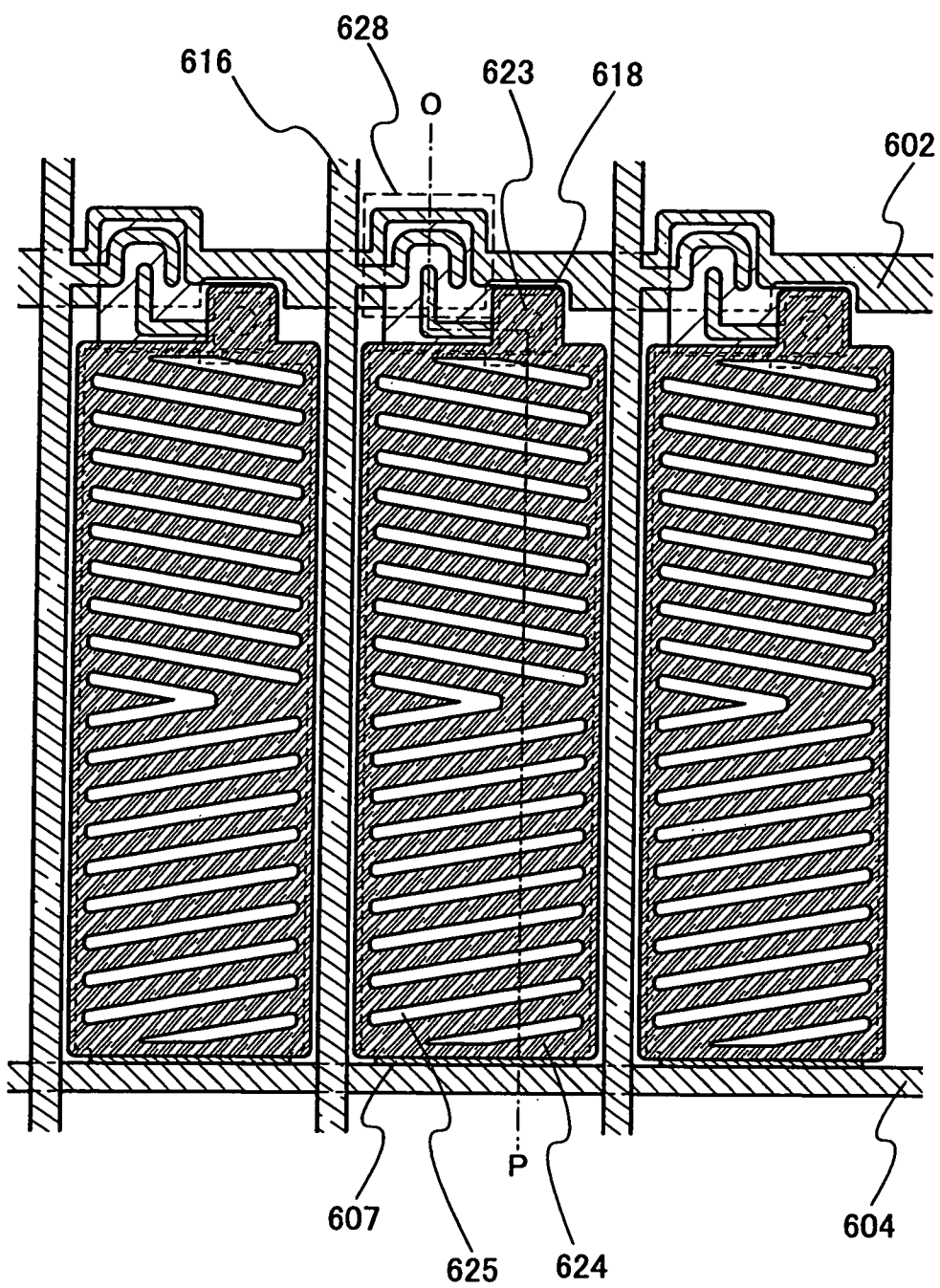


圖34

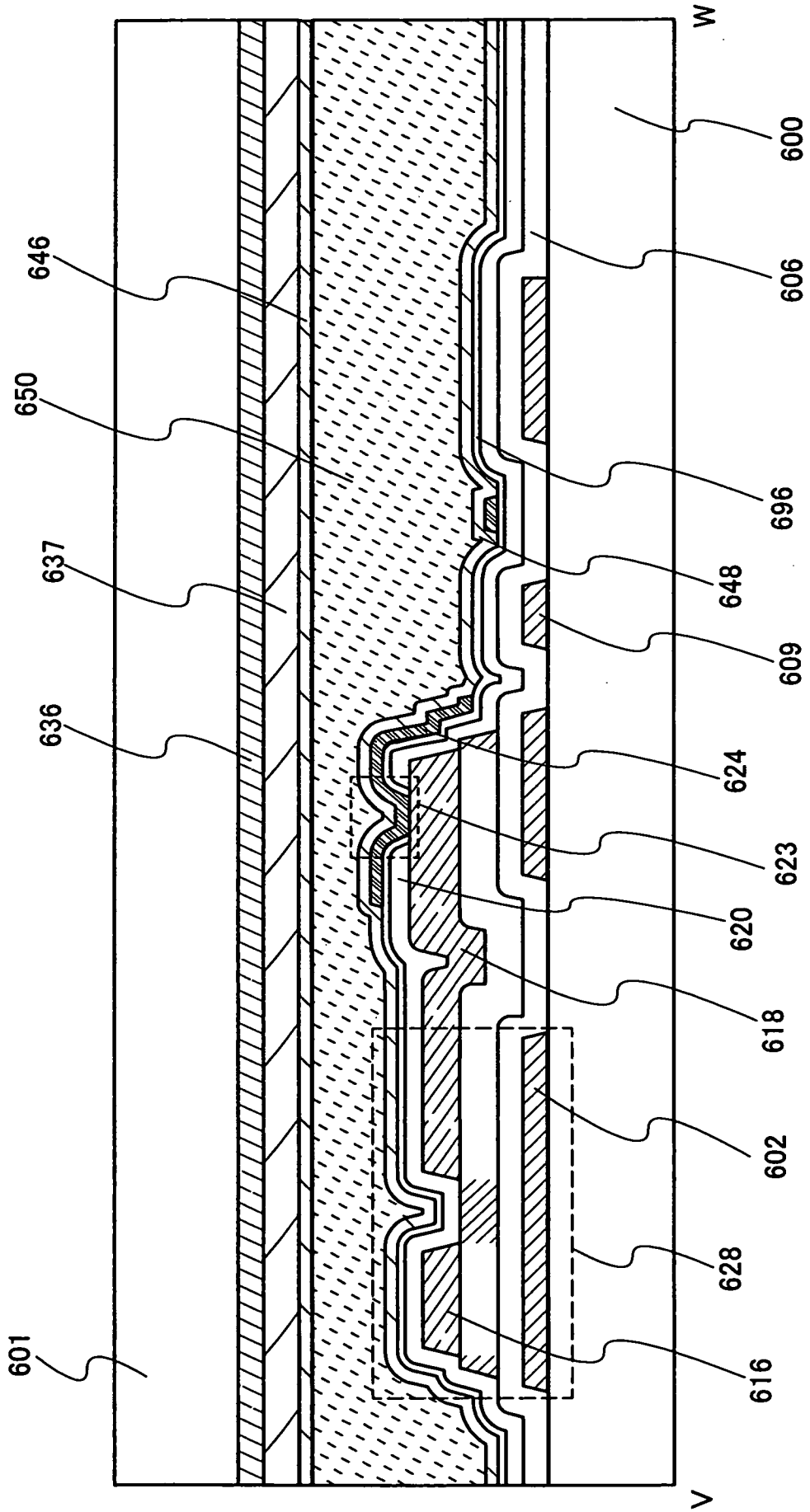


圖 35

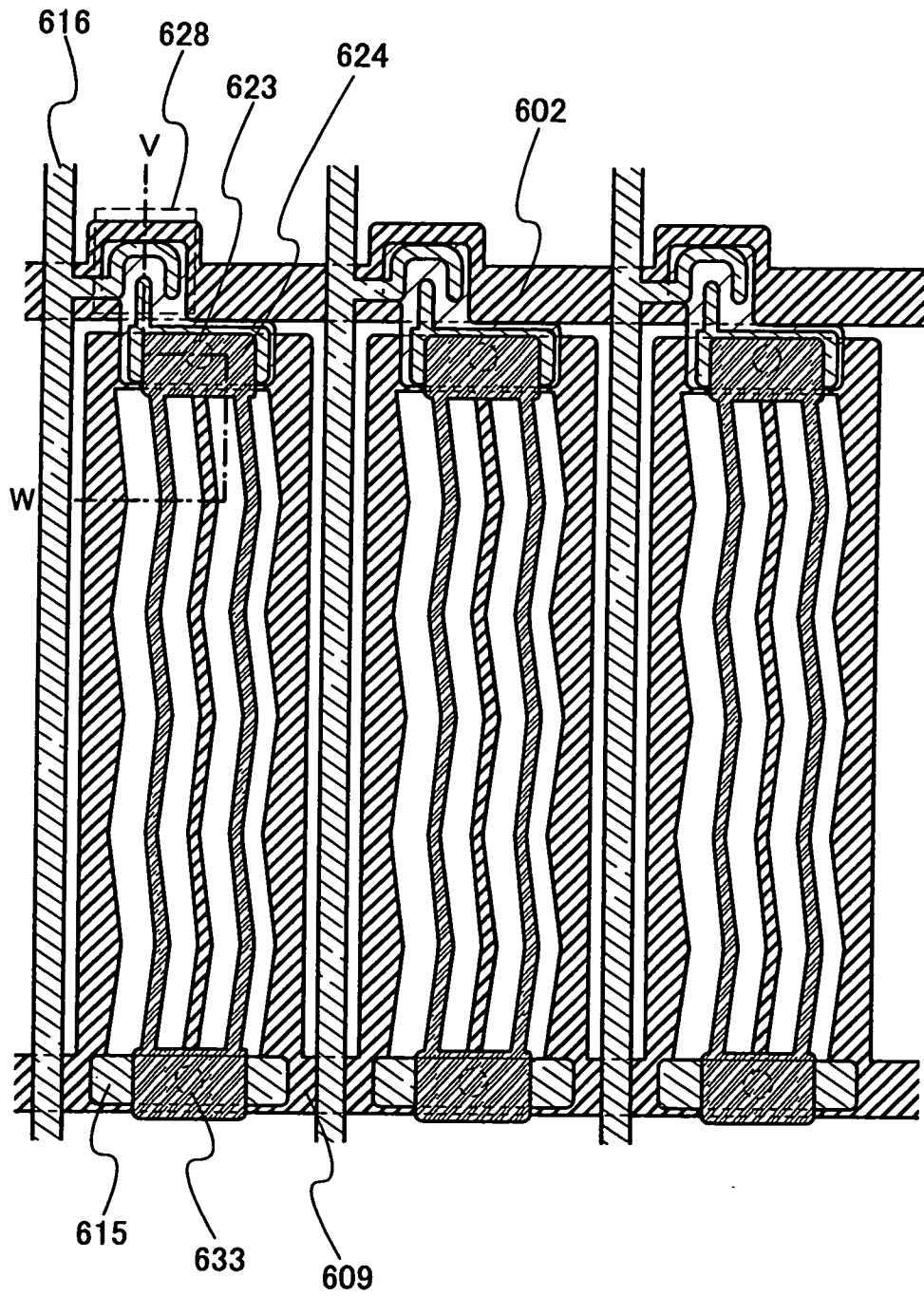


圖36

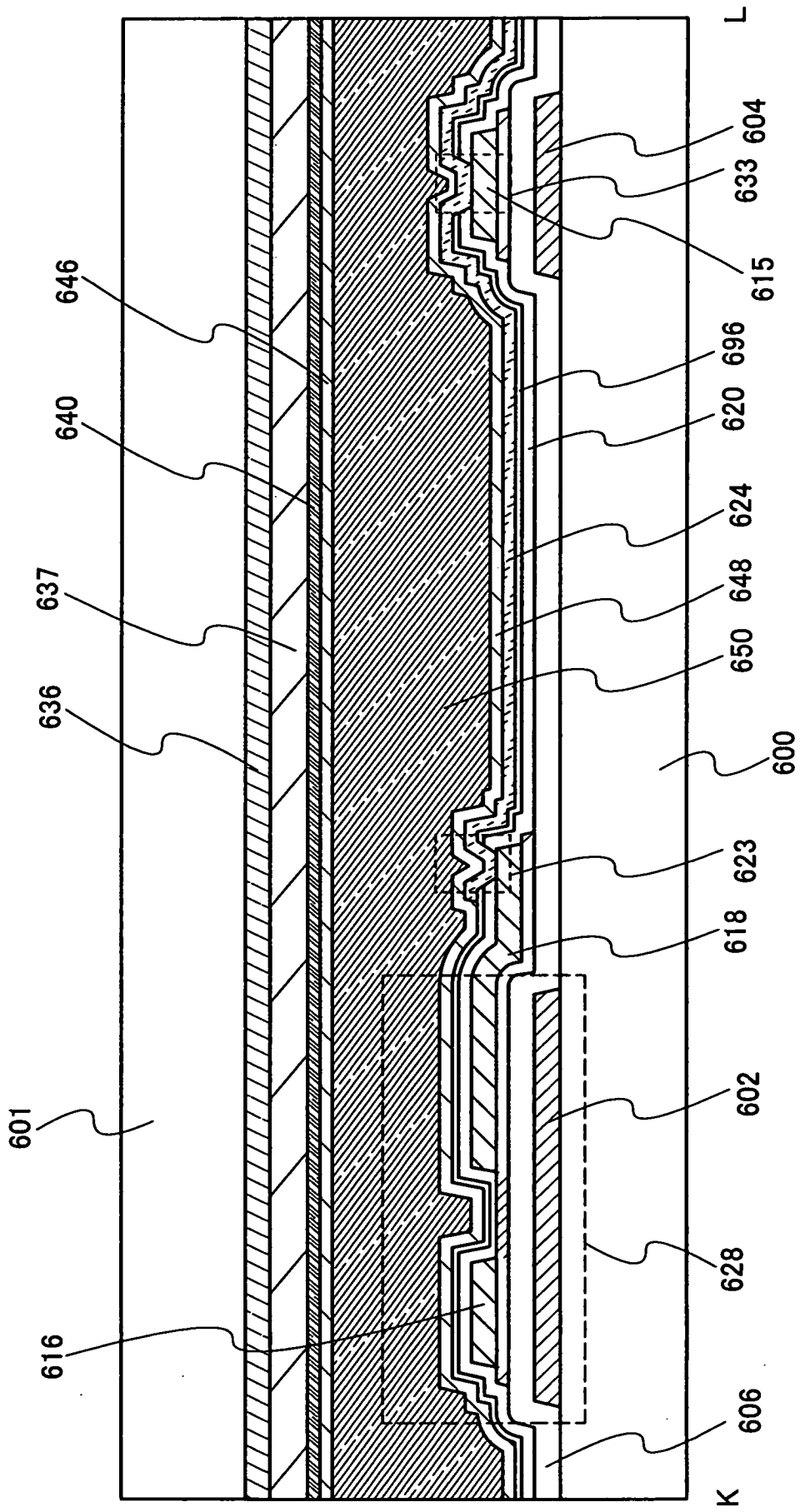




圖 37

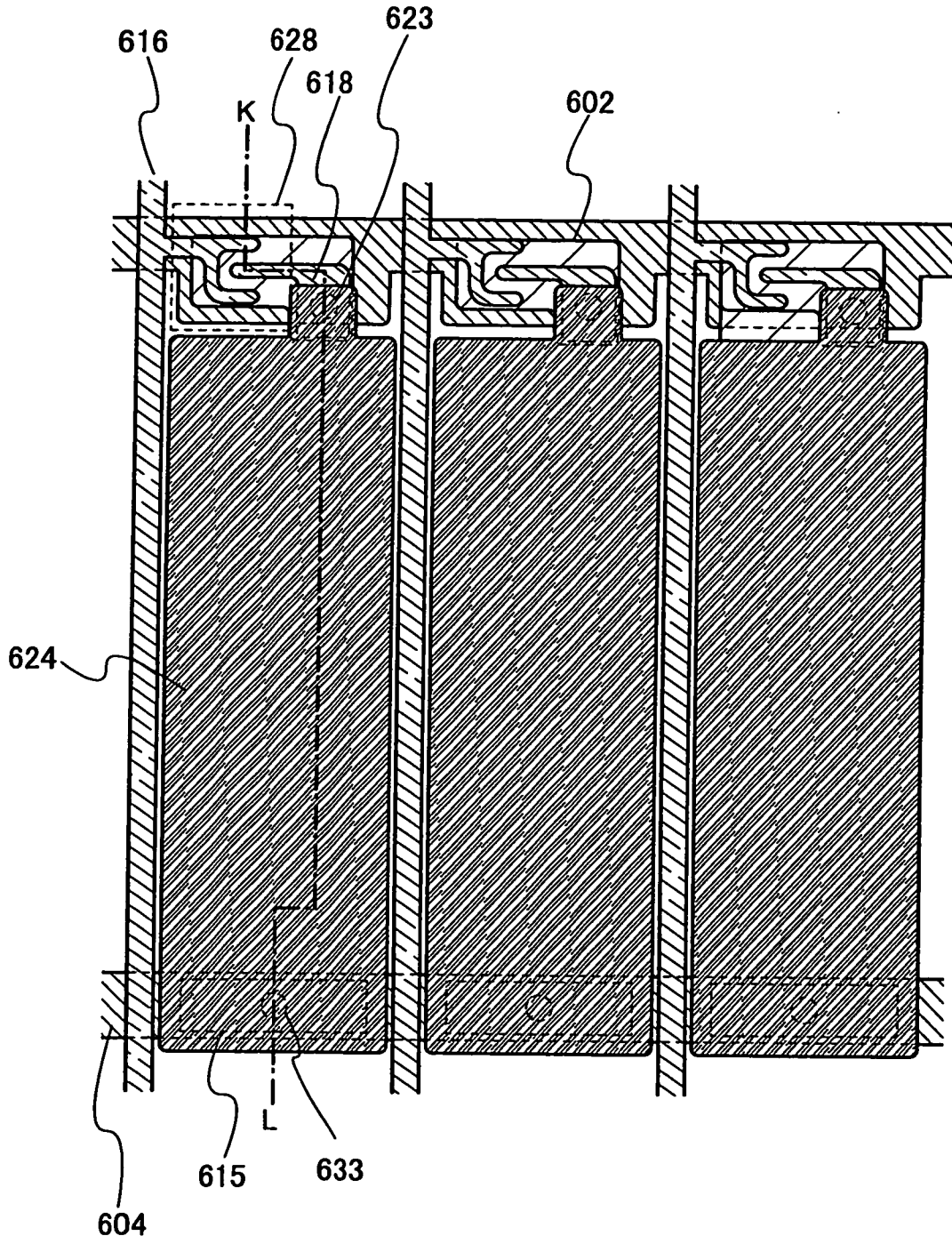


圖 38A1

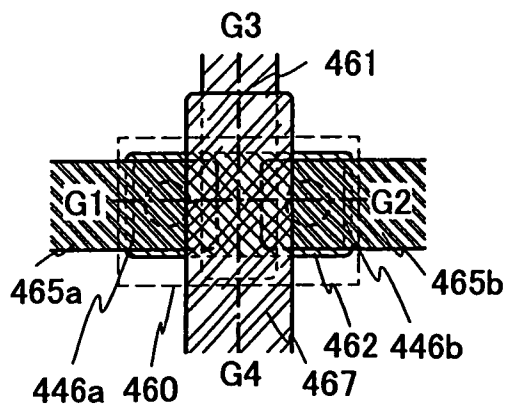


圖 38A2

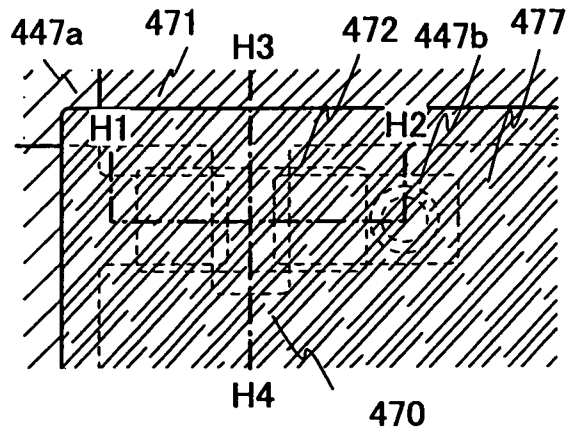


圖 38B

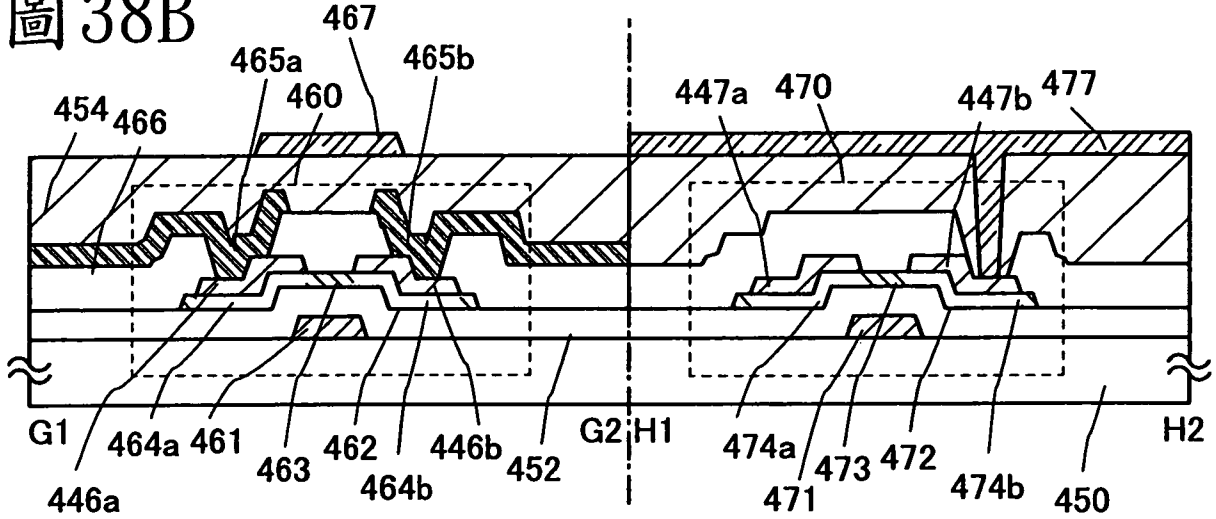


圖 38C

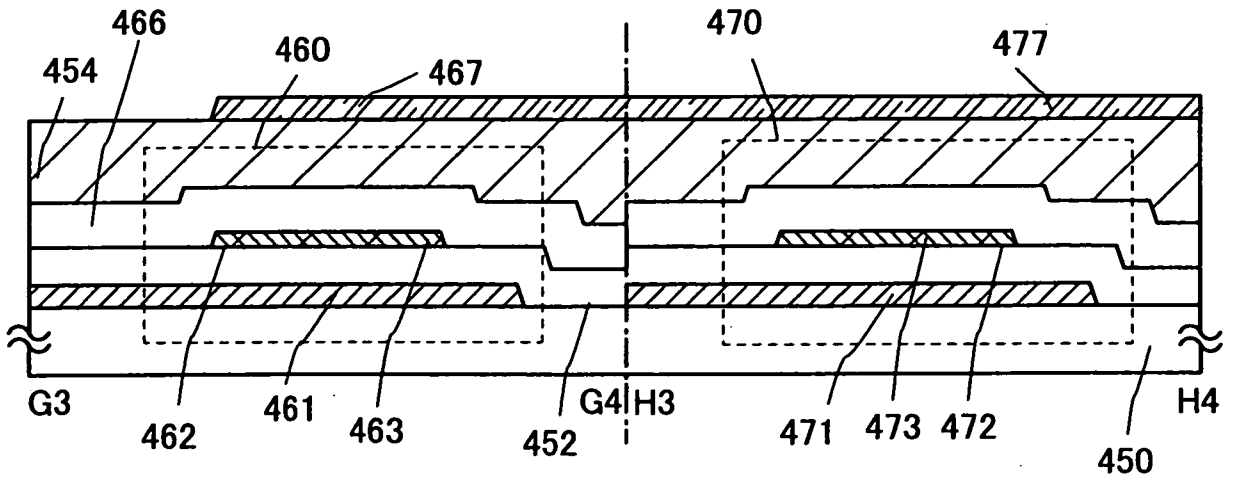


圖 39A

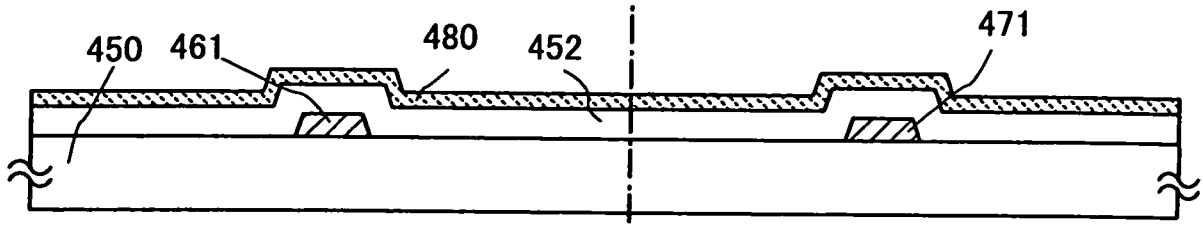


圖 39B



圖 39C

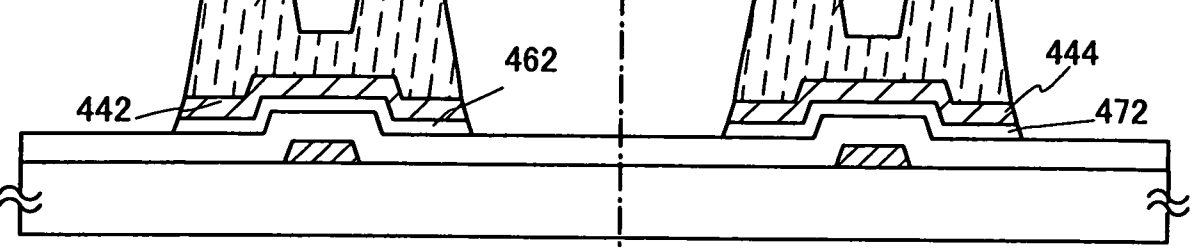


圖 39D

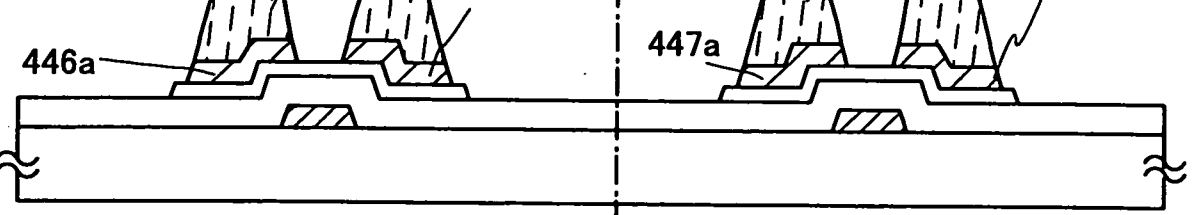


圖 39E

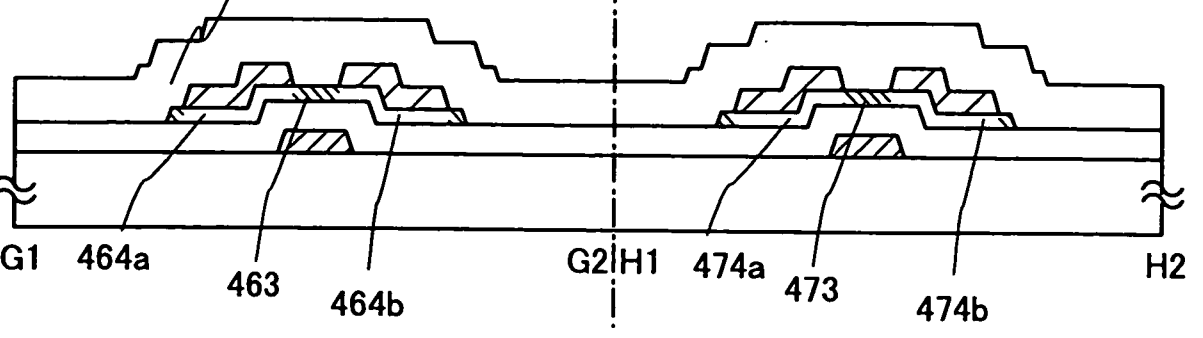


圖 40A

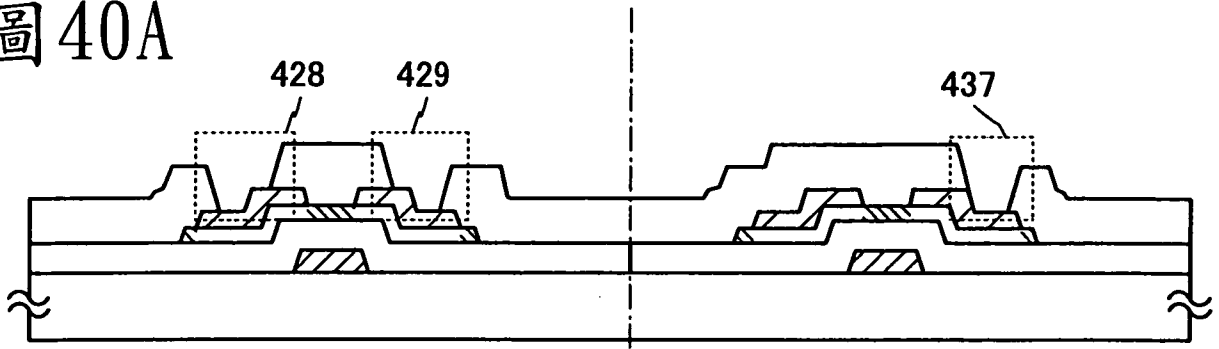


圖 40B

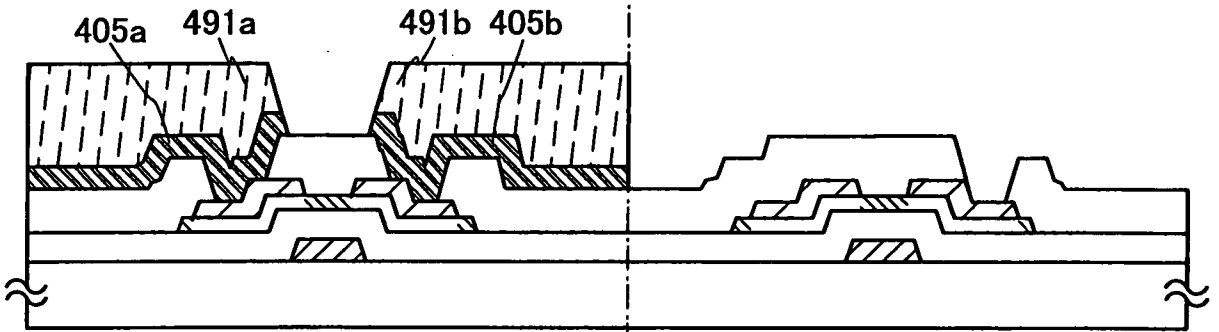


圖 40C

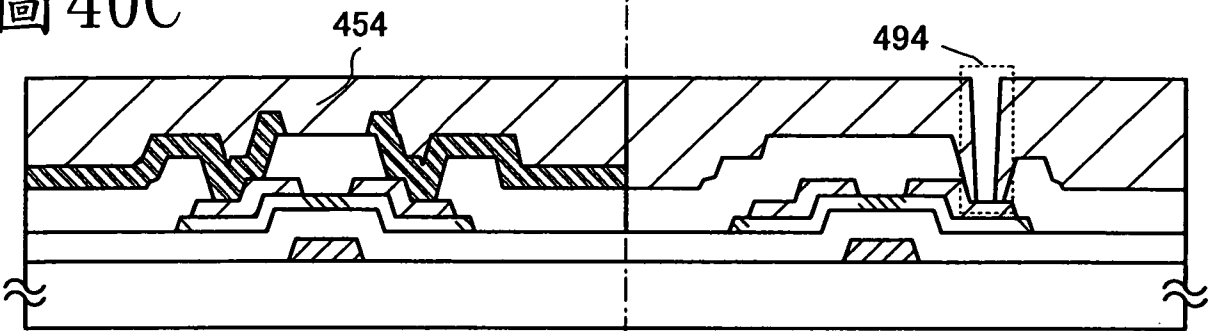


圖 40D

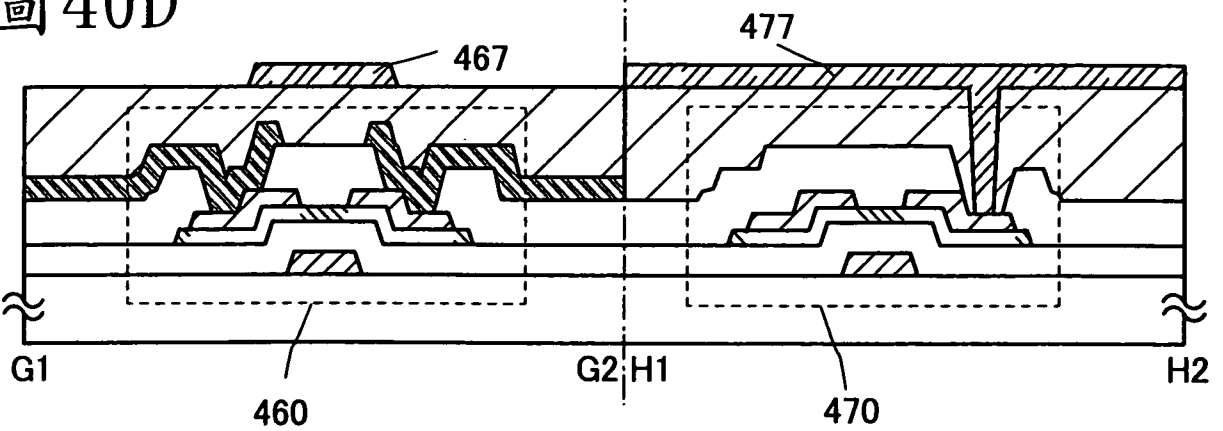


圖 41A

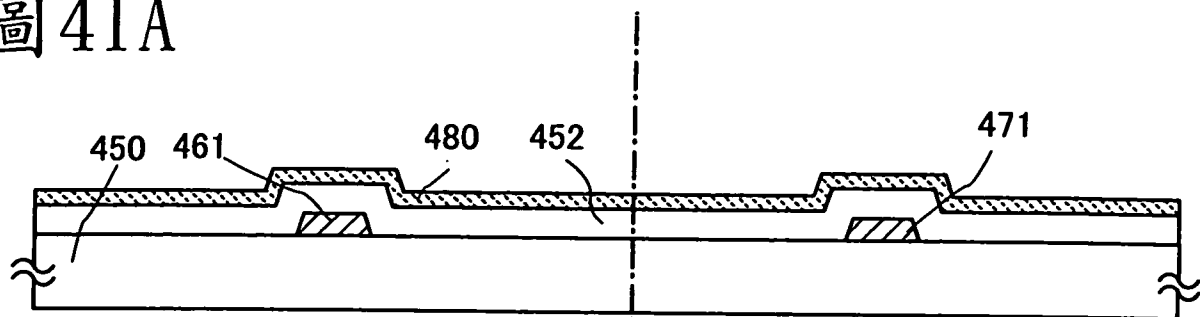


圖 41B

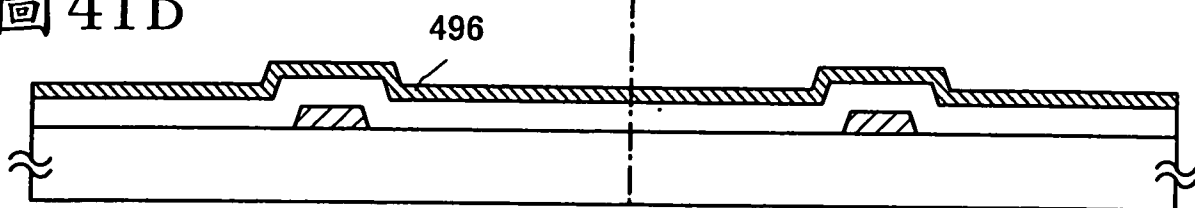


圖 41C

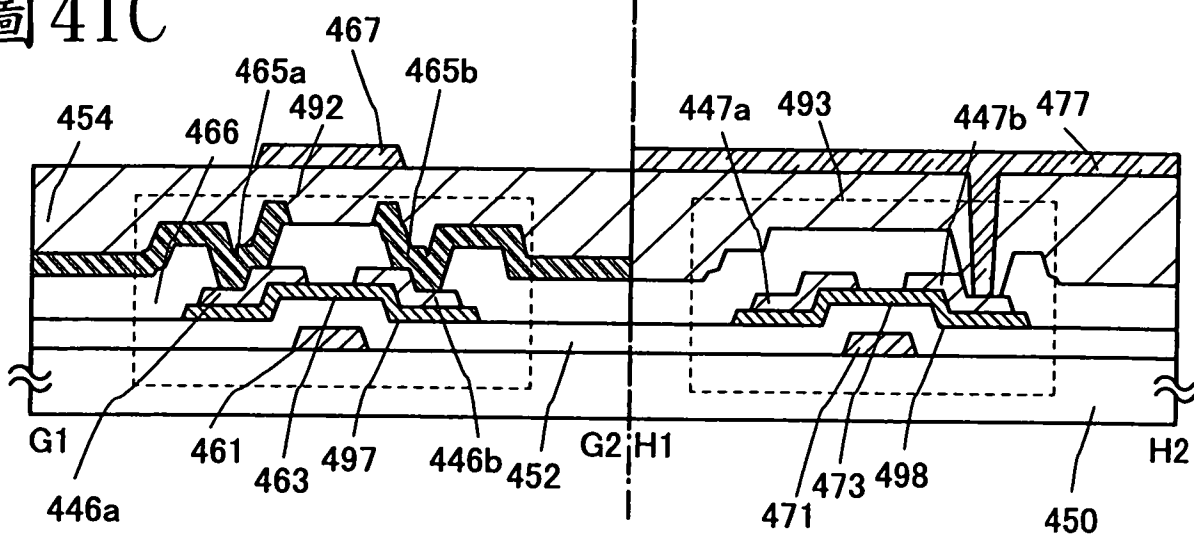


圖 42

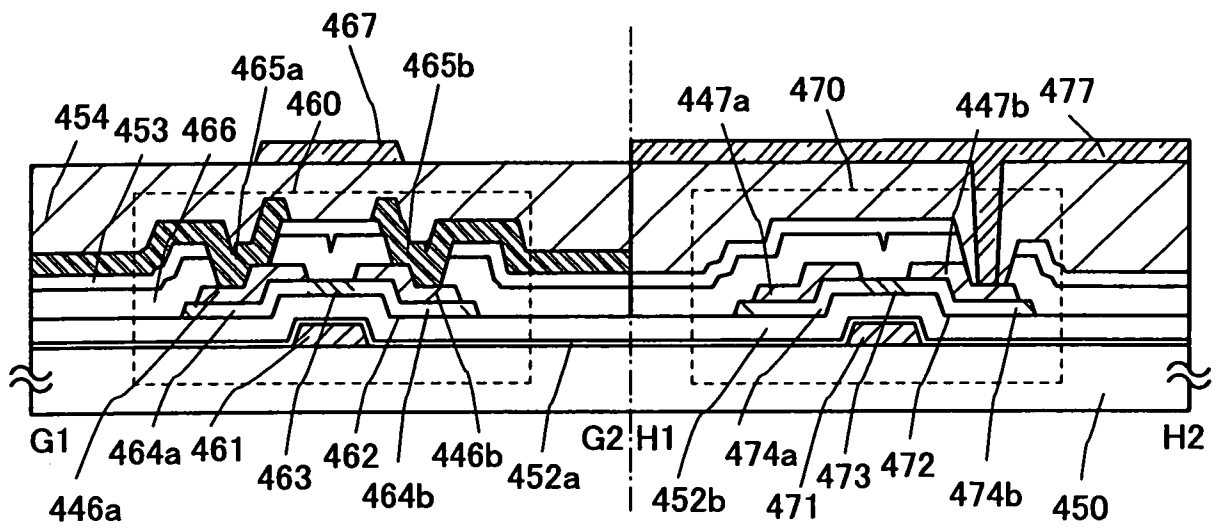


圖 43A1

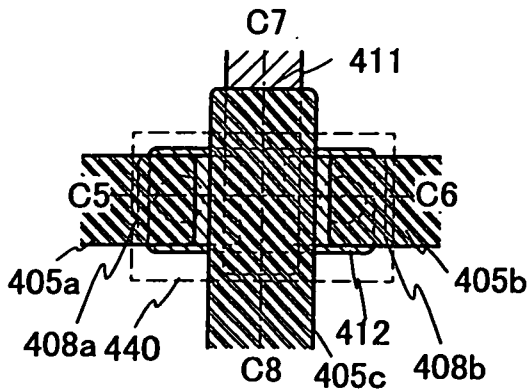


圖 43A2

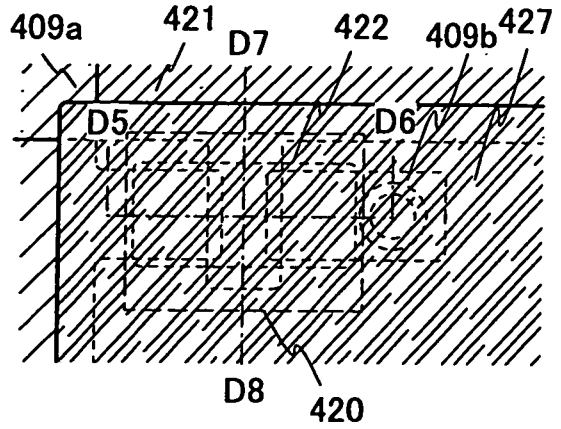


圖 43B

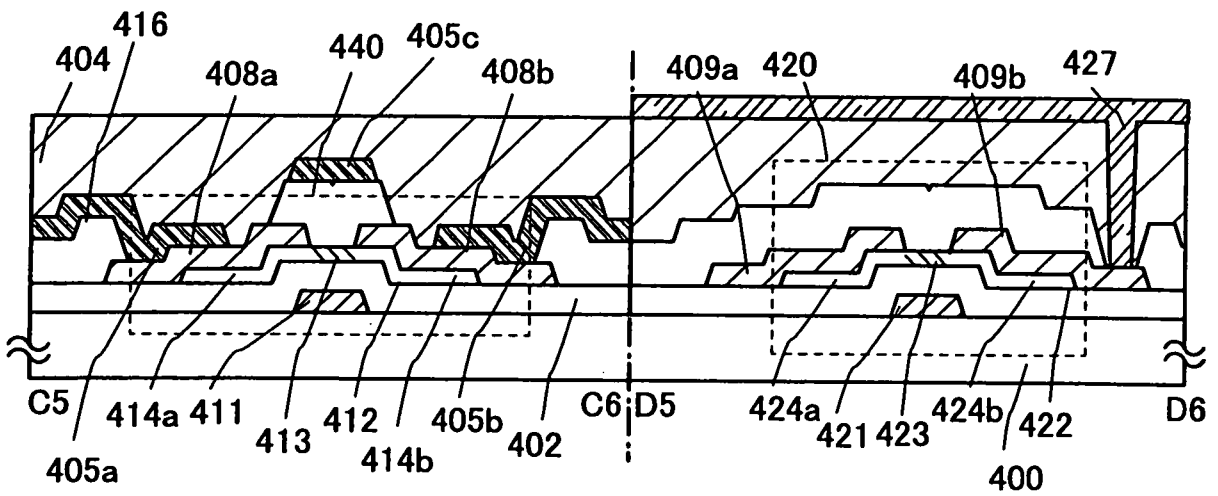


圖 43C

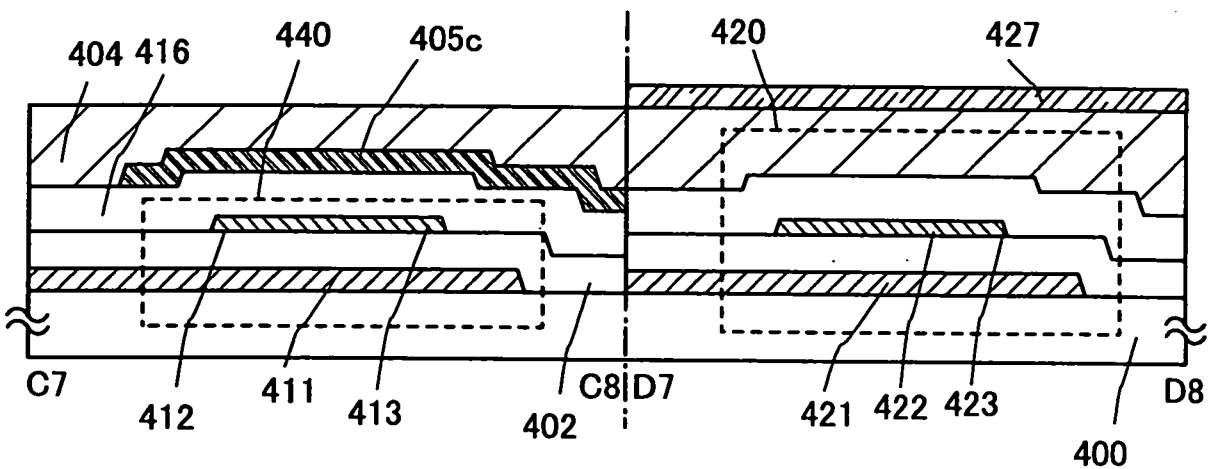


圖 44A

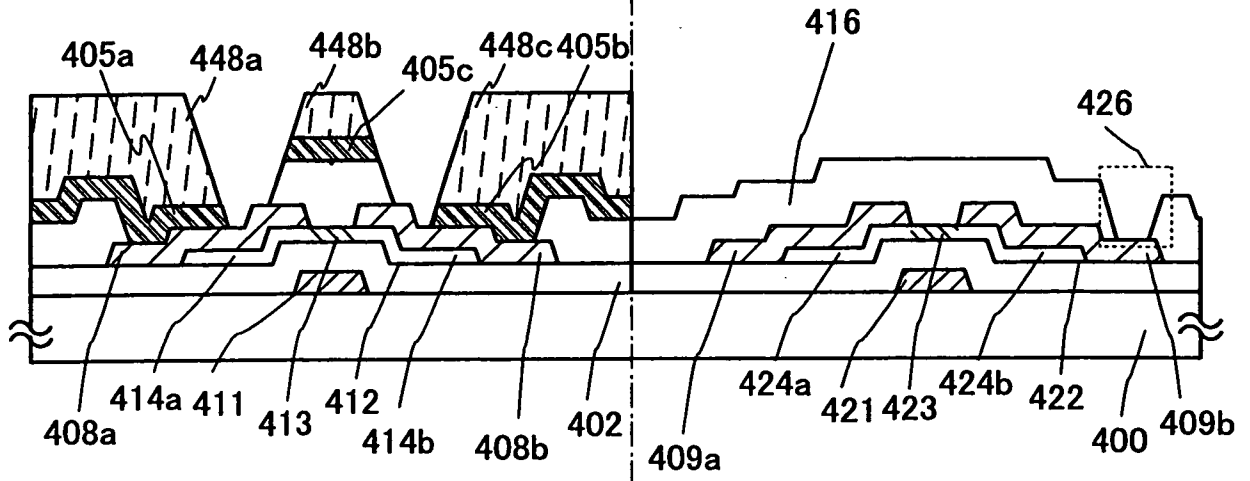


圖 44B

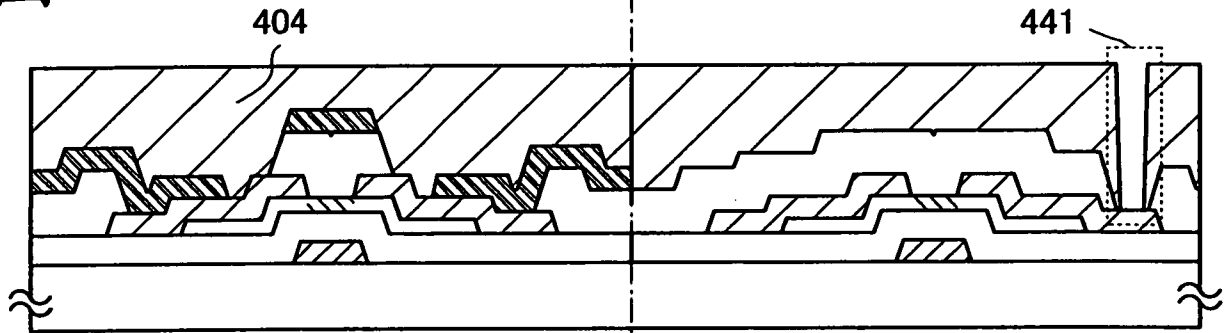


圖 44C

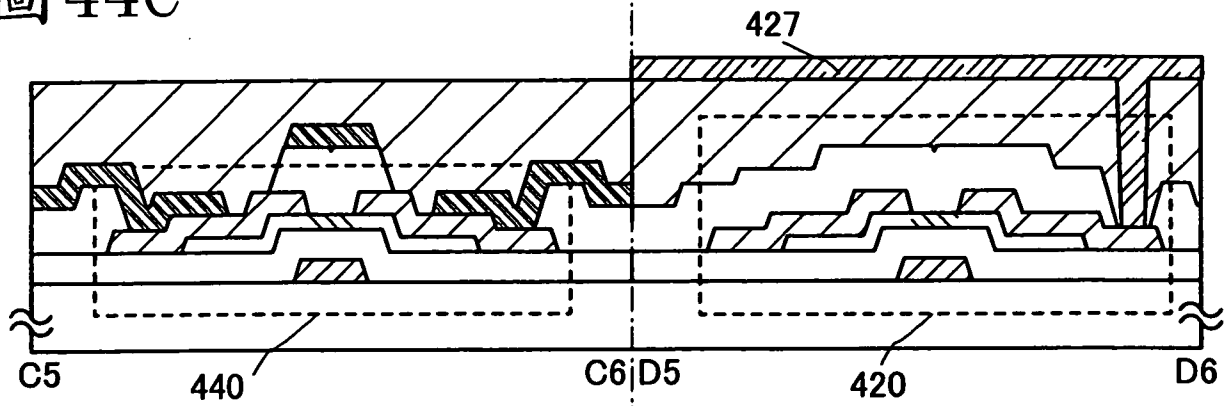




圖 45A1

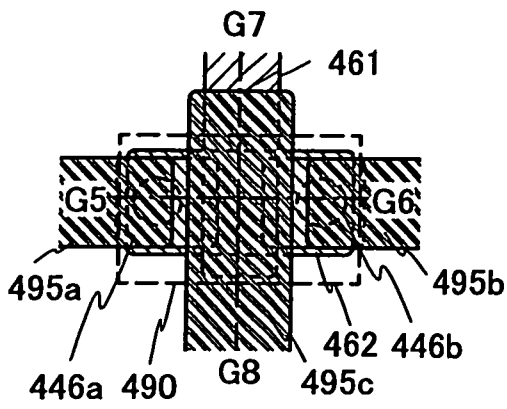


圖 45A2

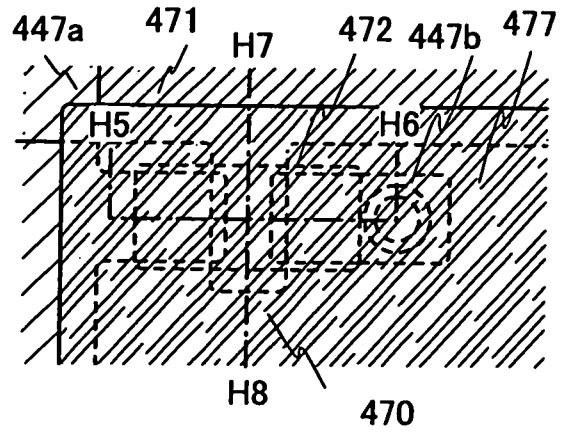


圖 45B

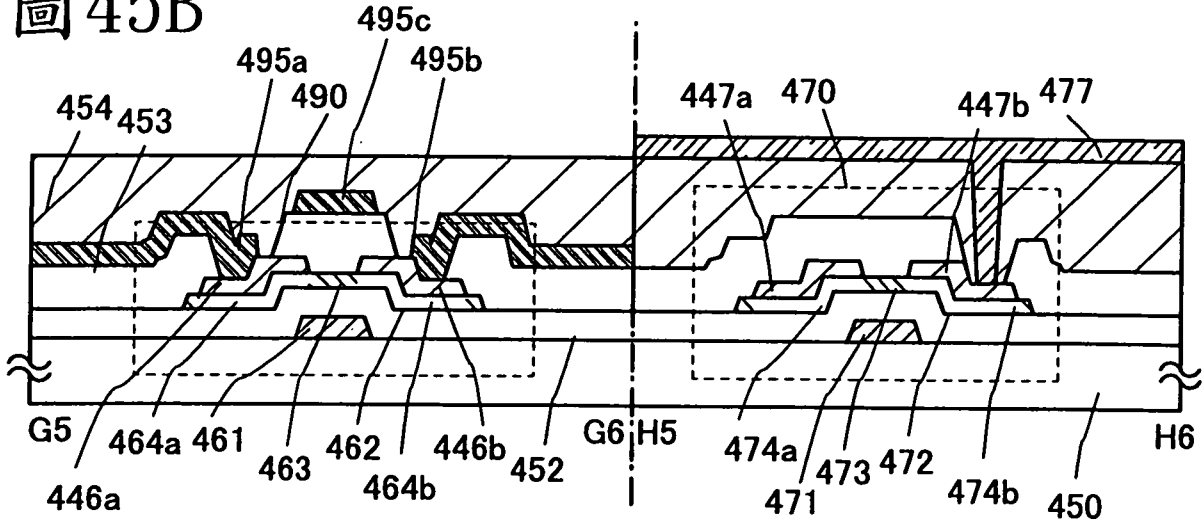


圖 45C

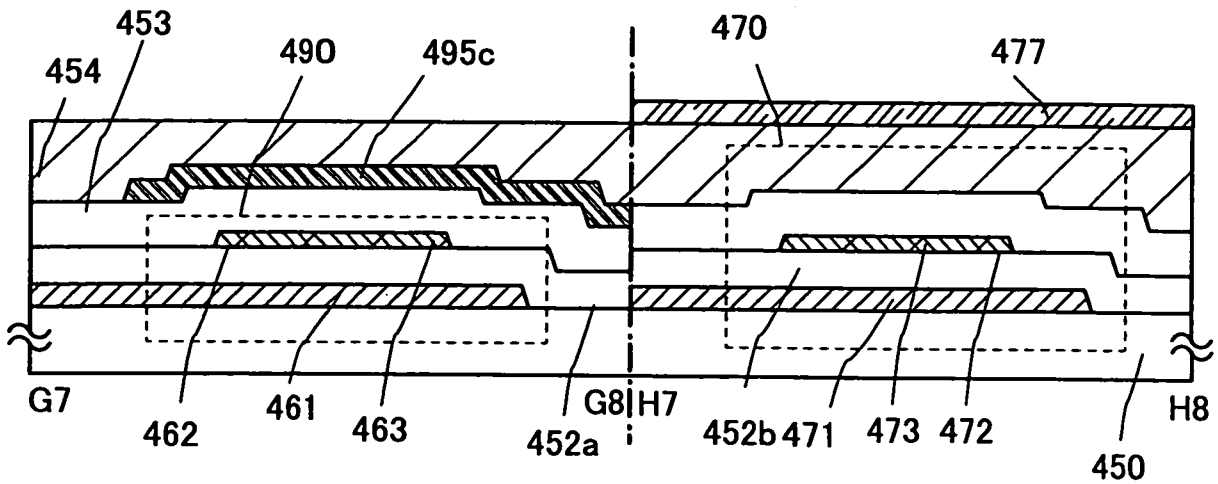


圖 46A

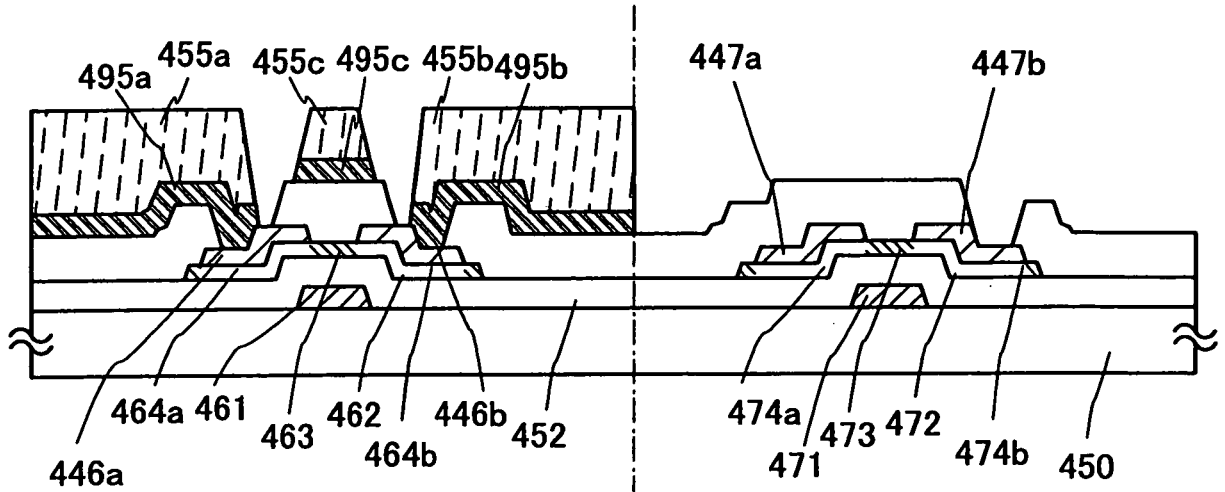


圖 46B

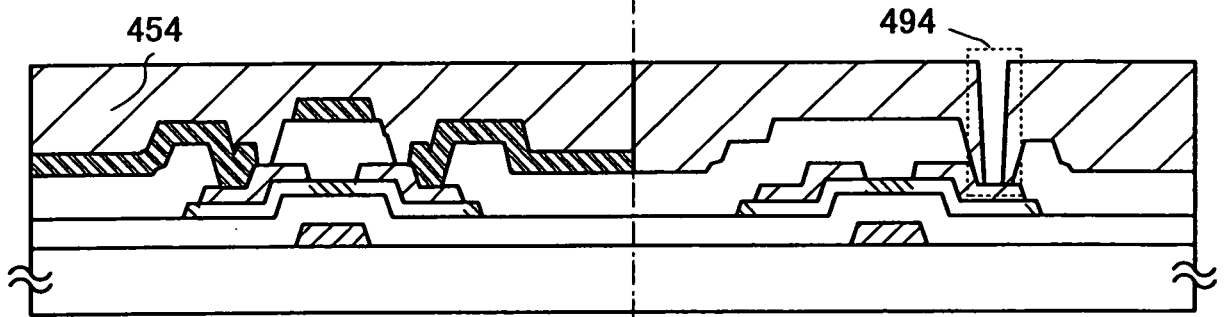


圖 46C

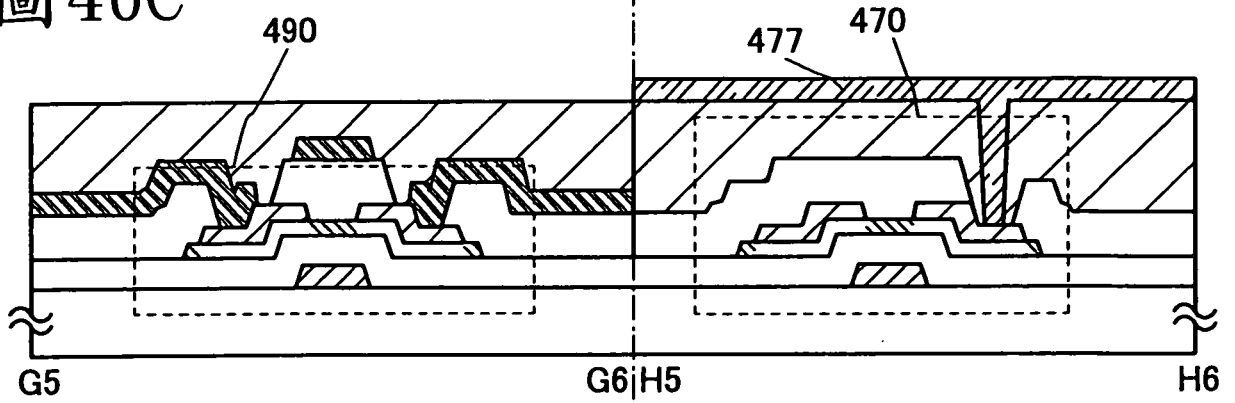


圖 47

