

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6505466号
(P6505466)

(45) 発行日 平成31年4月24日(2019.4.24)

(24) 登録日 平成31年4月5日(2019.4.5)

(51) Int.Cl.	F I				
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 2 K		
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 21/283 (2006.01)	HO 1 L	29/78	6 5 5 A		
HO 1 L 21/28 (2006.01)	HO 1 L	21/283	C		
請求項の数 12 (全 21 頁) 最終頁に続く					

(21) 出願番号 特願2015-33595 (P2015-33595)
 (22) 出願日 平成27年2月24日(2015.2.24)
 (65) 公開番号 特開2016-157761 (P2016-157761A)
 (43) 公開日 平成28年9月1日(2016.9.1)
 審査請求日 平成29年11月30日(2017.11.30)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100088487
 弁理士 松山 允之
 (72) 発明者 大橋 輝之
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 三谷 祐一郎
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

{ 0 0 0 - 1 } 面に対し0度以上10度以下傾斜した表面、又は、法線方向が < 0 0 0 - 1 > 方向に対し80度以上90度以下傾斜した表面を有する Si C 層と、
 ゲート電極と、
 前記表面と前記ゲート電極との間に設けられるゲート絶縁膜と、
 前記表面と前記ゲート絶縁膜との間に設けられ、重水素 (D) の最大濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上、水素 (H) の最大濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下の領域と、
 を備え、

前記領域中の重水素の濃度分布がピークを有し、前記ピークの半値全幅が10nm以下である半導体装置。

10

【請求項2】

前記領域中の重水素の最大濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上である請求項1記載の半導体装置。

【請求項3】

前記ゲート絶縁膜はシリコン酸化膜である請求項1又は請求項2記載の半導体装置。

【請求項4】

{ 0 0 0 - 1 } 面に対し0度以上10度以下傾斜した表面、又は、法線方向が < 0 0 0 - 1 > 方向に対し80度以上90度以下傾斜した表面を有する Si C 層の前記表面の上に、ゲート絶縁膜を形成し、

20

前記ゲート絶縁膜の形成後に、重水素を含む雰囲気中で第1の熱処理を行い、
前記第1の熱処理の後に、前記ゲート絶縁膜の上にゲート電極を形成し、
前記第1の熱処理が900以上である半導体装置の製造方法。

【請求項5】

前記ゲート絶縁膜がシリコン酸化膜である請求項4記載の半導体装置の製造方法。

【請求項6】

前記第1の熱処理の後に、800以上の第2の熱処理を、更に行う請求項4又は請求項5記載の半導体装置の製造方法。

【請求項7】

前記ゲート絶縁膜が堆積膜である請求項4乃至請求項6いずれか一項記載の半導体装置の製造方法。

10

【請求項8】

前記ゲート絶縁膜が熱酸化膜である請求項4乃至請求項6いずれか一項記載の半導体装置の製造方法。

【請求項9】

{000-1}面に対し0度以上10度以下傾斜した表面、又は、法線方向が<000-1>方向に対し80度以上90度以下傾斜した表面を有するSiC層の前記表面の上に、重水素及び酸素を含む雰囲気中で前記表面を熱酸化することによりゲート絶縁膜を形成し、

前記ゲート絶縁膜の上にゲート電極を形成する半導体装置の製造方法。

20

【請求項10】

前記表面を熱酸化した後、絶縁膜を堆積することにより前記ゲート絶縁膜を形成する請求項9記載の半導体装置の製造方法。

【請求項11】

前記絶縁膜がシリコン酸化膜である請求項10記載の半導体装置の製造方法。

【請求項12】

前記熱酸化が800以上である請求項9乃至請求項11いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料としてSiC(炭化珪素)が期待されている。SiCはSi(シリコン)と比較して、バンドギャップが3倍、破壊電界強度が約10倍、熱伝導率が約3倍と優れた物性を有する。この特性を活用すれば低損失且つ高温動作可能な半導体デバイスを実現することができる。

【0003】

40

しかし、SiCを用いてMIS(Metal Insulator Semiconductor)構造を形成する場合、半導体と絶縁膜との間に存在する界面準位の量がSiと比較して大きくなる。このため、電荷の移動度が低下し、MISFET(Metal Insulator Semiconductor Field Effect Transistor)やIGBT(Insulated Gate Bipolar Transistor)のオン抵抗が高くなるという問題がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-186490号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、高い移動度の半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、{000-1}面に対し0度以上10度以下傾斜した表面、又は、法線方向が<000-1>方向に対し80度以上90度以下傾斜した表面を有するSiC層と、ゲート電極と、前記表面と前記ゲート電極との間に設けられるゲート絶縁膜と、前記表面と前記ゲート絶縁膜との間に設けられ、重水素(D)の最大濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上、水素(H)の最大濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下の領域と、を備え、前記領域中の重水素の濃度分布がピークを有し、前記ピークの半値全幅が10nm以下である。

10

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置を示す模式断面図である。

【図2】第1の実施形態のSiCの結晶構造を示す図である。

【図3】第1の実施形態の半導体装置の第1の製造方法において、製造途中の半導体装置を示す模式断面図である。

20

【図4】第1の実施形態の半導体装置の第1の製造方法において、製造途中の半導体装置を示す模式断面図である。

【図5】第1の実施形態の半導体装置の第1の製造方法において、製造途中の半導体装置を示す模式断面図である。

【図6】第1の実施形態の半導体装置の第1の製造方法において、製造途中の半導体装置を示す模式断面図である。

【図7】第1の実施形態の半導体装置の第2の製造方法において、製造途中の半導体装置を示す模式断面図である。

【図8】第1の実施形態の作用及び効果の説明図である。

30

【図9】第1の実施形態の作用及び効果の説明図である。

【図10】第1の実施形態の作用及び効果の説明図である。

【図11】第2の実施形態の半導体装置を示す模式断面図である。

【図12】第3の実施形態の半導体装置を示す模式断面図である。

【図13】第4の実施形態の半導体装置を示す模式断面図である。

【図14】第5の実施形態の半導体装置を示す模式断面図である。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

40

【0009】

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^+ 、 p 、 p^- の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

【0010】

(第1の実施形態)

本実施形態の半導体装置は、{000-1}面に対し0度以上10度以下傾斜した表面

50

を有するSiC層と、ゲート電極と、上記表面とゲート電極との間に設けられるゲート絶縁膜と、上記表面とゲート絶縁膜との間に設けられ、重水素(D)の最大濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上、水素(H)の最大濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下の領域と、を備える。

【0011】

以下、便宜上、上記領域を界面領域と称する。

【0012】

図1は、本実施形態の半導体装置であるMISFETの構成を示す模式断面図である。このMISFET100は、pウェル領域とソース領域をイオン注入で形成する、Double Implantation MOSFET(DIMOSFET)である。

10

【0013】

このMISFET100は、第1と第2の面を有する n^+ 型のSiC基板12を備えている。図1においては、第1の面とは図の上側の面であり、第2の面とは図の下側の面である。

【0014】

このSiC基板12は、例えば、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の、例えばN(窒素)を n 型不純物として含む4H-SiCのSiC基板である。

【0015】

図2は、SiCの結晶構造を示す図である。SiCの代表的な結晶構造は、4H-SiCのような六方晶系である。六角柱の軸方向に沿う c 軸を法線とする面(六角柱の頂面)の一方が(0001)面である。(0001)面と等価な面を、シリコン面(Si面)と称し{0001}面と表記する。シリコン面にはSi(シリコン)が配列している。

20

【0016】

六角柱の軸方向に沿う c 軸を法線とする面(六角柱の頂面)の他方が(000-1)面である。(000-1)面と等価な面を、カーボン面(C面)と称し{000-1}面と表記する。カーボン面にはC(炭素)が配列している

【0017】

一方、六角柱の側面(柱面)が、(1-100)面と等価な面である m 面、すなわち{1-100}面である。また、隣り合わない一对の稜線を通る面が(11-20)面と等価な面である a 面、すなわち{11-20}面である。 m 面及び a 面は、法線方向が<000-1>方向に対し垂直である。 m 面及び a 面には、Si(シリコン)及びC(炭素)の双方が配列している。

30

【0018】

以下、SiC基板12の第1の面がカーボン面に対し0度以上10度以下傾斜した面、第2の面がシリコン面に対し0度以上10度以下傾斜した面である場合を例に説明する。カーボン面に対し0度以上10度以下傾斜した面、及び、シリコン面に対し0度以上10度以下傾斜した面は、それぞれ、特性上、カーボン面、シリコン面とほぼ同等とみなすことができる。

【0019】

SiC基板12の第1の面上には、例えば、 n 型不純物の不純物濃度 5×10^{15} 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下の n^- 型のドリフト層(SiC層)14が形成されている。ドリフト層14は、例えば、SiC基板12上にエピタキシャル成長により形成されたSiCのエピタキシャル成長層である。

40

【0020】

ドリフト層14の表面も、カーボン面に対し0度以上10度以下傾斜した面である。ドリフト層14の膜厚は、例えば、 $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。

【0021】

ドリフト層14の一部表面には、例えば、 p 型不純物の不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の p 型のpウェル領域16が形成されている。pウェル

50

領域 16 の深さは、例えば $0.6 \mu\text{m}$ 程度である。p ウェル領域 16 は、MOSFET 100 のチャンネル領域として機能する。

【0022】

p ウェル領域 16 の一部表面には、例えば n 型不純物の不純物濃度 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{22} \text{cm}^{-3}$ 以下の n⁺ 型のソース領域 18 が形成されている。ソース領域 18 の深さは、p ウェル領域 16 の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0023】

また、p ウェル領域 16 の一部表面であって、ソース領域 18 の側方に、例えば、p 型不純物の不純物濃度 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{22} \text{cm}^{-3}$ 以下の p⁺ 型の p ウェルコンタクト領域 20 が形成されている。p ウェルコンタクト領域 20 の深さは、p ウェル領域 16 の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

10

【0024】

MISFET 100 は、ドリフト層 14 及び p ウェル領域 16 の表面に連続的に、これらの層及び領域を跨ぐように形成されたゲート絶縁膜 28 を有している。ゲート絶縁膜 28 は、{000-1} 面に対し 0 度以上 10 度以下傾斜した表面に形成されている。

【0025】

ゲート絶縁膜 28 には、例えば、シリコン酸化膜や high-k 絶縁膜が適用可能である。ゲート絶縁膜 28 のリーク電流を抑制する観点からは、high-k 絶縁膜と比較して、バンドギャップの大きいシリコン酸化膜を適用することが望ましい。

20

【0026】

そして、ゲート絶縁膜 28 上には、ゲート電極 30 が形成されている。ゲート電極 30 には、例えば、ドーピングされたポリシリコン等が適用可能である。ゲート電極 30 上には、例えば、シリコン酸化膜で形成される層間絶縁膜 32 が形成されている。

【0027】

ゲート電極 30 下の、ソース領域 18 とドリフト層 14 とに挟まれる p ウェル領域 16 が MISFET 100 のチャンネル領域として機能する。

【0028】

ゲート絶縁膜 28 は、ゲート電極 30 とドリフト層 14 との間に設けられる。そして、ドリフト層 14 とゲート絶縁膜 28 との間の界面には、界面領域 40 が設けられる。界面領域 40 は、重水素 (D) を含有する。界面領域 40 の重水素 (D) の最大濃度は $1 \times 10^{20} \text{cm}^{-3}$ 以上である。界面領域 40 の重水素 (D) の最大濃度は $1 \times 10^{21} \text{cm}^{-3}$ 以上であることが望ましい。界面領域 40 の重水素 (D) の最大濃度は、例えば、 $5 \times 10^{22} \text{cm}^{-3}$ 以下である。

30

【0029】

また、界面領域 40 の水素 (H) の最大濃度は $1 \times 10^{19} \text{cm}^{-3}$ 以下である。界面領域 40 の水素 (H) の最大濃度は $1 \times 10^{18} \text{cm}^{-3}$ 以下であることが望ましい。

【0030】

重水素は、例えば、ドリフト層 14 とゲート絶縁膜 28 との間の界面に偏析している。例えば、界面領域 40 中の重水素の濃度分布がピークを有する。重水素のピークの半値全幅が 10nm 以下であることが望ましい。

40

【0031】

界面領域 40 の重水素や水素の濃度は、SIMS (Secondary Ion Mass Spectrometry) で、測定することが可能である。界面領域 40 の元素の濃度の測定は、SiC を感度基準として用いる。

【0032】

界面領域 40 の重水素は、ドリフト層 (SiC 層) 14 の最上層のダングリングボンドに結合し、いわゆる終端構造を形成している。重水素は、界面に存在することでエネルギー的に安定となる。

【0033】

50

MISFET100は、ソース領域18とpウェルコンタクト領域20とに電氣的に接続される導電性のソース電極34を備えている。ソース電極34は、pウェル領域16に電位を与えるpウェル電極としても機能する。

【0034】

ソース電極34は、例えば、Ni(ニッケル)のバリアメタル層と、バリアメタル層上のAl(アルミニウム)のメタル層との積層で構成される。Niのバリアメタル層とAlのメタル層とは反応により合金を形成していてもよい。

【0035】

また、SiC基板12のドリフト層14と反対側、すなわち、第2の面側には、導電性のドレイン電極36が形成されている。ドレイン電極36は、例えば、Ni(ニッケル)のバリアメタル層と、バリアメタル層上のAl(アルミニウム)のメタル層との積層で構成される。Niのバリアメタル層とAlのメタル層とは反応により合金を形成していてもよい。

10

【0036】

なお、本実施形態において、n型不純物は例えば、N(窒素)やP(リン)が好ましいが、As(ヒ素)あるいはSb(アンチモン)等を適用することも可能である。また、p型不純物は例えば、Al(アルミニウム)が好ましいが、B(ボロン)、Ga(ガリウム)、In(インジウム)等を適用することも可能である。

【0037】

次に、本実施形態の半導体装置の第1の製造方法について説明する。第1の製造方法は、{000-1}面に対し0度以上10度以下傾斜した表面を有するSiC層の表面上に、ゲート絶縁膜を形成し、ゲート絶縁膜形成後に、重水素を含む雰囲気中で第1の熱処理を行い、第1の熱処理後に、ゲート絶縁膜上にゲート電極を形成する。

20

【0038】

図3-図6は、本実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図である。

【0039】

まず、カーボン面に対し0度以上10度以下傾斜した第1の面と、シリコン面に対し0度以上10度以下傾斜した第2の面を有するn⁺型のSiC基板12を準備する。次に、SiC基板12の第1の面上に、エピタキシャル成長法により、n⁻型のドリフト層(SiC層)14を形成する。ドリフト層14の表面も、カーボン面に対し0度以上10度以下傾斜した面となる。

30

【0040】

次に、公知のフォトリソグラフィ法とイオン注入法により、p型のpウェル領域16、n⁺型のソース領域18、及び、p⁺型のpウェルコンタクト領域20を形成する(図3)。

【0041】

次に、n⁻型のドリフト層(SiC層)14の表面に、ゲート絶縁膜28を形成する(図4)。ゲート絶縁膜28は、例えば、LPCVD(Low Pressure Chemical Vapor Deposition)法により堆積されるシリコン酸化膜である。なお、ゲート絶縁膜28は熱酸化法により形成される熱酸化膜であってもかまわない。

40

【0042】

ゲート絶縁膜28の形成後に、ゲート絶縁膜28のデンシファイのためのアニールを行っても構わない。アニールは、例えば、窒素やアルゴン等の不活性ガス雰囲気中で、1000以上1300以下の温度で行われる。

【0043】

次に、ゲート絶縁膜28形成後に、重水素を含む雰囲気中でアニール(第1の熱処理)を行う。アニールは、例えば、重水素100%の雰囲気中で、900以上1200以下の温度で行う。界面領域40の重水素濃度を高くする観点から、アニールの温度は900

50

以上であることが望ましい。

【0044】

このアニールによりゲート絶縁膜28中に導入された重水素は、ドリフト層14とゲート絶縁膜28との界面に偏析して界面領域40を形成する(図5)。より具体的には、重水素は、ドリフト層14とゲート絶縁膜28との界面のダングリングボンドに結合して、界面に高い濃度で分布する。

【0045】

次に、公知のプロセスにより、ゲート絶縁膜28上にゲート電極30を形成する(図6)。ゲート電極30は、例えば、LPCVD法により形成されるドーピングされたポリシリコンである。

10

【0046】

その後、公知のプロセスにより、層間絶縁膜32、ソース電極34、ドレイン電極36を形成し、図1に示す本実施形態のMISFET100が製造される。

【0047】

なお、重水素を含む雰囲気でのアニールによる界面領域40の形成後に、800以上第2の熱処理が行われる。第2の熱処理は、例えば、ドーピングされたポリシリコンのドーパントの活性化アニールである。また、第2の熱処理は、例えば、ソース電極34やドレイン電極36をシリサイドで形成する場合のシリサイド化アニールである。また、第2の熱処理は、例えば、層間絶縁膜32のデンシファイのためのアニールである。第2の熱処理は、例えば、1000以上1200以下である。

20

【0048】

次に、本実施形態の半導体装置の第2の製造方法について説明する。第2の製造方法は、{000-1}面に対し0度以上10度以下傾斜した表面を有するSiC層の表面上に、重水素及び酸素を含む雰囲気中で表面を熱酸化することによりゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成する。

【0049】

図7は、本実施形態の半導体装置の製造方法において、製造途中の半導体装置を示す模式断面図である。

【0050】

まず、カーボン面に対し0度以上10度以下傾斜した第1の面と、シリコン面に対し0度以上10度以下傾斜した第2の面を有するn⁺型のSiC基板12を準備する。次に、SiC基板12の第1の面上に、エピタキシャル成長法により、n⁻型のドリフト層(SiC層)14を形成する。ドリフト層14の表面も、カーボン面に対し0度以上10度以下傾斜した面となる。

30

【0051】

次に、公知のフォトリソグラフィ法とイオン注入法により、p型のpウェル領域16、n⁺型のソース領域18、及び、p⁺型のpウェルコンタクト領域20を形成する。

【0052】

次に、n⁻型のドリフト層(SiC層)14の表面を、重水素及び酸素を含む雰囲気中で熱酸化する。例えば、重水の水蒸気(D₂O)の雰囲気中で、ドリフト層14の表面を熱酸化する。酸化温度は、例えば、800以上1200以下である。界面領域40の重水素濃度を高くする観点から、酸化温度は900以上であることが望ましい。

40

【0053】

熱酸化により、ゲート絶縁膜28が形成される。重水素がドリフト層14とゲート絶縁膜28との界面に偏析して界面領域40を形成する(図7)。より具体的には、雰囲気中の重水素は、ドリフト層14とゲート絶縁膜28との界面のダングリングボンドに結合して、界面に高い濃度で分布する。

【0054】

なお、表面を熱酸化した後、更に、絶縁膜を追加して堆積することによりゲート絶縁膜28を形成しても構わない。この場合の絶縁膜は、例えば、LPCVD法により堆積され

50

るシリコン酸化膜である。

【 0 0 5 5 】

次に、公知のプロセスにより、ゲート絶縁膜 2 8 上にゲート電極 3 0 を形成する。ゲート電極 3 0 は、例えば、L P C V D 法により形成されるドーピングされたポリシリコンである。

【 0 0 5 6 】

その後、公知のプロセスにより、層間絶縁膜 3 2、ソース電極 3 4、ドレイン電極 3 6 を形成し、図 1 に示す本実施形態の M I S F E T 1 0 0 が製造される。

【 0 0 5 7 】

以下、本実施形態の半導体装置の作用及び効果について説明する。

10

【 0 0 5 8 】

S i C を用いたの M I S 構造において、高い移動度が実現できない原因の一つは、界面のダングリングボンドが終端されず、界面準位を形成することにあると考えられる。

【 0 0 5 9 】

本実施形態では、S i C 層とゲート絶縁膜との界面のダングリングボンドを、重水素で終端する。したがって、M I S 構造の界面の界面準位が低減され、チャンネル部で高い移動度が得られる。よって、オン抵抗が低い M I S F E T 1 0 0 が実現できる。

【 0 0 6 0 】

ダングリングボンドを終端した重水素は、その後の高温熱処理や高電界の印加によっても脱離しにくい。言い換えれば、ダングリングボンドを終端した重水素は、耐熱性、電気ストレス耐性が高い。したがって、例えば、水素でダングリングボンドを終端する場合に比べ、特性の変動が小さく高い信頼性を備える M I S F E T 1 0 0 が実現できる。

20

【 0 0 6 1 】

更に、本実施形態では、高温熱処理や高電界の印加で脱離しやすい水素の界面領域における濃度を抑制することで、特性の変動が小さく高い信頼性を備える M I S F E T 1 0 0 が実現できる。

【 0 0 6 2 】

図 8、図 9 は、本実施形態の作用及び効果の説明図である。図 8 及び図 9 は、M I S 構造の界面準位の面密度の測定結果である。図 8、図 9 に示す面密度は、伝導帯端からのエネルギー準位 (E c - E i t) が 0 . 2 e V と浅い準位の面密度である。伝導帯端からのエネルギー準位の浅い界面準位の面密度は、移動度との相関が強いと考えられる。

30

【 0 0 6 3 】

図 8 は C 面、図 9 は S i 面の場合を示す。C 面、S i 面それぞれについて、シリコン酸化膜を 5 0 n m 堆積した後に、重水素雰囲気で 9 0 0 のアニールした場合と、水素雰囲気で 9 0 0 のアニールした場合とを示す。また、それぞれの場合で、界面領域を形成した後のアニール (ポストアニール) の有無、及びアニールの温度をパラメータとしている。

【 0 0 6 4 】

図 8 に示すように、C 面では、1 0 0 0 でアニールした場合は、重水素の場合の方が、水素の場合よりも界面準位の面密度が低い。これは、水素よりも重水素の方が、ダングリングボンドとの結合が強く、熱による結合の切断が生じにくいためと考えられる。

40

【 0 0 6 5 】

一方、図 9 に示すように、S i 面では重水素の場合と水素の場合とで、界面準位の面密度とポストアニール条件との相関に明瞭な差異が見られない。以上の結果より、重水素による界面の終端は、特に、C 面で効果的であることが分かる。その理由は、重水素と炭素の結合が、水素と炭素の結合よりも強く、耐熱性が高いためであると考えられる。

【 0 0 6 6 】

図 1 0 は、本実施形態の作用及び効果の説明図である。M I S 構造に電気ストレスを印加した後のフラットバンド電圧 (V f b) のシフト量を示す。重水素雰囲気アニールした場合と、水素雰囲気アニールした場合とを示す。電気ストレスの印加時間をパラメー

50

タとしている。また、界面領域を形成した後のアニール（ポストアニール）の無い場合、及びアニール温度が800と1000の場合を示す。印加電圧はゲート電極に対して+20V、SiCの面はC面である。

【0067】

重水素の場合と水素の場合とを比較すると、特に、長時間ストレスを印加した場合に、フラットバンド電圧のシフト量に差がでることが分かる。水素よりも重水素の方が、ダングリングバンドとの結合が強く、電気的ストレスによっても結合が切断されにくいと考えられる。以上より、重水素と炭素の結合が、水素と炭素の結合よりも強く、電気ストレス耐性も高いと考えられる。

【0068】

なお、本実施形態では、界面領域40の重水素(D)の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上である。SiC層とシリコン酸化膜との界面の界面準位の面密度(@ $E_c - E_{it} = 0.2 \text{ eV}$)は、通常 $1 \times 10^{12} \text{ cm}^{-2}$ 程度である。重水素による終端で界面準位を低減させるためには、少なくともこの面密度以上の重水素が存在することが望ましいと考えられる。

【0069】

上記、面密度に相当する重水素が、厚さ1nmの界面領域40に分布していると仮定すると、重水素の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ となる。ダングリングバンドを十分終端させる観点から、界面領域40の重水素の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることが望ましい。また、界面準位を更に低減させる観点から、界面領域40の重水素の最大濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上であることがより望ましい。

【0070】

なお、本実施形態では、界面領域40及び絶縁膜28中の水素(H)の最大濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。上述のように、水素とダングリングバンドとの結合は、重水素とダングリングバンドとの結合より弱く、界面の水素は、高温の熱処理や、電気ストレスにより脱離しやすい。これは絶縁膜中の水素についても同様である。本実施形態では、高温での重水素処理及びその後のポストアニールにより、重水素をダングリングバンドに結合した状態で、界面領域40及び絶縁膜28中の水素(H)の最大濃度を抑制できる。そのため、界面及び絶縁膜中からの水素の脱離によるMISFET100の特性変動を抑制することが可能となる。

【0071】

以上、本実施形態によれば、SiC層とゲート絶縁膜との間の界面準位が低減され、高い移動度を備えたMISFET100が実現される。また、炭素との結合の強い重水素を終端構造に適用し、且つ、界面領域の水素量を抑制することで、高い信頼性を備えたMISFET100が実現される。

【0072】

(第2の実施形態)

本実施形態の半導体装置は、SiC層の表面が法線方向が $\langle 000 - 1 \rangle$ 方向に対し80度以上90度以下傾斜した表面であること以外は、第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については記述を省略する。

【0073】

図11は、本実施形態の半導体装置であるMISFETの構成を示す模式断面図である。このMISFET200は、pウェル領域とソース領域をイオン注入で形成する、DIMOSFETである。

【0074】

本実施形態のMISFET200では、SiC基板12の第1の面及びドリフト層14の表面が、法線方向が $\langle 000 - 1 \rangle$ 方向に対し80度以上90度以下傾斜した表面である。例えば、SiC基板12の第1の面及びドリフト層14の表面が、 $\{1 - 100\}$ 面(m面)、又は、 $\{11 - 20\}$ 面(a面)に対し0度以上10度以下傾斜した表面である。

10

20

30

40

50

【0075】

界面領域40は、重水素(D)を含有する。界面領域40の重水素(D)の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上である。また、界面領域40の水素(H)の最大濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0076】

法線方向が<000-1>方向に対し80度以上90度以下傾斜したドリフト層14の表面は、Si(シリコン)及びC(炭素)の双方が配列している。表面の炭素に重水素が結合されることで界面準位が低減する。

【0077】

本実施形態によれば、第1の実施形態同様、SiC層とゲート絶縁膜との間の界面準位が低減され、高い移動度を備えたMISFETが実現される。また、炭素との結合の強い重水素を終端構造に適用し、且つ、界面領域の水素量を抑制することで、高い信頼性を備えたMISFET200が実現される。

10

【0078】

(第3の実施形態)

本実施形態の半導体装置は、トレンチゲート型のMISFETである点で、第1の実施形態と異なる。第1の実施形態と重複する内容については記述を省略する。

【0079】

図12は、本実施形態の半導体装置であるMISFETの構成を示す模式断面図である。このMISFET300は、ゲート絶縁膜及びゲート電極がトレンチ内に設けられたトレンチゲート型のMISFETである。

20

【0080】

このMISFET300は、第1と第2の面を有する n^+ 型のSiC基板12を備えている。図12においては、第1の面とは図の上側の面であり、第2の面とは図の下側の面である。SiC基板12の第1の面はシリコン面に対し0度以上10度以下傾斜した面、第2の面がカーボン面に対し0度以上10度以下傾斜した面である。

【0081】

このSiC基板12は、例えば、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の、例えばN(窒素)を n 型不純物として含む4H-SiCのSiC基板である。

30

【0082】

SiC基板12の第1の面上には、例えば、 n 型不純物の不純物濃度 5×10^{15} 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下の n^- 型のSiC層(ドリフト層)14が形成されている。ドリフト層14は、例えば、SiC基板12上にエピタキシャル成長により形成されたエピタキシャル成長層である。

【0083】

ドリフト層14の表面は、シリコン面に対し0度以上10度以下傾斜した面である。ドリフト層14の膜厚は、例えば、 $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。

【0084】

ドリフト層14の一部表面には、例えば、 p 型不純物の不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の p 型の p ウェル領域16が形成されている。 p ウェル領域16の深さは、例えば $0.6 \mu\text{m}$ 程度である。 p ウェル領域16は、MISFET300のチャンネル領域として機能する。

40

【0085】

p ウェル領域16の一部表面には、例えば n 型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の n^+ 型のソース領域18が形成されている。ソース領域18の深さは、 p ウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0086】

また、 p ウェル領域16の一部表面であって、ソース領域18の側方に、例えば、 p 型

50

不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の p^+ 型の p ウェルコンタクト領域 20 が形成されている。 p ウェルコンタクト領域 20 の深さは、 p ウェル領域 16 の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0087】

ドリフト層 14 の表面から SiC 基板 12 に向かう方向にトレンチ 50 が設けられる。トレンチ 50 の内壁面は、例えば、 m 面又は a 面となっている。

【0088】

MISFET 300 は、トレンチ 50 内のドリフト層 14、 p ウェル領域 16 及びソース領域 18 の表面に連続的に、これらの層及び領域を跨ぐように形成されたゲート絶縁膜 28 を有している。

10

【0089】

そして、ゲート絶縁膜 28 上には、ゲート電極 30 が形成されている。トレンチ 50 側面のソース領域 18 とドリフト層 14 とに挟まれる p ウェル領域 16 が MISFET 300 のチャンネル領域として機能する。

【0090】

ゲート絶縁膜 28 は、ゲート電極 30 と p ウェル領域 16 との間に設けられる。そして、 p ウェル領域 16 とゲート絶縁膜 28 との間の界面には、界面領域 40 が設けられる。界面領域 40 は、重水素 (D) を含有する。界面領域 40 の重水素 (D) の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上である。また、界面領域 40 の水素 (H) の最大濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

20

【0091】

MISFET 300 は、ソース領域 18 と p ウェルコンタクト領域 20 とに電氣的に接続される導電性のソース電極 34 を備えている。ソース電極 34 は、 p ウェル領域 16 に電位を与える p ウェル電極としても機能する。また、 SiC 基板 12 のドリフト層 14 と反対側、すなわち、第 2 の面側には、導電性のドレイン電極 36 が形成されている。

【0092】

本実施形態によれば、界面領域 40 が存在することにより第 1 及び第 2 の実施形態と同様の効果を得ることが可能である。さらに、トレンチゲート構造を採用することにより、 MISFET 300 の集積度を向上させることが可能となる。また、 JFET 領域を無くしたことにより導電損失を低減することが可能となり、オン抵抗の小さい MISFET 300 が実現される。

30

【0093】

(第 4 の実施形態)

本実施形態の半導体装置は、 MISFET ではなく、 IGBT であること以外は、第 1 の実施形態と同様である。したがって、第 1 の実施形態と重複する内容については記述を省略する。

【0094】

図 13 は、本実施形態の半導体装置である IGBT の構成を示す模式断面図である。

【0095】

この IGBT 400 は、第 1 と第 2 の面を有する p^+ 型の SiC 基板 112 を備えている。図 13 においては、第 1 の面とは図の上側の面であり、第 2 の面とは図の下側の面である。

40

【0096】

この SiC 基板 112 は、例えば、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の、例えば Al (アルミニウム) を p 型不純物として含む 4H-SiC の SiC 基板である。

【0097】

以下、 SiC 基板 112 の第 1 の面がカーボン面に対し 0 度以上 10 度以下傾斜した面、第 2 の面がシリコン面に対し 0 度以上 10 度以下傾斜した面である場合を例に説明する。カーボン面に対し 0 度以上 10 度以下傾斜した面、及び、シリコン面に対し 0 度以上 1

50

0度以下傾斜した面は、それぞれ、特性上、カーボン面、シリコン面とほぼ同等とみなすことができる。

【0098】

S i C基板112の第1の面上には、例えば、n型不純物の不純物濃度 5×10^{15} 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下のn⁻型のドリフト層(S i C層)14が形成されている。ドリフト層14は、例えば、S i C基板112上にエピタキシャル成長により形成されたエピタキシャル成長層である。

【0099】

ドリフト層14の表面も、カーボン面に対し0度以上10度以下傾斜した面である。ドリフト層14の膜厚は、例えば、 $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。

10

【0100】

ドリフト層14の一部表面には、例えば、p型不純物の不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下のp型のpウェル領域16が形成されている。pウェル領域16の深さは、例えば $0.6 \mu\text{m}$ 程度である。pウェル領域16は、I G B T 400のチャンネル領域として機能する。

【0101】

pウェル領域16の一部表面には、例えばn型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のn⁺型のエミッタ領域118が形成されている。エミッタ領域118の深さは、pウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

20

【0102】

また、pウェル領域16の一部表面であって、エミッタ領域118の側方に、例えば、p型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のp⁺型のpウェルコンタクト領域20が形成されている。pウェルコンタクト領域20の深さは、pウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0103】

I G B T 400は、ドリフト層14及びpウェル領域16の表面に連続的に、これらの層及び領域を跨ぐように形成されたゲート絶縁膜28を有している。ゲート絶縁膜28には、例えば、シリコン酸化膜やhigh-k絶縁膜が適用可能である。ゲート絶縁膜28のリーク電流を抑制する観点からは、high-k絶縁膜と比較して、バンドギャップの大きいシリコン酸化膜を提供することが望ましい。

30

【0104】

そして、ゲート絶縁膜28上には、ゲート電極30が形成されている。ゲート電極30には、例えばポリシリコン等が適用可能である。ゲート電極30上には、例えば、シリコン酸化膜で形成される層間絶縁膜32が形成されている。

【0105】

ゲート電極30下のソース領域18とドリフト層14とに挟まれるpウェル領域16がI G B T 400のチャンネル領域として機能する。

【0106】

ゲート絶縁膜28は、ゲート電極30とドリフト層14との間に設けられる。そして、ドリフト層14とゲート絶縁膜28との間の界面には、界面領域40が設けられる。界面領域40は、重水素(D)を含有する。界面領域40の重水素(D)の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上である。界面領域40の重水素(D)の最大濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 以上であることが望ましい。界面領域40の重水素(D)の最大濃度は、例えば、 $5 \times 10^{22} \text{ cm}^{-3}$ 以下である。

40

【0107】

また、界面領域40の水素(H)の最大濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。界面領域40の水素(H)の最大濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが望ましい。

【0108】

重水素は、例えば、ドリフト層14とゲート絶縁膜28との間の界面に偏析している。

50

例えば、界面領域40中の重水素の濃度分布がピークを有する。ピークの半値全幅が10nm以下であることが望ましい。

【0109】

界面領域40の重水素や水素の濃度は、SIMS (Secondary Ion Mass Spectrometry) で、測定することが可能である。

【0110】

界面領域40の重水素は、ドリフト層 (SiC層) 14の最上層のダングリングボンドに結合し、いわゆる終端構造を形成している。重水素は、界面に存在することでエネルギー的に安定となる。

【0111】

そして、エミッタ領域118とpウェルコンタクト領域20とに電気的に接続される導電性のエミッタ電極134を備えている。エミッタ電極134は、pウェル領域16に電位を与えるpウェル電極としても機能する。

【0112】

エミッタ電極134は、例えば、Ni (ニッケル) のバリアメタル層と、バリアメタル層上のAl (アルミニウム) のメタル層との積層で構成される。Niのバリアメタル層とAlのメタル層とは反応により合金を形成していてもよい。

【0113】

また、SiC基板112のドリフト層14と反対側、すなわち、第2の面側には、導電性のコレクタ電極136が形成されている。コレクタ電極136は、例えば、Ni (ニッケル) のバリアメタル層と、バリアメタル層上のAl (アルミニウム) のメタル層との積層で構成される。Niのバリアメタル層とAlのメタル層とは反応により合金を形成していてもよい。

【0114】

本実施形態によれば、界面領域40が存在することにより第1の実施形態と同様の作用及び効果を得ることが可能である。したがって、高い動作性能及び高い信頼性を備えたIGBT400が実現される。

【0115】

(第5の実施形態)

本実施形態の半導体装置は、{0001}面に対し0度以上10度以下傾斜した表面を有するSiC層と、ゲート電極と、表面とゲート電極との間に設けられるゲート絶縁膜と、SiC層とゲート絶縁膜との間に設けられ、重水素(D)の最大濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上、窒素(N)又はリン(P)の最大濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上の領域と、を備える。

【0116】

以下、便宜上、上記領域を界面領域と称する。

【0117】

図14は、本実施形態の半導体装置であるMISFETの構成を示す模式断面図である。このMISFET500は、pウェルとソース領域をイオン注入で形成する、Double Implantation MOSFET (DIMOSFET) である。

【0118】

このMISFET500は、第1と第2の面を有するn⁺型のSiC基板12を備えている。図14においては、第1の面とは図の上側の面であり、第2の面とは図の下側の面である。

【0119】

このSiC基板12は、例えば、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の、例えばN (窒素) をn型不純物として含む4H-SiCのSiC基板である。

【0120】

以下、SiC基板12の第1の面がシリコン面に対し0度以上10度以下傾斜した面、

10

20

30

40

50

第2の面がカーボン面に対し0度以上10度以下傾斜した面である場合を例に説明する。シリコン面に対し0度以上10度以下傾斜した面、及び、カーボン面に対し0度以上10度以下傾斜した面は、それぞれ、特性上、シリコン面、カーボン面とほぼ同等とみなすことができる。

【0121】

SiC基板12の第1の面上には、例えば、n型不純物の不純物濃度 5×10^{15} 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下のn型のドリフト層(SiC層)14が形成されている。ドリフト層14は、例えば、SiC基板12上にエピタキシャル成長により形成されたSiCのエピタキシャル成長層である。

【0122】

ドリフト層14の表面も、シリコン面に対し0度以上10度以下傾斜した面である。ドリフト層14の膜厚は、例えば、 $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。

【0123】

ドリフト層14の一部表面には、例えば、p型不純物の不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下のp型のpウェル領域16が形成されている。pウェル領域16の深さは、例えば $0.6 \mu\text{m}$ 程度である。pウェル領域16は、MOSFET500のチャネル領域として機能する。

【0124】

pウェル領域16の一部表面には、例えばn型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のn型のソース領域18が形成されている。ソース領域18の深さは、pウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0125】

また、pウェル領域16の一部表面であって、ソース領域18の側方に、例えば、p型不純物の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下のp型のpウェルコンタクト領域20が形成されている。pウェルコンタクト領域20の深さは、pウェル領域16の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

【0126】

ドリフト層14及びpウェル領域16の表面に連続的に、これらの層及び領域を跨ぐように形成されたゲート絶縁膜28を有している。ゲート絶縁膜28は、{0001}面に対し0度以上10度以下傾斜した表面に形成されている。

【0127】

ゲート絶縁膜28には、例えば、シリコン酸化膜やhigh-k絶縁膜が適用可能である。ゲート絶縁膜28のリーク電流を抑制する観点からは、high-k絶縁膜と比較して、バンドギャップの大きいシリコン酸化膜を適用することが望ましい。

【0128】

そして、ゲート絶縁膜28上には、ゲート電極30が形成されている。ゲート電極30には、例えば、ドーピングされたポリシリコン等が適用可能である。ゲート電極30上には、例えば、シリコン酸化膜で形成される層間絶縁膜32が形成されている。

【0129】

ゲート電極30下の、ソース領域18とドリフト層14とに挟まれるpウェル領域16がMISFET500のチャネル領域として機能する。

【0130】

ゲート絶縁膜28は、ゲート電極30とドリフト層14との間に設けられる。そして、ドリフト層14とゲート絶縁膜28との間の界面には、界面領域60が設けられる。界面領域60は、重水素(D)を含有する。界面領域60は、窒素(N)又はリン(P)を含有する。

【0131】

界面領域60の重水素(D)の最大濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上である。界面領域60の重水素(D)の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることが望ましい。

10

20

30

40

50

【0132】

また、界面領域60の窒素(N)又はリン(P)の最大濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 以上である。界面領域60の窒素(N)又はリン(P)の最大濃度は $3 \times 10^{21} \text{ cm}^{-3}$ 以上であることが望ましい。

【0133】

重水素及び窒素又はリンは、例えば、ドリフト層14とゲート絶縁膜28との間の界面に偏析している。例えば、界面領域60中の重水素及び窒素又はリンの濃度分布がピークを有する。重水素及び窒素又はリンのピークの半値全幅が10nm以下であることが望ましい。

【0134】

界面領域60の重水素及び窒素又はリンのピーク濃度は、SIMS(Secondary Ion Mass Spectrometry)で、測定することが可能である。

【0135】

界面領域60の重水素及び窒素又はリンは、ドリフト層(SiC層)14の最上層のダングリングボンドに結合し、いわゆる終端構造を形成している。

【0136】

MISFET500は、ソース領域18とpウェルコンタクト領域20とに電気的に接続される導電性のソース電極34を備えている。ソース電極34は、pウェル領域16に電位を与えるpウェル電極としても機能する。

【0137】

ソース電極34は、例えば、Ni(ニッケル)のバリアメタル層と、バリアメタル層上のAl(アルミニウム)のメタル層との積層で構成される。Niのバリアメタル層とAlのメタル層とは反応により合金を形成していてもよい。

【0138】

また、SiC基板12のドリフト層14と反対側、すなわち、第2の面側には、導電性のドレイン電極36が形成されている。ドレイン電極36は、例えば、Ni(ニッケル)のバリアメタル層と、バリアメタル層上のAl(アルミニウム)のメタル層との積層で構成される。Niのバリアメタル層とAlのメタル層とは反応により合金を形成していてもよい。

【0139】

なお、本実施形態において、n型不純物は例えば、N(窒素)やP(リン)が好ましいが、As(ヒ素)あるいはSb(アンチモン)等を適用することも可能である。また、p型不純物は例えば、Al(アルミニウム)が好ましいが、B(ボロン)、Ga(ガリウム)、In(インジウム)等を適用することも可能である。

【0140】

次に、本実施形態の半導体装置の第1の製造方法について図14を参照しつつ、説明する。第1の製造方法は、{0001}面に対し0度以上10度以下傾斜した表面を有するSiC層の表面上を窒化処理し、窒化処理後に、ゲート絶縁膜を形成し、ゲート絶縁膜形成後に、重水素を含む雰囲気中で第1の熱処理を行い、第1の熱処理後に、ゲート絶縁膜上にゲート電極を形成する。

【0141】

窒化処理は、例えば、熱窒化である。例えば、NO、N₂O、NH₃等の窒化ガスを用いる。この熱窒化により、窒素(N)がドリフト層14表面のシリコンを置換して終端構造を形成する。ゲート絶縁膜28は、例えば、LPCVD(Low Pressure Chemical Vapor Deposition)法により堆積されるシリコン酸化膜である。なお、ゲート絶縁膜28は熱酸化法により形成される熱酸化膜であってもかまわない。

【0142】

第1の熱処理は、例えば、アニールである。アニールは、例えば、重水素100%の雰囲気中で、900以上1200以下の温度で行う。

10

20

30

40

50

【0143】

このアニールによりゲート絶縁膜28中に導入された重水素は、ドリフト層14とゲート絶縁膜28との界面に偏析して界面領域60を形成する。より具体的には、重水素は、ドリフト層14とゲート絶縁膜28との界面の炭素のダングリングボンドに結合して、界面に分布する。

【0144】

次に、公知のプロセスにより、ゲート絶縁膜28上にゲート電極30を形成する。ゲート電極30は、例えば、LPCVD法により形成されるドーピングされたポリシリコンである。

【0145】

その後、公知のプロセスにより、層間絶縁膜32、ソース電極34、ドレイン電極36を形成し、図14に示す本実施形態のMISFET500が製造される。

【0146】

なお、重水素を含む雰囲気でのアニールによる界面領域60の形成後に、800以上第2の熱処理が行われる。第2の熱処理は、例えば、ドーピングされたポリシリコンのドーパントの活性化アニールである。また、第2の熱処理は、例えば、ソース電極34やドレイン電極36をシリサイドで形成する場合のシリサイド化アニールである。また、第2の熱処理は、例えば、層間絶縁膜32のデンシファイのためのアニールである。第2の熱処理は、例えば、1000以上1200以下である。

【0147】

次に、本実施形態の半導体装置の第2の製造方法について図14を参照しつつ説明する。第2の製造方法は、{0001}面に対し0度以上10度以下傾斜した表面を有するSiC層の表面上を窒化処理し、窒化処理後に、重水素及び酸素を含む雰囲気中で表面を熱酸化することによりゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成する。

【0148】

窒化処理は、例えば、熱窒化である。例えば、NO、N₂O、NH₃等の窒化ガスを用いる。この熱窒化により、窒素(N)がドリフト層14表面のシリコンを置換して終端構造を形成する。

【0149】

窒化処理後に、n⁻型のドリフト層(SiC層)14の表面を、重水素及び酸素を含む雰囲気中で熱酸化する。例えば、重水の水蒸気(D₂O)の雰囲気中で、ドリフト層14の表面を熱酸化する。酸化温度は、例えば、800以上1200以下である。

【0150】

熱酸化により、ゲート絶縁膜28が形成される。また、ゲート絶縁膜28中に導入された重水素は、ドリフト層14とゲート絶縁膜28との界面に偏析して界面領域60を形成する。より具体的には、重水素は、ドリフト層14とゲート絶縁膜28との界面の炭素のダングリングボンドに結合して、界面に分布する。

【0151】

なお、表面を熱酸化した後、更に、絶縁膜を堆積することによりゲート絶縁膜28を形成しても構わない。この場合の絶縁膜は、例えば、LPCVD法により堆積されるシリコン酸化膜である。

【0152】

次に、公知のプロセスにより、ゲート絶縁膜28上にゲート電極30を形成する。ゲート電極30は、例えば、LPCVD法により形成されるドーピングされたポリシリコンである。

【0153】

その後、公知のプロセスにより、層間絶縁膜32、ソース電極34、ドレイン電極36を形成し、図14に示す本実施形態のMISFET500が製造される。

【0154】

なお、上記製造方法の窒化処理に代えて、ドリフト層14の表面にリン(P)を供給す

10

20

30

40

50

る処理を行っても構わない。リン(P)を供給する処理は、例えば、リンガラスからの固相拡散である。リン(P)を供給する処理は、例えば、リンを含む雰囲気中でのアニールまたは酸化である。供給されたリンは、表面のシリコンを置換して終端構造を形成する。

【0155】

本実施形態においては、シリコン面で支配的に存在するシリコン原子を窒素又はリンで置換して終端する。そして、炭素のダングリングボンドを炭素と強く結合する重水素で終端する。

【0156】

第1の実施形態において説明したように、重水素と炭素のダングリングボンドの結合は、水素と炭素のダングリングボンドとの結合と比較して結合が強いため、熱耐性、電気ストレス耐性が高い。

10

【0157】

したがって、例えば、窒素又はリンのみ、あるいは、窒素又はリンと水素で終端構造を形成する場合に比べ、特性の変動が小さく高い信頼性を備えるMISFET500が実現できる。

【0158】

以上、本実施形態によれば、SiC層とゲート絶縁膜との間の界面準位が低減され、高い移動度を備えたMISFET500が実現される。また、炭素との結合の強い重水素を終端構造に適用することで、高い信頼性を備えたMISFET500が実現される。

【0159】

20

以上、実施形態では、炭化珪素の結晶構造として4H-SiCの場合を例に説明したが、本発明は6H-SiC、3C-SiC等、その他の結晶構造の炭化珪素に適用することも可能である。

【0160】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

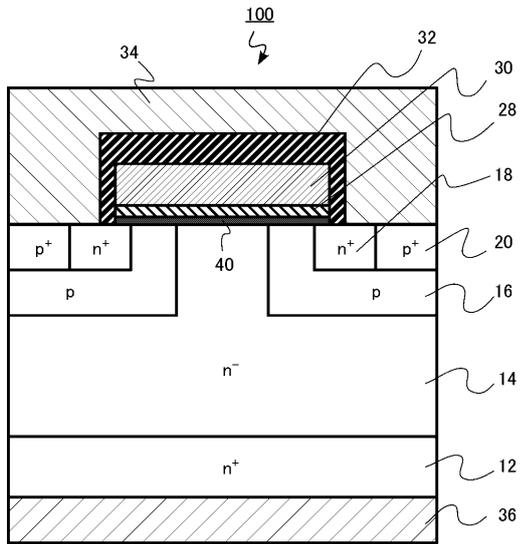
【符号の説明】

【0161】

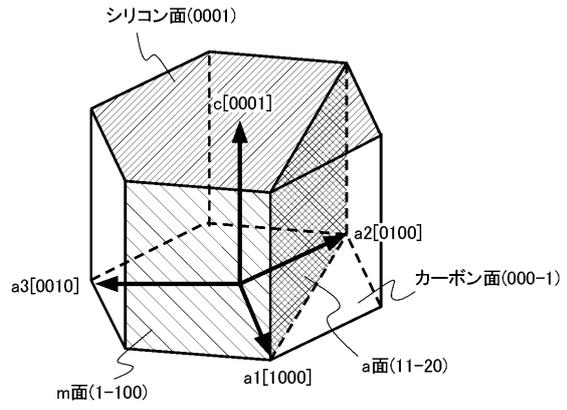
- 14 ドリフト層(SiC層)
- 28 ゲート絶縁膜
- 30 ゲート電極
- 40 界面領域(領域)
- 60 界面領域(領域)
- 100 MISFET(半導体装置)
- 200 MISFET(半導体装置)
- 300 MISFET(半導体装置)
- 400 IGBT(半導体装置)
- 500 MISFET(半導体装置)

40

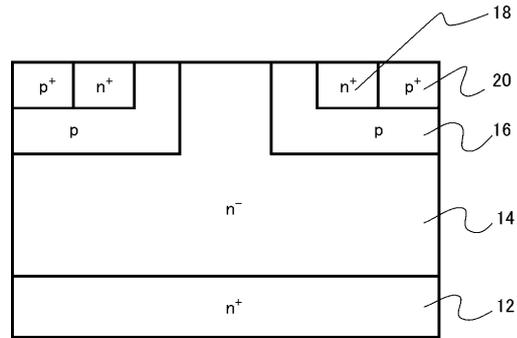
【図1】



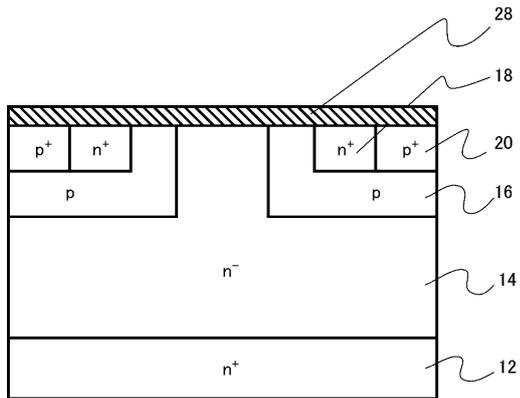
【図2】



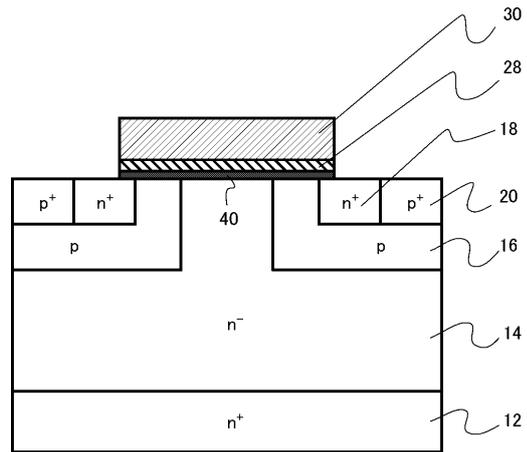
【図3】



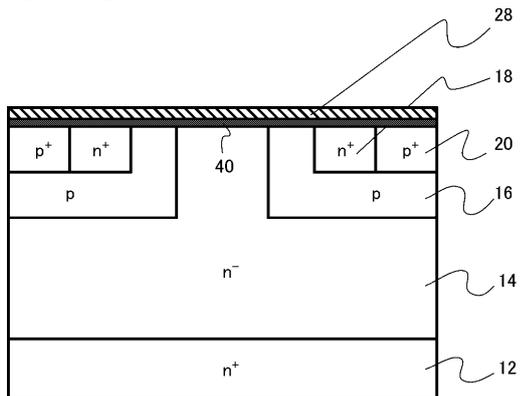
【図4】



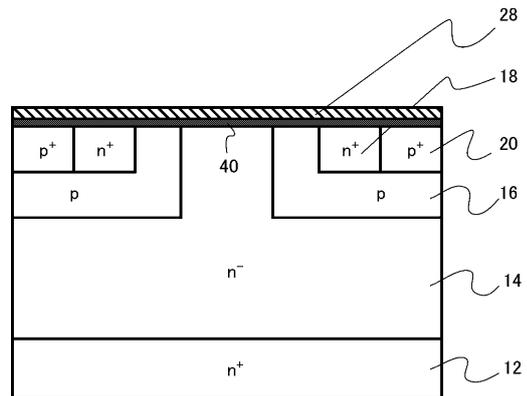
【図6】



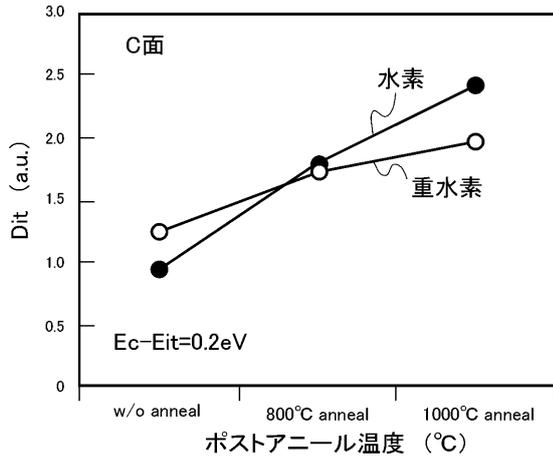
【図5】



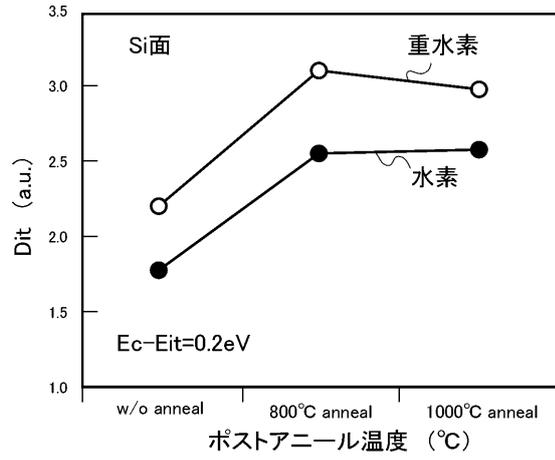
【図7】



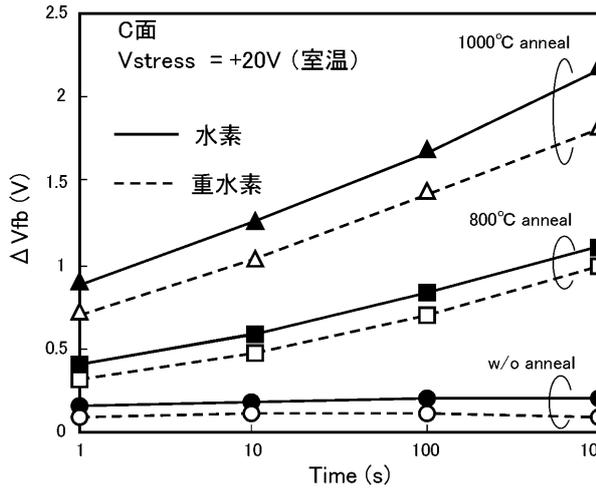
【図 8】



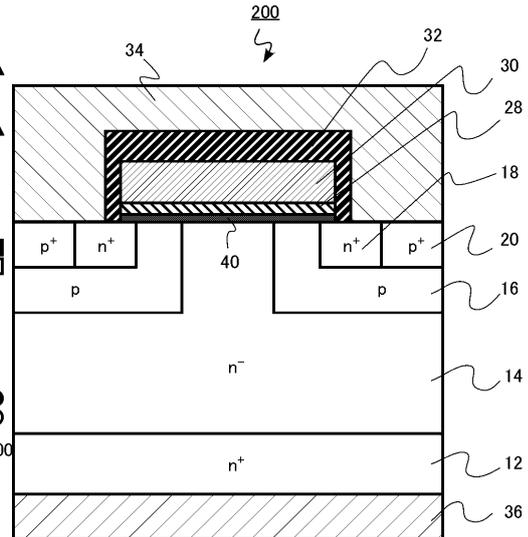
【図 9】



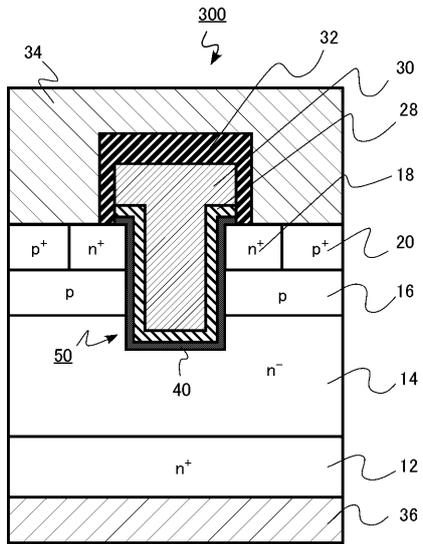
【図 10】



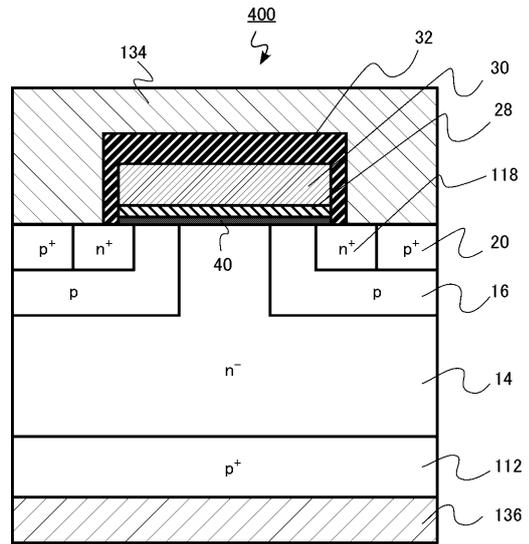
【図 11】



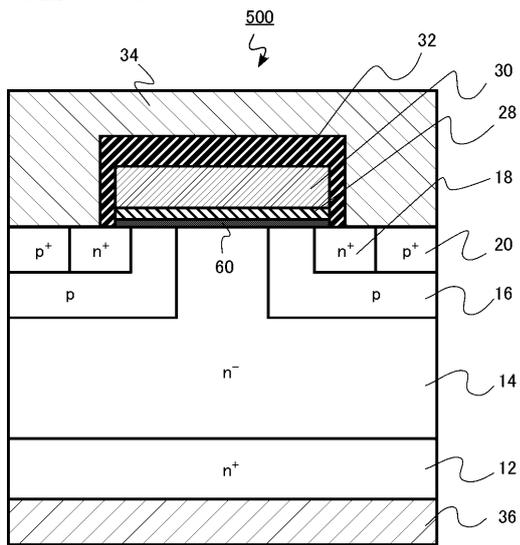
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 21/316 (2006.01)		H 0 1 L 21/28	3 0 1 B	
H 0 1 L 21/336 (2006.01)		H 0 1 L 21/316	P	
		H 0 1 L 29/78	6 5 8 Z	
		H 0 1 L 21/28	B	

(72)発明者 清水 達雄
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 飯島 良介
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 恩田 和彦

(56)参考文献 特開2008-244456(JP,A)
特開2012-186490(JP,A)
特開2014-222735(JP,A)
特開2007-180137(JP,A)
特開2002-299612(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 1 2
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 2 8 3
H 0 1 L 2 1 / 3 1 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8