

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국



(10) 국제공개번호  
WO 2013/165031 A1

(43) 국제공개일  
2013년 11월 7일 (07.11.2013)

- (51) 국제특허분류:  
H01L 21/306 (2006.01) H01L 21/301 (2006.01)  
H01L 21/78 (2006.01)
- (21) 국제출원번호: PCT/KR2012/003341
- (22) 국제출원일: 2012년 4월 30일 (30.04.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:  
10-2012-0045141 2012년 4월 30일 (30.04.2012) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): (주) 버티클 (VERTICLE INC.) [KR/KR]; 121-835 서울시 마포구 상암동 1593 우리기술빌딩 5층, Seoul (KR).
- (72) 발명자: 권
- (75) 발명자/출원인 (US 에 한하여): 황규성 (HWANG, Kyu Sung) [KR/KR]; 331-962 충청남도 천안시 서북구 두정동 1500 번지 스타펠리스 518 호, Chungcheongnam-do (KR). 오세중 (OH, Se Jong) [KR/KR]; 456-724 경기도 안성시 공도읍 진사리 삼성아파트 103 동 306 호,

Gyeonggi-do (KR). 유명철 (YOO, Myung Cheol) [KR/KR]; 137-070 서울시 서초구 서초동 1315 진흥아파트 2 동 907 호, Seoul (KR). 박무근 (PARK, Moo Keun) [KR/KR]; 446-746 경기도 용인시 기흥구 중동성산신영지웰아파트 3004-1304, Gyeonggi-do (KR). 이상돈 (LEE, Sang Don) [KR/KR]; 459-813 경기도 평택시 서정동 871-3 번지, Gyeonggi-do (KR).

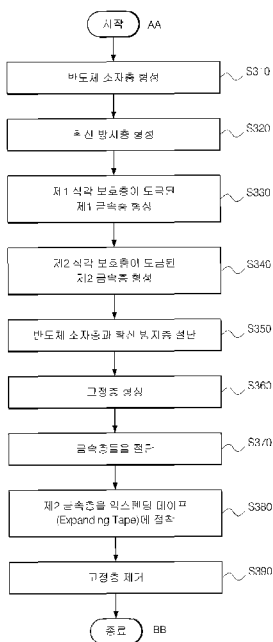
(74) 대리인: 특허법인 충정 (HWANG MOK PARK IP GROUP); 100-764 서울시 중구 서소문동 120-23 부영빌딩 6층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG,

[다음 쪽 계속]

(54) Title: SEMICONDUCTOR ELEMENT PRODUCTION METHOD

(54) 발명의 명칭 : 반도체 소자 제조 방법



(57) Abstract: Disclosed is a semiconductor element production method. According to an embodiment of the present invention, the semiconductor element production method can comprise: a step of forming a semiconductor element layer for generating light by means of an electrical current; a step of forming one or more metal layer(s) for providing mechanical support on the semiconductor element layer; a first cutting step involving the cutting of the street line of the semiconductor element layer by means of a physical method or a chemical wet etching method; and a second cutting step involving the cutting of metal that has not been plated with an etching protection layer present on the street line of the one or more metal layer(s). Here, in the step of forming the one or more metal layer(s), it is possible to suppress the side-surface corrosion (side etching) that occurs during semiconductor element separation via wet etching by including a step of forming, on the semiconductor element layer, the one or more metal layer(s) that has been plated with an etching protection layer (etch barrier) so as to avoid the occurrence of side-surface corrosion of the metal layer when wet etching the street line which constitutes a boundary line for separating the semiconductor element layer into individual semiconductor elements.

(57) 요약서: 반도체 소자 제조 방법을 개시한다. 본 발명의 실시예에 따른 반도체 소자 제조 방법은 전류에 의해 빛을 발생시키는 반도체 소자층을 형성하는 단계; 상기 반도체 소자층 위에 기계적 지지를 제공하는 하나 이상의 금속층을 형성하는 단계; 상기 반도체 소자층의 스트리트 라인을 물리적 방법 또는 화학적으로 습식 식각 방법을 통해 절단하는 제 1 절단 단계; 및 상기 하나 이상의 금속층의 상기 스트리트 라인 상에 존재하는 식각 보호층이 도금되지 않은 금속을 습식 식각해서 절단하는 제 2 절단 단계

[다음 쪽 계속]

- AA Start
- S310 ... Form semiconductor element layer
- S320 ... Form diffusion preventing layer
- S330 ... Form first metal layer plated with a first etching protection layer
- S340 ... Form second metal layer plated with a second etching protection layer
- S350 ... Cut semiconductor element layer and diffusion preventing layer
- S360 ... Form securing layer
- S370 ... Cut metal layers
- S380 ... Adhere second metal layer onto expanding tape
- S390 ... Remove securing layer
- BB ... End

WO 2013/165031 A1



SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

절단 단계를 포함할 수 있다. 이때, 상기 하나 이상의 금속층을 형성하는 단계는 상기 반도체 소자층을 개별 반도체 소자로 분리하기 위한 경계선인 스트리트 라인 (street line)을 습식 식각(wet etching) 할 때 상기 금속층의 측면부식(side etching)이 발생하지 않도록 식각 보호층(etch barrier)이 도금된 상기 하나 이상의 금속층을 상기 반도체 소자층 위에 형성하는 단계를 포함해서 습식 식각을 통한 반도체 소자 분리시 발생하는 측면부식을 억제할 수 있다.

## 명세서

### 발명의 명칭: 반도체 소자 제조 방법

#### 기술분야

- [1] 본 발명은 반도체 소자의 제조 방법에 관한 것이다. 구체적으로, 본 발명은 반도체 소자를 제조할 때 다이싱(dicing) 또는 스크라이빙(scribing) 하지 않고 습식 식각(wet etching)을 이용해서 웨이퍼에서 반도체 소자를 분리하는 방법에 관한 것이다.
- [2] 본 발명은 지식경제부 및 한국산업기술평가관리원의 지식경제 기술혁신사업(부품소재기술개발사업)의 일환으로 수행한 연구로부터 도출된 것이다 [과제관리번호 : 10036981, 과제명 : 디지털 디스플레이용 고연색 LED-BLU 패널].

#### 배경기술

- [3] 종래, 반도체 소자의 제조 및 분리 기술은, 층들을 증착하여 웨이퍼 기판 상에 다수의 반도체 소자들을 형성한 후 기계적인 기법 또는 화학적인 기법을 사용하여 개별 반도체 소자들을 분리하는 것을 포함한다.
- [4] 도 1은 웨이퍼의 구성과 웨이퍼에서 반도체 소자들을 분리하기 위한 스트리트 라인의 예를 나타낸다.
- [5] 도 1(a)는 웨이퍼의 단면도에 표시된 스트리트 라인의 예를 나타내고, 도 1(b)는 웨이퍼의 평면도에 표시된 스트리트 라인의 예를 나타낸다.
- [6] 도 1(a)를 참조하면, 종래의 웨이퍼(100)는 크게 3개의 레이어로 구성될 수 있다. 제1 레이어(110)는 Si, GaN 등 불순물 반도체가 형성되어 있는 소자 층이다.
- [7] 제3 레이어(130)는 제2 레이어(120)의 일부 기능을 도금 방식으로 형성한 층이다. 제4 레이어(140)는 망열, 배선, 접지, 기계적 지지를 위해 도금으로 형성한 층이다.
- [8] 웨이퍼(100)에서 반도체 소자를 분리하는 기계적인 기법에는 대표적으로 기판을 다이싱 또는 스크라이빙함으로써 개별적인 반도체 소자들을 분리한다. 다이싱은 대표적으로 다이아몬드 톱, 다이아몬드 스크라이버 또는 레이저에 의해 행해지며, 이는 매우 고가의 기계에 의해 수행되는 시간 소모적인 프로세스이다. 종래 기술에는 프로세스 수율 문제, 장치 성능 문제 및 프로세싱 비용 문제를 포함하는 여러가지 공지된 문제점들이 발생 할 수 있다.
- [9] 먼저 프로세스 수율 문제를 살펴보면, 종래의 다이싱 방법, 스크라이빙 방법, 및 레이저 스크라이빙 방법과 같은 기계적인 장치 분리 방법에 따르면, 각 개별 반도체 소자는 선택된 방법에 의해 반도체 소자들 사이에서 아래 도 2와 같은 그리드 라인 또는 스트리트 라인(street line) 을 따라 커팅함으로써 분리된다. 이는 각 스트리트 라인이 한번에 하나씩 순차적으로 커팅되기 때문에 느린 프로세스이다.

- [10] 프로세스 수율 문제는 사파이어 상의 GaN 또는 SiC 상의 GaN 재료와 같은 경질 기판 재료를 갖는 반도체 장치에 대해 더욱 중요해진다. 또한, 분리 수율은 기판 그라인딩 및 폴리싱에 의해 생성된 임의의 크랙 또는 결함에 의해 크게 영향을 받는다. 커팅 라인이 결함이 있는 영역을 통과할 경우, 장치 분리 수율은 매우 낮아진다.
- [11] 따라서, 장치 분리는 전체 반도체 장치 제조 프로세스들 중에서 가장 지루하고 낮은 수율의 프로세스라고 알려져 있다. 실용상, GaN계 반도체를 제조하기 위한 백엔드 프로세스 수율은 50% 미만만큼 낮고, 프론트엔드 제조 프로세스 수율은 대표적으로 90% 이상의 범위내에 있다.
- [12] 다음으로 장치 성능 문제를 살펴보면, 다이싱 및 스크라이빙의 물리적인 연마 작용으로 인해, 장치 분리 이후의 장치 성능은 상당히 열화될 수도 있다. 예컨대, 광이 방출하는 LED 장치 측면은 장치 분리동안 연마 커팅 작용에 의해 손상될 수도 있으며, 이는 장치 분리 이후에 광 출력 감소의 주요 원인이 된다.
- [13] 레이저 스크라이빙의 경우, 장치 분리는 고강도 레이저 빔에 의해 기판 재료를 용융시킴으로써 달성된다. 따라서, 용융된 기판 재료가 장치 측면에 축적되는 경우가 있으며, 이는 또한 LED 장치의 광 출력을 저하시키게 된다.
- [14] 마지막으로 프로세싱 비용 문제를 살펴보면, 웨이퍼마다 대략 10,000~12,000 장치를 갖는 GaN/사파이어 LED 장치에 대한 평균 다이 분리 프로세싱 시간은, 종래의 분리 방법에 의하면 대략 40분 내지 1시간이다. 이는, 하나의 장치 분리 기계가 24 시간/하루 동작할 경우, 매일 24 내지 36개의 웨이퍼 (700~1,000개의 웨이퍼/월)만을 취급할 수 있다. 상업적으로 소망하는 공장 생산량을 달성하기 위해서는, 다수의 기계 및 상당한 중요 장비 투자가 필요하다.
- [15] 또한, 다이싱 기계용 다이아몬드 커팅 휠 및 스크라이빙 기계용 다이아몬드 팁은 매우 고가의 소모품이기 때문에, 종래의 다이 분리 프로세스에 관련된 소모품 비용이 상당하다. 그리고, 레이저 스크라이빙의 경우, 주요 소모품은 레이저원이다. 일정한 레이저 빔 에너지를 유지하기 위해서는, 레이저원 가스가 정기적으로 재충전되어야만 한다. 레이저원은 레이저 스크라이빙 시스템에서 가장 고가의 구성요소 중 하나이다.
- [16] 반도체 소자를 분리하는 기계적인 기법의 이러한 문제점을 화학적인 기법인 습식 식각(wet etching)을 이용해서 일정부분 해소할 수 있다.
- [17] 하지만 습식 식각(wet etching)을 이용한 반도체 소자를 분리하는 기법에도 측면부식(side etch)의 문제점이 존재한다.
- [18] 도 1(a)를 살펴보면, 제1레이어(110)는 두께가 수 um 내외이므로 습식 식각을 통한 절단시 측면부식(side etch)이 발생하더라도 크게 문제가 되지 않는 정도이다.
- [19] 하지만, 제1 레이어(110)에 비해 상대적으로 두께가 두꺼운 제3 레이어(130) 또는 제4 레이어(140)는 식각을 통한 절단시 측면부식이 심각하게 발생할 수 있는 문제가 있다.

- [20] 따라서, 습식 식각을 통해 반도체 소자를 분리시 측면부식의 문제를 해결하는 방법이 요구된다.
- [21] 종래의 반도체 소자의 제조 및 분리 기술에 대한 설명은 한국공개특허 제2007-0085374호 에 기술된 바 있다.
- [22] 종래의 반도체 소자의 제조 및 분리 기술은 습식 식각을 통한 절단시 측면부식에 대한 대비책을 고려하지 않고 있다. 따라서 종래의 반도체 소자의 제조 및 분리 기술에서는 측면부식이 발생할 가능성이 존재한다.
- [23] 또한, 종래의 반도체 소자의 분리 기술은 금속층의 절단을 용이하도록 포토 레지스트(PR: Photo Resist)를 사용하고 있다. 하지만 포토 레지스트의 두께는 일정하게 제어되기 어려우므로 포토 레지스트를 제거하지 않고 웨이퍼 캐리어를 적층하는 경우, 포토 레지스트를 평탄화하는 등의 추가 작업이 발생하는 등의 제조공정에서 어려움이 발생할 수 있다.

## 발명의 상세한 설명

### 기술적 과제

- [24] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하고자 도출된 것으로서, 반도체 소자를 제조하고 웨이퍼에서 반도체 소자들을 분리하는 방법을 제공하는 것을 목적으로 한다.
- [25] 구체적으로, 본 발명은 반도체 소자를 제조하고, 습식 식각(wet etching)을 이용해서 반도체 소자들을 분리하는 방법을 제공하는 것을 목적으로 한다.
- [26] 또한, 본 발명은 웨이퍼의 금속층에 식각 보호층(etch barrier)을 도금해서 습식 식각 방법을 통해서 웨이퍼에서 반도체 소자들을 분리할 때 금속층의 측면부식(side etching)이 발생하지 않도록 하는 것을 목적으로 한다.

### 과제 해결 수단

- [27] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시 예에 따른 반도체 소자 제조 방법은 전류에 의해 빛을 발생시키는 반도체 소자층을 형성하는 단계; 및 상기 반도체 소자층 위에 기계적 지지를 제공하는 하나 이상의 금속층을 형성하는 단계를 포함하고, 상기 하나 이상의 금속층을 형성하는 단계는 상기 반도체 소자층을 개별 반도체 소자로 분리하기 위한 경계선인 스트리트 라인(street line)을 습식 식각(wet etching) 할 때 상기 금속층의 측면부식(side etching)이 발생하지 않도록 식각 보호층(etch barrier)이 도금된 상기 하나 이상의 금속층을 상기 반도체 소자층 위에 형성하는 단계를 포함한다.
- [28] 상기 반도체 소자 제조 방법은 상기 하나 이상의 금속층을 형성하는 단계 이전에, 빛의 반사(reflection), CBL(Current Block Layer), 에칭 방어(Etch Barrier), 확산방지(diffusion barrier), 밀착(adhesion) 및 전기전도 혹은 확장(electrical transfer, or spreading) 등의 일부 또는 모두를 포함하는 기능을 갖는 진공 증착 금속박막층 (thin metal layer or thin metal layer by vacuum deposition, 이하 금속 박막층) 형성 단계를 더 포함하고, 이때, 상기 하나 이상의 금속 층을 형성하는

단계는 상기 식각 보호층이 도금된 상기 하나 이상의 금속 층을 상기 확산 방지를 위한 금속 박막 층 위에 형성할 수 있다.

- [29] 상기 하나 이상의 금속층을 상기 반도체 소자층 위에 형성하는 단계는 상기 스트리트 라인을 습식 식각할 때 측면부식을 방지하기 위한 제1 식각 보호층이 도금된 제1 금속층을 제1 패턴에 따라 상기 반도체 소자층 위에 형성하는 단계; 및 상기 스트리트 라인을 습식 식각할 때 측면부식을 방지하기 위한 제2 식각 보호층이 도금된 제2 금속층을 제2 패턴에 따라 상기 제1 금속층 위에 형성하는 단계를 포함할 수 있다.
- [30] 또한 상기 하나 이상의 금속 층을 상기 반도체 소자 층 위에 형성하는 단계는 제1 금속 층과 제2금속 층을 제1 패턴과 제2패턴으로 단계적으로 형성한 후 상기 스트리트 라인을 습식 식각 할 때 측면부식을 방지하기 위한 식각 보호 층을 상기 제1 금속 층과 상기 제2금속 층위에 일괄 도금하여 형성하고 제3의 금속도금으로 스트리트 라인을 채우는 도금을 스트리트 라인과 제1, 2금속 층 위에 전체적으로 일시에 도금하는 단계도 포함할 수 있다.
- [31] 또한 상기 하나 이상의 금속 층을 상기 반도체 소자 층 위에 형성하는 단계는 제1 금속 층과 제2금속 층을 제1 패턴과 제2패턴으로 단계적으로 형성한 후 상기 스트리트 라인을 습식 식각 할 때 측면부식을 방지하기 위한 식각 보호 층을 상기 제1 금속 층과 상기 제2금속 층위에 일괄 도금하여 형성하고 제3의 금속도금으로 스트리트 라인을 채울 때 제3의 패턴으로 제2 금속 층의 표면과 측벽을 가리고 스트리트 라인에 해당하는 부분만 채워 도금하는 것도 포함할 수 있다.
- [32] 상기 제1 금속 층을 상기 반도체 소자 층 위에 형성하는 단계는 상기 제1 금속 층과 상기 제2 금속 층의 전체 두께가 최소 두께 부위를 기준으로 기준 80um 이상으로 형성되고 도금된 금속의 경도가 100~200 Hv 사이인 경우 상기 제1 금속 층을 최소 40um이상이 되도록 형성할 수 있다.
- [33] 상기 제1 금속층을 형성하는 단계는 상기 반도체 소자층의 상기 스트리트 라인 위치에 제1 포토 레지스트(PR: Photo Resist)를 형성하는 단계; 상기 제1 패턴에 따라 상기 제1 포토 레지스트가 형성되지 않은 영역을 제1 금속으로 도금하는 단계; 상기 제1 포토 레지스트를 제거하는 단계; 및 상기 제1 금속 위에 제1 식각 보호층을 도금하는 단계를 포함할 수 있다.
- [34] 상기 제1 금속은 구리(Cu; copper) 또는 구리 합금이거나 구리 또는 구리 합금과 같은 주 금속 중간에 단일 혹은 다수의 열 응력 완화 도금 층을 삽입한 것을 포함할 수 있다.
- [35] 상기 제2 금속층을 형성하는 단계는 상기 제2 패턴의 반전 영역에 제2 포토 레지스트를 형성하는 단계; 상기 제2 패턴에 따라 상기 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속으로 도금하는 단계; 상기 제2 포토 레지스트를 제거하는 단계; 상기 스트리트 라인에 위치한 제2 금속 위에 제3 포토 레지스트를 형성하는 단계; 제3 포토 레지스트가 형성되지 않은 제2 금속 위에

상기 제2 식각 보호층을 도금하는 단계; 및 상기 제3 포토 레지스트를 제거하는 단계를 포함할 수 있다.

- [36] 또한 상기 제2 금속 층을 형성하는 단계는 상기 제2 패턴의 반전 영역에 제2 포토 레지스트를 형성하는 단계; 상기 제2 패턴에 따라 상기 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속으로 도금하는 단계; 상기 제2 포토 레지스트를 제거하는 단계, 상기 제1금속 층과 제2금속 층 전면에 식각 방지 도금을 하는 단계, 스트리트 라인과 제 1, 2,금속 층 위를 제3의 금속 혹은 제1, 2금속과 동일한 금속으로 일괄 도금하는 단계를 포함할 수 있다.
- [37] 또한 상기 제2 금속 층을 형성하는 단계는 상기 제2 패턴의 반전 영역에 제2 포토 레지스트를 형성하는 단계; 상기 제2 패턴에 따라 상기 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속으로 도금하는 단계; 상기 제2 포토 레지스트를 제거하는 단계, 상기 제1금속 층과 제2금속 층 전면에 식각 방지 도금을 하는 단계, 상기 제2 금속 층의 표면과 측벽을 제3 패턴 포토 레지스트로 가리고 제1 금속 층 사이와 포토레지스트 사이의 위치한 스트리트 라인 영역을 제3의 금속도금 혹은 제1, 2 금속과 동일한 금속 도금으로 채우는 단계를 포함할 수 있다.
- [38] 상기 제2 금속은 구리(Cu; copper) 또는 구리 합금이거나 구리나 구리합금과 같은 주 금속 중간에 단일 혹은 다수의 열 응력 완화 도금 층을 삽입한 것을 포함할 수 있다.
- [39] 상기 제3 금속은 제1금속과 동일한 소재의 금속을 사용할 수 있다.
- [40] 상기 반도체 소자 제조 방법은 상기 반도체 소자층의 스트리트 라인을 물리적 방법 또는 화학적으로 습식 식각 방법을 통해 절단하는 제1 절단 단계; 및 상기 반도체 소자층 상에 형성된 상기 하나 이상의 금속층 사이의 상기 스트리트 라인 상에 존재하는 식각 보호층이 도금되지 않은 금속을 습식 식각해서 절단하는 제2 절단 단계를 더 포함할 수 있다.
- [41] 상기 제1 절단 단계 이후 상기 제2 절단 단계 이전에, 웨이퍼 내의 칩들을 고정하는 고정층을 형성하는 단계를 더 포함할 수 있다.
- [42] 상기 고정층을 형성하는 단계는 상기 반도체 소자의 표면 위에 포지티브 포토 레지스트(Positive PR)를 포함하는 보호 PR을 도포하는 단계; 및 상기 포지티브 포토 레지스트 위에 자외선 테이프(UV Tape)를 접착하는 단계를 포함할 수 있다.
- [43] 상기 포지티브 포토 레지스트를 포함하는 보호 PR을 도포하는 단계는 상기 포지티브 포토 레지스트의 두께가 소자의 표면으로부터 3um 이상이 되도록 도포할 수 있다. 이 때 보호 PR은 개별적으로 분리되는 반도체 소자 사이의 절단된 골을 가득 채울 수 있도록 도포될 수 있다.
- [44] 상기 반도체 소자 제조 방법은 상기 제2 절단 단계 이후에, 소자 표면 고정 층의 포지티브 PR과 UV tape간의 접착력보다 높은 접착력의 익스펜딩 테이프(Expanding Tape)를 상기 제2 금속 층 위에 접착하여 고정 층 테이프에서 익스펜딩 테이프 쪽으로 절단된 개별 소자를 일괄적으로 옮겨 붙이는 단계; 및

상기 고정층을 제거하고 세정하는 단계를 더 포함할 수 있다.

### 발명의 효과

- [45] 본 발명은 반도체 소자를 제조하고, 습식 식각(wet etching)을 이용해서 반도체 소자들을 분리하는 방법에 관한 것으로, 웨이퍼의 금속층에 식각 보호층(etch barrier)을 도금해서 습식 식각을 통해서 웨이퍼에서 반도체 소자들을 분리할 때 금속층의 측면부식(side etching)이 발생하지 않도록 하였다.
- [46] 또한, 본 발명은 습식 식각을 이용해서 반도체 소자들을 분리하기 때문에 기계적인 분리 기술에 비해 프로세서 수율이 높고, 반도체 소자의 성능 열화가 적으며, 상대적으로 비용이 저렴한 효과를 가진다.

### 도면의 간단한 설명

- [47] 도 1은 웨이퍼의 구성과 웨이퍼에서 반도체 소자들을 분리하기 위한 스트리트 라인의 예를 나타낸다.
- [48] 도 2는 본 발명의 실시예에 따라 반도체 소자들이 형성된 웨이퍼의 예를 도시한 단면도를 나타낸다.
- [49] 도 3은 본 발명의 일 실시예에 따라 반도체 소자 제조 방법을 도시한 흐름도를 나타낸다.
- [50] 도 4는 본 발명의 일 실시예에 따라 제1 금속층을 형성하는 방법을 도시한 흐름도를 나타낸다.
- [51] 도 5는 본 발명의 일 실시예에 따라 제2 금속층을 형성하는 방법을 도시한 흐름도를 나타낸다.
- [52] 도 6은 본 발명의 일 실시예에 따라 고정층을 형성하는 방법을 도시한 흐름도를 나타낸다.
- [53] 도 7은 본 발명의 실시예에 따라 제1 포토 레지스트가 형성된 웨이퍼의 단면도를 나타낸다.
- [54] 도 8은 본 발명의 실시예에 따라 제1 금속이 도금된 웨이퍼의 단면도를 나타낸다.
- [55] 도 9는 본 발명의 실시예에 따라 제1 포토 레지스트가 제거된 웨이퍼의 단면도를 나타낸다.
- [56] 도 10는 본 발명의 실시예에 따라 제1 금속층 위에 제1 식각 보호층이 도금된 웨이퍼의 단면도를 나타낸다.
- [57] 도 11은 본 발명의 실시예에 따라 제2 포토 레지스트가 형성된 웨이퍼의 단면도를 나타낸다.
- [58] 도 12는 본 발명의 실시예에 따라 제2 포토 레지스트가 형성된 웨이퍼의 평면도를 나타낸다.
- [59] 도 13은 본 발명의 실시예에 따라 제2 금속이 도금된 웨이퍼의 단면도를 나타낸다.
- [60] 도 14는 본 발명의 실시예에 따라 제2 포토 레지스트가 제거된 웨이퍼의



단면도를 나타낸다.

[61] 도 15는 본 발명의 실시예에 따라 스트리트 라인에 위치한 제2 금속 위에 제3 포토 레지스트가 형성된 웨이퍼의 단면도를 나타낸다.

[62] 도 16은 본 발명의 실시예에 따라 제2 금속층 위에 제2 식각 보호층이 도금된 웨이퍼의 단면도를 나타낸다.

[63] 도 17은 본 발명의 실시예에 따라 제3 포토 레지스트가 제거된 웨이퍼의 단면도를 나타낸다.

[64] 도 18은 본 발명의 실시예에 따라 제1,2 레이어의 스트리트 라인이 절단된 단면도를 나타낸다.

[65] 도 19는 본 발명의 실시예에 따라 고정층이 형성된 웨이퍼의 단면도를 나타낸다.

[66] 도 20은 본 발명의 실시예에 따라 식각 보호층이 도금되지 않은 금속이 습식 식각으로 제거된 웨이퍼의 단면도를 나타낸다.

[67] 도 21은 본 발명의 실시예에 따라 제2 금속층 위에 익스펜딩 테이프 접착된 웨이퍼의 단면도를 나타낸다.

[68] 도 22는 본 발명의 실시예에 따라 고정층이 제거된 웨이퍼의 단면도를 나타낸다.

[69] 도 23은 본 발명의 다른 실시예에 따라 식각 보호층 및 다수의 금속층이 도금된 웨이퍼의 단면도를 나타낸다.

[70] 도 24는 본 발명의 또 다른 실시예에 따라 식각 보호층 및 다수의 금속층이 도금된 웨이퍼의 단면도를 나타낸다.

### 발명의 실시를 위한 최선의 형태

[71] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 소자 제조 방법은 전류에 의해 빛을 발생시키는 반도체 소자층을 형성하는 단계; 및 상기 반도체 소자층 위에 기계적 지지를 제공하는 하나 이상의 금속층을 형성하는 단계를 포함하고, 상기 하나 이상의 금속층을 형성하는 단계는 상기 반도체 소자층을 개별 반도체 소자로 분리하기 위한 경계선인 스트리트 라인(street line)을 습식 식각(wet etching) 할 때 상기 금속층의 측면부식(side etching)이 발생하지 않도록 식각 보호층(etch barrier)이 도금된 상기 하나 이상의 금속층을 상기 반도체 소자층 위에 형성하는 단계를 포함한다.

[72] 상기 반도체 소자 제조 방법은 상기 하나 이상의 금속층을 형성하는 단계 이전에, 빛의 반사(reflection), CBL(Current Block Layer), 에칭 방어(Etch Barrier), 확산방지(diffusion barrier), 밀착(adhesion) 및 전기전도 혹은 확장(electrical transfer, or spreading) 등의 일부 또는 모두를 포함하는 기능을 갖는 진공 증착 금속박막층(thin metal layer or thin metal layer by vacuum deposition, 이하 금속 박막층) 형성 단계를 더 포함하고, 이때, 상기 하나 이상의 금속층을 형성하는 단계는 상기 식각 보호층이 도금된 상기 하나 이상의 금속층을 상기 확산

방지를 위한 금속 박막 층 위에 형성할 수 있다.

- [73] 상기 하나 이상의 금속층을 상기 반도체 소자층 위에 형성하는 단계는 상기 스트리트 라인을 습식 식각할 때 측면부식을 방지하기 위한 제1 식각 보호층이 도금된 제1 금속층을 제1 패턴에 따라 상기 반도체 소자층 위에 형성하는 단계; 및 상기 스트리트 라인을 습식 식각할 때 측면부식을 방지하기 위한 제2 식각 보호층이 도금된 제2 금속층을 제2 패턴에 따라 상기 제1 금속층 위에 형성하는 단계를 포함할 수 있다.
- [74] 또한 상기 하나 이상의 금속 층을 상기 반도체 소자 층 위에 형성하는 단계는 제1 금속 층과 제2금속 층을 제1 패턴과 제2패턴으로 단계적으로 형성한 후 상기 스트리트 라인을 습식 식각 할 때 측면부식을 방지하기 위한 식각 보호 층을 상기 제1 금속 층과 상기 제2금속 층위에 일괄 도금하여 형성하고 제3의 금속도금으로 스트리트 라인을 채우는 도금을 스트리트 라인과 제1, 2금속 층 위에 전체적으로 일시에 도금하는 단계도 포함할 수 있다.
- [75] 또한 상기 하나 이상의 금속 층을 상기 반도체 소자 층 위에 형성하는 단계는 제1 금속 층과 제2금속 층을 제1 패턴과 제2패턴으로 단계적으로 형성한 후 상기 스트리트 라인을 습식 식각 할 때 측면부식을 방지하기 위한 식각 보호 층을 상기 제1 금속 층과 상기 제2금속 층위에 일괄 도금하여 형성하고 제3의 금속도금으로 스트리트 라인을 채울 때 제3의 패턴으로 제2 금속 층의 표면과 측벽을 가리고 스트리트 라인에 해당하는 부분만 채워 도금하는 것도 포함할 수 있다.
- [76] 상기 제1 금속 층을 상기 반도체 소자 층 위에 형성하는 단계는 상기 제1 금속 층과 상기 제2 금속 층의 전체 두께가 최소 두께 부위를 기준으로 기준 80um 이상으로 형성되고 도금된 금속의 경도가 100~200 Hv 사이인 경우 상기 제1 금속 층을 최소 40um이상이 되도록 형성할 수 있다.
- [77] 상기 제1 금속층을 형성하는 단계는 상기 반도체 소자층의 상기 스트리트 라인 위치에 제1 포토 레지스트(PR: Photo Resist)를 형성하는 단계; 상기 제1 패턴에 따라 상기 제1 포토 레지스트가 형성되지 않은 영역을 제1 금속으로 도금하는 단계; 상기 제1 포토 레지스트를 제거하는 단계; 및 상기 제1 금속 위에 제1 식각 보호층을 도금하는 단계를 포함할 수 있다.
- [78] 상기 제1 금속은 구리(Cu; copper) 또는 구리 합금이거나 구리 또는 구리 합금과 같은 주 금속 중간에 단일 혹은 다수의 열 응력 완화 도금 층을 삽입한 것을 포함할 수 있다.
- [79] 상기 제2 금속층을 형성하는 단계는 상기 제2 패턴의 반전 영역에 제2 포토 레지스트를 형성하는 단계; 상기 제2 패턴에 따라 상기 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속으로 도금하는 단계; 상기 제2 포토 레지스트를 제거하는 단계; 상기 스트리트 라인에 위치한 제2 금속 위에 제3 포토 레지스트를 형성하는 단계; 제3 포토 레지스트가 형성되지 않은 제2 금속 위에 상기 제2 식각 보호층을 도금하는 단계; 및 상기 제3 포토 레지스트를 제거하는

단계를 포함할 수 있다.

- [80] 또한 상기 제2 금속 층을 형성하는 단계는 상기 제2 패턴의 반전 영역에 제2 포토 레지스트를 형성하는 단계; 상기 제2 패턴에 따라 상기 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속으로 도금하는 단계; 상기 제2 포토 레지스트를 제거하는 단계, 상기 제1금속 층과 제2금속 층 전면에 식각 방지 도금을 하는 단계, 스트리트 라인과 제 1, 2,금속 층 위를 제3의 금속 혹은 제1, 2금속과 동일한 금속으로 일괄 도금하는 단계를 포함할 수 있다.
- [81] 또한 상기 제2 금속 층을 형성하는 단계는 상기 제2 패턴의 반전 영역에 제2 포토 레지스트를 형성하는 단계; 상기 제2 패턴에 따라 상기 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속으로 도금하는 단계; 상기 제2 포토 레지스트를 제거하는 단계, 상기 제1금속 층과 제2금속 층 전면에 식각 방지 도금을 하는 단계, 상기 제2 금속 층의 표면과 측벽을 제3 패턴 포토 레지스트로 가리고 제1 금속 층 사이와 포토레지스트 사이의 위치한 스트리트 라인 영역을 제3의 금속도금 혹은 제1, 2 금속과 동일한 금속 도금으로 채우는 단계를 포함할 수 있다.
- [82] 상기 제2 금속은 구리(Cu; copper) 또는 구리 합금이거나 구리나 구리합금과 같은 주 금속 중간에 단일 혹은 다수의 열 응력 완화 도금 층을 삽입한 것을 포함할 수 있다.
- [83] 상기 제3 금속은 제1금속과 동일한 소재의 금속을 사용할 수 있다.
- [84] 상기 반도체 소자 제조 방법은 상기 반도체 소자층의 스트리트 라인을 물리적 방법 또는 화학적으로 습식 식각 방법을 통해 절단하는 제1 절단 단계; 및 상기 반도체 소자층 상에 형성된 상기 하나 이상의 금속층 사이의 상기 스트리트 라인 상에 존재하는 식각 보호층이 도금되지 않은 금속을 습식 식각해서 절단하는 제2 절단 단계를 더 포함할 수 있다.
- [85] 상기 제1 절단 단계 이후 상기 제2 절단 단계 이전에, 웨이퍼 내의 칩들을 고정하는 고정층을 형성하는 단계를 더 포함할 수 있다.
- [86] 상기 고정층을 형성하는 단계는 상기 반도체 소자의 표면 위에 포지티브 포토 레지스트(Positive PR)를 포함하는 보호 PR을 도포하는 단계; 및 상기 포지티브 포토 레지스트 위에 자외선 테이프(UV Tape)를 접착하는 단계를 포함할 수 있다.
- [87] 상기 포지티브 포토 레지스트를 포함하는 보호 PR을 도포하는 단계는 상기 포지티브 포토 레지스트의 두께가 소자의 표면으로부터 3um 이상이 되도록 도포할 수 있다. 이 때 보호 PR은 개별적으로 분리되는 반도체 소자 사이의 절단된 골을 가득 채울 수 있도록 도포될 수 있다.
- [88] 상기 반도체 소자 제조 방법은 상기 제2 절단 단계 이후에, 소자 표면 고정 층의 포지티브 PR과 UV tape간의 접착력보다 높은 접착력의 익스펜딩 테이프(Expanding Tape)를 상기 제2 금속 층 위에 접착하여 고정 층 테이프에서 익스펜딩 테이프 쪽으로 절단된 개별 소자를 일괄적으로 옮겨 붙이는 단계; 및 상기 고정층을 제거하고 세정하는 단계를 더 포함할 수 있다.

## 발명의 실시를 위한 형태

- [89] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시 예에 대한 설명을 통하여 명백히 드러나게 될 것이다.
- [90] 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [91] 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [92] 이하에서는, 본 발명의 일 실시 예에 따른 반도체 소자 제조 방법을 첨부된 도 2 내지 도 22를 참조하여 상세히 설명한다.
- [93] 도 2은 본 발명의 실시예에 따라 반도체 소자들이 형성된 웨이퍼의 예를 도시한 단면도를 나타낸다.
- [94] 도 2를 참조하면, 웨이퍼(200)는 크게 4개의 레이어로 구성될 수 있다.
- [95] 제1 레이어(210)는 Si, GaN 등 불순물 반도체가 형성되어 있는 소자 층으로 제1 레이어(210)는 이하의 설명에서 제1 레이어 또는 반도체 소자층이라 칭한다. 제1 레이어(210)가 GaN 기반의 발광 다이오드 층인 경우에는 N-GaN 층과 P-GaN 층을 포함하고, N-GaN 층과 P-GaN 층 사이에 위치하는 활성층(MQW)도 포함한다. N-GaN 층과 P-GaN 층 사이에 전류가 흐르면 활성층에서 전자-정공 재결합이 일어나 소정 파장의 빛을 발생하게 된다.
- [96] 제2 레이어(220)는 불순물 반도체 소자층인 제1 레이어(210)와 금속 도금 층에 해당하는 제3 레이어(230) 사이에서 빛의 반사(reflection), CBL(Current Block Layer), 에칭 방어(Etch Barrier), 확산방지(diffusion barrier), 밀착(adhesion) 및 전기전도 혹은 확장(electrical transfer, or spreading) 등의 일부 또는 모두를 포함하는 기능을 갖는 금속 박막 층이다. 이때, 제2 레이어(220)는 백금(Pt; platinum), 금(Au Gold), 은(Ag: silver), 크롬(Cr; chromium), 티탄(Ti; titanium), 몰리브덴(Mo; molybdenum), 텅스텐(W; tungsten), 니켈(Ni; nickel) 중 적어도 하나 이상을 포함하는 소재로 구성될 수 있으며 모든 소재가 필수구성이 아니므로 선택적으로 생략 가능하다.
- [97] 제2 레이어(220)는 Si, SiO<sub>2</sub> 등의 무기 소재를 부분적으로 진공 증착한 것을 포함 할 수 있다 제2 레이어(220)는 이하의 설명에서 제2 레이어 또는 확산 방지층이라 칭한다.
- [98] 제3 레이어(230)는 제2 레이어(220)의 일부 기능을 도금 방식으로 형성한 층이다. 제3 레이어(230)는 이하의 설명에서 제3 레이어 또는 제1 금속층이라 칭한다.
- [99] 제4 레이어(240)는 방열, 배선, 접지, 기계적 지지를 위해 도금으로 형성한 층이다. 제4 레이어(240)는 이하의 설명에서 제4 레이어 또는 제2 금속층이라 칭한다.

- [100] 도 3은 본 발명의 일 실시예에 따라 반도체 소자 제조 방법을 도시한 흐름도를 나타낸다.
- [101] 도 3을 참조하면, 반도체 소자 제조 방법은 전류에 의해 빛을 발생시키는 반도체 소자층을 형성하고(S310), 반도체 소자층으로 금속의 확산을 방지하는 확산 방지층을 반도체 소자층 위에 형성한다(S320).
- [102] 그리고, 반도체 소자 제조 방법은 반도체 소자층을 개별 반도체 소자로 분리하기 위한 경계선인 스트리트 라인(street line)을 습식 식각(wet etching)할 때 측면부식(side etching)을 방지하기 위한 제1 식각 보호층(etch barrier)이 도금된 제1 금속층을 제1 패턴에 따라 반도체 소자층 위에 형성한다(S330).
- [103] 이때, 제1 패턴은 스트리트 라인의 영역을 제외한 웨이퍼의 모든 영역이 될 수 있다. 다만 전기도금을 하는 경우 웨이퍼의 테두리에 전기적 접점이 형성되어야 하므로 테두리에서 전기적 접점에 필요한 수mm를 제외한 안쪽까지만 포토레지스트가 도포되도록 하는 것이 바람직하다. 그리고, 제1 금속 층과 제2 금속층을 합금이 아닌 순수 구리도금으로 하는 경우 전체 도금 두께가 최소 두께 부위를 기준으로 80um 이상으로 형성하는 경우, 제1 금속 층의 두께는 최소 40um 이상이 되도록 형성하는 것이 바람직하다. 제2 금속 층의 형성은 제1 금속 층보다 면적이 작게 형성되므로 일차적으로 반도체 소자 테두리를 주로 제1 금속 층이 떠받치게 될 것이다. 이 때 제1 금속 층의 두께가 얇으면 도금응력과 소자 취급시의 문제로 테두리에 균열이 발생할 수 있으므로 제1 금속 층의 두께는 최소 40um 이상을 유지하는 것이 바람직하다
- [104] 그러면 제1 금속 층을 형성하는 방법(S330)을 아래에서 도 4, 도7- 도10을 참조해서 상세히 설명하고자 한다.
- [105] 도 4는 본 발명의 일 실시예에 따라 제1 금속층을 형성하는 방법을 도시한 흐름도를 나타낸다.
- [106] 도 4를 참조하면, 제1 금속층 형성 방법(S330)은 도 7의 예와 같이 반도체 소자층과 확산 방지층인 제1, 2 레이어(710)의 스트리트 라인 위치에 제1 포토 레지스트(PR: Photo Resist)(720)를 형성한다(S410). 이때, 제1 포토 레지스트(720)는 스트리트 라인 위치에 제1 금속이 도금되지 않도록 하는 역할을 한다. 도 7은 본 발명의 실시예에 따라 제1 포토 레지스트가 형성된 웨이퍼의 단면도를 나타낸다.
- [107] 그리고, 제1 금속층 형성 방법(S330)은 도 8의 예와 같이 제1 패턴에 따라 제1 포토 레지스트(720)가 형성되지 않은 영역을 제1 금속(810)으로 도금한다(S420). 이때, 제1 금속(810)은 구리(Cu; copper) 또는 구리 합금으로 구성되며, 순수 구리인 경우 제1 금속(810)의 비커스 경도는 120Hv 이하가 바람직하다. 도 8은 본 발명의 실시예에 따라 제1 금속이 도금된 웨이퍼의 단면도를 나타낸다.
- [108] 그리고, 제1 금속층 형성 방법(S330)은 도 9의 예와 같이 제1 포토 레지스트(720)를 제거한다(S430). 도 9는 본 발명의 실시예에 따라 제1 포토 레지스트가 제거된 웨이퍼의 단면도를 나타낸다.

- [109] 그리고, 제1 금속층 형성 방법(S330)은 도 10의 예와 같이 습식 식각을 이용한 반도체 소자를 분리할 때 습식 식각 되지 않도록 습식 식각 되지 않는 소재로 제1 식각 보호층(1010)을 제1 금속(810) 위에 도금한다(S440). 도 10는 본 발명의 실시예에 따라 제1 금속층 위에 제1 식각 보호층이 도금된 웨이퍼의 단면도를 나타낸다.
- [110] 다시 도 3의 설명으로 돌아와서, 반도체 소자 제조 방법은 스트리트 라인을 습식 식각할 때 측면부식을 방지하기 위한 제2 식각 보호층이 도금된 제2 금속층을 제2 패턴에 따라 제1 금속층 위에 형성한다(S340).
- [111] 그러면 제2 금속층을 형성하는 방법(S340)을 아래에서 도 5, 도 11 내지 도 17을 참조해서 상세히 설명하고자 한다.
- [112] 도 5는 본 발명의 일 실시예에 따라 제2 금속층을 형성하는 방법을 도시한 흐름도를 나타낸다.
- [113] 도 5를 참조하면, 제2 금속층 형성 방법(S340)은 도 11의 예와 같이 제2 패턴의 반전 영역에 제2 포토 레지스트(1110)를 형성한다(S510). 이때, 제2 포토 레지스트(1110)는 제2 패턴의 반전 영역인 스트리트 라인의 주변에 기설정된 넓이로 형성되며, 습식 식각으로 반도체 분리시 습식 식각 될 영역과 습식 식각 되면 안되는 영역을 구분하는 역할은 하며 도 12의 평면도와 같이 형성될 수 있다.
- [114] 도 2 내지 도 10의 실시예에서 설명된 식각 보호층(etch barrier)은 제1, 제2 금속층과 에칭액의 성질을 고려하여 선택될 수 있다.
- [115] 예를 들어, 제1, 제2 금속층의 주된 성분이 구리(Cu) 또는 구리 합금인 경우에 에천트(etchant)로는 순수 염화동( $\text{CuCl}_2$ ), 염화철( $\text{Cu}_2\text{Fe}_3$ ) 또는 이 두 가지가 혼합된 에천트를 사용할 수 있으며, 질산계 에천트의 사용이 가능하다.
- [116] 이 때 식각 보호층으로는 Pure Au(금) 또는 NiAu, Pt, Pd 등을 이용할 수 있으며, 식각 보호층이 Pure Au 인 경우 0.5 um 이상 1.5 um 이하의 두께를 가지는 것이 바람직하다. 식각 보호층이 식각 보호 기능을 하기 위하여 0.5 um 이상의 두께를 가질 필요가 있고, 식각 보호층과 제1, 제2 금속층 간의 결합이 원활히 유지되기 위하여 1.5 um 이하의 두께를 가지는 것이 바람직하다.
- [117] 식각 보호층이 NiAu 인 경우 Ni 0.5 um, Au 1.0 um 정도의 범위가 바람직하며, Ni이 0.5 um보다 두껍지 않은 것이 바람직하다. 최적의 두께 범위에 대한 선택 이유는 앞에서 설명한 바와 유사하다.
- [118] AuSn Eutetic 합금을 최종 식각 보호층으로 사용하는 경우에는 Pure Ni/AuSn 또는 Ni/Au/AuSn 등을 식각 보호층의 일부 또는 전체 레이어로 적용할 수 있는데 Ni 은 0.5 um, Au 는 1 um, AuSn 은 3 ~ 5 um 정도의 두께가 바람직하다.
- [119] 도 2 내지 도 10의 실시예에서 상세히 도시되지는 않았으나, 본 발명의 다른 실시예에 따라서는 반도체 소자층과 금속층 간의 열팽창계수 차이와 열 충격에 따른, 소자의 균열이나 소자 특성저하, 신뢰성 저하 등을 최소화하기 위해 소자와 금속 층 간의 응력을 완화하는 역할을 하는 제3의 금속이 반도체

소자층과 금속층 간, 또는 복수의 금속층 사이에 단층 또는 다층으로 추가적으로 삽입될 수 있다. 이 때 제3의 금속은 중 적어도 하나 이상의 조합으로부터 이루어지는 군으로 형성될 수 있다.

- [120] 이 때 제3의 금속은 응력완화 및 열팽창계수의 완화를 목적으로 하므로, Cu보다 열팽창계수가 작고 GaN보다는 큰 소재를 선택할 수 있다.
- [121] 제1, 제2 금속층의 주된 성분이 인장 응력을 가지는 경우, 압축 응력을 가지는 소재가 제3의 금속으로 바람직하고, Ni, Cr, NiCo 합금, 또는 Mo, W 이나 이들 물질이 포함된 도금층 등을 삽입할 수 있다.
- [122] 이 때 Ni/Cr/Ni 또는 Ni/Cr/NiCr/Ni 과 같이 Cr을 1회 이상 삽입하되 Cr도금 전과 후에 Ni을 삽입하여 Cr 도금 전후의 소재에 대한 밀착력을 높일수 있다. 이 경우 Ni은 각 layer별 0.2um 이상, Cr은 누적 두께를 기준하여 1um이상이 바람직하다.
- [123] 또 다른 실시예로는 응력 완화층(제3의 금속)으로 NiCo 합금을 삽입할 수 있다. 이 때 Co의 비율은 도금된 합금층의 응력이 Zero Stress 영역에 있도록 Co의 함량과 전류밀도를 설정하는 것이 바람직하고 중요한 팩터이다.
- [124] 또한 제1 금속층과 제2 금속층이 순수 구리 혹은 순수 구리도금과 +/- 10% 이내의 범위의 강도를 갖는 금속으로 도금되고 전체 두께가 최소 두께 부위를 기준으로 80um 이상으로 형성되는 경우, 상기 제1 금속 층은 최소 40um 이상이 되도록 형성되는 것이 바람직하다.
- [125] 제1 금속층은 구리(Cu; copper) 또는 구리 합금도금을 포함하며 도금 응력(Stress by plating)이 - 0.2kgf/mm<sup>2</sup> ~ + 1.0,kgf/mm<sup>2</sup> 이내의 범위인 성질을 갖는 것이 바람직하다.
- [126] 제2 금속층은 구리 또는 구리 합금을 포함하고 제1 금속층의 도금응력이 -0.2kgf/mm<sup>2</sup>~+1.0kgf/mm<sup>2</sup>인 경우 제1, 제2 금속층의 두께를 합산하여 55% ~ 65% 두께를 제1 금속층의 도금소재로 도금하고 제2 금속층의 나머지 두께를 -1.0kgfmm<sup>2</sup>~+1.0kgf/mm<sup>2</sup>의 도금응력을 갖는 금속으로 도금하는 과정에 의하여 형성될 수 있다.
- [127] 도 11은 본 발명의 실시예에 따라 제2 포토 레지스트가 형성된 웨이퍼의 단면도를 나타낸다. 도 12는 본 발명의 실시예에 따라 제2 포토 레지스트가 형성된 웨이퍼의 평면도를 나타낸다. 도 12에서 점선은 도 11의 단면도의 단면을 나타내는 기준선이다.
- [128] 그리고, 제2 금속층 형성 방법(S340)은 도 13의 예와 같이 제2 패턴에 따라 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속(1310)으로 도금한다(S520). 이때, 제2 금속(1310)은 구리(Cu; copper) 또는 구리 합금으로 구성되며, 순수 구리인 경우 제2 금속(1310)의 비커스 경도는 120Hv 이상이 바람직하다. 도 13은 본 발명의 실시예에 따라 제2 금속이 도금된 웨이퍼의 단면도를 나타낸다.
- [129] 그리고, 제2 금속층 형성 방법(S340)은 도 14의 예와 같이 제2 포토 레지스트(1110)를 제거한다(S530). 도 14는 본 발명의 실시예에 따라 제2 포토 레지스트가 제거된 웨이퍼의 단면도를 나타낸다.

- [130] 그리고, 제2 금속층 형성 방법(S340)은 도 15의 예와 같이 스트리트 라인에 위치한 제2 금속 위에 제3 포토 레지스트(1510)를 형성한다(S540). 이때, 제3 포토 레지스트(1510)는 습식 식각으로 반도체 분리시 습식 식각 될 영역에 제2 식각 보호층이 도금되지 않도록 하는 역할은 한다. 도 15는 본 발명의 실시예에 따라 스트리트 라인에 위치한 제2 금속 위에 제3 포토 레지스트가 형성된 웨이퍼의 단면도를 나타낸다.
- [131] 그리고, 제2 금속층 형성 방법(S340)은 도 16의 예와 같이 제3 포토 레지스트(1510)가 형성되지 않은 제2 금속 위에 제2 식각 보호층(1610)을 도금한다(S550). 도 16은 본 발명의 실시예에 따라 제2 금속층 위에 제2 식각 보호층이 도금된 웨이퍼의 단면도를 나타낸다.
- [132] 그리고, 제2 금속층 형성 방법(S340)은 도 17의 예와 같이 제3 포토 레지스트(1510)를 제거한다(S560). 도 17은 본 발명의 실시예에 따라 제3 포토 레지스트가 제거된 웨이퍼의 단면도를 나타낸다.
- [133] 한편, 본 발명의 설명에서 제1 포토 레지스트(720), 제2 포토 레지스트(1110) 및 제3 포토 레지스트(1610)로 구분해서 작성한 것은 반도체 소자를 제조하는 공정의 순서에 따라 구분한 것으로, 제1 포토 레지스트(720), 제2 포토 레지스트(1110) 및 제3 포토 레지스트(1610)는 동일한 소재일 수도 있고 적어도 하나는 다른 소재일 수도 있다.
- [134] 또한, 제1 식각 보호층(1010)과 제2 식각 보호층(1610)의 경우도 반도체 소자를 제조하는 공정의 순서에 따라 구분한 것으로, 제1 식각 보호층(1010)과 제2 식각 보호층(1610)은 동일한 소재일 수도 있고 각기 다른 소재일 수도 있다.
- [135] 다시 도 3의 설명으로 돌아와서, 반도체 소자 제조 방법은 도 18의 예와 같이 제1,2 레이어(710)의 스트리트 라인을 물리적(기계적인) 방법 또는 화학적으로 습식 식각을 통해 절단한다(S350). 도 18은 본 발명의 실시예에 따라 제1,2 레이어의 스트리트 라인이 절단된 단면도를 나타낸다.
- [136] 그리고, 반도체 소자 제조 방법은 웨이퍼 내의 칩면을 보호하고 칩들을 고정하기 위해 웨이퍼의 칩면을 고정하는 고정층을 형성한다(S350). 그러면 고정층을 형성하는 방법(S360)을 아래에서 도 6과 도 19를 참조해서 상세히 설명하고자 한다.
- [137] 도 6은 본 발명의 일 실시예에 따라 고정층을 형성하는 방법을 도시한 흐름도를 나타낸다.
- [138] 도 19는 본 발명의 실시예에 따라 고정층이 형성된 웨이퍼의 단면도를 나타낸다.
- [139] 도 6과 19를 참조하면, 고정층 형성 방법(S360)은 반도체 소자의 표면 위에 포지티브 포토 레지스트(Positive PR)(1910)를 도포한다(S610). 이때, 고정층 형성 방법(S360)은 습식 식각으로 반도체 소자를 분리할 때, 식각용 에칭액이 이미 화학적으로 절단한 레이어 1, 2(710)의 측벽과 표면을 보호하도록 절단된 소자의 깊이보다 높게 형성하여야 측벽과 표면의 보호 기능이 될 수 있으므로



상용화되는 소자들의 두께를 감안할 때 최소 3 $\mu$ m 이상 도포하는 것이 바람직하다.

- [140] 고정층에 포토 레지스트를 도포하지 않고 UV Tape 혹은 비감광성 점착 Tape 등만을 도포하는 경우 소자 측벽으로 점착제가 파고들지 못하고 표면을 감싸는 역할이 부족하게 되어 레이어 1, 2(710)의 측벽과 표면에 화학적 손상 및 기계적 손상이 있을 수 있게 된다. 포지티브 포토 레지스트는 웨이퍼 전면에 도포하는 것이고 도포 후에 노광 없이 경화만 하여 주고 이후 제거할 때 UV조사 후 포토 레지스트 현상액 만으로도 쉽게 제거되도록 한다
- [141] 그리고, 고정층 형성 방법(S360)은 포지티브 포토 레지스트(1910) 위에 자외선을 쬐면 접착력을 상실하는 자외선 테이프(UV Tape)(1920)를 접착한다(S620).
- [142] 자외선 테이프의 사용은 분리된 칩을 익스펜딩 테이프(expanding tape) 위에 옮겨 붙일 때 고정 층이 쉽게 분리 되도록 하기 위함으로 자외선을 받은 UV Tape는 포지티브 포토 레지스트와 함께 접착력을 잃어 쉽게 분리된다..
- [143] 도 6에서 고정층을 포지티브 포토 레지스트(1910)와 자외선 테이프(1920)를 이용해서 형성하고 있으나 그 외에도 칩 면을 보호하면서 이후 금속층의 습식 식각시 반도체 소자를 고정할 수 있는 다른 소재를 이용해서 고정층을 형성할 수도 있다. 이때, 고정층의 소재는 추후 제거가 용이한 소재가 바람직하다.
- [144] 접착력이 강한 소재를 사용한 경우 옮겨 붙이는 과정에 손실이 발생하고 소자 표면에 손상을 주게 된다
- [145] 다만, UV Tape를 PR위에 고정 층으로 함께 적용 할 경우 포토 레지스트는 반드시 포지티브 타입이어야 자외선을 받았을 때 녹는 성질을 갖게 된다. 만일 네거티브 타입의 포토 레지스트를 사용하게 되면 오히려 포토레지스트가 굳게 되어 역효과를 일으키게 된다
- [146]
- [147] 포토 레지스트는 제1, 2 금속층 사이의 스트리트 라인에 형성되어 있는 금속을 제거하는 에칭액의 선정에도 영향을 준다. 즉 상기 제1, 2 금속층 형성 과정의 설명에서 스트리트 라인에 도금되는 금속은 제2금속 층과 동시에 형성되고 동일 소재일 수도 있고 구리(Cu, copper)나 구리 합금을 포함한 제3의 금속도금일 수도 있는데 이를 제거하는 에칭액은 금속을 제거한 후 포토레지스트를 만나게 되므로 에칭액은 포토레지스트에 손상을 주지 않는 성질을 갖는 것을 선정하여야 한다 즉 알카리성 첨가제가 포함된 에칭액은 대부분의 포토 레지스트에 영향을 줄 수 있게 되므로 이를 제외한 에칭액을 사용하여야 한다
- [148] 다시 도 3의 설명으로 돌아와서, 반도체 소자 제조 방법은 도 20의 예와 같이 하나 이상의 금속층의 스트리트 라인 상에 존재하는 식각 보호층이 도금되지 않은 금속을 습식 식각해서 반도체 소자를 분리한다(S370).
- [149] 도 20은 본 발명의 실시예에 따라 식각 보호층이 도금되지 않은 금속이 습식 식각으로 제거된 웨이퍼의 단면도를 나타낸다.

- [150] 도 3의 예에서는 S350의 단계가 S370의 단계보다 먼저 수행되고 있으나, 수행 순서는 반대가 될 수도 있다. 다만, S350의 단계를 먼저 수행하는 것이 공정의 과정이 더 간단하기 때문이다. S370의 단계를 먼저 수행하는 것이 공정의 과정을 더욱 간소화 하는 경우 S370 단계를 먼저 수행할 수도 있다.
- [151] 또한 S370 단계에서 레이어 1, 2의 측면 손상 및 표면 손상을 보호하기 위해 S350의 단계에서 레이어 1, 2의 다수 박막에서 일부 박막 층을 남겨두고 S370 단계를 진행한 이후에 남겨둔 박막을 제거할 수도 있다
- [152] 이후, 반도체 소자 제조 방법은 도 21의 예와 같이 제2 금속층 위에 익스펜딩 테이프(Expanding Tape)(2110)를 접착하고(S380), 도 22의 예와 같이 고정층을 제거한다(S390). 고정층을 제거(S390)하는 방법은 자외선 테이프(1920)에 자외선을 조사해서 자외선 테이프를 제거하고, 포지티브 포토 레지스트(1910)를 제거한다.
- [153] 도 21은 본 발명의 실시예에 따라 제2 금속층 위에 익스펜딩 테이프 접착된 웨이퍼의 단면도를 나타낸다.
- [154] 도 22는 본 발명의 실시예에 따라 고정층이 제거된 웨이퍼의 단면도를 나타낸다.
- [155] 도 23은 본 발명의 다른 실시예에 따라 식각 보호층 및 다수의 금속층이 도금된 웨이퍼의 단면도를 나타낸다.
- [156] 도 23을 참조하면, 반도체 소자층 및 확산 보호층인 레이어 1,2 (710) 상에 제1 패턴에 따라 제1 금속층(2310)이 도금된다. 제1 패턴은 스트리트 라인에 대응하는 패턴이다.
- [157] 이어 제2 패턴에 따라 제1 금속층(2310) 상에 제2 금속층(2320)이 도금된다. 제1 금속층(2310)과 제2 금속층(2320)은 구리 또는 구리 합금을 공통적으로 포함할 수 있으며, 제1 금속층(2310)과 제2 금속층(2320)이 가질 수 있는 물리적 성질의 범위는 앞에서 설명한 바와 같다.
- [158] 제2 패턴은 제1 패턴과 유사하지만 제2 패턴의 면적이 제1 패턴의 면적보다 좁게 형성됨은 앞에서 설명한 바와 같다.
- [159] 다음으로, 제1 금속층(2310) 및 제2 금속층(2320) 상에 식각 보호층(2330)이 도금된다. 이어서 제3 금속층(2340)이 식각 보호층(2330) 상에 도금되는데, 특히 식각 보호층(2330)에 의하여 빈 공간으로 남겨져 있던 스트리트 라인에 대응하는 부분이 제3 금속층(2340)에 의하여 채워지게 된다.
- [160] 제3 금속층(2340)에 의하여 스트리트 라인에 대응하는 식각 보호층(2330) 사이의 공간이 채워짐으로써 제1 금속층(2310)끼리, 또한 제2 금속층(2320)끼리 물리적으로 연결되어 기계적 지지를 제공할 수 있게 되며, 이로 인하여 단일 웨이퍼 형태로 공정이 진행될 수 있다.
- [161] 도 24는 본 발명의 또 다른 실시예에 따라 식각 보호층 및 다수의 금속층이 도금된 웨이퍼의 단면도를 나타낸다.
- [162] 도 24를 참조하면 반도체 소자층 및 확산 보호층인 레이어 1,2 (710) 상에 제1

패턴에 따라 제1 금속층(2410)이 도금되고, 이어 제2 패턴에 따라 제1 금속층(2410) 상에 제2 금속층(2420)이 도금된다. 이후 식각 보호층(2430)이 도금되는 과정까지는 도 23의 실시예와 동일하다.

- [163] 이후 제3 금속층(2450)이 도금되기 전에 제3 패턴에 대응하는 3차 포토 레지스트(2440)가 도포된다. 3차 포토 레지스트(2440)가 미리 도포됨으로써 제3 금속층(2450)은 스트리트 라인에 대응하는 식각 보호층(2430) 사이의 빈 공간만을 효율적으로 채울 수 있다.
- [164] 스트리트 라인에 대응하는 식각 보호층(2430) 사이의 빈 공간을 채우는 제3 금속층(2450)이 서로 다른 개별 반도체 소자들의 제1 금속층(2310) 간을 연결시킴으로써 단일 웨이퍼 형태로 공정이 진행될 수 있음은 도 23의 실시예와 동일하다.
- [165] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [166] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

### 산업상 이용가능성

- [167] 반도체 소자 제조 방법을 개시한다. 본 발명의 실시예에 따른 반도체 소자 제조 방법은 전류에 의해 빛을 발생시키는 반도체 소자층을 형성하는 단계; 상기 반도체 소자층 위에 기계적 지지를 제공하는 하나 이상의 금속층을 형성하는 단계; 상기 반도체 소자층의 스트리트 라인을 물리적 방법 또는 화학적으로 습식 식각 방법을 통해 절단하는 제1 절단 단계; 및 상기 하나 이상의 금속층의 상기 스트리트 라인 상에 존재하는 식각 보호층이 도금되지 않은 금속을 습식 식각해서 절단하는 제2 절단 단계를 포함할 수 있다.
- [168] 이때, 상기 하나 이상의 금속층을 형성하는 단계는 상기 반도체 소자층을 개별 반도체 소자로 분리하기 위한 경계선인 스트리트 라인(street line)을 습식 식각(wet etching) 할 때 상기 금속층의 측면부식(side etching)이 발생하지 않도록 식각 보호층(etch barrier)이 도금된 상기 하나 이상의 금속층을 상기 반도체 소자층 위에 형성하는 단계를 포함해서 습식 식각을 통한 반도체 소자 분리시 발생하는 측면부식을 억제할 수 있다.

## 청구범위

- [청구항 1] 전류에 의해 빛을 발생시키는 반도체 소자층을 형성하는 단계; 및 상기 반도체 소자층 상에 및 기계적 지지를 제공하는 하나 이상의 금속층을 형성하는 단계를 포함하고, 상기 하나 이상의 금속층을 형성하는 단계는, 상기 반도체 소자층을 개별 반도체 소자로 분리하기 위한 경계선인 스트리트 라인(street line)을 습식 식각(wet etching)할 때 상기 금속 층의 측면부식(side etching)이 발생하지 않도록 식각 보호층(etch barrier)이 도금된 상기 하나 이상의 금속 층을 상기 반도체 소자층 상에 형성하는 단계를 포함하는 반도체 소자 제조 방법.
- [청구항 2] 제1항에 있어서, 상기 하나 이상의 금속층을 형성하는 단계는, 상기 식각 보호층이 도금된 상기 하나 이상의 금속층을 상기 반도체 소자층 위에 형성하는 단계 이후에 추가적으로 도금을 진행하여 상기 스트리트 라인을 채우는 단계를 더 포함하는 반도체 소자 제조 방법.
- [청구항 3] 제1항에 있어서, 상기 하나 이상의 금속층을 형성하는 단계는, 상기 반도체 소자층과 상기 하나 이상의 금속층 간의 열팽창계수 차이와 열 충격에 따른, 소자의 균열이나 소자 특성저하, 신뢰성 저하 등을 최소화하기 위해 소자와 금속층 간의 응력을 완화하는 역할을 하는 제3의 금속을 상기 반도체 소자층과 상기 하나 이상의 금속층 간에 또는 상기 하나 이상의 금속 층 사이에 단층 또는 다층으로 도금하는 단계를 더 포함하는 반도체 소자 제조 방법.
- [청구항 4] 제1항에 있어서, 상기 식각 보호층이 도금된 하나 이상의 금속층을 상기 반도체 소자층 상에 형성하는 단계는 제1 패턴에 따라 제1 금속층을 상기 반도체 소자층 위에 형성하는 단계; 및 제2 패턴에 따라 제2 금속층을 상기 제1 금속층 위에 형성하는 단계를 포함하는 반도체 소자 제조 방법.
- [청구항 5] 제4항에 있어서, 상기 제1 금속층을 상기 반도체 소자층 위에 형성하는 단계는,

상기 제1 금속층과 상기 제2 금속층이 순수 구리 혹은 순수 구리도금과 +/- 10% 이내의 범위의 강도를 갖는 금속으로 도금되고 전체 두께가 최소 두께 부위를 기준으로 80um 이상으로 형성되는 경우, 상기 제1 금속 층을 최소 40um 이상이 되도록 형성하는 반도체 소자 제조 방법.

[청구항 6]

제4항에 있어서,  
상기 제1 금속층을 상기 반도체 소자층 위에 형성하는 단계는, 상기 반도체 소자층의 상기 스트리트 라인 위치에 제1 포토 레지스트(PR: Photo Resist)를 형성하는 단계;  
상기 제1 패턴에 따라 상기 제1 포토 레지스트가 형성되지 않은 영역을 제1 금속으로 도금하는 단계;  
상기 제1 포토 레지스트를 제거하는 단계; 및  
상기 제1 금속 위에 제1 식각 보호층을 도금하는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 7]

제6항에 있어서,  
상기 제1 금속층은,  
구리(Cu; copper) 또는 구리 합금도금을 포함하며 도금 응력(Stress by plating)이 - 0.2kgf/mm<sup>2</sup> ~ + 1.0,kgf/mm<sup>2</sup> 이내의 범위인 성질을 갖는 반도체 소자 제조 방법.

[청구항 8]

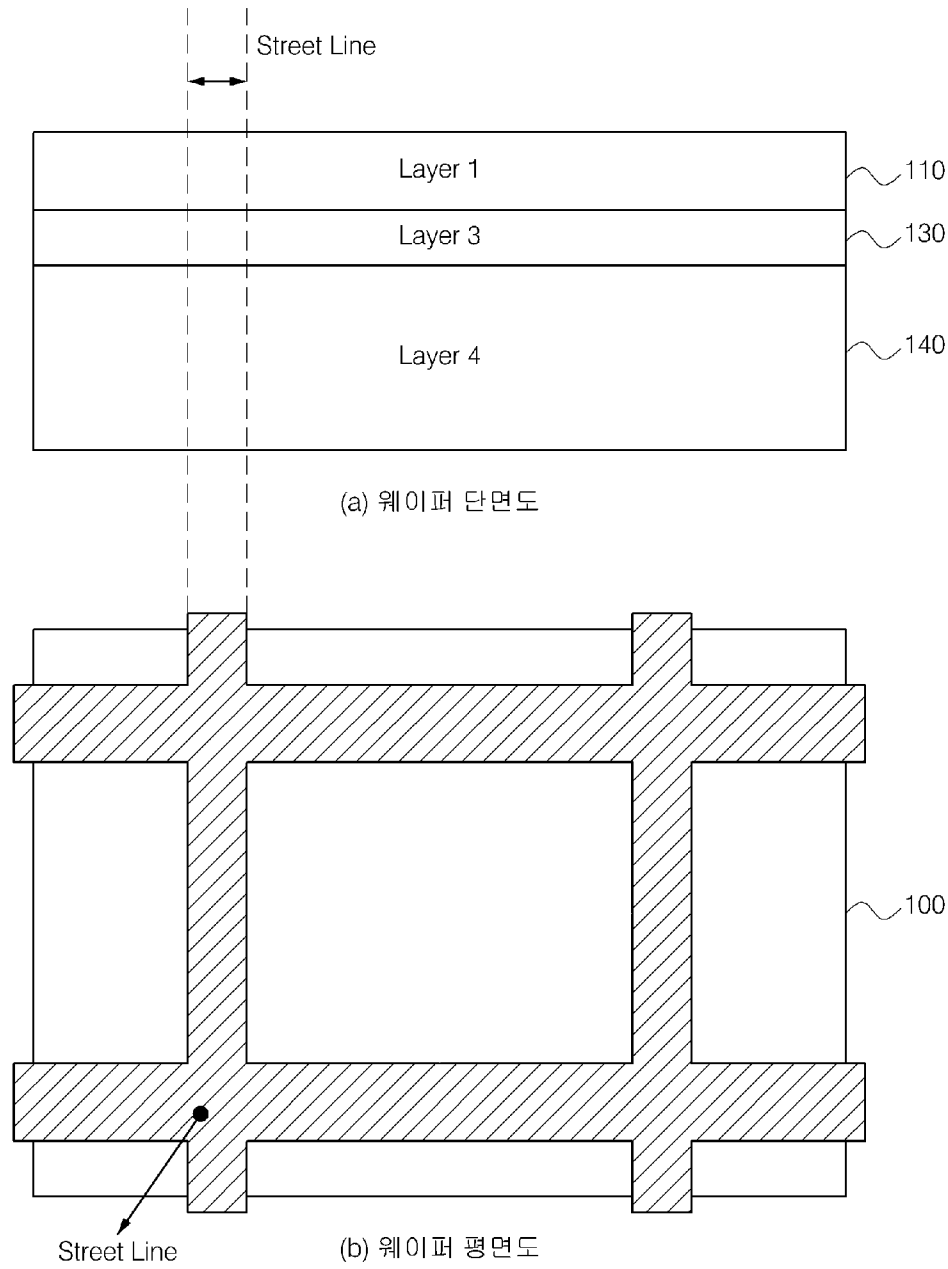
제4항에 있어서,  
상기 제2 금속층을 형성하는 단계는,  
상기 제2 패턴의 반전 영역에 제2 포토 레지스트를 형성하는 단계;  
상기 제2 패턴에 따라 상기 제2 포토 레지스트가 형성되지 않은 영역을 제2 금속으로 도금하는 단계;  
상기 제2 포토 레지스트를 제거하는 단계;  
상기 스트리트 라인에 위치한 제2 금속 위에 제3 포토 레지스트를 형성하는 단계;  
제3 포토 레지스트가 형성되지 않은 제2 금속 위에 상기 제2 식각 보호층을 도금하는 단계; 및  
상기 제3 포토 레지스트를 제거하는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 9]

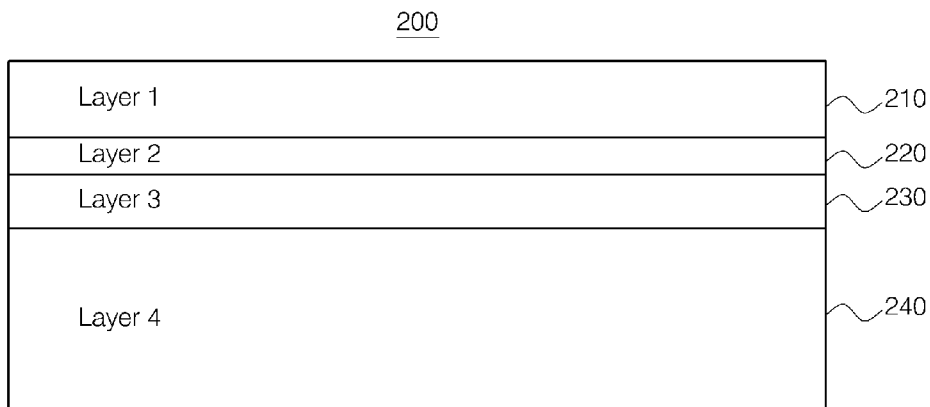
제8항에 있어서,  
상기 제2 금속층은  
구리 또는 구리 합금을 포함하고 제1 금속층의 도금응력이 -0.2kgf/mm<sup>2</sup>~+1.0kgf/mm<sup>2</sup>인 경우 제1, 제2 금속층의 두께를 합산하여 55% ~ 65% 두께를 제1 금속층의 도금소재로 도금하고 제2 금속층의 나머지 두께를 -1.0kgfmm<sup>2</sup>~+1.0kgf/mm<sup>2</sup>의 도금응력을 갖는 금속으로 도금하는 반도체 소자 제조 방법.

- [청구항 10] 제1항에 있어서,  
 상기 반도체 소자층의 스트리트 라인을 물리적 방법 또는 화학적 습식 식각 방법을 통해 절단하는 제1 절단 단계; 및  
 상기 반도체 소자층 상에 형성한 상기 하나 이상의 금속층 사이의 상기 스트리트 라인 상에 존재하는 식각 보호층이 도금되지 않은 금속을 습식 식각해서 절단하는 제2 절단 단계를 더 포함하는 반도체 소자 제조 방법.
- [청구항 11] 제10항에 있어서,  
 상기 제1 절단 단계가 상기 제2 절단 단계 보다 먼저 수행됨을 특징으로 하는 반도체 소자 제조 방법.
- [청구항 12] 제10항에 있어서,  
 상기 제1 절단 단계 이후 상기 제2 절단 단계 이전에,  
 웨이퍼 내의 칩들을 고정하는 고정층을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.
- [청구항 13] 제12항에 있어서,  
 상기 고정층을 형성하는 단계는,  
 상기 반도체 소자의 표면 위에 포지티브 포토 레지스트(Positive PR)를 포함하는 보호 포토 레지스트를 도포하는 단계; 및  
 상기 포지티브 포토 레지스트 위에 자외선 테이프(UV Tape)를 접착하는 단계를 포함하는 반도체 소자 제조 방법.
- [청구항 14] 제13항에 있어서,  
 상기 포지티브 포토 레지스트를 포함하는 보호 포토 레지스트를 도포하는 단계는,  
 상기 보호 포토 레지스트가 개별적으로 분리되는 반도체 소자 사이의 절단된 골을 가득 채우도록, 또한 상기 보호 포토 레지스트의 도포 후 두께가 소자 표면에서 3um 이상 되도록 도포하는 반도체 소자 제조 방법.
- [청구항 15] 제12항에 있어서,  
 상기 제2 절단 단계 이후에,  
 소자 표면 고정 층의 포지티브 PR과 UV tape간의 접착력보다 높은 접착력의 익스펜딩 테이프(Expanding Tape)를 상기 제2 금속 층 위에 접착하여 고정 층 테이프에서 익스펜딩 테이프 쪽으로 절단된 개별 소자를 일괄적으로 옮겨 붙이는 단계; 및  
 상기 고정층을 제거하고 세정하는 단계를 더 포함하는 반도체 소자 제조 방법.

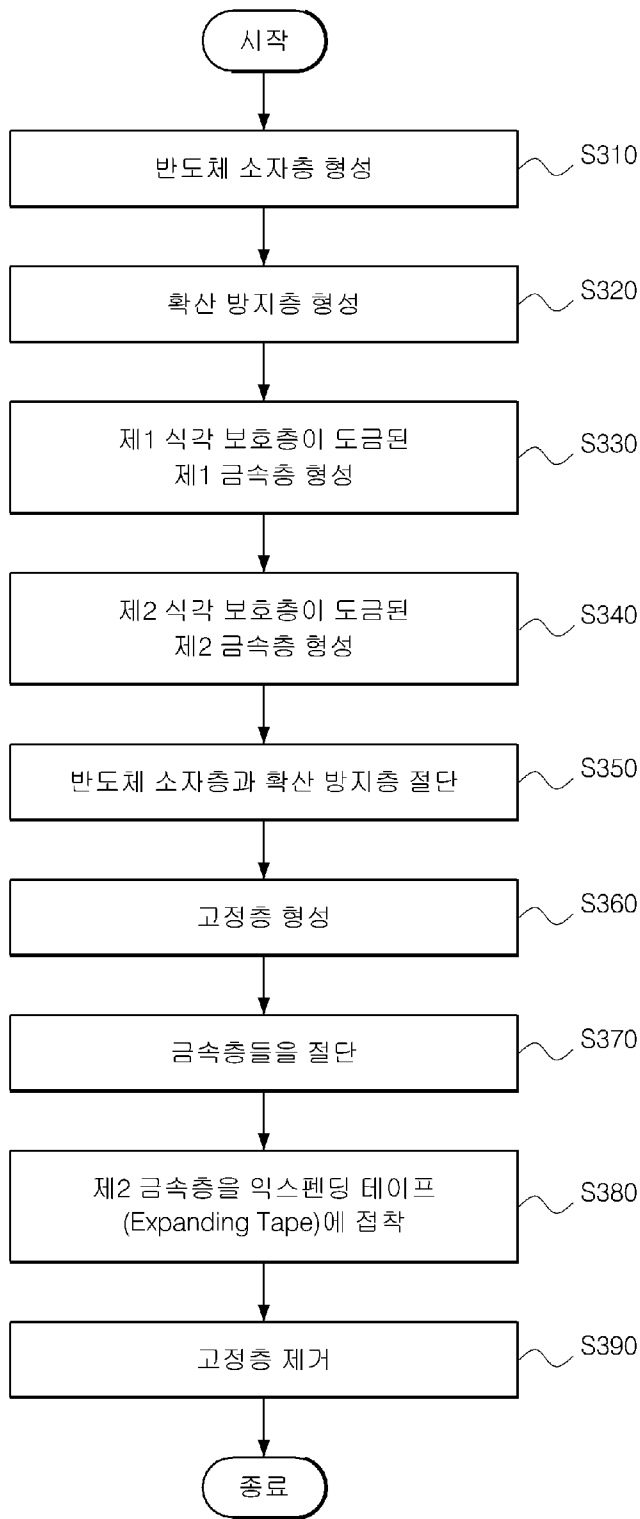
[Fig. 1]



[Fig. 2]

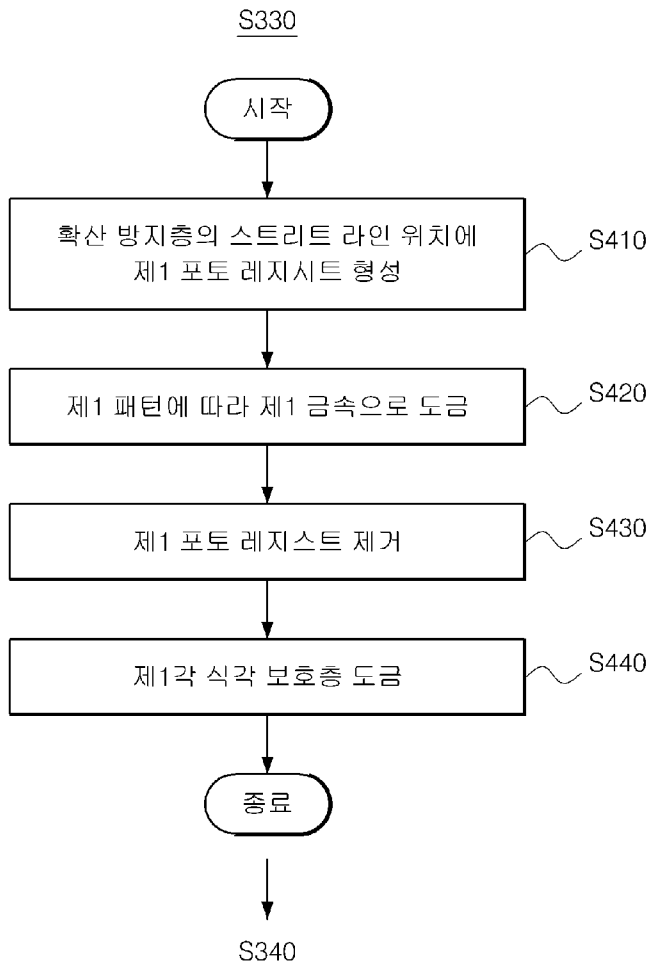


[Fig. 3]

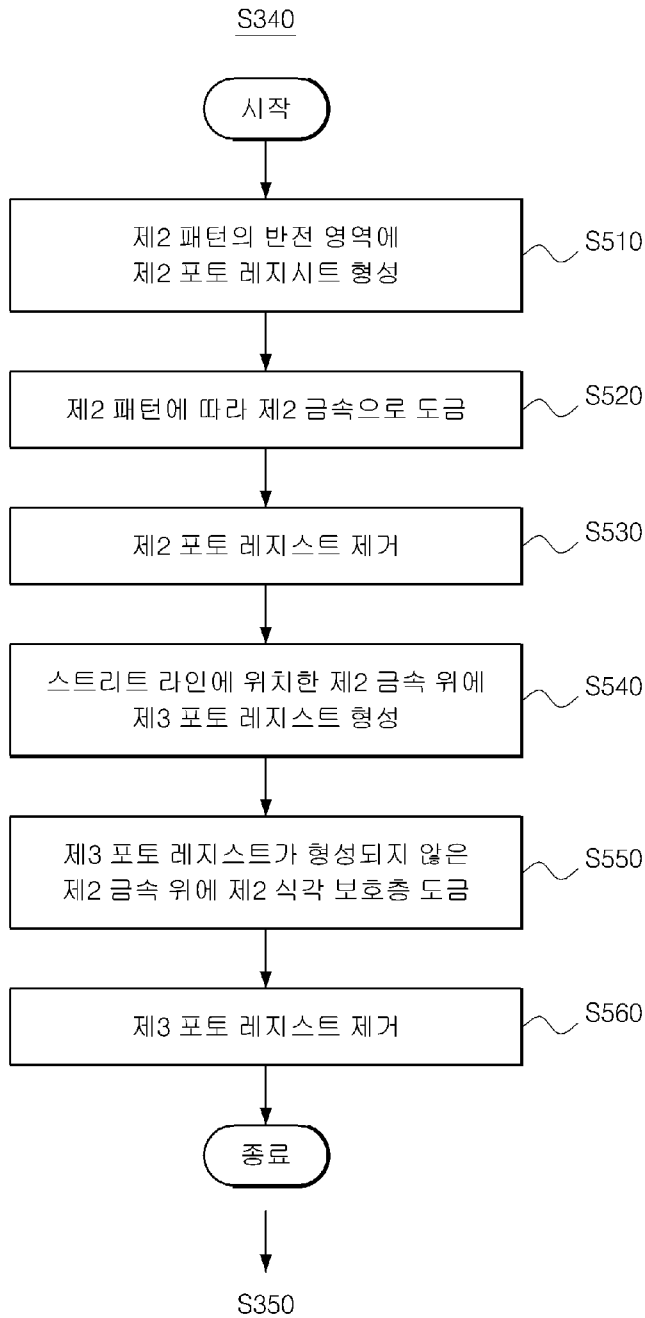




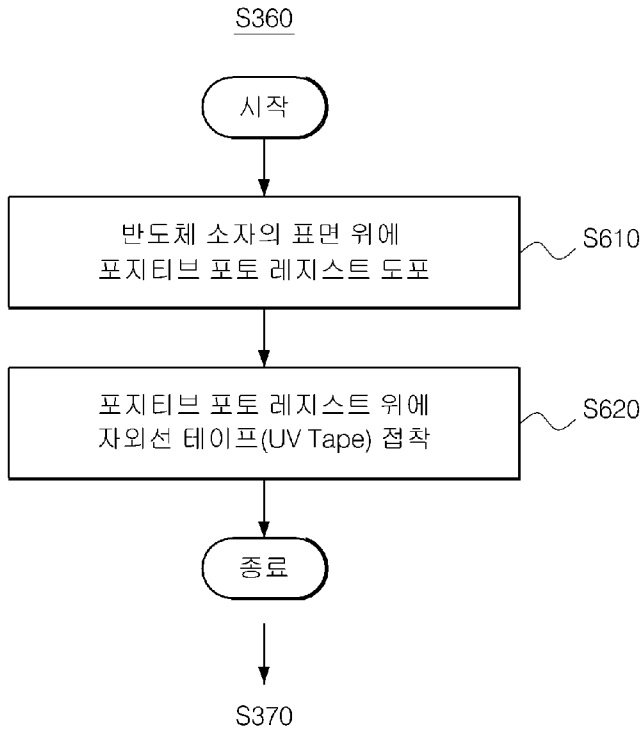
[Fig. 4]



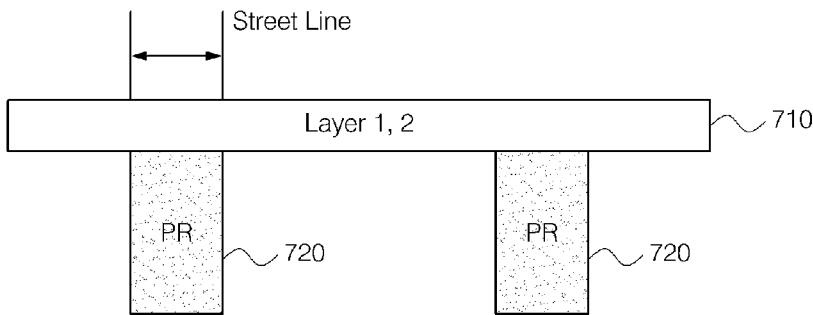
[Fig. 5]



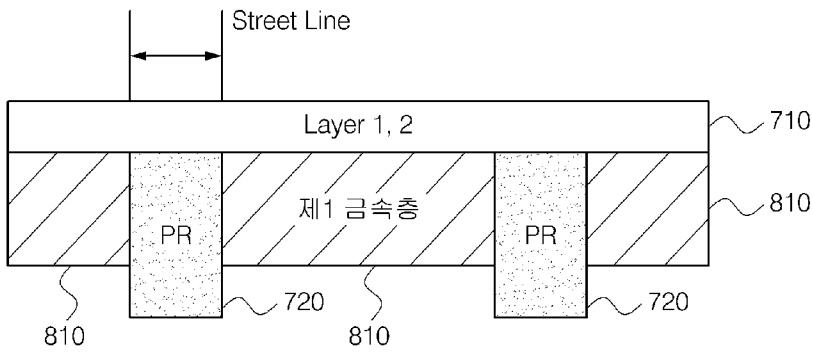
[Fig. 6]



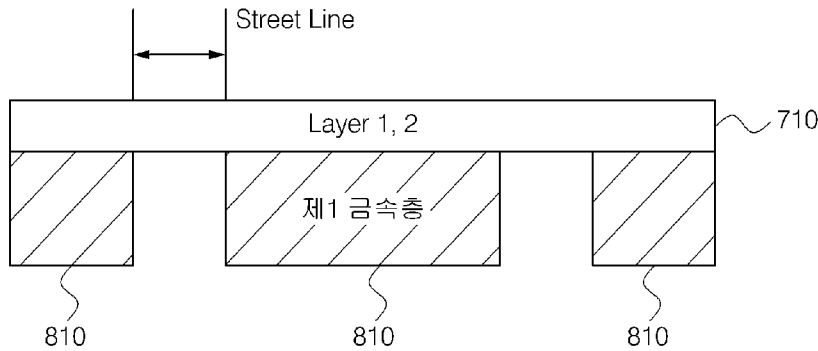
[Fig. 7]



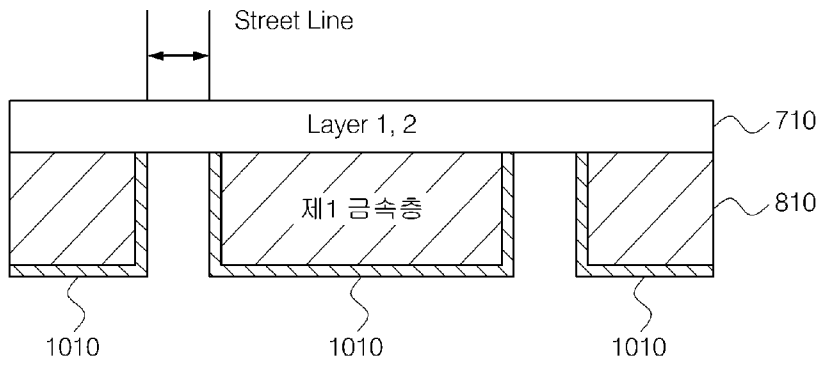
[Fig. 8]



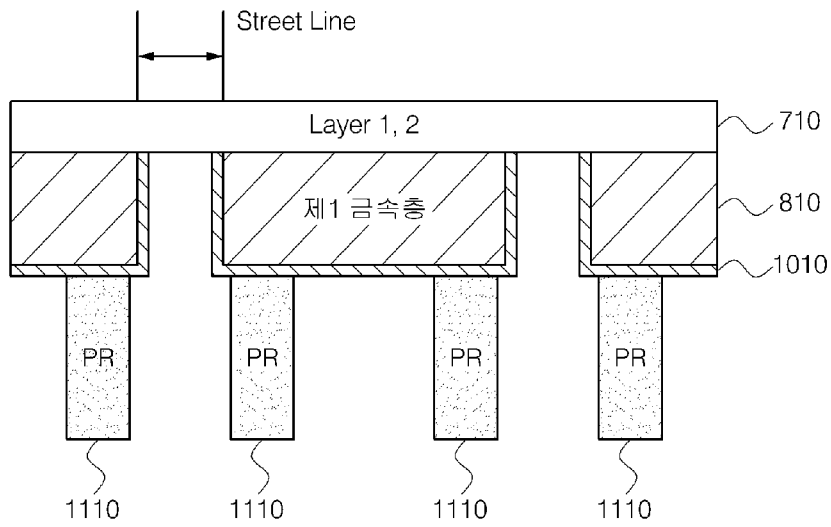
[Fig. 9]



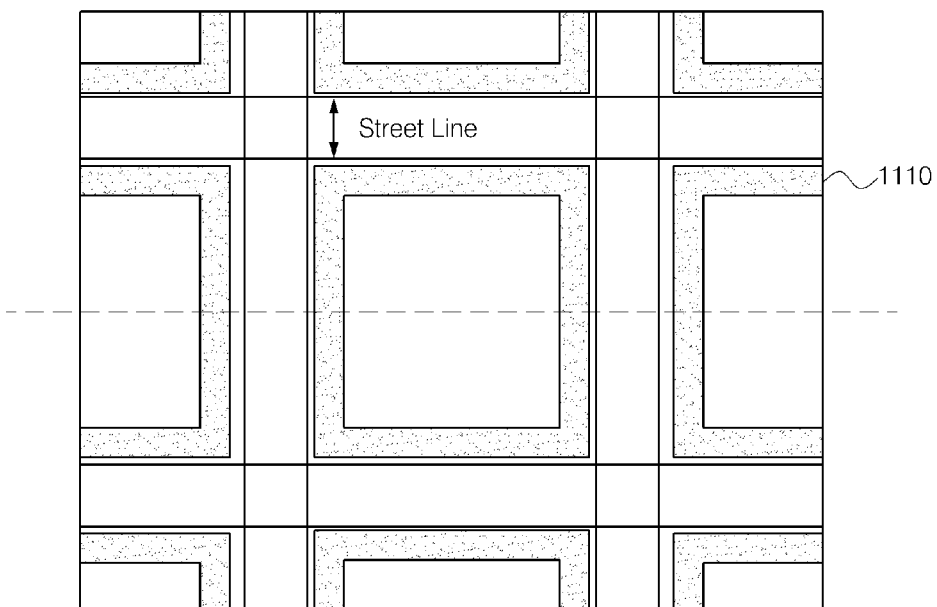
[Fig. 10]



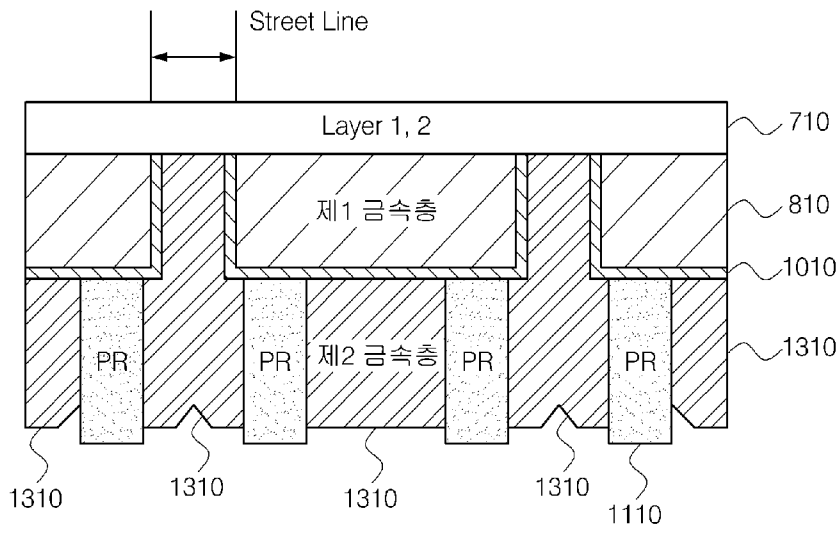
[Fig. 11]



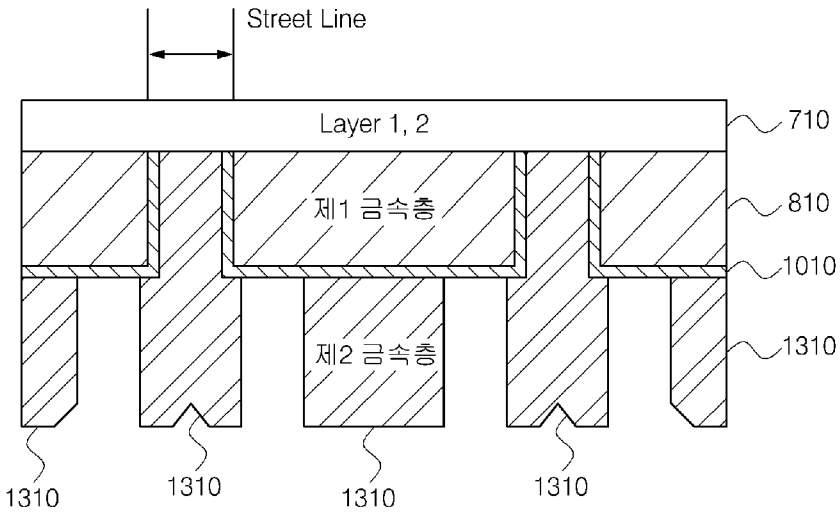
[Fig. 12]



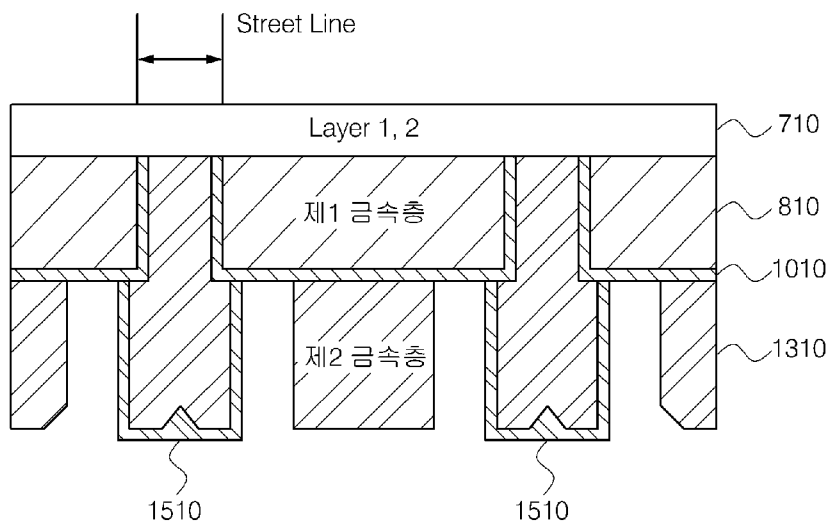
[Fig. 13]



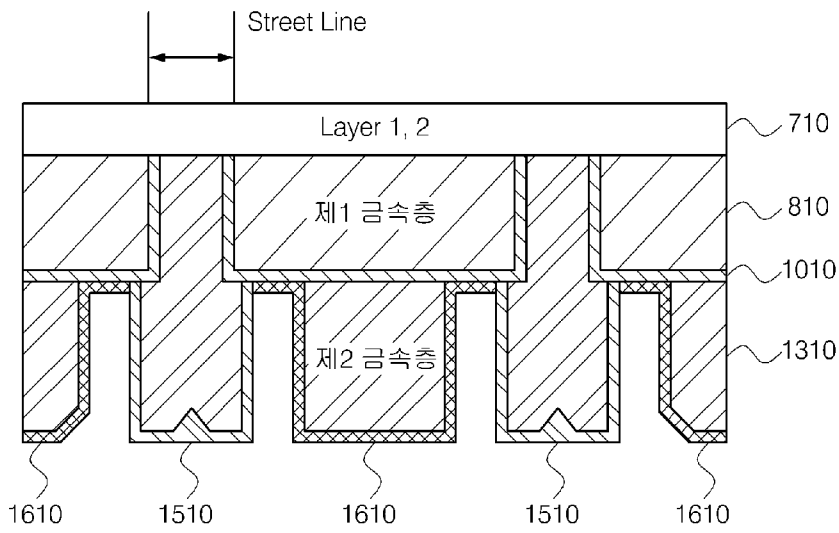
[Fig. 14]



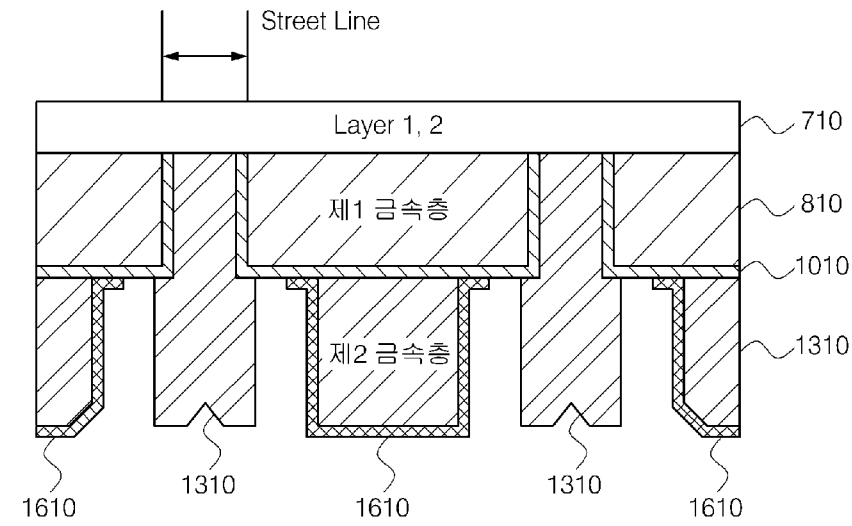
[Fig. 15]



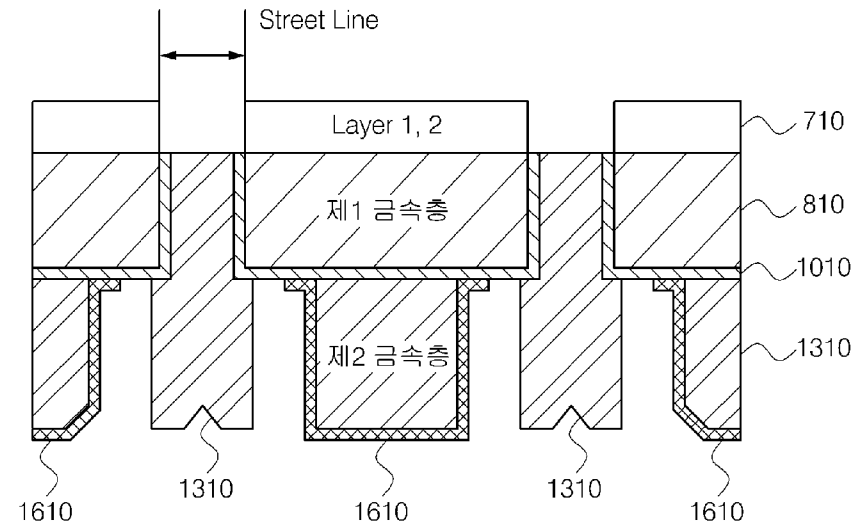
[Fig. 16]



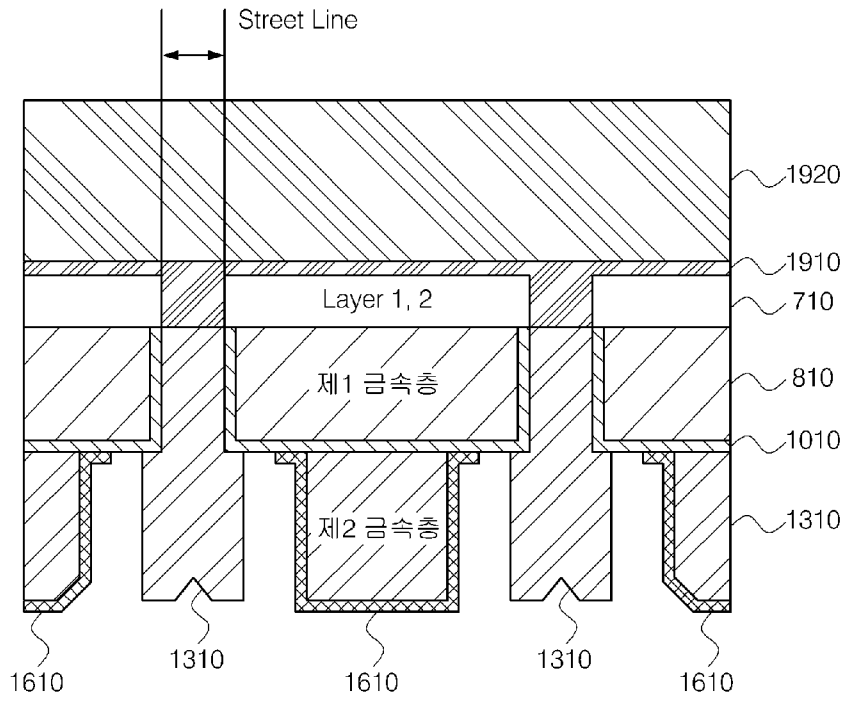
[Fig. 17]



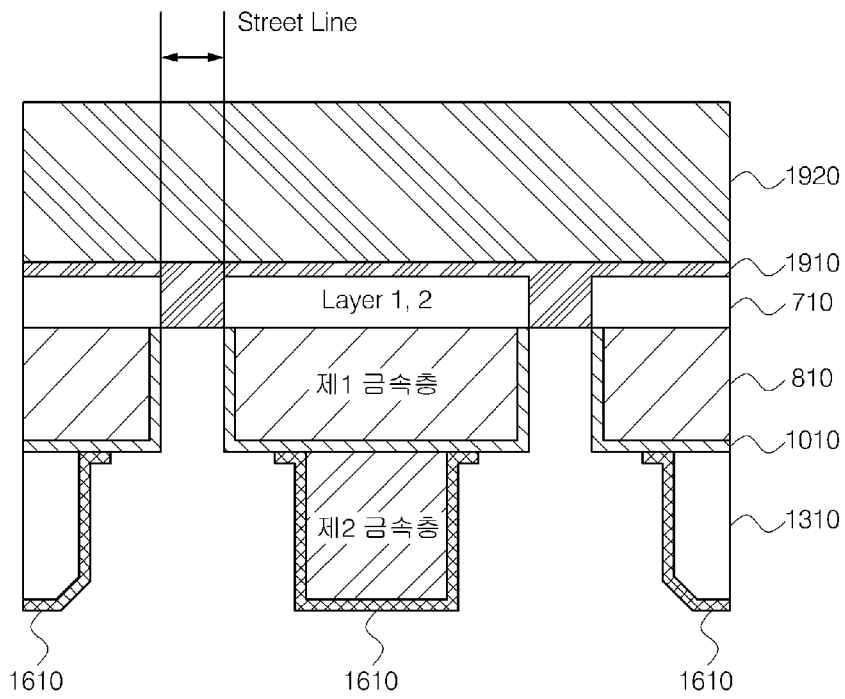
[Fig. 18]



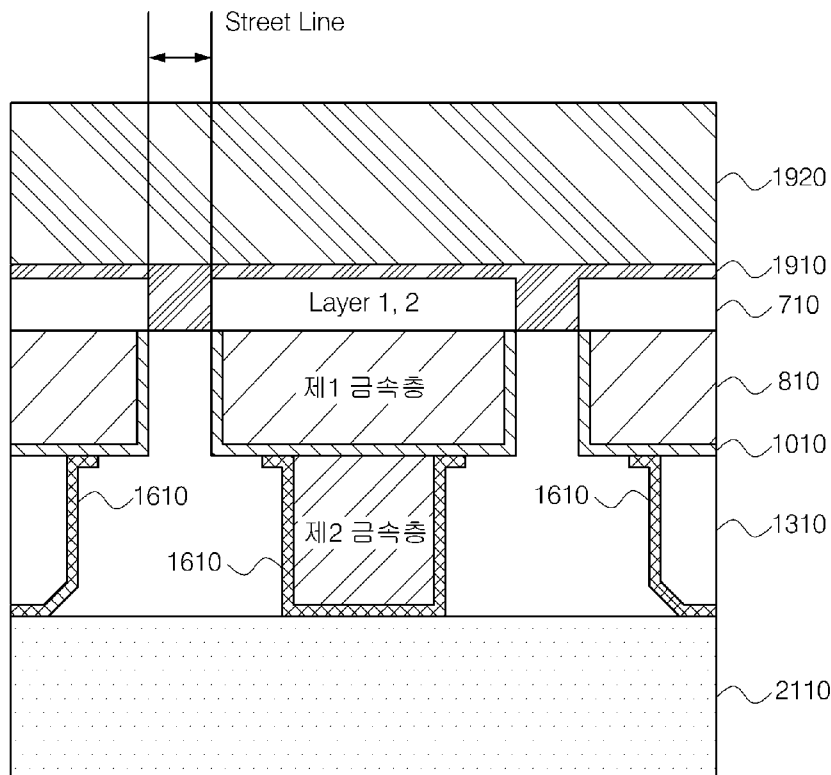
[Fig. 19]



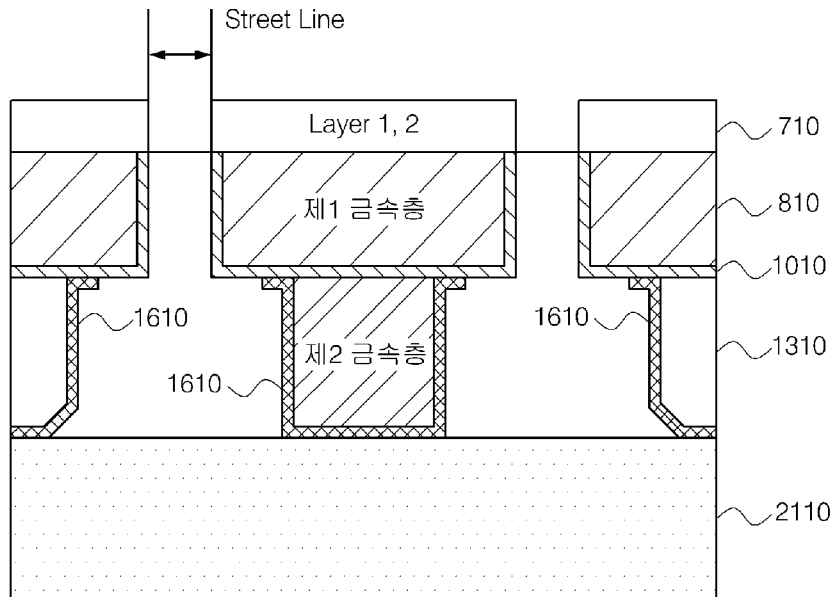
[Fig. 20]



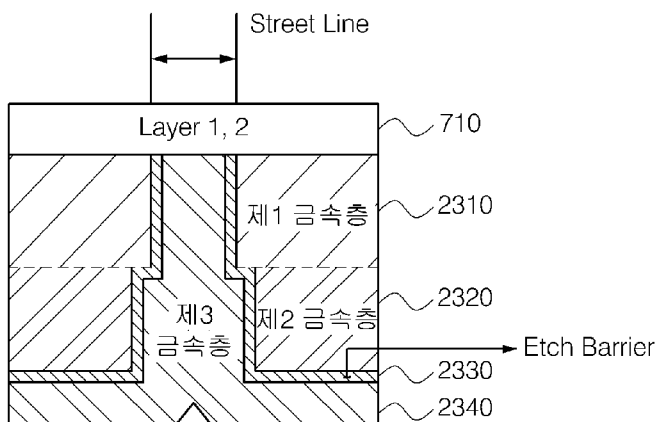
[Fig. 21]



[Fig. 22]

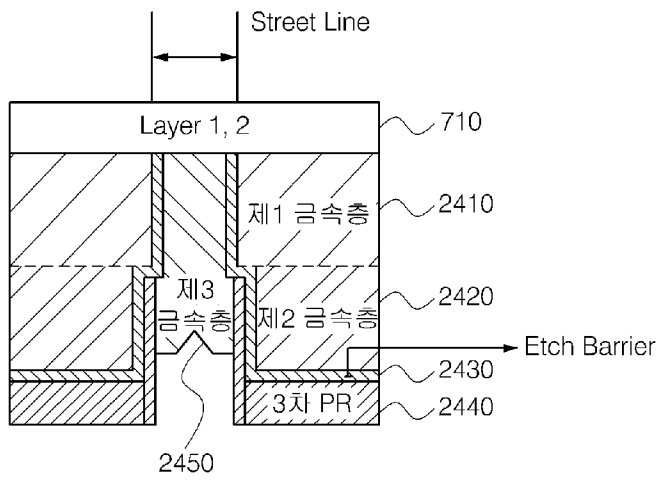


[Fig. 23]





[Fig. 24]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/KR2012/003341**

## A. CLASSIFICATION OF SUBJECT MATTER

**H01L 21/306(2006.01)i, H01L 21/78(2006.01)i, H01L 21/301(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/306; H01L 33/00; H01L 21/301; H01L 21/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Korean Utility models and applications for Utility models: IPC as above  
Japanese Utility models and applications for Utility models: IPC as aboveElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
eKOMPASS (KIPO internal) & Keywords: "metal layer, street, line, wet, etch, etching, separation, dicing, sawing, cutting"

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-294612 A (KABUSHIKI KAISHA OKI DATA et al.) 08 November 2007 See abstract; paragraphs [0018]-[0022]; figure 1; claim 1.	1-15
A	JP 2005-116615 A (DOWA MINING CO LTD) 28 April 2005 See abstract; paragraph [0022]; figure 2; claim 1.	1-15
A	KR 10-2007-0018235 A (QMC. INC.) 14 February 2007 See abstract; figure 3; claim 9.	1-15
A	KR 10-2010-0131159 A (STS SEMICONDUCTOR & TELECOMMUNICATIONS CO., LTD.) 15 December 2010 See abstract; paragraphs [0043]-[0046]; figures 9,10; claims 1,8.	1-15

 Further documents are listed in the continuation of Box C.
  See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

13 FEBRUARY 2013 (13.02.2013)

Date of mailing of the international search report

**14 FEBRUARY 2013 (14.02.2013)**

Name and mailing address of the ISA/KR

Korean Intellectual Property Office  
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,  
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/KR2012/003341**

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2007-294612 A	08.11.2007	US 2007-0249178 A1 US 7642134 B2	25.10.2007 05.01.2010
JP 2005-116615 A	28.04.2005	US 2006-0011934 A1 US 7211834 B2	19.01.2006 01.05.2007
KR 10-2007-0018235 A	14.02.2007	NONE	
KR 10-2010-0131159 A	15.12.2010	KR 10-1094450 B1 US 2010-0311223 A1 US 8222120 B2	15.12.2011 09.12.2010 17.07.2012

**A. 발명이 속하는 기술분류(국제특허분류(IPC))**  
  
**H01L 21/306(2006.01)i, H01L 21/78(2006.01)i, H01L 21/301(2006.01)i**

**B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)  
H01L 21/306; H01L 33/00; H01L 21/301; H01L 21/78

조사된 기술분야에 속하는 최소문헌 이외의 문헌  
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC  
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))  
eKOMPASS(특허청 내부 검색시스템) & 키워드: "금속층, 스트리트, 라인, 습식, 식각, 에칭, 분리, 다이싱, 쏘잉, 커팅"

**C. 관련 문헌**

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2007-294612 A (오끼 데이터 주식회사 외 1명) 2007.11.08 요약; 식별부호 [0018]-[0022]; 도 1; 청구항 1 참조.	1-15
A	JP 2005-116615 A (동화광업 주식회사) 2005.04.28 요약; 식별부호 [0022]; 도 2; 청구항 1 참조.	1-15
A	KR 10-2007-0018235 A (큐엠씨 주식회사) 2007.02.14 요약; 도 3 ; 청구항 9 참조.	1-15
A	KR 10-2010-0131159 A (에스티에스반도체통신 주식회사) 2010.12.15 요약; 식별부호 [0043]-[0046]; 도 9,10; 청구항 1,8 참조.	1-15

추가 문헌이 C(계속)에 기재되어 있습니다.       대응특허에 관한 별지를 참조하십시오.

\* 인용된 문헌의 특별 카테고리:  
 "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌      "T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌  
 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌      "X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.  
 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌      "Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.  
 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌      "&" 동일한 대응특허문헌에 속하는 문헌  
 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일 2013년 02월 13일 (13.02.2013)	국제조사보고서 발송일 <b>2013년 02월 14일 (14.02.2013)</b>
--	--

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 82-42-472-7140	심사관 김정진 전화번호 82-42-481-5962
--	-----------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2007-294612 A	2007.11.08	US 2007-0249178 A1 US 7642134 B2	2007.10.25 2010.01.05
JP 2005-116615 A	2005.04.28	US 2006-0011934 A1 US 7211834 B2	2006.01.19 2007.05.01
KR 10-2007-0018235 A	2007.02.14	없음	
KR 10-2010-0131159 A	2010.12.15	KR 10-1094450 B1 US 2010-0311223 A1 US 8222120 B2	2011.12.15 2010.12.09 2012.07.17