

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H03L 7/07	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월06일 10-0533915 2005년11월30일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0073444 2003년10월21일	(65) 공개번호 (43) 공개일자	10-2005-0038209 2005년04월27일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	한국전자통신연구원 대전 유성구 가정동 161번지
(72) 발명자	정태식 대전광역시유성구전민동청구나래아파트107동603호 이범철 대전광역시유성구노은동520-1번지열매마을802동801호 김봉태 대전광역시유성구어은동한빛아파트106동703호
(74) 대리인	리엔목특허법인 이혜영

심사관 : 김기완

(54) 클럭 신호의 연속성을 보장하는 클럭 신호 선택 장치 및방법

요약

본 발명은 클럭 신호의 연속성을 보장하는 클럭 신호 선택 장치 및 방법에 관한 것으로, 적어도 두 개 이상의 클럭 신호들의 위상을 지속적으로 제어하여 클럭 신호들의 위상을 항상 일치시켜준다. 그 결과, 액티브 클럭 신호와 스탠바이 클럭 신호 간에 주파수가 서로 다른 경우에도 절체시 출력 클럭 신호의 연속성이 유지되어, 안정된 클럭 신호를 제공할 수 있게 된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 클럭 신호 선택 장치의 구성을 보여주는 블록도이다.

도 2는 본 발명의 바람직한 실시예에 따른 클럭 신호 선택 방법을 보여주는 흐름도이다.

도 3은 본 발명의 다른 실시예에 따른 클럭 신호 선택 장치의 구성을 보여주는 블록도이다.

도 4는 본 발명의 다른 실시예에 따른 클럭 신호 선택 방법을 보여주는 흐름도이다.

도 5는 도 3에 도시된 제 1 다중 위상 클럭 신호 발생기의 회로도이다.

도 6은 도 3에 도시된 제 1 다중 위상 비교/합성 클럭 신호 발생기의 회로도이다.

도 7은 도 6에 도시된 제 1 다중 위상 비교/합성 클럭 신호 발생기의 동작을 설명하기 위한 타이밍도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

200, 300 : 클럭 신호 선택 장치 210, 220 : 위상 제어기

230, 240 : 위상 비교기 250, 350 : 선택기

310, 320 : 다중 위상 클럭 신호 발생기

330, 340 : 다중 위상 비교/합성 클럭 신호 발생기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 클럭 신호 제어에 관한 것으로, 특히 클럭 신호의 연속성을 보장하는 클럭 신호 선택 장치 및 방법에 관한 것이다.

데이터 전송 또는 통신 시스템에서는 시스템간 또는 시스템 내의 장치들 간에 주파수 동기(Frequency Synchronization)를 필요로 한다. 시스템의 안정성이 중요시되는 고속·대용량 데이터 통신 시스템이나, 고정밀의 주파수 계위(Frequency Hierarchy)를 따르는 전송 시스템의 경우에는 망동기 장치(Network Synchronous Device) 등과 같은 타이밍 장치를 이용한 주파수 동기가 필수적으로 요구된다.

또한, 저가의 소용량 시스템의 경우에는 시스템 간에 비동기 방식으로 동작하기도 하지만, 시스템 내부에서 주파수 동기를 필요로 하는 경우가 있다. 일 예로, 데이터 통신 시스템의 구성 요소인 스위치 패브릭에서는 스위치 카드와 라인 카드 사이의 직렬 링크의 신뢰성을 향상시키기 위해 두 카드의 링크용 클럭 신호를 서로 동기시키는 것을 필요로 한다.

이를 위해 시스템 또는 시스템 내의 장치들 간의 클럭 신호 동기에 필요한 동기용 클럭 신호가 시스템의 안정성과 신뢰성을 고려하여 이중화된 타이밍 장치로부터 제공된다. 그러나, 이중화된 타이밍 장치는 물리적으로 서로 다른 곳에 배치된 두 타이밍 장치의 출력 클럭 신호의 위상을 일치시키기 위해 매우 정밀하고 복잡한 회로적 구성을 필요로 하기 때문에 비용면에서 불리할 뿐만 아니라, 두 타이밍 장치의 클럭 신호 분배 경로를 일치시켜야 하는 구현상의 어려움을 가지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 입력되는 복수개의 클럭 신호들의 위상을 실시간으로 항상 일치시킴으로써, 전체 클럭 신호의 연속성을 보장할 수 있는 클럭 신호 선택 장치 및 방법을 제공하는데 있다.

발명의 구성 및 작용

상기의 과제를 이루기 위하여 본 발명에 의한 클럭 신호 선택 장치는, N 개의 클럭 신호들의 위상을 비교하여, 상기 클럭 신호들 각각의 위상이 액티브 클럭에 해당되는 클럭 신호의 위상에 근접하도록 제어하는 제어 신호를 각각 발생하는 N 개

의 위상 비교기; 상기 제어 신호에 응답해서 상기 N 개의 클럭 신호 각각의 위상을 제어하여 N 개의 위상 제어 클럭 신호들을 발생하는 N 개의 위상 제어기; 및 상기 N 개의 위상 제어 클럭 신호들 중 상기 액티브 클럭 신호에 대응되는 위상 제어 클럭 신호를 출력하는 선택기를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 클럭 신호 선택 장치는, 위상이 제어된 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 1 위상 제어 클럭 신호의 위상이 상기 제 2 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 1 제어 신호를 발생하는 제 1 위상 비교기; 상기 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 2 위상 제어 클럭 신호의 위상이 상기 제 1 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 2 제어 신호를 발생하는 제 2 위상 비교기; 제 1 클럭 신호의 위상을 제어하여 상기 제 1 위상 제어 클럭을 발생하고, 상기 제 1 제어 신호에 응답해서 상기 제 1 위상 제어 클럭 신호의 위상을 제어하는 제 1 위상 제어기; 제 2 클럭 신호의 위상을 제어하여 상기 제 2 위상 제어 클럭을 발생하고, 상기 제 2 제어 신호에 응답해서 상기 제 2 위상 제어 클럭 신호의 위상을 제어하는 제 2 위상 제어기; 및 상기 제 1 및 제 2 위상 제어기에 의해 위상이 조절된 상기 제 1 및 제 2 위상 제어 클럭 신호들 중 어느 하나를 출력하는 선택기를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 클럭 신호 선택 장치는, 제 1 클럭 신호를 복수 개의 제 1 다중 위상 클럭 신호로 변환하는 제 1 다중 위상 클럭 신호 발생기; 제 2 클럭 신호를 복수 개의 제 2 다중 위상 클럭 신호로 변환하는 제 2 다중 위상 클럭 신호 발생기; 상기 제 1 다중 위상 클럭 신호들의 각 위상과, 상기 제 2 클럭 신호의 위상이 제어된 제 2 위상 제어 클럭 신호의 위상을 비교하고, 상기 비교 결과를 근거로 하여 상기 제 1 클럭 신호의 위상이 제어된 제 1 위상 제어 클럭 신호를 발생하는 제 1 위상 비교/제어기; 상기 제 2 다중 위상 클럭 신호들의 각 위상과, 상기 제 1 위상 비교/제어기로부터 발생된 상기 제 1 위상 제어 클럭 신호의 위상을 비교하고, 상기 비교 결과를 근거로 하여 상기 제 2 위상 제어 클럭 신호를 상기 제 1 위상 비교/제어기로 발생하는 제 2 위상 비교/제어기; 및 외부로부터 입력되는 클럭 선택 신호에 응답해서 상기 제 1 및 제 2 위상 제어 클럭 신호들 중 어느 하나를 출력하는 선택기를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 클럭 신호 선택 방법은, (a) N 개의 클럭 신호들의 위상을 비교하는 단계; (b) 상기 위상 비교 결과를 근거로 하여 상기 클럭 신호들 각각의 위상이 액티브 클럭에 해당되는 클럭 신호의 위상에 근접하도록 제어하는 제어 신호를 발생하는 단계; (c) 상기 제어 신호에 응답해서 상기 N 개의 클럭 신호 각각의 위상을 제어하여 N 개의 위상 제어 클럭 신호들을 발생하는 단계; 및 (d) 상기 (c) 단계에서 발생된 상기 위상 제어 클럭 신호들 중 상기 액티브 클럭 신호에 대응되는 위상 제어 클럭 신호를 출력하는 단계를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 클럭 신호 선택 방법은, (a) 제 1 및 제 2 클럭 신호의 위상이 각각 제어된 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 1 위상 제어 클럭 신호의 위상이 상기 제 2 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 1 제어 신호를 발생하는 단계; (b) 상기 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 2 위상 제어 클럭 신호의 위상이 상기 제 1 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 2 제어 신호를 발생하는 단계; (c) 상기 제 1 제어 신호에 응답해서 상기 제 1 위상 제어 클럭 신호의 위상을 제어하는 단계; (d) 상기 제 2 제어 신호에 응답해서 상기 제 2 위상 제어 클럭 신호의 위상을 제어하는 단계; 및 (e) 상기 (d) 단계 및 상기 (d) 단계에서 위상이 제어된 상기 제 1 및 제 2 위상 제어 클럭 신호들 중 어느 하나를 출력하는 단계를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 클럭 신호 선택 방법은, (a) 제 1 및 제 2 클럭 신호를 각각 복수개의 다중 위상 클럭 신호들로 변환하는 단계;

(b) 상기 제 1 클럭 신호로부터 발생된 상기 다중 위상 클럭 신호들의 각 위상과, 상기 제 2 클럭 신호의 위상이 제어된 제 2 위상 제어 클럭 신호간의 위상을 비교하여, 상기 제 2 위상 제어 클럭 신호에 근접한 위상을 갖는 적어도 두 개 이상의 다중 위상 클럭 신호들을 선택하는 단계; (c) 상기 제 2 클럭 신호로부터 발생된 상기 다중 위상 클럭 신호들의 각 위상과, 상기 제 1 클럭 신호의 위상이 제어된 제 1 위상 제어 클럭 신호간의 위상을 비교하여, 상기 제 1 위상 제어 클럭 신호에 근접한 위상을 갖는 적어도 두 개 이상의 다중 위상 클럭 신호들을 선택하는 단계; (d) 상기 제 1 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 1 클럭 신호에 대해 일정한 위상차를 갖는 상기 제 1 위상 제어 클럭 신호를 발생하고, 상기 (c) 단계에서 선택된 상기 다중 위상 클럭 신호들을 조합하여 위상이 제어된 상기 제 2 위상 제어 클럭 신호를 발생하는 단계; (e) 상기 제 2 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 2 클럭 신호에 대해 일정한 위상차를 갖는 상기 제 2 위상 제어 클럭 신호를 발생하고, 상기 (b) 단계에서 선택된 상기 다중 위상 클럭 신호들을 조합하여 위상이 제어된 상기 제 1 위상 제어 클럭 신호를 발생하는 단계; 및 (f) 액티브 클럭 신호로 설정된 상기 제 1 또는 제 2 클럭 신호를 출력 클럭 신호로 출력하는 단계를 포함하는 것을 특징으로 한다.

이하에서, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명한다.

도 1은 본 발명의 바람직한 실시예에 따른 클럭 신호 선택 장치(200)의 블록도이다. 도 1을 참조하면, 본 발명에 따른 클럭 신호 선택 장치(200)는 제 1 위상 제어기(210), 제 2 위상 제어기(220), 제 1 위상 비교기(230), 제 2 위상 비교기(240), 및 선택기(250)를 포함한다.

제 1 위상 제어기(210)는, 이중화된 두 동기용 클럭 신호들 중 하나인 제 1 클럭 신호(CLK_A), 제 1 위상 제어기(230)로부터 발생된 제 1 제어신호(CTL_A), 및 클럭 선택 신호(CLK_SEL)를 입력받아 위상이 제어된 제 1 위상 제어 클럭 신호(CLK_AD)를 출력한다. 제 1 위상 제어기(210)로부터 출력되는 제 1 위상 제어 클럭 신호(CLK_AD)는, 제 1 클럭 신호(CLK_A)가 스탠바이 클럭 신호로 설정된 경우 제 1 제어신호(CTL_A)에 의해 위상이 가변되고, 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호로 설정된 경우 현재의 위상과 일정한 위상차를 유지하게 된다. 여기서, 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호로 설정되었는지 스탠바이 클럭 신호로 설정되었는지 여부는 클럭 선택 신호(CLK_SEL)의 논리 값에 의해 결정된다.

제 2 위상 제어기(220)는, 이중화된 두 동기용 클럭 신호들 중 다른 하나인 제 2 클럭 신호(CLK_B), 제 2 위상 제어기(240)로부터 발생된 제 2 제어신호(CTL_B), 및 반전된 클럭 선택 신호(CLK_SEL)를 입력받아 위상이 제어된 제 2 위상 제어 클럭 신호(CLK_BD)를 출력한다. 제 2 위상 제어기(220)로부터 출력되는 제 2 위상 제어 클럭 신호(CLK_BD)는, 제 2 클럭 신호(CLK_B)가 스탠바이 클럭 신호로 설정된 경우 제 2 제어신호(CTL_B)에 의해 위상이 가변되고, 제 2 클럭 신호(CLK_B)가 액티브 클럭 신호로 설정된 경우 현재의 위상과 일정한 위상차를 유지하게 된다. 여기서, 제 2 클럭 신호(CLK_B)가 액티브 클럭 신호로 설정되었는지 스탠바이 클럭 신호로 설정되었는지 여부는 클럭 선택 신호(CLK_SEL)의 논리 값에 의해 결정된다.

제 1 위상 비교기(230)는 제 1 및 제 2 위상 제어기(210, 220)로부터 발생된 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD)의 위상을 비교하고, 상기 비교 결과를 근거로 하여 제 1 위상 제어 클럭 신호(CLK_AD)의 위상이 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 가까워지도록 제어하는 제 1 제어신호(CTL_A)를 제 1 위상 제어기(210)에게 발생한다.

제 2 위상 비교기(240)는 제 1 및 제 2 위상 제어기(210, 220)로부터 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD)의 위상을 비교하고, 상기 비교 결과를 근거로 하여 제 2 위상 제어 클럭 신호(CLK_BD)의 위상이 제 1 위상 제어 클럭 신호(CLK_AD)의 위상에 가까워지도록 제어하는 제 2 제어신호(CTL_B)를 제 2 위상 제어기(220)에게 발생한다.

선택기(250)는 제 1 및 제 2 위상 제어기(210, 220)로부터 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD)를 입력받고, 클럭 선택 신호(CLK_SEL)에 응답해서 두 클럭 신호들(CLK_AD, CLK_BD) 중 하나를 선택하여 출력한다.

여기서, 도 1에 도시된 클럭 신호 선택 장치(200)는 이중화된 두 개의 클럭 신호(CLK_A, CLK_B)에 대한 클럭 선택에 대해서 나타내고 있으나 이는 일 예에 불과하며, 복수 개의 위상 제어기 및 복수 개의 위상 비교기를 더 구비함으로써 복수 개의 클럭 신호들에 대한 위상 제어 및 클럭 선택이 가능한 특징을 가진다.

도 2는 본 발명의 바람직한 실시예에 따른 클럭 신호 선택 방법을 보여주는 흐름도이다.

먼저, 설명의 편의를 위해 클럭 선택 신호(CLK_SEL)의 논리 값이 0일 경우에는 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호가 되고, 클럭 선택 신호(CLK_SEL)의 논리 값이 1일 경우에는 제 2 클럭 신호(CLK_B)가 액티브 클럭 신호가 되는 것으로 가정한다. 이 같은 클럭 선택 신호(CLK_SEL)의 논리 값은, 시스템의 구성에 따라서 사용자의 명령에 의해 제어될 수도 있고, 클럭 감시 회로(미 도시됨)에서 클럭 상태를 판단하여 제어될 수도 있다.

도 1 및 도 2를 참조하여 본 발명에 따른 클럭 신호 선택 장치(200)의 동작을 살펴보면, 먼저 이중화된 두 클럭 신호(CLK_A, CLK_B)가 입력됨에 따라 제 1 및 제 2 위상 제어기(210, 220)로부터 발생된 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD)는 제 1 및 제 2 위상 비교기(230, 240)와, 선택기(250)로 입력된다(2000 단계).

제 1 및 제 2 위상 비교기(230, 240)는 입력된 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD)의 위상을 비교하고(2020 단계), 위상 비교 결과를 근거로 하여 제어신호(CTL_A, CTL_B)를 발생한다(2030 단계). 구체적으로, 제 1 위상 비교기(230)는 입력된 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD)의 위상을 비교하여, 제 1 위상 제어 클럭 신호(CLK_AD)의 위상이 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 가까워지도록 제어하는 제 1 제어신호(CTL_A)를 제 1 위상 제어기(210)에게 발생한다. 그리고, 제 2 위상 비교기(240)는 입력된 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD)의 위상을 비교하여, 제 2 위상 제어 클럭 신호(CLK_BD)의 위상이 제 1 위상 제어 클럭 신호(CLK_AD)의 위상에 가까워지도록 제어하는 제 2 제어신호(CTL_B)를 제 2 위상 제어기(220)에게 발생한다.

이어서, 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호인지 여부가 판별된다(2040 단계). 2040 단계에서의 판별 결과, 클럭 선택 신호(CLK_SEL)의 논리 값이 0으로 설정되어, 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호인 것으로 판별되면, 제 1 위상 제어기(210)는 제 1 제어신호(CTL_A)에 관계없이 제 1 클럭 신호(CLK_A)와 일정한 위상차를 가지는 제 1 위상 제어 클럭 신호(CLK_AD)를 제 1 및 제 2 위상 비교기(230, 240)와 선택기(250)로 출력한다. 그리고, 제 2 위상 제어기(220)는 제 2 위상 제어기(240)로부터 발생된 제 2 제어신호(CTL_B)에 응답해서 제 2 위상 제어 클럭 신호(CLK_BD)의 위상이 제 1 위상 제어 클럭 신호(CLK_AD)의 위상에 가까워지도록 제어한 후, 이를 제 1 및 제 2 위상 비교기(230, 240)와 선택기(250)로 출력한다(2050 단계). 선택기(250)는 클럭 선택 신호(CLK_SEL)에 응답해서 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD) 중 액티브 클럭 신호에 해당되는 제 1 위상 제어 클럭 신호(CLK_AD)를 출력 클럭 신호(CLK_OUT)로서 출력한다(2060 단계).

이 때, 상기 클럭 신호 선택 장치(200)는 선택기(250)를 통해 액티브 클럭신호에 해당되는 제 1 위상 제어 클럭 신호(CLK_AD)만을 출력하고 있지만, 제 1 및 제 2 위상 제어기(210, 220)로부터 출력되는 제 1 및 제 2 위상 제어 클럭 신호들(CLK_AD, CLK_BD)은 소정의 오차 범위 내에서 서로 위상이 동기 되도록 제어된 상태이다. 그러므로, 두 클럭 사이에 절체가 이루어지더라도 안정된 출력 클럭 신호(CLK_OUT)가 연속해서 제공될 수 있게 된다.

계속해서, 2040 단계에서의 판별 결과, 클럭 선택 신호(CLK_SEL)의 논리 값이 1로 설정되어, 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호가 아닌 것으로 판별되면, 제 1 위상 제어기(210)는 제 1 위상 제어기(230)로부터 발생된 제 1 제어신호(CTL_A)에 응답해서 제 1 위상 제어 클럭 신호(CLK_AD)의 위상이 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 가까워지도록 제어한 후, 이를 제 1 및 제 2 위상 비교기(230, 240)와 선택기(250)로 출력한다. 그리고, 제 2 위상 제어기(220)는 제 2 제어신호(CTL_B)에 관계없이 제 2 클럭 신호(CLK_B)와 일정한 위상차를 가지는 제 2 위상 제어 클럭 신호(CLK_BD)를 제 1 및 제 2 위상 비교기(230, 240)와 선택기(250)로 출력한다(2070 단계). 선택기(250)는 클럭 선택 신호(CLK_SEL)에 응답해서 제 1 및 제 2 위상 제어기(210, 220)로부터 발생된 제 1 및 제 2 위상 제어 클럭 신호(CLK_AD, CLK_BD) 중 액티브 클럭 신호에 대응되는 제 2 위상 제어 클럭 신호(CLK_BD)를 출력 클럭 신호(CLK_OUT)로서 출력한다(2080 단계).

이 때, 상기 클럭 신호 선택 장치(200)는 선택기(250)를 통해 액티브 클럭신호에 해당되는 제 2 위상 제어 클럭 신호(CLK_BD)만을 출력하고 있지만, 제 1 및 제 2 위상 제어기(210, 220)로부터 출력되는 제 1 및 제 2 위상 제어 클럭 신호들(CLK_AD, CLK_BD) 역시 소정의 오차 범위 내에서 서로 위상이 동기 되도록 제어된 상태이다. 그러므로, 두 클럭 사이에 절체가 이루어지더라도 안정된 출력 클럭 신호(CLK_OUT)가 연속해서 제공될 수 있게 된다. 도 2에서 설명된 상기와 같은 위상의 제어는 매 클럭 주기마다 수행된다.

도 3은 본 발명의 다른 실시예에 따른 클럭 신호 선택 장치(300)의 구성을 보여주는 블록도이다. 도 3을 참조하면, 본 발명에 따른 클럭 신호 선택 장치(300)는 제 1 다중 위상 클럭 신호 발생기(310), 제 2 다중 위상 클럭 신호 발생기(320), 제 1 다중 위상 비교/합성 클럭 신호 발생기(330), 제 2 다중 위상 비교/합성 클럭 신호 발생기(340), 및 선택기(350)를 포함한다.

제 1 다중 위상 클럭 신호 발생기(310)는 이중화된 두 동기용 클럭 신호들 중 하나인 제 1 클럭 신호(CLK_A)를 입력 받아 $n+1$ 개(n 은 양의 정수)의 다중 위상 클럭 신호(CLK_A0 - CLK_An)를 발생한다. 그리고, 제 2 다중 위상 클럭 신호 발생기(320)는 이중화된 두 동기용 클럭 신호들 중 다른 하나인 제 2 클럭 신호(CLK_B)를 입력 받아 $n+1$ 개의 다중 위상 클럭 신호(CLK_B0 - CLK_Bn)를 발생한다.

제 1 다중 위상 비교/합성 클럭 신호 발생기(330)는 제 1 다중 위상 클럭 신호 발생기(310)로부터 발생된 다중 위상 클럭 신호들(CLK_A0 - CLK_An)과, 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)로부터 발생된 제 2 위상 제어 클럭 신호(CLK_BD), 및 클럭 선택 신호(CLK_SEL)를 받아들여, 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 가까워지도록 제어된 제 1 위상 제어 클럭 신호(CLK_AD)를 발생한다. 이를 위해 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)는 각각의 다중 위상 클럭 신호들(CLK_A0 - CLK_An)과 제 2 위상 제어 클럭 신호(CLK_BD)의 위상을 비교하여, 제 2 위상 제어 클럭 신호(CLK_BD)와 위상 차가 적게 나는 클럭 신호를 적어도 둘 이상 선택한다. 그리고, 선택된 클럭 신호들을 합성하여 제 2 위상 제어 클럭 신호(CLK_BD)와 근접한 위상을 갖는 제 1 위상 제어 클럭 신호(CLK_AD)를 발생하거나, 다중 위상 클럭 신호들에 대한 이전의 선택 상태를 그대로 유지함으로써 제 1 클럭 신호(CLK_A)와 일정한 위상차를 갖는 제 1 위상 제어 클럭 신호(CLK_AD)를 발생한다. 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)로부터 발생된 제 1 위상 제어 클럭 신호(CLK_AD)는 제 2 다중 위상 비교/합성 클럭 신호 발생기(340) 및 선택기(350)로 입력되며, 이와 같은 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)의 동작은 클럭 선택 신호(CLK_SEL)의 논리 값에 의해 제어된다.

제 2 다중 위상 비교/합성 클럭 신호 발생기(340)는 제 2 다중 위상 클럭 신호 발생기(320)로부터 발생된 다중 위상 클럭 신호들(CLK_B0 - CLK_Bn)과, 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)로부터 발생된 제 1 위상 제어 클럭 신호(CLK_AD), 및 반전된 클럭 선택 신호(CLK_SEL)를 받아들여, 제 1 위상 제어 클럭 신호(CLK_AD)의 위상에 가까워지도록 제어된 제 2 위상 제어 클럭 신호(CLK_BD)를 발생한다. 이를 위해 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)는 각각의 다중 위상 클럭 신호들(CLK_B0 - CLK_Bn)과 제 1 위상 제어 클럭 신호(CLK_AD)의 위상을 비교하여, 제 1 위상 제어 클럭 신호(CLK_AD)와 위상 차가 적게 나는 클럭 신호를 적어도 둘 이상 선택한다. 그리고, 선택된 클럭 신호들을 합성하여 제 1 위상 제어 클럭 신호(CLK_AD)와 근접한 위상을 갖는 제 2 위상 제어 클럭 신호(CLK_BD)를 발생하거나, 다중 위상 클럭 신호들에 대한 이전의 선택 상태를 그대로 유지함으로써 제 2 클럭 신호(CLK_B)와 일정한 위상차를 갖는 제 2 위상 제어 클럭 신호(CLK_BD)를 발생한다. 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)로부터 발생된 제 2 위상 제어 클럭 신호(CLK_BD)는 제 1 다중 위상 비교/합성 클럭 신호 발생기(330) 및 선택기(350)로 입력되며, 이와 같은 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)의 동작은 클럭 선택 신호(CLK_SEL)의 논리 값에 의해 제어된다.

선택기(350)는 클럭 선택 신호(CLK_SEL)에 응답해서, 제 1 및 제 2 다중 위상 비교/합성 클럭 신호 발생기(330, 340)로부터 제공되는 위상 제어 클럭 신호들(CLK_AD, CLK_BD) 중 하나를 선택하여 출력 클럭 신호(CLK_OUT)로서 출력한다.

여기서, 도 3에 도시된 클럭 신호 선택 장치(300)는 이중화된 두 개의 클럭 신호(CLK_A, CLK_B)에 대한 클럭 선택에 대해서 나타내고 있으나 이는 일 예에 불과하며, 복수 개의 다중 위상 클럭 발생기 및 복수 개의 다중 위상 비교/합성 클럭 신호 발생기를 더 구비함으로써 복수 개의 클럭 신호들에 대한 위상 제어 및 클럭 선택이 가능한 특징을 가진다.

도 4는 본 발명의 다른 실시예에 따른 클럭 신호 선택 방법을 보여주는 흐름도이다. 도 3 및 도4를 참조하여 본 발명에 따른 클럭 신호 선택 장치(300)의 동작을 살펴보면 다음과 같다.

먼저, 제 1 및 제 2 다중 위상 클럭 신호 발생기(310, 320)는, 이중화된 두 동기용 클럭 신호(CLK_A, CLK_B)를 입력 받아(3000 단계), n+1개(n은 양의 정수)의 다중 위상 클럭 신호(CLK_A0 - CLK_An, 및 CLK_B0 - CLK_Bn)를 각각 발생한다(3010 단계).

제 1 다중 위상 비교/합성 클럭 신호 발생기(330)는 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)로부터 제 2 위상 제어 클럭 신호(CLK_BD)를 받아들여(3020 단계), 각각의 다중 위상 클럭 신호들(CLK_A0 - CLK_An)과 제 2 위상 제어 클럭 신호(CLK_BD)의 위상을 비교한다(3026 단계). 그리고, 제 2 위상 제어 클럭 신호(CLK_BD)와 위상 차가 적게 나는 클럭 신호를 적어도 둘 이상 선택한다(3028 단계).

이 때, 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)는 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)로부터 제 1 위상 제어 클럭 신호(CLK_AD)를 받아들여(3020 단계), 각각의 다중 위상 클럭 신호들(CLK_B0 - CLK_Bn)과 제 1 위상 제어 클럭 신호(CLK_AD)의 위상을 비교한다(3022 단계). 그리고, 제 1 위상 제어 클럭 신호(CLK_AD)와 위상 차가 적게 나는 클럭 신호를 적어도 둘 이상 선택한다(3024 단계).

이어서, 클럭 선택 신호(CLK_SEL)의 논리 값에 의해 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호인지 여부가 판별된다(3040 단계).

3040 단계에서의 판별 결과, 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호이면, 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)는 3028 단계에서 선택된 다중 위상 클럭 신호들 대신에 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호로 설정되기 직전의 3028 단계에서 선택되었던 다중 위상 클럭 신호들을 조합함으로써, 제 1 클럭 신호(CLK_A)와의 위상차가 더 이상 변화하지 않는 고정된 제 1 위상 제어 클럭 신호(CLK_AD)를 발생하고, 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)는 3024 단계에서 선택된 다중 위상 클럭 신호들을 조합하여 제 1 위상 제어 클럭 신호(CLK_AD)와 근접한 위상을 가진 제 2 위상 제어 클럭 신호(CLK_BD)를 각각 발생한다(3050 단계). 그리고, 액티브 클럭 신호인 제 1 위상 제어 클럭 신호(CLK_AD)는 선택기(350)를 통해 출력 클럭 신호(CLK_OUT)로서 출력된다(3060 단계).

이 때, 상기 클럭 신호 선택 장치(300)는 선택기(350)를 통해 액티브 클럭신호에 해당되는 제 1 위상 제어 클럭 신호(CLK_AD)만을 출력하고 있지만, 제 1 및 제 2 다중 위상 비교/합성 클럭 신호 발생기(330, 340)로부터 출력되는 제 1 및 제 2 위상 제어 클럭 신호들(CLK_AD, CLK_BD)은 소정의 오차 범위 내에서 서로 위상이 동기 되도록 제어된 상태이다. 그러므로, 두 클럭 사이에 절체가 이루어지더라도 안정된 출력 클럭 신호(CLK_OUT)가 연속해서 제공될 수 있게 된다.

계속해서 3040 단계에서의 판별 결과, 제 2 클럭 신호(CLK_B)가 액티브 클럭 신호이면, 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)는 3028 단계에서 선택된 다중 위상 클럭 신호들을 조합하여 제 2 위상 제어 클럭 신호(CLK_BD)와 근접한 위상을 가진 제 1 위상 제어 클럭 신호(CLK_AD)를 발생하고, 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)는 최근에 실행된 3024 단계에서 선택된 다중 위상 클럭 신호들 대신에 제 2 클럭 신호(CLK_B)가 액티브 클럭 신호로 설정되기 직전의 3024 단계에서 선택되었던 다중 위상 클럭 신호들을 조합함으로써, 제 2 클럭 신호(CLK_B)에 대해 위상차가 더 이상 변화하지 않는 고정된 제 2 위상 제어 클럭 신호(CLK_BD)를 각각 발생한다(3070 단계). 그리고, 액티브 클럭 신호인 제 2 위상 제어 클럭 신호(CLK_BD)는 선택기(350)를 통해 출력 클럭 신호(CLK_OUT)로서 출력된다(3080 단계).

이 때, 상기 클럭 신호 선택 장치(300)는 선택기(350)를 통해 액티브 클럭신호에 해당되는 제 2 위상 제어 클럭 신호(CLK_BD)만을 출력하고 있지만, 제 1 및 제 2 다중 위상 비교/합성 클럭 신호 발생기(330, 340)로부터 출력되는 제 1 및 제 2 위상 제어 클럭 신호들(CLK_AD, CLK_BD) 역시 소정의 오차 범위 내에서 서로 위상이 동기 되도록 제어된 상태이다. 그러므로, 두 클럭 사이에 절체가 이루어지더라도 안정된 출력 클럭 신호(CLK_OUT)가 연속해서 제공될 수 있게 된다.

도 5는 도 3에 도시된 제 1 다중 위상 클럭 신호 발생기(310)의 회로도이다. 도 5를 참조하면, 제 1 다중 위상 클럭 신호 발생기(310)는 단위 지연 시간을 갖는 n개(n은 양의 정수)의 지연 장치들(311-31n)로 구성된다. 각각의 지연 장치들(311-31n)은 다중 위상 클럭 신호 발생기(310)로 입력되는 클럭 신호(CLK_A)를 순차적으로 지연시켜, n+1개의 다중 위상 클럭 신호(CLK_A0, CLK_A1, ..., CLK_An)를 발생한다. 여기서, 첫 번째 다중 위상 클럭 신호(CLK_A0)와 마지막 다중 위상 클럭 신호(CLK_An) 사이의 지연시간차는 이중화된 두 개의 동기용 클럭 신호(CLK_A, CLK_B) 중에서 주파수가 낮은 클럭 신호의 두 주기 이상이 되도록 한다.

도 3에 도시된 제 2 다중 위상 클럭 신호 발생기(320)는 도 5에 도시된 제 1 다중 위상 클럭 신호 발생기(310)와 다른 방식으로 구성되어도 무방하나, 설명의 편의를 위해 동일한 구성을 갖는 것으로 가정하고, 이에 대한 상세 설명은 생략하기로 한다.

도 6은 도 3에 도시된 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)의 회로도이고, 도 7은 도 6에 도시된 제 1 다중 위상 비교/합성 클럭 신호 발생기(300)의 동작을 설명하기 위한 타이밍도이다.

도 6을 참조하면, 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)는, 다중 위상 비교부(335) 및 합성 클럭 신호 발생부(339)를 구비하여, 복수 개의 다중 위상 클럭 신호들(CLK_A0 - CLK_An)과 제 2 위상 제어 클럭 신호(CLK_BD)의 위상을 비교하고, 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 가까워지도록 제어된 제 1 위상 제어 클럭 신호(CLK_AD)를 발생하는 기능을 수행한다.

먼저, 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)의 다중 위상 비교부(335)의 구성을 살펴보면 다음과 같다. 다중 위상 비교부(335)는 위상 비교부(331) 및 클럭 안정화부(333)를 포함한다.

위상 비교부(331)는 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)로부터 발생된 제 2 위상 제어 클럭 신호(CLK_BD)를 클럭 입력으로 받아들이고, 제 1 다중 위상 클럭 신호 발생기(310)로부터 발생된 다중 위상 클럭 신호들(CLK_A0, CLK_A1, ..., CLK_An) 중 어느 하나를 데이터 입력으로 받아들이는 n+1 개의 제 1 D 플립플롭들(D-type flip-flops ; 3310, 3311, ..., 331n)과, 제 1 D 플립플롭들(D-type flip-flops ; 3310, 3311, ..., 331n) 중 연속된 두 플립플롭들의 반전 출력 신호 및 비반전 출력 신호에 대한 NOR 연산을 수행하는 n 개의 제 1 NOR 게이트들(3321, 3322, ..., 332n)을 포함한다.

위상 비교부(331)에 구비된 제 1 D 플립플롭(3310-331n)은 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)로부터 발생된 제 2 위상 제어 클럭 신호(CLK_BD)의 상승 천이 시점에서 n+1개의 다중 위상 클럭 신호(CLK_A0, ..., CLK_An)의 논리 값을 샘플링한다. 이 때, n+1개의 다중 위상 클럭 신호의 총 지연시간은 입력 클럭 신호의 두 주기 이상이므로, 연속된 두 다중 위상 클럭 신호들(CLK_A0, ..., CLK_An) 중 샘플링된 논리 값이 각각 1과 0인 경우(즉, 다중 위상 클럭 신호(CLK_Ak)의 상승 천이 시점이 제 2 위상 제어 클럭 신호(CLK_BD)의 상승 천이 시점에 근접한 경우)가 최소한 두 번 발생하게 된다. 도 7의 경우에는 CLK_A(k-1) 클럭과 CLK_Ak 클럭, 그리고 CLK_A(m-1) 클럭과 CLK_Am 클럭에서 각각 샘플링된 논리값이 1과 0을 가지게 된다(여기서, k와 m은 각각 $1 \leq k \leq n$, $1 \leq m \leq n$, 그리고 $k < m$ 인 정수이다).

제 1 D 플립플롭(3310-331n)의 출력단에 연결된 각각의 제 1 NOR 게이트들(3321, 3322, ..., 332n)은, 연속된 두 다중 위상 클럭 신호(CLK_Ak-1 및 CLK_Ak) (여기서, k는 $1 \leq k \leq n$ 인 정수)의 샘플링된 논리 값을 입력받아, 다중 위상 클럭 신

호(CLK_Ak)의 상승 천이 시점이 제 2 위상 제어 클럭 신호(CLK_BD)의 상승 천이 시점에 근접한지 여부를 판단하는 기능을 수행한다. 이를 위해, 제 1 NOR 게이트들(3321, 3322, ..., 332n)은, 연속된 두 개의 샘플링 결과가 각각 1과 0일 때에만 1의 논리값을 출력하게 된다. 그러므로, 도 7의 경우 위상 비교부(331)로부터 출력되는 각각의 위상 비교 결과 신호들(S_A1, S_A2, ..., S_An) 중 S_Ak와 S_Am 신호가 1의 값을 가지게 되고, 나머지 신호들은 0의 값을 가지게 된다. 이는, CLK_Ak와 CLK_Am의 위상이 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 대해 지연시간 D 이하의 위상 오차를 갖고 있음을 의미한다. 여기서, 지연시간 D는 도 5에 도시된 제 1 다중 위상 클럭 신호 발생기(310) 내의 단위 지연 장치들(311-31n)의 지연시간들 중 최대 값에 해당된다.

클럭 안정화부(333)는 제 1 D 플립플롭(3310-331n)에서 발생할 수 있는 준안정성(metastability) 문제를 제거하기 위해, 위상 비교부(331)에 구비된 각각의 제 1 NOR 게이트들(3321, 3322, ..., 332n)의 출력 신호를 2회 리타이밍하는 2n 개의 제 2 D 플립플롭들(3331-333n 및 3341-334n)과, 제 2 D 플립플롭들(3331-333n 및 3341-334n)의 출력을 조합하기 위한 n 개의 제 2 NOR 게이트들(3351-335n)을 포함한다. 제 2 NOR 게이트들(3351-335n)은 위상 비교부(331)에 구비된 각각의 제 1 NOR 게이트들(3321, 3322, ..., 332n)과 직렬로 연결된 두 개의 제 2 D 플립플롭들(3331 및 3332, ..., 333n 및 3341-334n)로부터 발생하는 각각의 출력 신호를 입력으로 받아들인다.

일반적으로, D 플립플롭은 샘플링 기능을 수행하기 때문에 데이터 신호 입력과 클럭 신호 입력 간에 타이밍 마진이 보장되지 않아서 플립플롭의 출력이 불안정하게 되는 준안정성 문제를 가지고 있다. 이것은 비동기로 동작하는 모든 플립플롭에서 확률적으로 발생하는 문제로, 이를 최소화하기 위해 본 발명에서는 두 단의 제 2 D 플립플롭들(3331-333n 및 3341-334n)을 사용하여, 위상 비교부(331)로부터 출력되는 각각의 위상 비교 결과 신호들(S_A1, S_A2, ..., S_An)을 리타이밍한다. 그리고 나서 이들의 출력 신호를 각각 제 2 NOR 게이트(3351-335n)로 조합함으로써, 준안정 상태에 빠질 확률을 최소화한다.

이와 같이 클럭 안정화부(333)에서 리타이밍된 후 조합된 위상 비교 결과 신호들(SR_A1, SR_A2, ..., SR_An)의 논리 값은, 도 7에서 알 수 있는 바와 같이, 리타이밍되기 전에 위상 비교부(331)로부터 출력된 신호들(S_A1, ..., S_An)의 논리 값이 반전된 것과 같게 됨을 알 수 있다. 이 경우, 클럭 안정화부(333)의 출력 신호(SR_A1, SR_A2, ..., SR_An)의 논리 값이 0이 되면, 해당 다중 위상 클럭 신호의 위상이 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 근접해 있음을 의미한다.

계속해서 도 6을 참조하여 제 1 다중 위상 비교/합성 클럭 신호 발생기(330)의 합성 클럭 신호 발생부(339)의 구성을 살펴보면 다음과 같다. 합성 클럭 신호 발생부(339)는 클럭 선택부(336) 및 클럭 합성부(338)를 포함한다.

클럭 선택부(336)는 제 2 NOR 게이트(3351-335n) 각각에 연결된 n 개의 2-입력 멀티플렉서들(3361-336n)과, n 개의 2-입력 멀티플렉서들(3361-336n) 각각의 출력 단에 연결된 n 개의 제 3 D 플립플롭들(3371-337n)을 구비한다.

2-입력 멀티플렉서(3361-336n)는 외부로부터 입력되는 클럭 선택 신호(CLK_SEL)에 응답해서 다중 위상 비교부(335)로부터 출력되는 리타이밍된 위상 비교 결과 신호(SR_A1, ..., SR_An)와, 제 3 D 플립플롭(3371-337n)으로부터 출력되는 바로 이전의 데이터 값 중 어느 하나를 출력한다. 제 3 D 플립플롭(3371-337n)은 멀티플렉서들(3361-336n)로부터 출력되는 신호를 다시 멀티플렉서들(3361-336n)로 전달함과 동시에 클럭 합성부(338)로 전달한다.

이 경우, 클럭 선택 신호(CLK_SEL)가 1로 세팅되어 제 1 클럭 신호(CLK_A)가 스탠바이 클럭 신호로 설정된 경우, 멀티플렉서들(3361-336n)은 제 1 클럭 신호(CLK_A)의 위상이 조절될 수 있도록 다중 위상 비교부(335)의 출력 신호(SR_A1, SR_A2, ..., SR_An)를 선택하여 출력한다. 그리고, 클럭 선택 신호(CLK_SEL)가 0으로 세팅되어 제 1 클럭 신호(CLK_A)가 액티브 클럭 신호로 설정된 경우, 멀티플렉서들(3361-336n)은 제 1 클럭 신호(CLK_A)의 위상이 조절되지 않고 그대로 사용될 수 있도록, 상기 제 3 D 플립플롭(3371-337n)으로부터 피드백 되는 이전의 데이터 값을 선택하여 출력한다.

클럭 합성부(338)는 제 3 D 플립플롭(3371-337n) 각각에 연결된 n 개의 제 3 NOR 게이트들(3381-338n)과, 상기 제 3 NOR 게이트들(3381-338n)의 출력 단자에 공통으로 연결된 N-입력 NOR 게이트(3391)를 구비한다.

n 개의 제 3 NOR 게이트들(3381-338n)은 상기 제 3 D 플립플롭(3371-337n)의 각각의 출력 신호와 각각의 다중 위상 클럭 신호들(CLK_A0, CLK_A1, ..., CLK_An)을 조합하여, 제 2 위상 제어 클럭 신호(CLK_BD)의 상승 천이 시점에 근접한 다중 위상 클럭 신호들만 출력될 수 있도록 한다. N-입력 NOR 게이트(3391)는 n 개의 제 3 NOR 게이트들(3381-338n)로부터 출력되는 신호들을 조합하여, 제 2 위상 제어 클럭 신호(CLK_BD)의 위상에 가까워지도록 위상이 제어된 제 1 위상 제어 클럭 신호(CLK_AD)를 발생한다.

즉, 클럭 합성부(338)에 구비된 각각의 제 3 NOR 게이트들(3381-338n)은 클럭 선택부(336)의 제 3 D 플립플롭 (3371 - 337n)으로부터 입력되는 신호들(SR_A1, ..., SR_An)과 다중 위상 클럭 신호들(CLK_A1, ..., CLK_An)에 대해 NOR 연산을 수행한다. 즉, 제 3 NOR 게이트들(3381-338n)에서의 NOR 연산 결과, 리타이밍된 위상 비교 결과 신호(SR_A1, ..., SR_An)의 값이 0인 경우에는 이에 대응되는 다중 위상 클럭 신호(CLK_A1, ..., CLK_An)가 반전되어 출력되도록 하고, 리타이밍된 위상 비교 결과 신호(SR_A1, ..., SR_An)의 값이 1인 경우에는 0이 출력되도록 한다.

도 7에 도시된 타이밍도의 경우, SR_Ak와 SR_Am로 표기된 k 및 m번째 위상 비교 결과 신호의 논리값이 0이므로, 이에 대응되는 다중 위상 클럭 신호(CLK_Ak 및 CLK_Am)가 해당 제 3 NOR 게이트(338k, 338m)를 통해 출력된다. 이 때, 상기 NOR 게이트(338k, 338m)를 제외한 나머지 NOR 게이트들에서는 0의 값이 출력된다.

N-입력 NOR 게이트(3391)는 n개의 제 3 NOR 게이트(3381-338n)의 출력 신호를 입력받아 NOR 연산을 수행하고, 그 결과를 제 1 위상 제어 클럭 신호(CLK_AD)로서 출력한다. 그러므로, 상기와 같은 신호들이 N-입력 NOR 게이트(3391)에 입력되는 경우, N-입력 NOR 게이트(3391)는 제 3 NOR 게이트(338k, 338m)로부터 출력되는 다중 위상 클럭 신호 (CLK_Ak 및 CLK_Am)의 논리합(즉, NOR 연산) 결과를 제 1 위상 제어 클럭 신호(CLK_AD)로서 출력하게 된다.

이와 같은 위상 제어에 의하면, 도 7에 도시된 바와 같이 제 1 위상 제어 클럭 신호(CLK_AD)는 액티브 클럭 신호인 제 2 위상 제어 클럭 신호(CLK_BD)에 대해 D 이하의 위상 오차를 갖게 된다. 이 때, 제 1 위상 제어 클럭 신호(CLK_AD)는 D 이하의 위상 오차를 갖는 두 클럭 신호(즉, CLK_Ak 및 CLK_Am)가 논리합되는 과정에서 클럭 신호의 듀티 싸이클(duty cycle)이 왜곡되는 문제가 발생할 수 있으나, 이는 D의 값을 작게 함으로써 무시할 수 있고, 이를 근본적으로 방지하기 위해 별도의 제어 수단을 사용하여, 리타이밍된 후 조합된 위상 비교 결과 신호들(SR_A1, SR_A2, ..., SR_An) 중 어느 하나가 0이 되면 나머지 신호들은 0이 되지 못하도록 제어할 수도 있다.

그리고, 도 3에 도시된 제 2 다중 위상 비교/합성 클럭 신호 발생기(340)는 도 6에 도시된 다중 위상 비교/합성 클럭 신호 발생기(330)와 다른 방식으로 구성되어도 무방하나, 설명의 편의를 위해 동일한 구성을 갖는 것으로 가정하고, 이에 대한 상세 설명은 생략하기로 한다.

앞에서 설명한 바와 같이, 입력되는 두 이중화된 클럭 신호들(CLK_A, CLK_B) 중 어느 하나가 클럭 선택 신호(CLK_SEL)에 의해 액티브 클럭 신호로 지정되고 다른 하나가 스탠바이 클럭 신호로 지정되어 있을 경우, 본 발명에서는 스탠바이 클럭 신호의 위상을 지속적으로 제어하여 액티브 클럭 신호의 위상에 일치되도록 한다. 따라서, 임의의 순간에 클럭 선택 신호(CLK_SEL)의 값이 바뀌어 두 클럭 신호들간에 절체가 이루어지더라도 출력 클럭 신호(CLK_OUT)는 항상 D 이하의 위상 오차를 갖게 되므로, 클럭 신호의 안정성이 유지될 수 있다.

그리고, 도 3 내지 도 7에서 알 수 있는 바와 같이, 본 발명에 따른 클럭 신호 선택 장치는 두 클럭 신호를 복수 개의 다중 위상 클럭신호로 변환한 후, 각 다중 위상 클럭 신호에 대한 위상 비교를 병렬로 수행하기 때문에, 위상을 제어하는데 걸리는 시간을 단축할 수 있으며, 클럭 신호 선택 장치의 전 회로를 디지털화 할 수 있는 장점이 있다.

뿐만 아니라, 상기와 같은 두 클럭 신호에 대한 위상 비교는 매 클럭 주기마다 지속적으로 수행되므로, 두 클럭 신호의 주파수가 서로 다른 경우에도 절체시 출력 클럭 신호의 연속성을 보장할 수 있게 된다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

이상에 설명한 바와 같이, 본 발명에 의한 클럭 신호 선택 장치 및 방법에 의하면, 이중화된 두 개의 동기용 클럭 신호의 위상을 지속적으로 일치시킴으로써, 임의의 순간에 입력 클럭 신호가 절체되어도 출력 클럭 신호의 연속성이 유지되어, 안정된 클럭 신호를 제공할 수 있다.

그리고, 이중화된 두 개의 동기용 클럭 신호에 대한 위상 제어가 매 클럭 주기마다 지속적으로 수행되므로, 동기용 클럭 신호들의 주파수가 서로 다르더라도 절체시 출력 클럭 신호의 연속성이 유지되어, 안정된 클럭 신호를 제공할 수 있다.

뿐만 아니라, 본 발명에 의한 클럭 신호 선택 장치 및 방법은 두 클럭 신호를 복수 개의 다중 위상 클럭신호로 변환한 후, 각 다중 위상 클럭 신호에 대한 위상 비교 및 제어를 병렬로 수행하기 때문에, 위상을 제어하는데 걸리는 시간을 단축할 수 있으며, 클럭 신호 선택 장치의 전 회로를 디지털화 할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

클럭 신호의 연속성을 보장하는 클럭 신호 선택 장치에 있어서:

N 개의 클럭 신호들의 위상을 비교하여, 상기 클럭 신호들 각각의 위상이 액티브 클럭에 해당되는 클럭 신호의 위상에 근접하도록 제어하는 제어 신호를 각각 발생하는 N 개의 위상 비교기;

상기 제어 신호에 응답해서 상기 N 개의 클럭 신호 각각의 위상을 제어하여 N 개의 위상 제어 클럭 신호들을 발생하는 N 개의 위상 제어기; 및

상기 N 개의 위상 제어 클럭 신호들 중 상기 액티브 클럭 신호에 대응되는 위상 제어 클럭 신호를 출력하는 선택기를 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 2.

제 1 항에 있어서,

상기 각각의 위상 제어기는, 해당 위상 제어기로부터 발생된 위상 제어 클럭 신호가 액티브 클럭 신호에 해당되는 경우, 입력된 클럭 신호와 일정한 위상차를 가지는 위상 제어 클럭 신호를 발생하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 3.

제 1 항에 있어서,

상기 각각의 위상 제어기는, 해당 위상 제어기로부터 발생된 위상 제어 클럭 신호가 스태바이 클럭 신호에 해당되는 경우, 소정의 오차 범위 내에서 상기 액티브 클럭 신호에 대응되는 상기 위상 제어 클럭 신호의 위상과 동기된 위상 제어 클럭 신호를 발생하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 4.

삭제

청구항 5.

클럭 신호의 연속성을 보장하는 클럭 신호 선택 장치에 있어서:

위상이 제어된 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 1 위상 제어 클럭 신호의 위상이 상기 제 2 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 1 제어 신호를 발생하는 제 1 위상 비교기;

상기 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 2 위상 제어 클럭 신호의 위상이 상기 제 1 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 2 제어 신호를 발생하는 제 2 위상 비교기;

제 1 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 1 위상 제어 클럭 신호의 위상이 상기 제 1 클럭 신호와 일정한 위상차를 가지도록 제어하고, 제 1 클럭 신호가 스텐바이 클럭 신호인 경우, 상기 제 1 제어 신호에 응답하여 상기 제 1 위상 제어 클럭 신호의 위상이 소정의 오차범위 내에서 상기 제 2 위상 제어 클럭 신호의 위상과 동기되도록 제어하는 제 1 위상 제어기;

제 2 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 2 위상 제어 클럭 신호의 위상이 상기 제 2 클럭 신호와 일정한 위상차를 가지도록 제어하고, 제 2 클럭 신호가 스텐바이 클럭 신호인 경우 상기 제 2 제어 신호에 응답하여 상기 제 2 위상 제어 클럭 신호의 위상이 소정의 오차 범위 내에서 상기 제 1 위상 제어 클럭 신호의 위상과 동기되도록 제어하는 제 2 위상 제어기; 및

상기 제 1 및 제 2 위상 제어기에 의해 위상이 조절된 상기 제 1 및 제 2 위상 제어 클럭 신호들 중 어느 하나를 출력하는 선택기를 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

클럭 신호의 연속성을 보장하는 클럭 신호 선택 장치에 있어서:

제 1 클럭 신호를 복수 개의 제 1 다중 위상 클럭 신호로 변환하는 제 1 다중 위상 클럭 신호 발생기;

제 2 클럭 신호를 복수 개의 제 2 다중 위상 클럭 신호로 변환하는 제 2 다중 위상 클럭 신호 발생기;

상기 제 1 다중 위상 클럭 신호들의 각 위상과, 상기 제 2 클럭 신호의 위상이 제어된 제 2 위상 제어 클럭 신호의 위상을 비교하고, 상기 비교 결과를 근거로 하여 상기 제 1 클럭 신호의 위상이 제어된 제 1 위상 제어 클럭 신호를 발생하는 제 1 위상 비교/제어기;

상기 제 2 다중 위상 클럭 신호들의 각 위상과, 상기 제 1 위상 비교/제어기로부터 발생된 상기 제 1 위상 제어 클럭 신호의 위상을 비교하고, 상기 비교 결과를 근거로 하여 상기 제 2 위상 제어 클럭 신호를 상기 제 1 위상 비교/제어기로 발생하는 제 2 위상 비교/제어기; 및

외부로부터 입력되는 클럭 선택 신호에 응답해서 상기 제 1 및 제 2 위상 제어 클럭 신호들 중 어느 하나를 출력하는 선택기를 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 10.

제 9 항에 있어서,

상기 클럭 선택 신호는 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호 중 어느 하나를 액티브 클럭 신호로 설정하고, 나머지 하나를 스텐바이 클럭 신호로 설정하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 11.

제 10 항에 있어서,

상기 제 1 위상 비교/제어기는 상기 제 1 클럭 신호가 액티브 클럭 신호이면 상기 제 1 클럭 신호의 위상과 일정한 위상차를 가진 상기 제 1 위상 제어 클럭 신호를 발생하고,

상기 제 1 클럭 신호가 스탠바이 클럭 신호이면 소정의 오차 범위 내에서 상기 제 2 위상 제어 클럭 신호의 위상과 동기된 상기 제 1 위상 제어 클럭 신호를 발생하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 12.

제 10 항에 있어서,

상기 제 2 위상 비교/제어기는 상기 제 2 클럭 신호가 액티브 클럭 신호이면 상기 제 2 클럭 신호의 위상과 일정한 위상차를 가진 상기 제 2 위상 제어 클럭 신호를 발생하고,

상기 제 2 클럭 신호가 스탠바이 클럭 신호이면 소정의 오차 범위 내에서 상기 제 1 위상 제어 클럭 신호의 위상과 동기된 상기 제 2 위상 제어 클럭 신호를 발생하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 13.

제 9 항에 있어서,

상기 제 1 다중 위상 클럭 신호 발생기는, 상기 제 1 클럭 신호를 단위 지연시간 동안 순차적으로 지연시키는 복수 개의 지연 소자들을 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 14.

제 9 항에 있어서,

상기 제 2 다중 위상 클럭 신호 발생기는, 상기 제 2 클럭 신호를 단위 지연시간 동안 순차적으로 지연시키는 복수 개의 지연 소자들을 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 15.

제 9 항에 있어서, 상기 제 1 또는 제 2 위상 비교/제어기는

상기 제 1 다중 위상 클럭 신호들 각각의 위상과 상기 제 2 위상 제어 클럭 신호의 위상을 비교하는 제 1 다중 위상 비교부; 및

상기 클럭 선택 신호에 응답해서 상기 제 2 위상 제어 클럭 신호의 위상과 근접한 위상을 갖는 적어도 둘 이상의 제 1 다중 위상 클럭 신호들을 합성하는 제 1 합성 클럭 발생부를 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 16.

제 15 항에 있어서, 상기 제 1 다중 위상 비교부는

상기 제 2 위상 제어 클럭 신호의 상승 천이 시점에서 상기 제 1 다중 위상 클럭 신호들 각각에 대한 논리 값을 샘플링하여 비교하는 제 1 위상 비교부; 및

상기 샘플링된 위상 비교 결과를 리타이밍하여 준안정성(metastability) 문제를 제거하는 제 1 클럭 안정화부를 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 17.

제 16 항에 있어서, 상기 제 1 위상 비교부는

상기 제 2 위상 제어 클럭 신호를 클럭 입력으로 받아들이고, 상기 제 1 다중 위상 클럭 신호들 중 하나를 데이터 입력으로 받아들이며, 상기 제 1 다중 위상 클럭 신호들 각각에 대한 논리 값을 샘플링하는 $n+1$ 개의 제 1 D 플립플롭들; 및

상기 제 1 D 플립플롭들 중 연속된 두 플립플롭들의 반전 출력 신호 및 비반전 출력 신호에 대한 NOR 연산을 수행하는 n 개의 제 1 NOR 게이트들을 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 18.

제 16 항에 있어서, 상기 제 1 클럭 안정화부는

상기 제 1 위상 비교부의 출력 신호를 2회 리타이밍하는 $2n$ 개의 제 2 D 플립플롭들; 및

상기 제 2 D 플립플롭들의 출력을 각각 조합하는 n 개의 제 2 NOR 게이트들을 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 19.

제 15 항에 있어서, 상기 제 1 합성 클럭 발생부는

상기 제 1 클럭 안정화부로부터 출력된 상기 리타이밍된 위상 비교 결과와 바로 이전의 데이터 값 중 어느 하나를 선택하는 제 1 클럭 선택부; 및

상기 제 1 클럭 선택부로부터 출력된 각각의 출력 신호들과 상기 각각의 다중 위상 클럭 신호들을 조합하고, 상기 조합된 복수 개의 클럭 신호들 중 상기 제 2 위상 제어 클럭 신호와 근접한 위상을 갖는 클럭 신호를 적어도 둘 이상 합성하는 제 1 클럭 합성부를 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 20.

제 19 항에 있어서, 상기 제 1 클럭 선택부는

상기 선택 신호에 응답해서 상기 제 1 클럭 안정화부로부터 출력된 상기 리타이밍된 위상 비교 결과와 바로 이전의 데이터 값 중 어느 하나를 선택하는 n 개의 2-입력 멀티플렉서들; 및

상기 2-입력 멀티플렉서들의 각 출력 단에 연결되어, 상기 2-입력 멀티플렉서들의 각 출력 신호를 상기 각 2-입력 멀티플렉서와 상기 제 1 클럭 합성부로 전달하는 n 개의 제 3 D 플립플롭들을 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 21.

제 19 항에 있어서, 상기 제 1 클럭 합성부는

상기 제 1 클럭 선택부로부터 전송된 상기 각각의 출력 신호와 상기 각각의 다중 위상 클럭 신호들을 조합하여, 상기 제 2 위상 제어 클럭 신호의 상승 천이 시점에 근접한 적어도 둘 이상의 다중 위상 클럭 신호들을 출력하는 n 개의 제 3 NOR 게이트들; 및

상기 제 3 NOR 게이트들로부터 출력되는 신호들을 조합하여 상기 제 1 위상 제어 클럭 신호를 발생하는 N -입력 NOR 게이트를 포함하는 것을 특징으로 하는 클럭 신호 선택 장치.

청구항 22.

클럭 신호의 연속성을 보장하는 클럭 신호 선택 방법에 있어서:

(a) N 개의 클럭 신호들의 위상을 비교하는 단계;

(b) 상기 위상 비교 결과를 근거로 하여 상기 클럭 신호들 각각의 위상이 액티브 클럭에 해당되는 클럭 신호의 위상에 근접하도록 제어하는 제어 신호를 발생하는 단계;

(c) 상기 제어 신호에 응답해서 상기 N 개의 클럭 신호 각각의 위상을 제어하여 N 개의 위상 제어 클럭 신호들을 발생하는 단계; 및

(d) 상기 (c) 단계에서 발생된 상기 위상 제어 클럭 신호들 중 상기 액티브 클럭 신호에 대응되는 위상 제어 클럭 신호를 출력하는 단계를 포함하는 것을 특징으로 하는 클럭 신호 선택 방법.

청구항 23.

제 22 항에 있어서,

상기 (c) 단계에서 발생된 상기 N 개의 위상 제어 클럭 신호들의 위상은 소정의 오차 범위 내에서 동기 되는 것을 특징으로 하는 클럭 신호 선택 방법.

청구항 24.

삭제

청구항 25.

클럭 신호의 연속성을 보장하는 클럭 신호 선택 방법에 있어서:

(a) 제 1 및 제 2 클럭 신호의 위상이 각각 제어된 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 1 위상 제어 클럭 신호의 위상이 상기 제 2 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 1 제어 신호를 발생하는 단계;

(b) 상기 제 1 및 제 2 위상 제어 클럭 신호의 위상을 비교하여, 상기 제 2 위상 제어 클럭 신호의 위상이 상기 제 1 위상 제어 클럭 신호의 위상에 근접하도록 제어하는 제 2 제어 신호를 발생하는 단계;

(c) 상기 제 1 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 1 위상 제어 클럭 신호의 위상이 상기 제 1 클럭 신호의 위상과 일정한 위상차를 가지도록 제어하고 상기 제 1 클럭 신호가 스탠바이 클럭 신호인 경우, 상기 제 1 위상 제어 클럭 신호의 위상이 소정의 오차 범위 내에서 상기 제 2 위상 제어 클럭 신호의 위상과 동기 되도록 제어하는 단계;

(d) 상기 제 2 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 2 위상 제어 클럭 신호의 위상이 상기 제 2 클럭 신호의 위상과 일정한 위상차를 가지도록 제어하고 상기 제 2 클럭 신호가 스텐바이 클럭 신호인 경우, 상기 제 2 위상 제어 클럭 신호의 위상이 소정의 오차 범위 내에서 상기 제 1 위상 제어 클럭 신호의 위상과 동기되도록 제어하는 단계; 및

(e) 상기 (d) 단계 및 상기 (d) 단계에서 위상이 제어된 상기 제 1 및 제 2 위상 제어 클럭 신호들 중 어느 하나를 출력하는 단계를 포함하는 것을 특징으로 하는 클럭 신호 선택 방법.

청구항 26.

삭제

청구항 27.

클럭 신호의 연속성을 보장하는 클럭 신호 선택 방법에 있어서:

(a) 제 1 및 제 2 클럭 신호를 각각 복수개의 다중 위상 클럭 신호들로 변환하는 단계;

(b) 상기 제 1 클럭 신호로부터 발생된 상기 다중 위상 클럭 신호들의 각 위상과, 상기 제 2 클럭 신호의 위상이 제어된 제 2 위상 제어 클럭 신호간의 위상을 비교하여, 상기 제 2 위상 제어 클럭 신호에 근접한 위상을 갖는 적어도 두 개 이상의 다중 위상 클럭 신호들을 선택하는 단계;

(c) 상기 제 2 클럭 신호로부터 발생된 상기 다중 위상 클럭 신호들의 각 위상과, 상기 제 1 클럭 신호의 위상이 제어된 제 1 위상 제어 클럭 신호간의 위상을 비교하여, 상기 제 1 위상 제어 클럭 신호에 근접한 위상을 갖는 적어도 두 개 이상의 다중 위상 클럭 신호들을 선택하는 단계;

(d) 상기 제 1 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 1 클럭 신호에 대해 일정한 위상차를 갖는 상기 제 1 위상 제어 클럭 신호를 발생하고, 상기 (c) 단계에서 선택된 상기 다중 위상 클럭 신호들을 조합하여 위상이 제어된 상기 제 2 위상 제어 클럭 신호를 발생하는 단계;

(e) 상기 제 2 클럭 신호가 액티브 클럭 신호인 경우, 상기 제 2 클럭 신호에 대해 일정한 위상차를 갖는 상기 제 2 위상 제어 클럭 신호를 발생하고, 상기 (b) 단계에서 선택된 상기 다중 위상 클럭 신호들을 조합하여 위상이 제어된 상기 제 1 위상 제어 클럭 신호를 발생하는 단계; 및

(f) 액티브 클럭 신호로 설정된 상기 제 1 또는 제 2 클럭 신호를 출력 클럭 신호로 출력하는 단계를 포함하는 것을 특징으로 하는 클럭 신호 선택 방법.

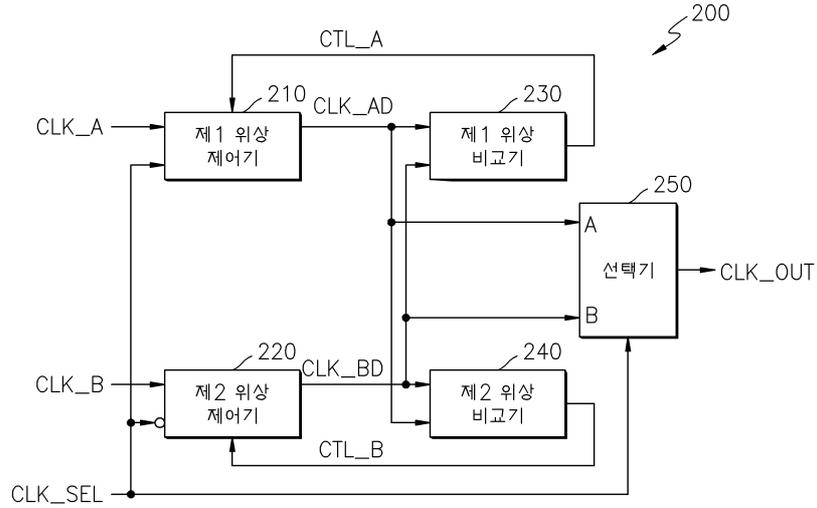
청구항 28.

제 27 항에 있어서,

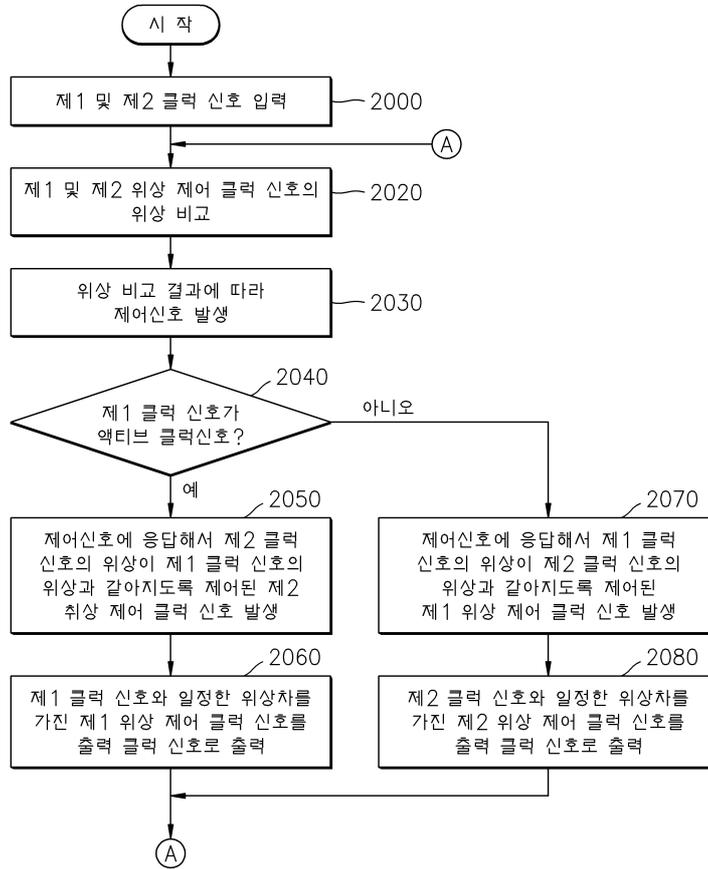
상기 (d) 및 상기 (e) 단계에서 발생된 상기 제 1 및 제 2 위상 제어 클럭 신호들의 위상은 소정의 오차 범위 내에서 동기되는 것을 특징으로 하는 클럭 신호 선택 방법.

도면

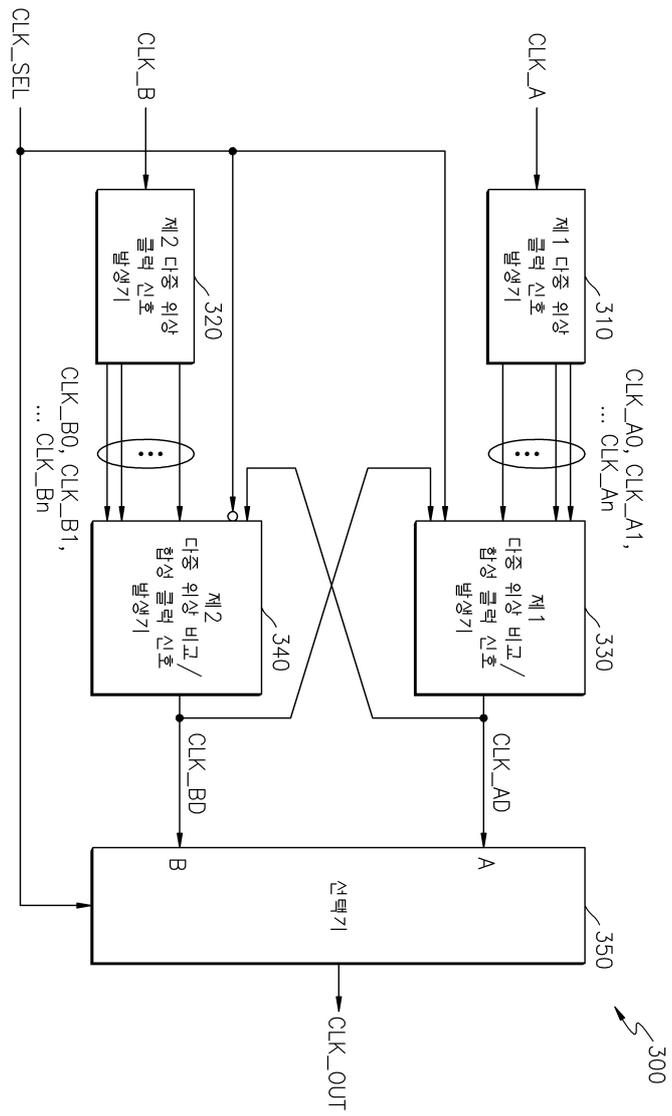
도면1



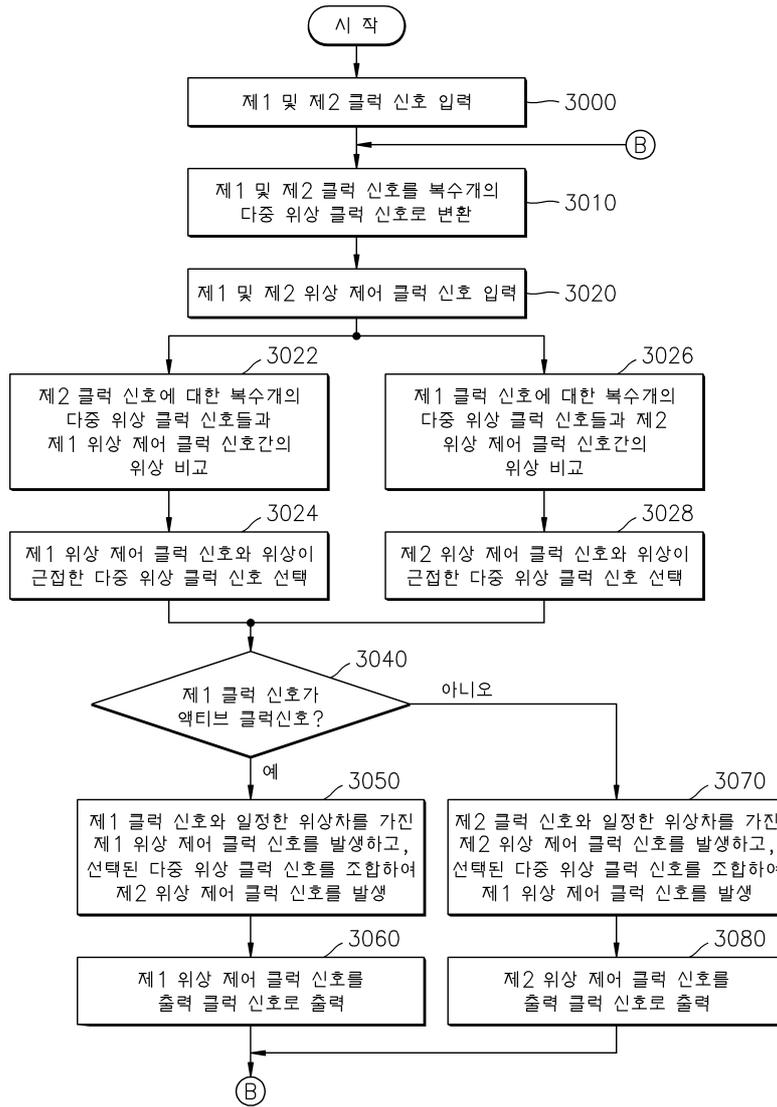
도면2



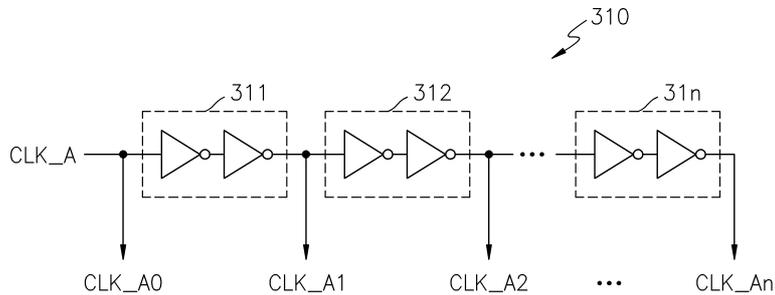
도면3



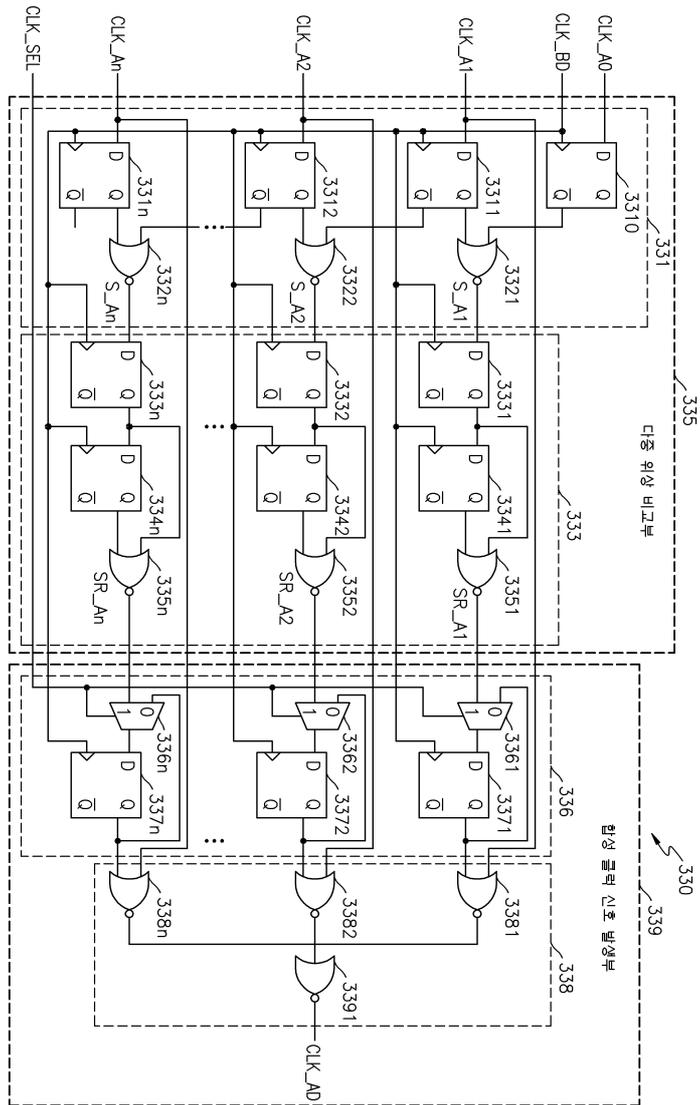
도면4



도면5



도면6



도면7

