



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년09월13일
(11) 등록번호 10-0981658
(24) 등록일자 2010년09월06일

(51) Int. Cl.
H01L 21/8234 (2006.01) H01L 21/336 (2006.01)
H01L 21/822 (2006.01)
(21) 출원번호 10-2007-7026951
(22) 출원일자(국제출원일자) 2005년05월23일
심사청구일자 2007년11월20일
(85) 번역문제출일자 2007년11월20일
(65) 공개번호 10-2007-0121849
(43) 공개일자 2007년12월27일
(86) 국제출원번호 PCT/JP2005/009348
(87) 국제공개번호 WO 2006/126245
국제공개일자 2006년11월30일
(56) 선행기술조사문헌
JP14134630 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
후지쯔 세미컨덕터 가부시키키가이샤
일본 222-0033 가나가와켄 요코하마시 고히꾸구
신요코하마 2조메 10반 23
(72) 발명자
츠츠미 도모히코
일본국 가나가와켄 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지쯔 가부시키키가이샤 내
에마 다이지
일본국 가나가와켄 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지쯔 가부시키키가이샤 내
(뒷면에 계속)
(74) 대리인
문기상, 문두현

전체 청구항 수 : 총 3 항

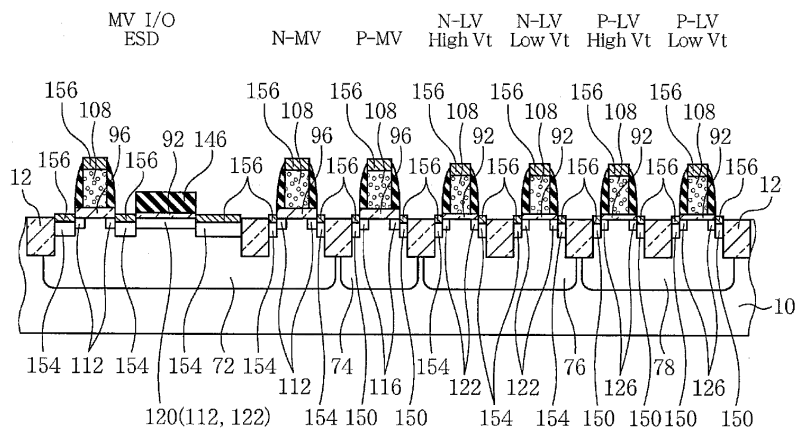
심사관 : 구본재

(54) 반도체 장치의 제조 방법

(57) 요약

게이트 절연막(92)과, 게이트 절연막(92) 위에 형성된 게이트 전극(108)과, 소스/드레인 영역(154)을 갖는 제 1 MIS 트랜지스터와, 게이트 절연막(92)보다도 두꺼운 게이트 절연막(96)과, 게이트 절연막(96) 위에 형성된 게이트 전극(108)과, 소스/드레인 영역(154)과, 소스/드레인 영역(154)에 접속하여 형성된 밸러스트 저항(120)을 갖는 제 2 MIS 트랜지스터와, 밸러스트 저항(120) 위에, 게이트 절연막(96)보다 얇은 절연막(92)을 통하여 형성된 살리사이드 블록 절연막(146)과, 소스/드레인 영역 위에 형성된 살리사이드막(156)을 갖는다.

대표도



(72) 발명자

고지마 히데유키

일본국 가나가와켄 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지썸 가부시끼가이샤 내

아네자키 도루

일본국 가나가와켄 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지썸 가부시끼가이샤 내

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

반도체 기관의 제 1 영역에 제 1 MIS 트랜지스터가 형성되고, 상기 반도체 기관의 제 2 영역에 밸러스트 저항을 갖는 제 2 MIS 트랜지스터가 형성된 반도체 장치의 제조 방법으로서,

상기 반도체 기관을 열산화하여, 상기 제 1 영역 및 상기 제 2 영역에 제 1 절연막을 형성하는 공정과,

상기 제 1 영역 및 상기 제 2 영역의 상기 밸러스트 저항 형성 영역의 상기 제 1 절연막을 제거하는 공정과,

상기 반도체 기관을 열산화하여, 상기 제 1 영역 및 상기 밸러스트 저항 형성 영역에 제 1 게이트 절연막을 형성하고, 상기 밸러스트 저항 형성 영역을 제외한 상기 제 2 영역에 상기 제 1 절연막을 추가 산화하여 이루어지는 제 2 게이트 절연막을 형성하는 공정과,

상기 제 1 게이트 절연막 위에 제 1 게이트 전극을 형성하고, 상기 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성하는 공정과,

상기 제 1 영역 및 상기 밸러스트 저항 형성 영역의 상기 반도체 기관에, 상기 제 1 게이트 전극을 마스크로 하여 불순물을 도입해서, 제 1 불순물층을 형성하는 공정과,

상기 제 2 영역의 상기 반도체 기관에, 상기 제 2 게이트 전극을 마스크로 하여 불순물을 도입해서, 제 2 불순물층을 형성하는 공정을 가지며,

상기 밸러스트 저항 형성 영역에, 상기 제 1 불순물층 및 상기 제 2 불순물층을 갖는 상기 밸러스트 저항을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 2 불순물층을 형성하는 공정 후에,

제 2 절연막을 형성하는 공정과,

상기 밸러스트 저항 형성 영역의 상기 제 2 절연막 위에 마스크막을 형성하는 공정과,

상기 마스크막을 마스크로 하여 상기 제 2 절연막을 에치백하고, 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극의 측벽 부분에 측벽 절연막을 형성하여, 상기 밸러스트 저항 형성 영역에 살리사이드 블록 절연막을 형성하는 공정과,

상기 측벽 절연막 및 상기 살리사이드 블록 절연막에 의해 덮여 있지 않은 상기 반도체 기관 위에 선택적으로

실리사이드막을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 측벽 절연막 및 상기 살리사이드 블록 절연막을 형성하는 공정 후에, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 상기 측벽 절연막 및 상기 살리사이드 블록 절연막을 마스크로 하여 불순물을 도입해서, 상기 제 1 영역의 상기 반도체 기판 내에 제 3 불순물층을 형성하고, 상기 제 2 영역의 상기 반도체 기판 내에 제 4 불순물층을 형성하는 공정을 더 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히, 뱀러스트 (Ballast) 저항을 갖는 MIS 트랜지스터로 이루어지는 ESD 보호 소자를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 장치는 일반적으로, 외부로부터의 정전 방전(ESD : Electro Static Discharge) 등에 기인하는 전압 서지 (surge)에 대해서 미세한 반도체 소자를 보호하기 위한 ESD 보호 소자를 갖고 있다. ESD 보호 소자로서는, 입출력 회로를 겸용한 뱀러스트 저항을 갖는 MIS 트랜지스터를 사용한 것이 알려져 있다. 통상, 뱀러스트 저항을 갖는 MIS 트랜지스터에서는, MIS 트랜지스터의 소스/드레인 영역으로부터 연속된 불순물층에 의해 뱀러스트 저항을 형성한다.

[0003] 뱀러스트 저항을 불순물층에 의해 실현하는 방법의 하나로서, 살리사이드(salicide) 블록이라고 불리는 수법이 알려져 있다(예를 들면, 특허문헌 1을 참조). 이것은, 소위 살리사이드 프로세스시에 뱀러스트 저항 형성 영역의 불순물층 위를 미리 마스크해 두어, 뱀러스트 저항 형성 영역이 실리사이드화되지 않도록 하는 것이다. 이에 따라, 불순물층 위의 실리사이드화가 방지되어, 불순물층으로 이루어지는 뱀러스트 저항을 형성할 수 있다.

[0004] 뱀러스트 저항의 저항값은, ESD 보호 소자의 ESD 내압을 결정하는 중요한 파라미터로서, 너무 낮은 것은 물론, 너무 높아도 방전 능력의 저하나 발열량의 증대 등을 초래하기 때문에, 적절한 저항값으로 설정할 필요가 있다.

[0005] 그래서, 종래는, 소스/드레인의 LDD 영역이 되는 불순물층을 뱀러스트 저항 형성 영역에 형성하는 것에 더하여, 뱀러스트 저항 형성 영역에 저항값 제어용의 불순물층을 더 형성함으로써, 원하는 저항값을 갖는 뱀러스트 저항을 형성하고 있었다.

[0006] 특허문헌 1 : 일본국 특허공개 2003-133433호 공보

발명의 상세한 설명

[0007] 그러나, 상기 종래의 반도체 장치의 제조 방법에서는, 뱀러스트 저항을, MIS 트랜지스터의 LDD 영역용의 불순물층 및 뱀러스트 저항의 저항값 제어용의 불순물층에 의해 형성하기 때문에, 불순물층을 형성하기 위한 일련의 공정을 별도로 추가할 필요가 있어, 제조 공정이 복잡화되어 있었다. 이 때문에, 제조 공정을 복잡하게 하지 않고 뱀러스트 저항의 저항값을 원하는 값으로 제어할 수 있는 구조 및 제조 방법이 요망되고 있었다.

[0008] 본 발명의 목적은, 뱀러스트 저항을 갖는 MIS 트랜지스터로 이루어지는 ESD 보호 소자를 갖는 반도체 장치 및 그 제조 방법에 있어서, 제조 공정을 복잡하게 하지 않고 원하는 저항값의 뱀러스트 저항을 실현하는 동시에, 뱀러스트 저항값 및 ESD 내성(耐性)의 편차를 억제할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것에 있다.

[0009] 본 발명의 한 관점에 의하면, 반도체 기판 위에 형성되고, 제 1 게이트 절연막과, 상기 제 1 게이트 절연막 위에 형성된 제 1 게이트 전극과, 상기 반도체 기판 내에 형성된 제 1 소스/드레인 영역을 갖는 제 1 MIS 트랜지스터와, 상기 반도체 기판 위에 형성되고, 상기 제 1 게이트 절연막보다도 두꺼운 제 2 게이트 절연막과, 상기 제 2 게이트 절연막 위에 형성된 제 2 게이트 전극과, 상기 반도체 기판 내에 형성된 제 2 소스/드레인 영역과, 상기 제 2 소스/드레인 영역에 접속하여 상기 반도체 기판 내에 형성된 뱀러스트 저항을 갖는 제 2 MIS 트랜지스터와, 상기 뱀러스트 저항 위에, 상기 제 2 게이트 절연막보다 얇은 절연막을 통하여 형성된 살리사이드 블록

절연막과, 상기 제 1 소스/드레인 영역 위 및 상기 제 2 소스/드레인 영역 위에 형성된 실리사이드막을 갖는 것을 특징으로 하는 반도체 장치가 제공된다.

[0010] 또한, 본 발명의 다른 관점에 의하면, 반도체 기관의 제 1 영역에 제 1 MIS트랜지스터가 형성되고, 상기 반도체 기관의 제 2 영역에 밸러스트 저항을 갖는 제 2 MIS 트랜지스터가 형성된 반도체 장치의 제조 방법으로서, 상기 반도체 기관을 열산화하여, 상기 제 1 영역 및 상기 제 2 영역에 제 1 절연막을 형성하는 공정과, 상기 제 1 영역 및 상기 제 2 영역의 상기 밸러스트 저항 형성 영역의 상기 제 1 절연막을 제거하는 공정과, 상기 반도체 기관을 열산화하여, 상기 제 1 영역 및 상기 밸러스트 저항 형성 영역에 제 1 게이트 절연막을 형성하고, 상기 밸러스트 저항 형성 영역을 제외한 상기 제 2 영역에 상기 제 1 절연막을 추가 산화하여 이루어지는 제 2 게이트 절연막을 형성하는 공정과, 상기 제 1 게이트 절연막 위에 제 1 게이트 전극을 형성하고, 상기 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성하는 공정과, 상기 제 1 영역 및 상기 밸러스트 저항 형성 영역의 상기 반도체 기관에, 상기 제 1 게이트 전극을 마스크로 하여 불순물을 도입해서, 제 1 불순물층을 형성하는 공정과, 상기 제 2 영역의 상기 반도체 기관에, 상기 제 2 게이트 전극을 마스크로 하여 불순물을 도입해서, 제 2 불순물층을 형성하는 공정을 가지며, 상기 밸러스트 저항 형성 영역에, 상기 제 1 불순물층 및 상기 제 2 불순물층을 갖는 상기 밸러스트 저항을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법이 제공된다.

[0011] (발명의 효과)

[0012] 본 발명에 의하면, ESD 보호 소자의 밸러스트 저항을, 제 1 게이트 절연막을 갖는 제 1 트랜지스터의 익스텐션 영역을 구성하는 불순물층과, 제 1 게이트 절연막보다 두꺼운 제 2 게이트 절연막을 갖는 제 2 트랜지스터의 익스텐션 영역을 구성하는 불순물층에 의해 형성하므로, 밸러스트 저항을 형성하기 위해서 특유의 이온 주입 공정을 추가할 필요는 없다. 따라서, 제조 공정을 복잡하게 하지 않고 밸러스트 저항을 실현할 수 있다. 또한, 밸러스트 저항을 구성하는 불순물층을, 제 1 트랜지스터의 제 1 게이트 절연막과 동시에 형성된 얇은 절연막을 통한 이온 주입에 의해 형성하므로, 밸러스트 저항값 및 ESD 내성을 보다 안정화시킬 수 있다.

실시예

[0082] [제 1 실시예]

[0083] 본 발명의 제 1 실시예에 의한 반도체 장치 및 그 제조 방법에 관하여 도 1 내지 도 7을 이용하여 설명한다.

[0084] 도 1은 밸러스트 저항을 갖는 MIS 트랜지스터를 사용한 ESD 보호 회로의 일례를 나타낸 회로도, 도 2는 본 실시예에 의한 반도체 장치의 구조를 나타낸 개략 단면도, 도 3 내지 도 7은 본 실시예에 의한 반도체 장치의 제조 방법을 나타낸 공정 단면도이다.

[0085] 우선, 밸러스트 저항을 갖는 MIS 트랜지스터를 사용한 ESD 보호 회로에 대해서 도 1을 이용하여 설명한다. 도 1은 I/O부에서의 ESD 보호 회로의 일례를 나타낸 것이다.

[0086] V_{DD} 선과 신호선(V_{sig}) 사이에는, 밸러스트 저항(R_B)을 갖는 복수의 P채널 MIS 트랜지스터(Tr_P)가 병렬로 접속되어 있다. 밸러스트 저항(R_B)을 갖는 P채널 MIS 트랜지스터(Tr_P)란, P채널 MIS 트랜지스터(Tr_P)의 한쪽 소스/드레인 영역에 밸러스트 저항(R_B)이 직렬 접속된 것이다. 밸러스트 저항(R_B)은 신호선(V_{sig})측에 접속되어 있고, P채널 MIS 트랜지스터(Tr_P)의 게이트 단자 및 기관 단자는 V_{DD} 선에 접속되어 있다.

[0087] 또한, V_{SS} 선과 신호선(V_{sig}) 사이에는, 밸러스트 저항(R_B)을 갖는 복수의 N채널 MIS 트랜지스터(Tr_N)가 병렬로 접속되어 있다. 밸러스트 저항(R_B)을 갖는 N채널 MIS 트랜지스터(Tr_N)란, N채널 MIS 트랜지스터(Tr_N)의 한쪽 소스/드레인 영역에 밸러스트 저항(R_B)이 직렬 접속된 것이다. 밸러스트 저항(R_B)은 신호선(V_{sig})측에 접속되어 있고, N채널 MIS 트랜지스터(Tr_N)의 게이트 단자 및 기관 단자는 V_{SS} 선에 접속되어 있다.

[0088] 이와 같이 하여, 밸러스트 저항을 갖는 복수의 MIS 트랜지스터에 의해, ESD 보호 회로(300)가 구성되어 있다.

[0089] 신호선(V_{sig})은 ESD 보호 회로(300) 및 저항(R)을 통하여, 소정의 내부 회로(302)에 접속되어 있다. 또한, V_{DD} 선 및 V_{SS} 선은 전원 전압을 안정화시키는 전원 클램프 회로(304)에 접속되어 있다.

[0090] 다음에, 본 실시예에 의한 반도체 장치의 구조에 관하여 도 2를 이용하여 설명한다.

[0091] 실리콘 기관(10)에는, 활성 영역을 획정하는 소자 분리막(12)이 형성되어 있다. 또한, 도 2에서, 소자 분리막

(12)에 의해 형성된 활성 영역은, 우측으로부터 차례로, 논리 회로(N-LV) 형성 영역, 입출력 회로(N-MV) 영역, 입출력 회로점 ESD 보호 소자(N-MV ESD) 형성 영역을 나타내는 것으로 한다.

- [0092] 실리콘 기관(10)의 입출력 회로점 ESD 보호 소자(N-MV ESD) 형성 영역 및 입출력 회로(N-MV) 영역에는, P형 웰(72)이 형성되어 있다. 실리콘 기관(10)의 논리 회로(N-LV) 형성 영역에는 P형 웰(76)이 형성되어 있다.
- [0093] 논리 회로(N-LV) 형성 영역에는, 실리콘 기관(10) 위에 게이트 절연막(92)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기관(10) 내에 형성되고, 익스텐션(또는 LDD)(122)을 포함하는 소스/드레인 영역(154)을 갖는 저전압 트랜지스터가 형성되어 있다. 저전압 트랜지스터는, 논리 회로를 구성하기 위한 것으로, 예를 들면, 1.2V의 저전압으로 구동된다.
- [0094] 입출력 회로(N-MV) 영역에는, 실리콘 기관(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기관(10) 내에 형성되고, 익스텐션(또는 LDD)(112)을 포함하는 소스/드레인 영역(154)을 갖는 중전압 트랜지스터가 형성되어 있다. 중전압 트랜지스터는 입출력 회로를 구성하기 위한 것으로, 예를 들면, 2.5V나 3.3V의 중전압으로 구동된다. 중전압 트랜지스터의 게이트 절연막(96)은 저전압 트랜지스터의 게이트 절연막(92)보다도 두껍게 되어 있다.
- [0095] 입출력 회로점 ESD 보호 소자(N-MV ESD) 형성 영역에는, 중전압 트랜지스터와 밸러스트 저항을 갖는 ESD 보호 소자가 형성되어 있다. 이 중전압 트랜지스터 및 밸러스트 저항은 도 1의 MIS 트랜지스터(Tr_N) 및 밸러스트 저항(R_b)에 각각 대응하고 있다. 중전압 트랜지스터는 실리콘 기관(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기관(10) 내에 형성되고, 익스텐션(또는 LDD)(112)을 포함하는 소스/드레인 영역(154)을 갖고 있다. 밸러스트 저항은 중전압 트랜지스터의 소스/드레인 영역(154)에 직렬 접속된 불순물층(120)으로 구성되어 있다. 불순물층(120)은 저전압 트랜지스터의 익스텐션(122)을 구성하는 불순물층과, 중전압 트랜지스터의 익스텐션(112)을 구성하는 불순물층의 조합에 의해 구성되어 있다.
- [0096] 각 트랜지스터의 게이트 전극(108) 위 및 소스/드레인 영역(154) 위에는, 실리사이드막(156)이 형성되어 있다. 밸러스트 저항을 구성하는 불순물층(120) 위에는, 게이트 절연막(96)을 통하여 살리사이드 블록(146)이 형성되어 있고, 실리사이드막은 형성되어 있지 않다. 또한, 살리사이드 블록(146) 아래의 게이트 절연막(96)의 막 두께는, 중전압 트랜지스터의 게이트 전극(108)의 측벽 부분에 형성된 사이드 월 스페이서(144) 아래의 게이트 절연막(96)의 막 두께와 동일하다.
- [0097] 이와 같이, 본 실시예에 의한 반도체 장치는, ESD 보호 소자의 밸러스트 저항이, 저전압 트랜지스터의 익스텐션(122)을 구성하는 불순물층과, 중전압 트랜지스터의 익스텐션(112)을 구성하는 불순물층의 조합에 의해 구성되어 있는 것에 주된 특징이 있다. 소스/드레인 영역의 불순물 프로파일이 다른 2개의 트랜지스터의 익스텐션을 조합시켜 밸러스트 저항을 구성함으로써, 밸러스트 저항을 형성하기 위해서 특유의 이온 주입 공정을 추가할 필요는 없어, 제조 공정을 간략화할 수 있다.
- [0098] 다음에, 본 실시예에 의한 반도체 장치의 제조 방법에 대해서 도 3 내지 도 7을 이용하여 설명한다.
- [0099] 우선, 실리콘 기관(10)에, 예를 들면, STI(Shallow Trench Isolation)법에 의해, 활성 영역을 형성하는 소자 분리막(12)을 형성한다(도 3의 (a)). 또한, 도 3 내지 도 7에서, 소자 분리막(12)에 의해 형성된 활성 영역은, 우측으로부터 차례로, 논리 회로(N-LV) 형성 영역, 입출력 회로(N-MV) 영역, 입출력 회로점 ESD 보호 소자(N-MV ESD) 형성 영역을 나타내는 것으로 한다.
- [0100] 이어서, 이온 주입에 의해, 실리콘 기관(10)의 입출력 회로점 ESD 보호 소자(N-MV ESD) 형성 영역 및 입출력 회로(N-MV) 영역에 P형 웰(72)을 형성하고, 논리 회로(N-LV) 형성 영역에 P형 웰(76)을 형성한다. 또한, P형 웰(72)은 중전압 트랜지스터용 웰이고, P형 웰(76)은 저전압 트랜지스터용 웰이다.
- [0101] 이어서, 활성 영역 위에, 예를 들면, 열산화법에 의해, 가령 막 두께 6nm의 실리콘 산화막(88)을 형성한다(도 3의 (b)).
- [0102] 이어서, 포토리소그래피 및 습식 에칭에 의해, 논리 회로(N-LV) 형성 영역의 실리콘 산화막(88)을 제거한다(도 4의 (a)).
- [0103] 이어서, 예를 들면, 열산화법에 의해, 논리 회로(N-LV) 형성 영역의 활성 영역 위에, 막 두께, 예를 들면, 2.2nm의 실리콘 산화막으로 이루어지는 게이트 절연막(92)을 형성한다. 또한, 이 열산화 공정에서, 실리콘 산화막(88)의 막 두께도 증가하여, 입출력 회로(N-MV) 영역 및 입출력 회로점 ESD 보호 소자(N-MV ESD) 형성 영역

의 활성 영역 위에는, 합계 막 두께 8nm의 게이트 절연막(96)이 형성된다(도 4의 (b)).

- [0104] 이어서, CVD법에 의해 예를 들면, 폴리실리콘막을 퇴적 후, 포토리소그래피 및 건식 에칭에 의해 이 폴리실리콘막을 패터닝함으로써, 논리 회로(N-LV) 형성 영역에 저전압 트랜지스터용의 게이트 전극(108)을 형성하고, 입출력 회로(N-MV) 영역 및 입출력 회로겸 ESD 보호 소자(N-MV ESD) 형성 영역에 중전압 트랜지스터용 게이트 전극(108)을 형성한다(도 5의 (a)). 또한, 폴리실리콘막 패터닝시의 오버 에칭에 의해 게이트 절연막(92, 96)도 약간 에칭되어, 게이트 전극(108) 형성 영역 이외의 게이트 절연막(92, 96)의 막 두께는 게이트 전극(108) 바로 아래의 막 두께보다도 얇아진다.
- [0105] 이어서, 포토리소그래피에 의해, 입출력 회로(N-MV) 영역 및 입출력 회로겸 ESD 보호 소자(N-MV ESD) 형성 영역을 노출시키고, 논리 회로(N-LV) 형성 영역을 덮는 포토레지스트막(110)을 형성한다.
- [0106] 이어서, 게이트 전극(108) 및 포토레지스트막(110)을 마스크로 하여 이온 주입을 행하고, 입출력 회로(N-MV) 영역 및 입출력 회로겸 ESD 보호 소자(N-MV ESD) 형성 영역에, 중전압 트랜지스터(N-MV)의 익스텐션(112)을 형성한다(도 5의 (b)).
- [0107] 이어서, 예를 들면, 애싱에 의해, 포토레지스트막(110)을 제거한다.
- [0108] 이어서, 포토리소그래피에 의해, 입출력 회로겸 ESD 보호 소자(N-MV ESD) 형성 영역의 밸러스트 저항 형성 영역 및 논리 회로(N-LV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(118)을 형성한다.
- [0109] 이어서, 게이트 전극(108) 및 포토레지스트막(118)을 마스크로 하여 이온 주입을 행하고, 입출력 회로겸 ESD 보호 소자(N-MV ESD) 형성 영역의 밸러스트 저항 형성 영역 및 논리 회로(N-LV) 형성 영역에 익스텐션(122)을 형성한다. 이에 따라, 밸러스트 저항 형성 영역에는, 익스텐션(112, 122)으로 이루어지는 밸러스트 저항용의 불순물층(120)이 형성된다(도 6의 (a)).
- [0110] 이어서, 예를 들면, 애싱에 의해 포토레지스트막(118)을 제거한다.
- [0111] 이어서, 전체면에, 예를 들면, 열 CVD법에 의해, 실리콘 산화막(136)을 퇴적한다.
- [0112] 이어서, 포토리소그래피에 의해, 실리콘 산화막(136) 위에, 밸러스트 저항 형성 영역을 덮고 다른 영역을 노출시키는 포토레지스트막(138)을 형성한다(도 6의 (b)).
- [0113] 이어서, 포토레지스트막(138)을 마스크로 하여 실리콘 산화막(136)을 에치백하여, 게이트 전극(108)의 측벽 부분에 실리콘 산화막(136)으로 이루어지는 사이드 월 스페이서(144)를 형성하는 동시에, 밸러스트 저항 형성 영역에 실리콘 산화막(136)으로 이루어지는 살리사이드 블록(146)을 형성한다.
- [0114] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(138)을 제거한다(도 7의 (a)).
- [0115] 다음에, 게이트 전극(108), 사이드 월 스페이서(144) 및 살리사이드 블록(146)을 마스크로 하여 이온 주입을 행하고, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 소스/드레인 영역(154)을 형성한다.
- [0116] 다음에, 주지의 살리사이드 프로세스에 의해, 게이트 전극(108) 위 및 소스/드레인 영역(154) 위를 선택적으로 실리사이드화하고, 게이트 전극(108) 위 및 소스/드레인 영역(154) 위에 실리사이드막(156)을 형성한다. 이 때, 밸러스트 저항 형성 영역에는 살리사이드 블록(146)이 형성되어 있기 때문에, 실리사이드막(156)이 형성되는 일은 없다.
- [0117] 다음에, 트랜지스터 등이 형성된 실리콘 기판(10) 위에, 절연막(158)을 성장시킨 후, 전극 플러그(160), 배선(162) 등을 형성하여, 제 1 층 금속 배선층까지 완성한다(도 7의 (b)).
- [0118] 이와 같이, 본 실시예에 의하면, ESD 보호 소자의 밸러스트 저항을, 저전압트랜지스터의 소스/드레인 영역의 익스텐션을 구성하는 불순물층과, 중전압 트랜지스터의 소스/드레인 영역의 익스텐션을 구성하는 불순물층에 의해 형성하므로, 밸러스트 저항을 형성하기 위해 특유의 이온 주입 공정을 추가할 필요는 없다. 따라서, 제조 공정을 복잡하게 하지 않고 밸러스트 저항을 실현할 수 있다.
- [0119] [제 2 실시예]
- [0120] 본 발명의 제 2 실시예에 의한 반도체 장치 및 그 제조 방법에 관하여 도 8 내지 도 21을 이용하여 설명한다. 또한, 도 2 내지 도 7에 나타난 제 1 실시예에 의한 반도체 장치 및 그 제조 방법과 동일한 구성 요소에는 동일한 부호를 부여하여 설명을 생략하거나 또는 간결하게 한다.

- [0121] 도 8은 익스텐션 영역에서의 불순물 농도의 깊이 방향 분포를 나타낸 그래프, 도 9는 본 실시예에 의한 반도체 장치의 구조를 나타낸 개략 단면도, 도 10 내지 도 20은 본 실시예에 의한 반도체 장치의 제조 방법을 나타낸 공정 단면도, 도 21은 본 실시예에 의한 반도체 장치의 제조 방법의 효과를 나타낸 도면이다.
- [0122] 상기 제 1 실시예에서는, ESD 보호 소자의 밸러스트 저항을, 저전압 트랜지스터의 익스텐션 영역을 구성하는 불순물층과, 중전압 트랜지스터의 익스텐션 영역을 구성하는 불순물층에 의해 형성했다. 이것은, 중전압 트랜지스터의 익스텐션 영역을 구성하는 불순물층만으로는 밸러스트 저항의 저항값으로서는 너무 높기 때문이다. 그러나, 예를 들면, 소스/드레인 영역의 구조에 따라서는, 제 1 실시예에 의한 반도체 장치 및 그 제조 방법에서는 밸러스트 저항으로서 충분한 저항값을 얻을 수 없는 경우가 있다.
- [0123] 도 8은 저전압 트랜지스터의 익스텐션 영역을 구성하는 불순물층과 중전압 트랜지스터의 익스텐션 영역을 구성하는 불순물층을 밸러스트 저항 형성 영역에 이온 주입한 경우에서의 불순물 농도의 깊이 방향 분포의 일례를 나타낸 그래프이다. 도면 중, MV LDD가 중전압 트랜지스터의 익스텐션을 구성하는 불순물층이고, LV LDD가 저전압 트랜지스터의 익스텐션을 구성하는 불순물층이고, LV pocket가 저전압 트랜지스터의 포켓 영역을 구성하는 불순물층이다.
- [0124] 논리 회로용의 트랜지스터 등에서는, 익스텐션보다도 깊은 영역에, 채널 방향으로의 공핍층(空乏層)의 신장을 억제하기 위한 포켓을 형성하는 경우가 있다. 이 때문에, 저전압 트랜지스터의 익스텐션 영역을 구성하는 불순물층과 중전압 트랜지스터의 익스텐션 영역을 구성하는 불순물층을 함께 밸러스트 저항 형성 영역에 이온 주입하면, 도 8에 나타난 바와 같이, 중전압 트랜지스터의 익스텐션을 구성하는 불순물층이 저전압 트랜지스터의 포켓을 구성하는 불순물층에 의해 상쇄되어 버린다. 이 경우, 밸러스트 저항의 저항값은, 주로 저전압 트랜지스터의 익스텐션을 구성하는 불순물층에 의해 결정된다.
- [0125] 그러나, 저전압 트랜지스터의 익스텐션은 매우 얇기 때문에, 실리콘 기판 내에서의 불순물 농도는 게이트 절연막의 막 두께에 강하게 의존한다. 즉, 게이트 전극 형성시의 게이트 절연막의 잔존 막 두께의 편차에 의해, 밸러스트 저항부에 주입되는 불순물 농도가 변동한다. 이 결과, 밸러스트 저항의 제조 편차가 커져, 안정되고 충분한 ESD 내성을 확보하는 것이 곤란하게 된다.
- [0126] 본 실시예에서는, 제 1 실시예에 의한 반도체 장치 및 그 제조 방법에서의 상기 결함을 개선할 수 있는 반도체 장치 및 그 제조 방법을 나타낸다.
- [0127] 우선, 본 실시예에 의한 반도체 장치의 구조에 관하여 도 9를 이용하여 설명한다.
- [0128] 실리콘 기판(10)에는, 활성 영역을 확정하는 소자 분리막(12)이 형성되어 있다. 또한, 도 9에서, 소자 분리막(12)에 의해 확정된 활성 영역은, 좌측으로부터 차례로, ESD 보호 소자(MV I/O ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, p채널 중전압 트랜지스터(P-MV) 형성 영역, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역, n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역을 나타내는 것으로 한다.
- [0129] 실리콘 기판(10)의 ESD 보호 소자(MV I/O ESD) 형성 영역 및 n채널 중전압 트랜지스터(N-MV) 형성 영역에는, P형 웰(72)이 형성되어 있다. p채널 중전압 트랜지스터(P-MV) 형성 영역에는, N형 웰(74)이 형성되어 있다. n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역 및 n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역에는, P형 웰(76)이 형성되어 있다. p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역에는, N형 웰(78)이 형성되어 있다.
- [0130] n채널 중전압 트랜지스터(N-MV) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(112)을 포함하는 소스/드레인 영역(154)을 갖는 n채널 중전압 트랜지스터가 형성되어 있다.
- [0131] p채널 중전압 트랜지스터(P-MV) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(116)을 포함하는 소스/드레인 영역(150)을 통하는 p채널 중전압 트랜지스터가 형성되어 있다.
- [0132] n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역 및 n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(92)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(122)을 포함하는 소스/드레인 영역(154)을

갖는 n채널 저전압 트랜지스터가 형성되어 있다.

- [0133] p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(92)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(126)을 포함하는 소스/드레인 영역(150)을 갖는 p채널 저전압 트랜지스터가 형성되어 있다.
- [0134] ESD 보호 소자(MV I/O ESD) 형성 영역에는, 중전압 트랜지스터와 밸러스트 저항을 갖는 ESD 보호 소자가 형성되어 있다. 중전압 트랜지스터는 실리콘 기판(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(112)을 포함하는 소스/드레인 영역(154)을 갖고 있다. 밸러스트 저항은 중전압 트랜지스터의 소스/드레인 영역(154)에 직렬 접속된 불순물층(120)에 의해 구성되어 있다. 불순물층(120)은 저전압 트랜지스터의 익스텐션(122)을 구성하는 불순물층과, 중전압 트랜지스터의 익스텐션(112)을 구성하는 불순물층의 조합에 의해 구성되어 있다.
- [0135] 각 트랜지스터의 게이트 전극(108) 위 및 소스/드레인 영역(150, 154) 위에는, 실리콘사이드막(156)이 형성되어 있다. 밸러스트 저항을 구성하는 불순물층(120) 위에는, 게이트 절연막(92)을 통하여 실리콘사이드 블록(146)이 형성되어 있고, 실리콘사이드막은 형성되어 있지 않다. 실리콘사이드 블록(146) 아래의 게이트 절연막(92)의 막 두께는 저전압 트랜지스터의 게이트 전극(108)의 측벽 부분에 형성된 사이드 월 스페이서(144) 아래의 게이트 절연막(92)의 막 두께와 동일하다.
- [0136] 이와 같이, 본 실시예에 의한 반도체 장치는, ESD 보호 소자의 밸러스트 저항이, 저전압 트랜지스터의 익스텐션(122)을 구성하는 불순물층과, 중전압 트랜지스터의 익스텐션(112)을 구성하는 불순물층의 조합에 의해 형성되어 있는 점에서 제 1 실시예에 의한 반도체 장치와 동일한 동시에, 실리콘사이드 블록(146) 아래의 게이트 절연막(92)의 막 두께가 저전압 트랜지스터의 게이트 전극(108)의 측벽 부분에 형성된 사이드 월 스페이서(144) 아래의 게이트 절연막(92)의 막 두께와 동일한 것에 또 하나의 특징이 있다. 이것은, 밸러스트 저항을 구성하는 불순물층(120)이 저전압 트랜지스터의 게이트 절연막(92)과 동시에 형성된 얇은 절연막을 통한 이온 주입에 의해 형성되어 있는 것을 의미하고 있다. 이와 같이 하여, 밸러스트 저항을 형성함으로써, 제조 공정을 복잡하게 하지 않고, 밸러스트 저항값 및 ESD 내성을 보다 안정화시킬 수 있다.
- [0137] 다음에, 본 실시예에 의한 반도체 장치의 제조 방법에 관하여 도 10 내지 도 21을 이용하여 설명한다.
- [0138] 우선, 실리콘 기판(10)에, 예를 들면, STI법에 의해, 활성 영역을 확정하는 소자 분리막(12)을 형성한다(도 10의 (a)). 예를 들면, 우선, 열산화법에 의해, 가령, 막 두께 10nm의 실리콘 산화막을 성장시킨다. 이어서, CVD법에 의해, 예를 들면, 막 두께 100nm의 실리콘 질화막을 성장시킨다. 다음에, 리소그래피 및 건식 에칭에 의해, 실리콘 질화막, 실리콘 산화막, 실리콘 기판(10)을 차례로 에칭하여, 실리콘 기판(10)에, 깊이가 예를 들면, 300nm의 홈을 형성한다. 다음에, 실리콘 기판(10)을 열산화하여, 홈의 내면에 실리콘 산화막을 형성한다. 다음에, 예를 들면, 고밀도 플라즈마 CVD법에 의해, 예를 들면, 막 두께 550nm의 실리콘 산화막을 성장시킨다. 다음에, CMP법에 의해, 실리콘 질화막이 노출될 때까지 실리콘 산화막을 평탄화하고, 홈에 매립되어 실리콘 산화막으로 이루어지는 소자 분리막(12)을 형성한다.
- [0139] 또한, 도 10 내지 도 20에서, 소자 분리막(12)에 의해 확정된 활성 영역은, 좌측으로부터 차례로, ESD 보호 소자(MV I/O ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, p채널 중전압 트랜지스터(P-MV) 형성 영역, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역, n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역을 나타내는 것으로 한다.
- [0140] 이어서, 소자 분리막(12)을 형성할 때에 사용한 실리콘 질화막 및 실리콘 산화막을 제거한 후, 실리콘 기판(10)을 열산화하여, 예를 들면, 막 두께 10nm의 희생 산화막으로서의 실리콘 산화막(14)을 성장시킨다.
- [0141] 이어서, 포토리소그래피에 의해, ESD 보호 소자(MV I/O ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(20)을 형성한다.
- [0142] 이어서, 포토레지스트막(20)을 마스크로 하여 이온 주입을 행하고, ESD 보호 소자(MV I/O ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역에, p형 웰용 불순물층(22, 24)을 형성한다(도 10의 (a)). p형 웰용 불순물층(22)은, 예를 들면, 붕소(B⁺) 이온을,

가속 에너지 420keV, 도스량 $1.4 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, p형 웰용 불순물층(24)은, 예를 들면, 붕소 이온을, 가속 에너지 100keV, 도스량 $2.0 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, p형 웰용 불순물층(24)은 채널 스톱 형성용 불순물층이다.

- [0143] 이어서, 예를 들면, 애싱에 의해 포토레지스트막(20)을 제거한다.
- [0144] 이어서, 포토리소그래피에 의해, p채널 증전압 트랜지스터(P-MV) 형성 영역, p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(30)을 형성한다.
- [0145] 이어서, 포토레지스트막(30)을 마스크로 하여 이온 주입을 행하고, p채널 증전압 트랜지스터(P-MV) 형성 영역, p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역에, n형 웰용 불순물층(32, 34)을 형성한다(도 11의 (a)). n형 웰용 불순물층(32)은, 예를 들면, 인(P^+) 이온을, 가속 에너지 600keV, 도스량 $1.5 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, n형 웰용 불순물층(34)은, 예를 들면, 인 이온을, 가속 에너지 240keV, 도스량 $3.0 \times 10^{12} \text{ cm}^{-2}$ 조건에서 이온 주입함으로써 형성한다.
- [0146] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(30)을 제거한다.
- [0147] 다음에, 포토리소그래피에 의해, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(60)을 형성한다.
- [0148] 다음에, 포토레지스트막(60)을 마스크로 하여 이온 주입을 행하고, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역에 임계값 전압 제어용 불순물층(62)을 형성한다(도 11의 (b)). 임계값 전압 제어용 불순물층(62)은, 예를 들면, 붕소 이온을, 가속 에너지 10keV, 도스량 $5 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0149] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(60)을 제거한다.
- [0150] 다음에, 포토리소그래피에 의해, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(64)을 형성한다.
- [0151] 다음에, 포토레지스트막(64)을 마스크로 하여 이온 주입을 행하고, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역에 임계값 전압 제어용 불순물층(66)을 형성한다(도 12의 (a)). 임계값 전압 제어용 불순물층(66)은, 예를 들면, 비소(As^+) 이온을, 가속 에너지 100keV, 도스량 $5 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0152] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(64)을 제거한다.
- [0153] 다음에, 포토리소그래피에 의해, ESD 보호 소자(MV I/O ESD) 형성 영역 및 n채널 증전압 트랜지스터(N-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(52)을 형성한다.
- [0154] 다음에, 포토레지스트막(52)을 마스크로 하여 이온 주입을 행하고, ESD 보호 소자(MV I/O ESD) 형성 영역 및 n채널 증전압 트랜지스터(N-MV) 형성 영역에 임계값 전압 제어용 불순물층(54)을 형성한다(도 12의 (b)). 임계값 전압 제어용 불순물층(54)은, 예를 들면, 붕소 이온을, 가속 에너지 30keV, 도스량 $5.0 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0155] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(52)을 제거한다.
- [0156] 다음에, 포토리소그래피에 의해, p채널 증전압 트랜지스터(P-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(56)을 형성한다.
- [0157] 다음에, 포토레지스트막(56)을 마스크로 하여 이온 주입을 행하고, p채널 증전압 트랜지스터(P~MV) 형성 영역에 임계값 전압 제어용 불순물층(58)을 형성한다(도 13의 (a)). 임계값 전압 제어용 불순물층(58)은, 예를 들면, 비소 이온을, 가속 에너지 150keV, 도스량 $3 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0158] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(56)을 제거한다.
- [0159] 이렇게 하여, ESD 보호 소자(MV I/O ESD) 형성 영역 및 n채널 증전압 트랜지스터(N-MV) 형성 영역에 형성되고, p형 웰용 불순물층(22, 24), 임계값 전압 제어용 불순물층(54)을 포함하는 p형 웰(72)과, p채널 증전압 트랜지

스터(P-MV) 형성 영역에 형성되고, n형 웰용 불순물층(32, 34), 임계값 전압 제어용 불순물층(58)을 포함하는 n형 웰(74)과, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역에 형성되고, p형 웰용 불순물층(22, 24), 임계값 전압 제어용 불순물층(62)을 포함하는 p형 웰(76)과, p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역에 형성되고, n형 웰용 불순물층(32, 34), 임계값 전압 제어용 불순물층(66)을 포함하는 n형 웰(78)을 형성한다(도 13의 (b)).

- [0160] 다음에, 예를 들면, 플루오르산 수용액을 사용한 습식 에칭에 의해, 실리콘 산화막(14)을 제거한다.
- [0161] 다음에, 예를 들면, 850℃의 온도에서 열산화를 행하여, 활성 영역 위에, 예를 들면, 막 두께 6nm의 실리콘 산화막(88)을 형성한다.
- [0162] 다음에, 포토리소그래피에 의해, 증전압 트랜지스터(N-MV, P-MV) 형성 영역을 덮고, ESD 보호 소자(MV I/O ESD)의 밸러스트 저항 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역을 노출하는 포토레지스트막(90)을 형성한다(도 14의 (a), (b)).
- [0163] 다음에, 예를 들면, 플루오르산 수용액을 사용한 습식 에칭에 의해, 포토레지스트막(90)을 마스크로 하여 실리콘 산화막(88)을 에칭해서, ESD 보호 소자(MV I/O ESD)의 밸러스트 저항 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역의 실리콘 산화막(88)을 제거한다.
- [0164] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(90)을 제거한다(도 15의 (a)).
- [0165] 다음에, 예를 들면, 850℃의 온도에서 열산화를 행하여, ESD 보호 소자(MV I/O ESD)의 밸러스트 저항 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역의 활성 영역 위에, 막 두께 2.2nm의 실리콘 산화막으로 이루어지는 게이트 절연막(92)을 형성한다. 또한, 이 열산화 공정에서, 실리콘 산화막(88)의 막 두께도 증가하여, 밸러스트 저항 형성 영역 이외의 ESD 보호 소자(MV I/O ESD) 형성 영역 및 증전압 트랜지스터(N-MV, P-MV) 형성 영역에는 합계 막 두께 8nm의 게이트 절연막(96)이 형성된다(도 15의 (b)).
- [0166] 다음에, CVD법에 의해 예를 들면, 막 두께 180nm의 폴리실리콘막을 퇴적 후, 포토리소그래피 및 건식 에칭에 의해 이 폴리실리콘막을 패터닝하고, ESD 보호 소자(MV I/O ESD) 형성 영역, 증전압 트랜지스터(N-MV, P-MV) 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역에, 폴리실리콘막으로 이루어지는 게이트 전극(108)을 형성한다(도 16의 (a)). 또한, 도시하지 않았지만, 폴리실리콘막 패터닝시의 오버 에칭에 의해 게이트 절연막(92, 96)이 약간 에칭되는 경우가 있으며, 이 경우에는, 게이트 전극(108) 형성 영역 이외의 게이트 절연막(92, 96)의 막 두께는, 게이트 전극(108) 바로 아래의 막 두께보다도 얇아진다.
- [0167] 다음에, 포토리소그래피에 의해, ESD 보호 소자(MV I/O ESD) 형성 영역 및 n채널 증전압 트랜지스터(N-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(110)을 형성한다.
- [0168] 다음에, 게이트 전극(108) 및 포토레지스트막(110)을 마스크로 하여 이온 주입을 행하고, ESD 보호 소자(MV I/O ESD) 및 n채널 증전압 트랜지스터(N-MV)의 익스텐션(112)을 형성한다(도 16의 (a)). 익스텐션(112)은, 예를 들면, 인 이온을, 가속 에너지 35keV, 도스 $4 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.
- [0169] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(110)을 제거한다.
- [0170] 다음에, 포토리소그래피에 의해, p채널 증전압 트랜지스터(P-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(114)을 형성한다.
- [0171] 다음에, 게이트 전극(108) 및 포토레지스트막(114)을 마스크로 하여 이온 주입을 행하고, p채널 증전압 트랜지스터(P-MV)의 익스텐션(116)을 형성한다(도 17의 (a)). 익스텐션(116)은, 예를 들면, 플루오르화 붕소 이온을, 가속 에너지 10keV, 도스량 $4 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.
- [0172] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(114)을 제거한다.
- [0173] 다음에, 포토리소그래피에 의해, ESD 보호 소자(MV I/O ESD)의 밸러스트 저항 형성 영역 및 n채널 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(118)을 형성한다.
- [0174] 다음에, 게이트 전극(108) 및 포토레지스트막(118)을 마스크로 하여 이온 주입을 행하고, ESD 보호 소자(MV I/O

ESD)의 밸러스트 저항 형성 영역, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역에 익스텐션(122)을 형성한다. 익스텐션(122)은, 예를 들면, 비소 이온을, 가속 에너지 3keV, 도스량 $1.2 \times 10^{15} \text{ cm}^{-2}$ 로 하고, 및, 플루오르화 붕소(BF₂⁺) 이온을, 가속 에너지 80keV, 도스량 각 $6.0 \times 10^{12} \text{ cm}^{-2}$ 로 하고, 기판 법선으로부터 28도 기울인 4방향에서 이온 주입을 행함으로써 형성한다. 이에 따라, 익스텐션(122)은 포켓이 부착된 익스텐션이 된다. 또한, 밸러스트 저항 형성 영역에는, 익스텐션(112, 122)으로 이루어지는 밸러스트 저항용의 불순물층(120)이 형성된다(도 17의 (b)).

[0175] 이 때, 밸러스트 저항 형성 영역 위는, 중전압 트랜지스터용의 게이트 절연막(96)보다도 얇은 저전압 트랜지스터용의 게이트 절연막(92)이 형성되어 있다. 저전압 트랜지스터용의 게이트 절연막(92)의 막 두께는 원래 2.2nm으로, 막 두께 7nm의 중전압 트랜지스터용의 게이트 절연막(96)과 비교하여 매우 얇다. 또한, 이 영역의 게이트 절연막(92)은 폴리실리콘막 패터닝시에 에칭되어 더 얇아지는 경우가 있다. 이 때문에, 밸러스트 저항 형성 영역 위에서의 게이트 절연막(92)의 막 두께의 변동량은 매우 작다고 할 수 있다.

[0176] 따라서, 밸러스트 저항 형성 영역에서의 게이트 절연막(92)의 잔존 막 두께의 편차는 매우 작게 억제할 수 있어, 이 게이트 절연막(92)을 통하여 형성되는 밸러스트 저항 형성 영역의 익스텐션(122)의 불순물 농도의 변동을 대폭으로 억제할 수 있다.

[0177] 또한, 저전압 트랜지스터의 익스텐션은 매우 얇기 때문에, 제 1 실시예에 의한 반도체 장치의 제조 방법의 경우와 같이 중전압 트랜지스터용의 게이트 절연막(96)을 통하여 익스텐션(122)을 형성하면, 불순물 농도의 피크는 게이트 절연막(96) 내에 위치하게 된다(도 21의 (a)참조).

[0178] 그러나, 본 실시예에 의한 반도체 장치의 제조 방법과 같이 저전압 트랜지스터용의 게이트 절연막(92)을 통하여 익스텐션(122)을 형성함으로써, 불순물 농도의 피크는 실리콘 기판(10) 내에 위치하게 되어(도 21의 (b) 참조), 게이트 절연막(92)의 편차에 대한 불순물 농도의 변동을 작게 억제할 수 있다.

[0179] 이에 따라, 충분한 ESD 내성을 갖는 ESD 보호 소자를, 안정되게 형성하는 것이 가능해진다.

[0180] 또한, ESD 보호 소자(MV I/O ESD) 형성 영역에서는, 밸러스트 저항 형성 영역에 선택적으로 익스텐션(122)을 형성하는 것이 바람직하다. 도 8에 나타난 바와 같이, 포켓이 부착된 익스텐션(122)을 형성하는 경우, 중전압 트랜지스터의 익스텐션(112)이 저전압 트랜지스터의 포켓에 의해 상쇄되어, 원하는 농도의 익스텐션(112)을 형성할 수 없는 가능성이 있기 때문이다.

[0181] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(118)을 제거한다.

[0182] 다음에, 포토리소그래피에 의해, p채널 저전압 트랜지스터(P-LV Low Vt, P-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(124)을 형성한다.

[0183] 다음에, 게이트 전극(108) 및 포토레지스트막(124)을 마스크로 하여 이온 주입을 행하고, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt)의 익스텐션(126)을 형성한다(도 18의 (a)). 익스텐션(126)은, 예를 들면, 붕소 이온을, 가속 에너지 0.5keV, 도스량 $5.7 \times 10^{14} \text{ cm}^{-2}$ 로 하고, 및, 비소 이온을, 가속 에너지 120keV, 도스량 각 $7.0 \times 10^{12} \text{ cm}^{-2}$ 로 하고, 기판 법선으로부터 28도 기울인 4방향에서 이온 주입을 행함으로써 형성하여, 포켓이 부착된 익스텐션으로 한다.

[0184] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(124)을 제거한다.

[0185] 다음에, 전체면에, 예를 들면, 열 CVD법에 의해, 가령, 막 두께 130nm의 실리콘 산화막(136)을 퇴적한다.

[0186] 다음에, 포토리소그래피에 의해, 실리콘 산화막(136) 위에, 밸러스트 저항 형성 영역을 덮고 다른 영역을 노출시키는 포토레지스트막(138)을 형성한다(도 18의 (b)).

[0187] 다음에, 포토레지스트막(138)을 마스크로 하여 실리콘 산화막(136)을 에칭해서, 게이트 전극(108)의 측벽 부분에 실리콘 산화막(136)으로 이루어지는 사이드 월 스페이서(144)를 형성하는 동시에, 밸러스트 저항 형성 영역에 실리콘 산화막(136)으로 이루어지는 살리사이드 블록(146)을 형성한다.

[0188] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(138)을 제거한다(도 19의 (a)).

[0189] 또한, 밸러스트 저항 형성 영역에서의 살리사이드 블록(146) 아래의 게이트 절연막(92)은 저전압 트랜지스터의 게이트 절연막(92)과 동시에 형성된 것이다. 또한, 게이트 절연막(92)은 폴리실리콘막 패터닝시의 오버 에칭

에 의해 약간 예칭되는 경우가 있다. 따라서, 살리사이드 블록(146) 아래에서의 게이트 절연막(92)의 막 두께는 저전압 트랜지스터의 게이트 절연막(92)의 막 두께 이하가 된다.

- [0190] 또한, 폴리실리콘막 패터닝시의 오버 예칭을 고려한 경우, 사이드 월 스페이서(144) 및 살리사이드 블록(146)이 되는 실리콘 산화막(136)은 막 두께가 감소된 게이트 절연막(92) 위에 형성된다. 따라서, 밸러스트 저항 형성 영역에서의 살리사이드 블록(146) 아래의 게이트 절연막(92)의 막 두께는, 저전압 트랜지스터의 게이트 전극(108) 측벽 부분에 형성된 사이드 월 스페이서(144) 아래의 게이트 절연막(92)의 막 두께와 동일해진다.
- [0191] 다음에, 포토리소그래피에 의해, p채널 트랜지스터(P-MV, P-LV High Vt, P-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(148)을 형성한다.
- [0192] 다음에, 포토레지스트막(148), 게이트 전극(108) 및 사이드 월 스페이서(144)를 마스크로 하여 이온 주입을 행하고, p채널 트랜지스터(P-MV, P-LV High Vt, P-LV Low Vt) 형성 영역에 소스/드레인 영역(150)을 형성한다(도 19의 (b)). 동시에, 이 이온 주입에 의해, p채널 트랜지스터(P-MV, P-LV High Vt, P-LV Low Vt)의 게이트 전극(108)은 p형으로 도핑된다. 소스/드레인 영역(150)은, 예를 들면, 붕소 이온을, 가속 에너지 5keV, 도스량 $4 \times 10^{15} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.
- [0193] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(148)을 제거한다.
- [0194] 다음에, 포토리소그래피에 의해, ESD 보호 소자(MV I/O ESD) 형성 영역 및 n채널 트랜지스터(N-MV, N-LV High Vt, N-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(152)을 형성한다.
- [0195] 다음에, 포토레지스트막(152), 게이트 전극(108), 사이드 월 스페이서(144) 및 살리사이드 블록(146)을 마스크로 하여 이온 주입을 행하고, ESD 보호 소자(MV I/O ESD) 형성 영역 및 n채널 트랜지스터(N-MV, N-LV High Vt, N-LV Low Vt)에 소스/드레인 영역(154)을 형성한다(도 20의 (a)). 동시에, 이 이온 주입에 의해, n채널 트랜지스터(N-MV, N-LV High Vt, N-LV Low Vt)의 게이트 전극(108)은 n형으로 도핑된다. 소스/드레인 영역(154)은, 예를 들면, 인 이온을, 가속 에너지 10keV, 도스량 $6 \times 10^{15} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.
- [0196] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(152)을 제거한다.
- [0197] 다음에, 주지의 살리사이드 프로세스에 의해, 게이트 전극(108) 위 및 소스/드레인 영역(150, 154) 위를 선택적으로 살리사이드화하여, 게이트 전극(108) 위 및 소스/드레인 영역(150, 154) 위에, 살리사이드막(156)을 형성한다. 이 때, 밸러스트 저항 형성 영역에는 살리사이드 블록(146)이 형성되어 있기 때문에, 살리사이드막(156)이 형성되는 경우는 없다.
- [0198] 이와 같이 하여, 실리콘 기판(10) 위에, ESD 보호 소자 및 6종류의 트랜지스터를 완성한다.
- [0199] 다음에, 트랜지스터 등이 형성된 실리콘 기판(10) 위에, 절연막(158)을 성장시킨 후, 전극 플러그(160), 배선(162) 등을 형성하여, 제 1 층 금속 배선층까지를 완성한다(도 20의 (b)).
- [0200] 이와 같이, 본 실시예에 의하면, ESD 보호 소자의 밸러스트 저항을, 저전압 트랜지스터의 소스/드레인 영역의 익스텐션을 구성하는 불순물층과, 중전압 트랜지스터의 소스/드레인 영역의 익스텐션을 구성하는 불순물층에 의해 형성하므로, 밸러스트 저항을 형성하기 위해 특유의 이온 주입 공정을 추가할 필요는 없다. 따라서, 제조 공정을 복잡하게 하지 않고 밸러스트 저항을 실현할 수 있다.
- [0201] 또한, 밸러스트 저항을 구성하는 불순물층을, 저전압 트랜지스터의 게이트 절연막(92)과 동시에 형성된 얇은 절연막을 통한 이온 주입에 의해 형성하므로, 밸러스트 저항값 및 ESD 내성을 보다 안정화시킬 수 있다.
- [0202] [제 3 실시예]
- [0203] 본 발명의 제 3 실시예에 의한 반도체 장치 및 그 제조 방법에 대해서 도 22 내지 도 40을 이용하여 설명한다. 또한, 도 1 내지 도 21에 나타난 제 1 및 제 2 실시예에 의한 반도체 장치 및 그 제조 방법과 동일한 구성 요소에는 동일한 부호를 부여하여 설명을 생략하거나 또는 간결하게 한다.
- [0204] 도 22는 본 실시예에 의한 반도체 장치의 구조를 나타낸 개략 단면도, 도 23 내지 도 40은 본 실시예에 의한 반도체 장치의 제조 방법을 나타낸 공정 단면도이다.
- [0205] 본 실시예에서는 플래시 메모리를 탑재한 반도체 장치에 본 발명을 적용한 경우에 관하여 설명한다.
- [0206] 우선, 본 실시예에 의한 반도체 장치의 구조에 대해서 도 22를 이용하여 설명한다.

- [0207] 실리콘 기판(10)에는, 활성 영역을 획정하는 소자 분리막(12)이 형성되어 있다. 또한, 도 22에서, 소자 분리막(12)에 의해 획정된 활성 영역은, 좌측으로부터 차례로, 플래시 메모리 셀(Flash Cell) 형성 영역, n채널 고전압·저임계값 트랜지스터(N-HV Low Vt) 형성 영역, n채널 고전압·고임계값 트랜지스터(N-HV High Vt) 형성 영역, p채널 고전압·저임계값 트랜지스터(P-HV Low Vt) 형성 영역, p채널 고전압·고임계값 트랜지스터(P-HV High Vt) 형성 영역, ESD 보호 소자(N-MV ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, p채널 중전압 트랜지스터(P-MV) 형성 영역, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역, n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역을 나타내는 것으로 한다.
- [0208] 실리콘 기판(10)의 플래시 메모리 셀(Flash Cell) 형성 영역, n채널 고전압·저임계값 트랜지스터(N-HV Low Vt) 형성 영역 및 n채널 고전압·고임계값 트랜지스터(N-HV High Vt) 형성 영역에는, P형 웰(68)이 형성되어 있다. p채널 고전압·저임계값 트랜지스터(P-HV Low Vt) 형성 영역 및 p채널 고전압·고임계값 트랜지스터(P-HV High Vt) 형성 영역에는, n형 웰(70)이 형성되어 있다. P형 웰(68)은 N형 웰(70) 및 플래시 메모리 셀(Flash Cell) 형성 영역, n채널 고전압·저임계값 트랜지스터(N-HV Low Vt) 형성 영역 및 n채널 고전압·고임계값 트랜지스터(N-HV High Vt) 형성 영역에 형성된 N형 웰(80)에 둘러싸인 2중 웰이다. ESD 보호 소자(N-MV ESD) 형성 영역 및 n채널 중전압 트랜지스터(N-MV) 형성 영역에는, P형 웰(72)이 형성되어 있다. p채널 중전압 트랜지스터(P-MV) 형성 영역에는, N형 웰(74)이 형성되어 있다. n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역 및 n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역에는, P형 웰(76)이 형성되어 있다. p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역에는, N형 웰(78)이 형성되어 있다.
- [0209] 플래시 메모리 셀(Flash Cell) 형성 영역에는, 실리콘 기판(10) 위에 터널 산화막(46)을 통하여 형성된 부유 게이트(48)와, 부유 게이트(48) 위에 ONO막(50)을 통하여 형성된 컨트롤 게이트 전극(102)과, 컨트롤 게이트 전극(102) 양측의 실리콘 기판(10) 내에 형성된 소스/드레인 영역(104, 154)을 갖는 메모리 셀 트랜지스터가 형성되어 있다. 플래시 메모리 셀(Flash Cell)은 스택 게이트 구조의 플래시 EPROM이며, 부유 게이트에 소정 정보를 전하로서 축적하는 것이다.
- [0210] n채널 고전압·고임계값 트랜지스터(N-HV High Vt) 형성 영역 및 n채널 고전압·저임계값 트랜지스터(N-HV Low Vt) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(94)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(130)을 포함하는 소스/드레인 영역(154)을 갖는 n채널 고전압 트랜지스터가 형성되어 있다.
- [0211] p채널 고전압·고임계값 트랜지스터(P-HV High Vt) 형성 영역 및 p채널 고전압·저임계값 트랜지스터(P-HV Low Vt) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(94)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(134)을 포함하는 소스/드레인 영역(150)을 갖는 p채널 고전압 트랜지스터가 형성되어 있다.
- [0212] n채널 고전압·저임계값 트랜지스터(N-HV Low Vt), n채널 고전압·고임계값 트랜지스터(N-HV High Vt), p채널 고전압·저임계값 트랜지스터(P-HV Low Vt) 및 p채널 고전압·고임계값 트랜지스터(P-HV High Vt)는 플래시 메모리 셀의 제어 회로를 구성하는 트랜지스터이며, 플래시 메모리 셀의 판독시에는, 예를 들면, 5V, 기입 소거시에는, 예를 들면, 약 10V까지의 전압이 인가된다. 고전압 트랜지스터에는 이와 같이 큰 전압이 인가되기 때문에, 게이트 절연막의 막 두께도 저전압 트랜지스터 및 중전압 트랜지스터보다도 두꺼워진다.
- [0213] n채널 중전압 트랜지스터(N-MV) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(112)을 포함하는 소스/드레인 영역(154)을 갖는 중전압 트랜지스터가 형성되어 있다.
- [0214] p채널 중전압 트랜지스터(P-MV) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(116)을 포함하는 소스/드레인 영역(150)을 갖는 p채널 중전압 트랜지스터가 형성되어 있다.
- [0215] n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역 및 n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(92)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(122)을 포함하는 소스/드레인 영역(154)을 갖는 n채널 저전압 트랜지스터가 형성되어 있다.

- [0216] p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역에는, 실리콘 기판(10) 위에 게이트 절연막(92)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(126)을 포함하는 소스/드레인 영역(150)을 갖는 p채널 저전압 트랜지스터가 형성되어 있다.
- [0217] ESD 보호 소자(N-MV ESD) 형성 영역에는, 중전압 트랜지스터와 밸러스트 저항을 갖는 ESD 보호 소자가 형성되어 있다. 중전압 트랜지스터는 실리콘 기판(10) 위에 게이트 절연막(96)을 통하여 형성된 게이트 전극(108)과, 게이트 전극(108) 양측의 실리콘 기판(10) 내에 형성되고, 익스텐션(또는 LDD)(112)을 포함하는 소스/드레인 영역(154)을 갖고 있다. 밸러스트 저항은 중전압 트랜지스터의 소스/드레인 영역(154)에 직렬 접속된 불순물층(120)에 의해 구성되어 있다. 불순물층(120)은 저전압 트랜지스터의 익스텐션(122)을 구성하는 불순물층과, 중전압 트랜지스터의 익스텐션(112)을 구성하는 불순물층의 조합에 의해 구성되어 있다.
- [0218] 각 트랜지스터의 게이트 전극(108) 위 및 소스/드레인 영역(150, 154) 위에는, 실리콘사이드막(156)이 형성되어 있다. 밸러스트 저항을 구성하는 불순물층(120) 위에는, 게이트 절연막(92)을 통하여 실리콘사이드 블록(146)이 형성되어 있고, 실리콘사이드막은 형성되어 있지 않다. 실리콘사이드 블록(146) 아래의 게이트 절연막(92)의 막 두께는, 저전압 트랜지스터의 게이트 전극(108)의 측벽 부분에 형성된 사이드 월 스페이서(144) 아래의 게이트 절연막(92)의 막 두께와 동일하다.
- [0219] 이와 같이, 본 실시예에 의한 반도체 장치는, ESD 보호 소자의 밸러스트 저항이 저전압 트랜지스터의 익스텐션(122)을 구성하는 불순물층과, 중전압 트랜지스터의 익스텐션(112)을 구성하는 불순물층의 조합에 의해 형성되어 있는 동시에, 실리콘사이드 블록(146) 아래의 게이트 절연막(92)의 막 두께가 저전압 트랜지스터의 게이트 전극(108)의 측벽 부분에 형성된 사이드 월 스페이서(144) 아래의 게이트 절연막(92)의 막 두께와 동일한 것을 주된 특징으로 하는 것이며, 플래시 셀 및 고전압 트랜지스터를 갖는 것 외에는 제 2 실시예에 의한 반도체 장치와 동일하다. 이와 같이 하여 밸러스트 저항을 형성함으로써, 제조 공정을 복잡하게 하지 않고, 밸러스트 저항값 및 ESD 내성을 보다 안정화시킬 수 있다.
- [0220] 다음에, 본 실시예에 의한 반도체 장치의 제조 방법에 대해서 도 23 내지 도 40을 이용하여 설명한다.
- [0221] 우선, 실리콘 기판(10)에, 예를 들면, STI법에 의해, 활성 영역을 확정하는 소자 분리막(12)을 형성한다(도 23의 (a)). 예를 들면, 우선, 열산화법에 의해, 가령, 막 두께 10nm의 실리콘 산화막을 성장시킨다. 이어서, CVD법에 의해, 예를 들면, 막 두께 100nm의 실리콘 질화막을 성장시킨다. 다음에, 리소그래피 및 건식 에칭에 의해, 실리콘 질화막, 실리콘 산화막, 실리콘 기판(10)을 순차적으로 에칭하여, 실리콘 기판(10)에, 깊이가 예를 들면, 300nm의 홈을 형성한다. 다음에, 실리콘 기판(10)을 열산화하여, 홈의 내면에 실리콘 산화막을 형성한다. 다음에, 예를 들면, 고밀도 플라즈마 CVD법에 의해, 예를 들면, 막 두께 550nm의 실리콘 산화막을 성장시킨다. 다음에, CMP법에 의해, 실리콘 질화막이 노출될 때까지 실리콘 산화막을 평탄화하고, 홈에 매립되어 실리콘 산화막으로 이루어지는 소자 분리막(12)을 형성한다.
- [0222] 또한, 도 23 내지 도 40에서, 소자 분리막(12)에 의해 확정된 활성 영역은, 좌측으로부터 차례로, 플래시 메모리 셀(Flash Cell) 형성 영역, n채널 고전압·저임계값 트랜지스터(N-HV Low Vt) 형성 영역, n채널 고전압·고임계값 트랜지스터(N-HV High Vt) 형성 영역, p채널 고전압·저임계값 트랜지스터(P-HV Low Vt) 형성 영역, p채널 고전압·고임계값 트랜지스터(P-HV High Vt) 형성 영역, ESD 보호 소자(N-MV ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, p채널 중전압 트랜지스터(P-MV) 형성 영역, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역, n채널 저전압·저임계값 트랜지스터(N-LV Low Vt) 형성 영역, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt) 형성 영역을 나타내는 것으로 한다.
- [0223] 다음에, 소자 분리막(12)을 형성할 때에 사용한 실리콘 질화막 및 실리콘 산화막을 제거한 후, 실리콘 기판(10)을 열산화하여, 예를 들면, 막 두께 10nm의 희생 산화막으로서의 실리콘 산화막(14)을 성장시킨다.
- [0224] 다음에, 포토리소그래피에 의해, 플래시 메모리 셀(Flash Cell) 형성 영역 및 n채널 고전압 트랜지스터(N-HV High Vt, N-HV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(16)을 형성한다.
- [0225] 다음에, 포토레지스트막(16)을 마스크로 하여 이온 주입을 행하고, 플래시 메모리 셀(Flash Cell) 형성 영역 및 n채널 고전압 트랜지스터(N-HV High Vt, N-HV Low Vt) 형성 영역에, n형 매립 불순물층(18)을 형성한다(도 23의 (b)). n형 매립 불순물층(18)은, 예를 들면, 인 이온을, 가속 에너지 2MeV, 도스량 $2 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이

온 주입함으로써 형성한다.

- [0226] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(16)을 제거한다.
- [0227] 다음에, 포토리소그래피에 의해, 플래시 메모리 셀(Flash Cell) 형성 영역, n채널 고전압 트랜지스터(N-HV High Vt, N-HV Low Vt) 형성 영역, ESD 보호 소자(N-MV ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(20)을 형성한다.
- [0228] 다음에, 포토레지스트막(20)을 마스크로 하여 이온 주입을 행하고, 플래시 메모리 셀(Flash Cell) 형성 영역, n채널 고전압 트랜지스터(N-HV High Vt, N-HV Low Vt) 형성 영역, ESD 보호 소자(N-MV ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역에, p형 웰용 불순물층(22, 24)을 형성한다(도 24의 (a)). p형 웰용 불순물층(22)은, 예를 들면, 붕소(B⁺) 이온을, 가속 에너지 400keV, 도스량 $1.4 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, p형 웰용 불순물층(24)은, 예를 들면, 붕소 이온을, 가속 에너지 100keV, 도스량 $3.0 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, p형 웰용 불순물층(24)은 채널 스톱 형성용의 불순물층이다.
- [0229] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(20)을 제거한다.
- [0230] 다음에, 포토리소그래피에 의해, n채널 고전압·고임계값 트랜지스터(N-HV High Vt) 형성 영역, ESD 보호 소자(N-MV ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역 및 n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(26)을 형성한다.
- [0231] 다음에, 포토레지스트막(26)을 마스크로 하여 이온 주입을 행하고, n채널 고전압·고임계값 트랜지스터(N-HV High Vt) 형성 영역, ESD 보호 소자(N-MV ESD) 형성 영역, n채널 중전압 트랜지스터(N-MV) 형성 영역, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역에, p형 웰용 불순물층(28)을 형성한다(도 24의 (b)). p형 웰용 불순물층(28)은, 예를 들면, 붕소 이온을, 가속 에너지 100keV, 도스량 $4 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, p형 웰용 불순물층(28)은 n채널 고전압·고임계값 트랜지스터(N-HV High Vt)의 임계값 전압 제어 및 n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt)의 채널 스톱을 위한 불순물층이다.
- [0232] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(26)을 제거한다.
- [0233] 다음에, 포토리소그래피에 의해, p채널 고전압 트랜지스터(P-HV Low Vt, P-HV High Vt) 형성 영역, p채널 중전압 트랜지스터(P-MV) 형성 영역, p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(30)을 형성한다.
- [0234] 다음에, 포토레지스트막(30)을 마스크로 하여 이온 주입을 행하고, p채널 고전압 트랜지스터(P-HV Low Vt, P-HV High Vt) 형성 영역, p채널 중전압 트랜지스터(P-MV) 형성 영역, p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역에, n형 웰용 불순물층(32, 34)을 형성한다(도 25의 (a)). n형 웰용 불순물층(32)은, 예를 들면, 인 이온을, 가속 에너지 600keV, 도스량 $1.5 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, n형 웰용 불순물층(34)은, 예를 들면, 인 이온을, 가속 에너지 240keV, 도스량 $0.9 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다. 또한, n형 웰용 불순물층(34)은 p채널 고전압·저임계값 트랜지스터의 임계값 전압을 제어하기 위한 것이며, 적절히 조정할 수 있다.
- [0235] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(30)을 제거한다.
- [0236] 다음에, 포토리소그래피에 의해, p채널 고전압·고임계값 트랜지스터(P-HV High Vt) 형성 영역, p채널 중전압 트랜지스터(P-MV) 형성 영역, p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(36)을 형성한다.
- [0237] 다음에, 포토레지스트막(36)을 마스크로하여 이온 주입을 행하고, p채널 고전압·고임계값 트랜지스터(P-HV High Vt) 형성 영역에 임계값 전압 제어용 불순물층(38)을, p채널 중전압 트랜지스터(P-MV) 형성 영역 및 p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역에 채널 스톱층(40)을 형성한다(도 25의 (b)). 임계값 전압 제어용 불순물층(38) 및 채널 스톱층(40)은, 예를 들면, 인 이온을, 가속 에너지 240keV, 도스량 $4.0 \times$

10^{12} cm^{-2} 의 조건에서 이온 주입함으로써 형성한다.

- [0238] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(36)을 제거한다.
- [0239] 다음에, 포토리소그래피에 의해 플래시 메모리 셀(Flash Cell) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(42)을 형성한다.
- [0240] 다음에, 포토레지스트막(42)을 마스크로 하여 이온 주입을 행하고, 플래시 메모리 셀(Flash Cell) 형성 영역에, 임계값 전압 제어용 불순물층(44)을 형성한다(도 26의 (a)). 임계값 전압 제어용 불순물층(44)은, 예를 들면, 붕소 이온을, 가속 에너지 40keV, 도스량 $6 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0241] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(42)을 제거한다.
- [0242] 다음에, 희생 산화막으로서의 실리콘 산화막(14)을 플루오르산 수용액에 의해 제거한다.
- [0243] 다음에, 예를 들면, 900~1050℃의 온도에서 30분간의 열산화를 행하여, 활성 영역 위에, 막 두께 10nm의 터널 산화막(46)을 형성한다(도 26의 (b)).
- [0244] 다음에, 예를 들면, CVD법에 의해 터널 산화막(46) 위에, 예를 들면, 막 두께 90nm의 인을 도핑한 비정질 실리콘막을 성장시킨다.
- [0245] 다음에, 포토리소그래피 및 건식 에칭에 의해 비정질 실리콘막을 패터닝하여, 플래시 메모리 셀(Flash Cell) 형성 영역에, 비정질 실리콘막으로 이루어지는 부유 게이트(48)를 형성한다.
- [0246] 다음에, 부유 게이트(48)가 형성된 터널 산화막(46) 위에, 예를 들면, CVD법에 의해 예를 들면, 막 두께 5nm의 실리콘 산화막과 예를 들면, 막 두께 10nm의 실리콘 질화막을 성장시킨 후, 실리콘 질화막의 표면을 950℃에서 90분간 열산화한다. 이에 따라, 막 두께 30nm정도의 실리콘 산화막/실리콘 질화막/실리콘 산화막 구조의 ONO막(50)을 형성한다(도 27의 (a)). 또한, 터널 산화막(46) 및 ONO막(50)의 성막 과정의 열처리에 의해, 웰 불순물은 0.1~0.2 μm 정도 이상 확산되어, 불순물 분포는 넓어진다.
- [0247] 다음에, 포토리소그래피에 의해 n채널 중전압 트랜지스터(N-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(52)을 형성한다.
- [0248] 다음에, 포토레지스트막(52)을 마스크로 하여 이온 주입을 행하고, n채널 중전압 트랜지스터(N-MV) 형성 영역에 임계값 전압 제어용 불순물층(54)을 형성한다(도 27의 (b)). 임계값 전압 제어용 불순물층(54)은, 예를 들면, 붕소 이온을, 가속 에너지 35keV, 도스량 $5.0 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0249] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(52)을 제거한다.
- [0250] 다음에, 포토리소그래피에 의해, p채널 중전압 트랜지스터(P-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(56)을 형성한다.
- [0251] 다음에, 포토레지스트막(56)을 마스크로 하여 이온 주입을 행하고, p채널 중전압 트랜지스터(P-MV) 형성 영역에 임계값 전압 제어용 불순물층(58)을 형성한다(도 28의 (a)). 임계값 전압 제어용 불순물층(58)은, 예를 들면, 비소(As^+) 이온을, 가속 에너지 150keV, 도스량 $2 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0252] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(56)을 제거한다.
- [0253] 다음에, 포토리소그래피에 의해, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(60)을 형성한다.
- [0254] 다음에, 포토레지스트막(60)을 마스크로 하여 이온 주입을 행하고, n채널 저전압·고임계값 트랜지스터(N-LV High Vt) 형성 영역에 임계값 전압 제어용 불순물층(62)을 형성한다(도 28의 (b)). 임계값 전압 제어용 불순물층(62)은, 예를 들면, 붕소 이온을, 가속 에너지 15keV, 도스량 $7 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0255] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(60)을 제거한다.
- [0256] 다음에, 포토리소그래피에 의해, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(64)을 형성한다.

- [0257] 다음에, 포토레지스트막(64)을 마스크로 하여 이온 주입을 행하고, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 형성 영역에 임계값 전압 제어용 불순물층(66)을 형성한다(도 29의 (a)). 임계값 전압 제어용 불순물층(66)은, 예를 들면, 비소 이온을, 가속 에너지 150keV, 도스량 $6 \times 10^{12} \text{ cm}^{-2}$ 의 조건에서 이온 주입함으로써 형성한다.
- [0258] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(64)을 제거한다.
- [0259] 이렇게 하여, 플래시 메모리 셀(Flash Cell) 형성 영역 및 n채널 고전압 트랜지스터(N-HV Low Vt, N-HV High Vt) 형성 영역에 형성되어, p형 웰용 불순물층(22, 24, 28), 임계값 전압 제어용 불순물층(44)을 포함하는 p형 웰(68)과, p채널 고전압 트랜지스터(P-HV Low Vt, P-HV High Vt) 형성 영역에 형성되어, n형 웰용 불순물층(32, 34), 임계값 전압 제어용 불순물층(38)을 포함하는 n형 웰(70)과, ESD 보호 소자(N-MV ESD) 형성 영역 및 n채널 중전압 트랜지스터(N-MV) 형성 영역에 형성되어, p형 웰용 불순물층(22, 24, 28), 임계값 전압 제어용 불순물층(54)을 포함하는 p형 웰(72)과, p채널 중전압 트랜지스터(P-MV) 형성 영역에 형성되어, n형 웰용 불순물층(32, 34), 채널 스톱층(40), 임계값 전압 제어용 불순물층(58)을 포함하는 n형 웰(74)과, n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역에 형성되어, p형 웰용 불순물층(22, 24, 28), 임계값 전압 제어용 불순물층(62)을 포함하는 p형 웰(76)과, p채널 저전압 트랜지스터(P-LV High Vt, P-LV Low Vt) 형성 영역에 형성되어, n형 웰용 불순물층(32, 34), 채널 스톱층(40), 임계값 전압 제어용 불순물층(66)을 포함하는 n형 웰(78)을 형성한다. 또한, n형 웰(70)은 n형 매립 불순물층(18)과 함께, p형 웰(68)을 둘러싸는 n형 웰(80)로서도 기능한다. 즉, p형 웰(68)은 n형 웰(80) 내에 형성된 2중 웰이다(도 29의 (a) 참조).
- [0260] 다음에, 포토리소그래피에 의해, 플래시 메모리 셀(Flash Cell) 형성 영역을 덮고, 다른 영역을 노출하는 포토레지스트막(82)을 형성한다.
- [0261] 다음에, 예를 들면, 건식 에칭에 의해 포토레지스트막(82)을 마스크로 하여 ONO막(50)을 에칭해서, 플래시 메모리 셀(Flash Cell) 형성 영역 이외의 ONO막(50)을 제거한다.
- [0262] 다음에, 예를 들면, 플루오르산 수용액을 사용한 습식 에칭에 의해, 포토레지스트막(82)을 마스크로 하여 터널 산화막(46)을 에칭해서, 플래시 메모리 셀(Flash Cell) 형성 영역 이외의 터널 산화막(46)을 제거한다(도 29의 (b)).
- [0263] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(82)을 제거한다.
- [0264] 다음에, 예를 들면, 850℃의 온도에서 열산화를 행하여, 활성 영역 위에, 막 두께 13nm의 실리콘 산화막(84)을 형성한다(도 30의 (a)).
- [0265] 다음에, 포토리소그래피에 의해 플래시 메모리 셀(Flash Cell) 형성 영역 및 고전압 트랜지스터(N-HV Low Vt, N-HV High Vt, P-HV Low Vt, P-HV High Vt) 형성 영역을 덮고, 다른 영역을 노출시키는 포토레지스트막(86)을 형성한다.
- [0266] 다음에, 예를 들면, 플루오르산 수용액을 사용한 습식 에칭에 의해, 포토레지스트막(86)을 마스크로 하여 실리콘 산화막(84)을 에칭해서, ESD 보호 소자(N-MV ESD) 형성 영역, 중전압 트랜지스터(N-MV, P-MV) 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역의 실리콘 산화막(84)을 제거한다(도 30의 (b)).
- [0267] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(86)을 제거한다.
- [0268] 다음에, 예를 들면, 850℃의 온도에서 열산화를 행하여, 중전압 트랜지스터(N-MV, P-MV) 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역의 활성 영역 위에, 막 두께 6nm의 실리콘 산화막(88)을 형성한다. 또한, 이 열산화 공정에서, 실리콘 산화막(84)의 막 두께도 증가한다.
- [0269] 다음에, 포토리소그래피에 의해, 플래시 메모리 셀(Flash Cell) 형성 영역, 고전압 트랜지스터(N-HV Low Vt, N-HV High Vt, P-HV Low Vt, P-HV High Vt) 형성 영역 및 중전압 트랜지스터(N-MV, P-MV) 형성 영역을 덮고, ESD 보호 소자(N-MV ESD)의 밸리스트 저항 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역을 노출시키는 포토레지스트막(90)을 형성한다(도 31의 (a), (b)).
- [0270] 다음에, 예를 들면, 플루오르산 수용액을 사용한 습식 에칭에 의해, 포토레지스트막(90)을 마스크로 하여 실리콘 산화막(88)을 에칭해서, ESD 보호 소자(N-MV ESD)의 밸리스트 저항 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역의 실리콘 산화막(88)을 제거한다.

- [0271] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(90)을 제거한다(도 32의 (a)).
- [0272] 다음에, 예를 들면, 850℃의 온도에서 열산화를 행하여, ESD 보호 소자(N-MV ESD)의 밸리스트 저항 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역의 활성화 영역 위에, 막 두께 2.2nm의 실리콘 산화막으로 이루어지는 게이트 절연막(92)을 형성한다. 또한, 이 열산화 공정에서, 실리콘 산화막(84, 88)의 막 두께도 증가하여, 고전압 트랜지스터(N-HV Low Vt, N-HV High Vt, P-HV Low Vt, P-HV High Vt) 형성 영역에는 합계 막 두께 16nm의 게이트 절연막(94)이 형성되고, 밸리스트 저항 형성 영역 이외의 ESD 보호 소자(N-MV ESD) 형성 영역 및 중전압 트랜지스터(N-MV, P-MV) 형성 영역에는 합계 막 두께 8nm의 게이트 절연막(96)이 형성된다(도 32의 (b)).
- [0273] 다음에, CVD법에 의해, 예를 들면, 막 두께 180nm의 폴리실리콘막(98)을 성장시킨다.
- [0274] 다음에, 플라즈마 CVD법에 의해, 폴리실리콘막(98) 위에, 예를 들면, 막 두께 30nm의 실리콘 질화막(100)을 성장시킨다. 또한, 실리콘 질화막(100)은 하층의 폴리실리콘막(98)을 패터닝할 때의 반사 방지 및 에칭 마스크를 겸하는 것인 동시에, 후술하는 플래시 셀의 게이트 전극 측면을 산화할 때에 로직 부분의 게이트 전극을 보호하는 역할도 갖는다.
- [0275] 다음에, 포토리소그래피 및 건식 에칭에 의해, 플래시 메모리 셀(Flash Cell) 형성 영역의 실리콘 질화막(100), 폴리실리콘막(98), ONO막(50) 및 부유 게이트(48)를 패터닝하고, 폴리실리콘막(98)으로 이루어지는 플래시 메모리 셀(Flash Cell)의 컨트롤 게이트 전극(102) 등을 형성한다(도 33의 (a)).
- [0276] 다음에, 10nm 상당 정도의 열산화를 행하여, 플래시 메모리 셀(Flash Cell)의 컨트롤 게이트 전극(102) 및 부유 게이트(48)의 측벽 부분에 실리콘 산화막(도시 생략)을 형성한다.
- [0277] 다음에, 컨트롤 게이트 전극(102)을 마스크로 하여 이온 주입을 행하고, 컨트롤 게이트 전극(102) 양측의 실리콘 기판(10) 내에, 소스/드레인 영역(104)을 형성한다(도 33의 (b)). 소스/드레인 영역(104)은, 예를 들면, 비소 이온을, 가속 에너지 50keV, 도스량 $6.0 \times 10^{14} \text{ cm}^{-2}$ 로 하여 이온 주입함으로써 형성한다.
- [0278] 다음에, 예를 들면, 10nm 상당 정도의 열산화를 재차 행하여, 플래시 메모리 셀(Flash Cell)의 컨트롤 게이트 전극(102) 및 부유 게이트(48)의 측벽 부분에 실리콘 산화막(도시 생략)을 형성한다. 또한, 컨트롤 게이트 전극(102) 및 부유 게이트(48)의 측벽 부분의 열산화는, 주로, 플래시 메모리 셀(Flash Cell)의 전하 유지 특성을 개선하기 위함이다.
- [0279] 다음에, 전체면에, 예를 들면, 열 CVD법에 의해 가령, 막 두께 100nm의 실리콘 질화막을 퇴적하고, 이 실리콘 질화막 및 실리콘 질화막(100)을 에치백하여, 컨트롤 게이트 전극(102)의 측벽 부분에, 실리콘 질화막으로 이루어지는 사이드 월 스페이서(106)를 형성한다(도 34의 (a)).
- [0280] 다음에, 포토리소그래피 및 건식 에칭에 의해, 고전압 트랜지스터(N-HV Low Vt, N-HV High Vt, P-HV Low Vt, P-HV High Vt) 형성 영역, ESD 보호 소자(N-MV ESD) 형성 영역, 중전압 트랜지스터(N-MV, P-MV) 형성 영역 및 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt, P-LV Low Vt, P-LV High Vt) 형성 영역의 폴리실리콘막(98)을 패터닝하여, 폴리실리콘막(98)으로 이루어지는 게이트 전극(108)을 형성한다(도 34의 (b)).
- [0281] 다음에, 포토리소그래피에 의해 ESD 보호 소자(N-MV ESD) 형성 영역 및 n채널 중전압 트랜지스터(N-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(110)을 형성한다.
- [0282] 다음에, 게이트 전극(108) 및 포토레지스트막(110)을 마스크로 하여 이온 주입을 행하고, ESD 보호 소자(N-MV ESD) 및 n채널 중전압 트랜지스터(N-MV)의 익스텐션(112)을 형성한다(도 35의 (a)). 익스텐션(112)은, 예를 들면, 인 이온을 가속 에너지 35keV, 도스 $4 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.
- [0283] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(110)을 제거한다.
- [0284] 다음에, 포토리소그래피에 의해, p채널 중전압 트랜지스터(P-MV) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(114)을 형성한다.
- [0285] 다음에, 게이트 전극(108) 및 포토레지스트막(114)을 마스크로 하여 이온 주입을 행하고, p채널 중전압 트랜지스터(P-MV)의 익스텐션(116)을 형성한다(도 35의 (b)). 익스텐션(116)은, 예를 들면, 플루오르화 붕소 이온을, 가속 에너지 10keV, 도스량 $4 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.

- [0286] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(114)을 제거한다.
- [0287] 다음에, 포토리소그래피에 의해, ESD 보호 소자(N-MV ESD)의 밸러스트 저항 형성 영역 및 n채널 저전압 트랜지스터(N-LV Low Vt, N-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(118)을 형성한다.
- [0288] 다음에, 게이트 전극(108) 및 포토레지스트막(118)을 마스크로 하여 이온 주입을 행하고, ESD 보호 소자(N-MV ESD)의 밸러스트 저항 형성 영역 및 n채널 저전압 트랜지스터(N-LV High Vt, N-LV Low Vt) 형성 영역에 익스텐션(122)을 형성한다. 익스텐션(122)은, 예를 들면, 비소 이온을, 가속 에너지 3keV, 도스량 $1.2 \times 10^{15} \text{cm}^{-2}$ 로 하고, 및, 플루오르화 붕소(BF₂⁺) 이온을, 가속 에너지 80keV, 도스량 각 $6.0 \times 10^{12} \text{cm}^{-2}$ 로 하여, 기판 법선으로부터 28도 기울인 4방향에서 이온 주입을 행함으로써 형성한다. 이에 따라, 익스텐션(122)은 포켓이 부착된 익스텐션이 된다. 또한, 밸러스트 저항 형성 영역에는, 익스텐션(112, 122)으로 이루어지는 밸러스트 저항용의 불순물층(120)이 형성된다(도 36의 (a)).
- [0289] 이 때, 밸러스트 저항 형성 영역 위에는, 중전압 트랜지스터용의 게이트 절연막(96)보다도 얇은 저전압 트랜지스터용의 게이트 절연막(92)이 형성되어 있다. 저전압 트랜지스터용의 게이트 절연막(92)의 막 두께는 원래 2.2nm으로, 막 두께 8nm의 중전압 트랜지스터용의 게이트 절연막(96)과 비교하여 매우 얇다. 또한, 이 영역의 게이트 절연막(92)은 폴리실리콘막 패터닝시에 에칭되어 더 얇아지는 경우가 있다. 이 때문에, 밸러스트 저항 형성 영역 위에서의 게이트 절연막(92)의 막 두께의 변동량은 매우 작다고 할 수 있다.
- [0290] 따라서, 밸러스트 저항 형성 영역에서의 게이트 절연막(92)의 잔존 막 두께의 편차는 매우 작게 억제할 수 있어, 이 게이트 절연막(92)을 통하여 형성되는 밸러스트 저항 형성 영역의 익스텐션(122)의 불순물 농도의 변동을 대폭으로 억제할 수 있다.
- [0291] 또한, 저전압 트랜지스터의 익스텐션은 매우 얇기 때문에, 제 1 실시예에 의한 반도체 장치의 제조 방법의 경우와 같이 중전압 트랜지스터용의 게이트 절연막(96)을 통하여 익스텐션(122)을 형성하면, 불순물 농도의 피크는 게이트 절연막(96) 내에 위치하게 된다(도 21의 (a) 참조).
- [0292] 그러나, 본 실시예에 의한 반도체 장치의 제조 방법과 같이 저전압 트랜지스터용의 게이트 절연막(92)을 통하여 익스텐션(122)을 형성함으로써, 불순물 농도의 피크는 실리콘 기판(10) 내에 위치하게 되어(도 21의 (b) 참조), 게이트 절연막(92)의 편차에 대한 불순물 농도의 변동을 작게 억제할 수 있다.
- [0293] 이에 따라, 충분한 ESD 내성을 갖는 ESD 보호 소자를 안정되게 형성하는 것이 가능해진다.
- [0294] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(118)을 제거한다.
- [0295] 다음에, 포토리소그래피에 의해, p채널 저전압 트랜지스터(P-LV Low Vt, P-LV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(124)을 형성한다.
- [0296] 다음에, 게이트 전극(108) 및 포토레지스트막(124)을 마스크로 하여 이온 주입을 행하고, p채널 저전압·고임계값 트랜지스터(P-LV High Vt) 및 p채널 저전압·저임계값 트랜지스터(P-LV Low Vt)의 익스텐션(126)을 형성한다(도 36의 (b)). 익스텐션(126)은, 예를 들면, 붕소 이온을 가속 에너지 0.5keV, 도스량 $5.7 \times 10^{14} \text{cm}^{-2}$ 로 하고, 및, 비소 이온을, 가속 에너지 120keV, 도스량 각 $7.0 \times 10^{12} \text{cm}^{-2}$ 로 하여, 기판 법선으로부터 28도 기울인 4방향에서 이온 주입을 행함으로써 형성하여, 포켓이 부착된 익스텐션으로 한다.
- [0297] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(124)을 제거한다.
- [0298] 다음에, 포토리소그래피에 의해 n채널 고전압 트랜지스터(N-HV Low Vt, N-HV High Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(128)을 형성한다.
- [0299] 다음에, 게이트 전극(108) 및 포토레지스트막(128)을 마스크로 하여 이온 주입을 행하고, n채널 고전압·저임계값 트랜지스터(N-HV Low Vt) 및 n채널 고전압·고임계값 트랜지스터(N-HV High Vt)의 소스/드레인 영역의 익스텐션(130)을 형성한다(도 37의 (a)). 익스텐션(130)은, 예를 들면, 비소 이온을 가속 에너지 120keV, 도스량 각 $6.0 \times 10^{12} \text{cm}^{-2}$ 로 하여, 기판 법선으로부터 28도 기울인 4방향에서 이온 주입을 행함으로써 형성한다.
- [0300] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(128)을 제거한다.
- [0301] 다음에, 포토리소그래피에 의해 p채널 고전압 트랜지스터(P-HV Low Vt, P-HV High Vt) 형성 영역을 노출시키고,

다른 영역을 덮는 포토레지스트막(132)을 형성한다.

- [0302] 다음에, 포토레지스트막(132)을 마스크로 하여 이온 주입을 행하고, p채널 고전압·저임계값 트랜지스터(P-HV Low Vt) 및 p채널 고전압·고임계값 트랜지스터(P-HV High Vt)의 소스/드레인 영역의 익스텐션(134)을 형성한다(도 37의 (b)). 익스텐션(134)은, 예를 들면, 플루오르화 붕소(BF₂⁺) 이온을, 가속 에너지 80keV, 도스량 각 $4.5 \times 10^{12} \text{ cm}^{-2}$ 로 하여, 기판 법선으로부터 28도 기울인 4방향에서 이온 주입을 행함으로써 형성한다.
- [0303] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(132)을 제거한다.
- [0304] 다음에, 전체면에, 예를 들면, 열 CVD법에 의해, 가령, 막 두께 130nm의 실리콘 산화막(136)을 퇴적한다.
- [0305] 다음에, 포토리소그래피에 의해, 실리콘 산화막(136) 위에, 밸러스트 저항 형성 영역을 덮고 다른 영역을 노출시키는 포토레지스트막(138)을 형성한다(도 38의 (a)).
- [0306] 다음에, 포토레지스트막(138)을 마스크로 하여 실리콘 산화막(136)을 에치백하고, 컨트롤 게이트 전극(102) 및 부유 게이트(48)의 측벽 부분 및 게이트 전극(108)의 측벽 부분에 실리콘 산화막(136)으로 이루어지는 사이드 월 스페이서(144)를 형성하는 동시에, 밸러스트 저항 형성 영역에 실리콘 산화막(136)으로 이루어지는 살리사이드 블록(146)을 형성한다.
- [0307] 또한, 밸러스트 저항 형성 영역에서의 살리사이드 블록(146) 아래의 게이트 절연막(92)은 저전압 트랜지스터의 게이트 절연막(92)과 동시에 형성된 것이다. 또한, 게이트 절연막(92)은 폴리실리콘막 패터닝시의 오버 에칭에 의해 약간 에칭되는 경우가 있다. 따라서, 살리사이드 블록(146) 아래에서의 게이트 절연막(92)의 막 두께는 저전압 트랜지스터의 게이트 절연막(92)의 막 두께 이하가 된다.
- [0308] 또한, 폴리실리콘막 패터닝시의 오버 에칭을 고려한 경우, 사이드 월 스페이서(144) 및 살리사이드 블록(146)이 되는 실리콘 산화막(136)은 막 두께가 감소된 게이트 절연막(92) 위에 형성된다. 따라서, 밸러스트 저항 형성 영역에서의 살리사이드 블록(146) 아래의 게이트 절연막(92)의 막 두께는 저전압 트랜지스터의 게이트 전극(108) 측벽 부분에 형성된 사이드 월 스페이서(144) 아래의 게이트 절연막(92)의 막 두께와 동일해진다.
- [0309] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(138)을 제거한다(도 38의 (b)).
- [0310] 다음에, 포토리소그래피에 의해, p채널 트랜지스터(P-HV Low Vt, P-HV High Vt, P-MV, P-LV High Vt, P-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(148)을 형성한다.
- [0311] 다음에, 포토레지스트막(148), 게이트 전극(108) 및 사이드 월 스페이서(144)를 마스크로 하여 이온 주입을 행하고, p채널 트랜지스터(P-HV Low Vt, P-HV High Vt, P-MV, P-LV High Vt, P-LV Low Vt)의 소스/드레인 영역(150)을 형성한다(도 39의 (a)). 동시에, 이 이온 주입에 의해, p채널 트랜지스터(P-HV Low Vt, P-HV High Vt, P-MV, P-LV High Vt, P-LV Low Vt)의 게이트 전극(108)은 p형으로 도핑된다. 소스/드레인 영역(150)은, 예를 들면, 붕소 이온을, 가속 에너지 5keV, 도스량 $4 \times 10^{15} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.
- [0312] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(148)을 제거한다.
- [0313] 다음에, 포토리소그래피에 의해, 플래시 메모리 셀(Flash Cell) 형성 영역 및 n채널 트랜지스터(N-HV Low Vt, N-HV High Vt, N-MV ESD, N-MV, N-LV High Vt, N-LV Low Vt) 형성 영역을 노출시키고, 다른 영역을 덮는 포토레지스트막(152)을 형성한다.
- [0314] 다음에, 포토레지스트막(152), 컨트롤 게이트 전극(102), 게이트 전극(108), 사이드 월 스페이서(144) 및 살리사이드 블록(146)을 마스크로 하여 이온 주입을 행하고, 플래시 메모리 셀(Flash Cell) 및 n채널 트랜지스터(N-HV Low Vt, N-HV High Vt, N-MV ESD, N-MV, N-LV High Vt, N-LV Low Vt)의 소스/드레인 영역(154)을 형성한다(도 39의 (b)). 동시에, 이 이온 주입에 의해, 플래시 메모리 셀(Flash Cell)의 컨트롤 게이트 전극(102) 및 n채널 트랜지스터(N-HV Low Vt, N-HV High Vt, N-MV ESD, N-MV, N-LV High Vt, N-LV Low Vt)의 게이트 전극(108)은 n형으로 도핑된다. 소스/드레인 영역(154)은, 예를 들면, 인 이온을 가속 에너지 10keV, 도스량 $6 \times 10^{15} \text{ cm}^{-2}$ 의 조건에서 이온 주입을 행함으로써 형성한다.
- [0315] 다음에, 예를 들면, 애싱에 의해 포토레지스트막(152)을 제거한다.
- [0316] 다음에, 주지의 살리사이드 프로세스에 의해, 컨트롤 게이트 전극(102), 게이트 전극(108) 위 및 소스/드레인 영역(150, 154) 위를 선택적으로 실리사이드화하여, 컨트롤 게이트 전극(102), 게이트 전극(108) 위 및 소스/드

레인 영역(150, 154) 위에, 실리사이드막(156)을 형성한다(도 40의 (a)). 예를 들면, 우선, 습식 전 처리에 의해, 활성 영역 위에 잔존하는 실리콘 산화막 등을 제거한다. 다음에, 코발트(Co)막 및 질화 티탄(TiN)막을 전 체면에 퇴적한다. 다음에, 단시간 열처리에 의해, 실리콘이 노출되어 있는 컨트롤 게이트 전극(102), 게이트 전극(108) 위 및 소스/드레인 영역(150, 154) 위를 선택적으로 실리사이드화하여, 이들 영역에 코발트 실리사이드막을 형성한다. 다음에, 미반응의 코발트막 및 질화 티탄막을 제거한다. 다음에, 제차 단시간 열처리를 행하여, 코발트 실리사이드막을 저(低)저항화한다. 이렇게 하여, 코발트 실리사이드막으로 이루어지는 실리사이드막(156)을 형성한다.

[0317] 이 때, 밸러스트 저항 형성 영역에는 살리사이드 블록(146)이 형성되어 있기 때문에, 실리사이드막(156)이 형성되는 경우는 없다.

[0318] 이와 같이 하여, 실리콘 기판(10) 위에, ESD 보호 소자 및 11종류의 트랜지스터를 완성한다.

[0319] 다음에, 트랜지스터 등이 형성된 실리콘 기판(10) 위에, 절연막(158)을 성장 시킨 후, 전극 플러그(160), 배선(162) 등을 형성하여, 제 1 층 금속 배선층까지 완성한다(도 40의 (b)).

[0320] 이와 같이, 본 실시예에 의하면, ESD 보호 소자의 밸러스트 저항을, 저전압 트랜지스터의 소스/드레인 영역의 익스텐션을 구성하는 불순물층과, 중전압 트랜지스터의 소스/드레인 영역의 익스텐션을 구성하는 불순물층에 의해 형성하므로, 밸러스트 저항을 형성하기 위해서 특유의 이온 주입 공정을 추가할 필요는 없다. 따라서, 제조 공정을 복잡하게 하지 않고 밸러스트 저항을 실현할 수 있다.

[0321] 또한, 밸러스트 저항을 구성하는 불순물층을, 저전압 트랜지스터의 게이트 절연막(92)과 동시에 형성된 얇은 절연막을 통한 이온 주입에 의해 형성하므로, 밸러스트 저항값 및 ESD 내성을 보다 안정화시킬 수 있다.

[0322] [변형 실시예]

[0323] 본 발명은 상기 실시예에 한정되지 않고 여러가지 변형이 가능하다.

[0324] 예를 들면, 상기 실시예에서는 컨트롤 게이트 전극(102) 위, 게이트 전극(108) 위 및 소스/드레인 영역(150, 154) 위에 실리사이드막(156)을 형성했지만, 컨트롤 게이트 전극(102) 위 및 게이트 전극(108) 위에는 실리사이드막(156)을 형성하지 않아도 좋다.

[0325] 또한, 살리사이드 프로세스를 적용하지 않는 경우에는, 살리사이드 블록(146)을 형성하지 않아도 좋다. 이 경우, 소스/드레인 영역(154)을 형성할 때에, 밸러스트 저항 형성 영역을 포토레지스트막(152)으로 덮도록 하면 좋다.

[0326] 또한, 실시예에서는 밸러스트 저항을 갖는 N채널 MIS 트랜지스터로 이루어지는 ESD 보호 소자에 본 발명을 적용하는 경우를 나타냈는데, 밸러스트 저항을 갖는 P채널 MIS 트랜지스터로 이루어지는 ESD 보호 소자의 경우에도 동일하게 적용할 수 있다.

산업상 이용 가능성

[0327] 본 발명에 의한 반도체 장치 및 그 제조 방법은, 제조 공정을 복잡하게 하지 않고 원하는 밸러스트 저항을 갖는 ESD 보호 소자를 실현하는 동시에, 밸러스트 저항값 및 ESD 내성의 편차를 억제하는 것을 가능하게 하는 것이며, 밸러스트 저항을 갖는 MIS 트랜지스터로 이루어지는 ESD 보호 소자를 갖는 반도체 장치의 장치 특성이나 제조 수율을 향상하기 위해서 매우 유용하다.

도면의 간단한 설명

[0013] 도 1은 밸러스트 저항을 갖는 MIS 트랜지스터를 사용한 ESD 보호 회로의 일례를 나타낸 회로도.

[0014] 도 2는 본 발명의 제 1 실시예에 의한 반도체 장치의 구조를 나타낸 개략 단면도.

[0015] 도 3은 본 발명의 제 1 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 1 공정 단면도.

[0016] 도 4는 본 발명의 제 1 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 2 공정 단면도.

[0017] 도 5는 본 발명의 제 1 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 3 공정 단면도.

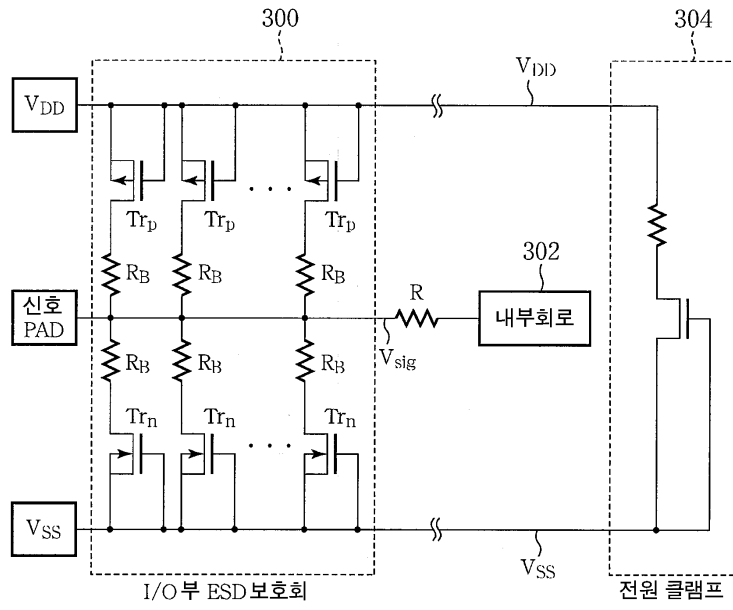
[0018] 도 6은 본 발명의 제 1 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 4 공정 단면도.

- [0019] 도 7은 본 발명의 제 1 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 5 공정 단면도.
- [0020] 도 8은 익스텐션 영역에서의 불순물 농도의 깊이 방향 분포를 나타낸 그래프.
- [0021] 도 9는 본 발명의 제 2 실시예에 의한 반도체 장치의 구조를 나타낸 개략 단면도.
- [0022] 도 10은 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 1 공정 단면도.
- [0023] 도 11은 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 2 공정 단면도.
- [0024] 도 12는 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 3 공정 단면도.
- [0025] 도 13은 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 4 공정 단면도.
- [0026] 도 14는 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 5 공정 단면도.
- [0027] 도 15는 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 6 공정 단면도.
- [0028] 도 16은 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 7 공정 단면도.
- [0029] 도 17은 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 8 공정 단면도.
- [0030] 도 18은 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 9 공정 단면도.
- [0031] 도 19는 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 10 공정 단면도.
- [0032] 도 20은 본 발명의 제 2 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 11 공정 단면도.
- [0033] 도 21은 본 발명의 제 2 실시예에 의한 반도체 장치 및 그 제조 방법의 효과를 나타낸 도면.
- [0034] 도 22는 본 발명의 제 3 실시예에 의한 반도체 장치의 구조를 나타낸 개략 단면도.
- [0035] 도 23은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 1 공정 단면도.
- [0036] 도 24는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 2 공정 단면도.
- [0037] 도 25는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 3 공정 단면도.
- [0038] 도 26은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 4 공정 단면도.
- [0039] 도 27은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 5 공정 단면도.
- [0040] 도 28은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 6 공정 단면도.
- [0041] 도 29는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 7 공정 단면도.
- [0042] 도 30은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 8 공정 단면도.
- [0043] 도 31은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 9 공정 단면도.
- [0044] 도 32는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 10 공정 단면도.
- [0045] 도 33은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 11 공정 단면도.
- [0046] 도 34는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 12 공정 단면도.
- [0047] 도 35는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 13 공정 단면도.
- [0048] 도 36은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 14 공정 단면도.
- [0049] 도 37은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 15 공정 단면도.
- [0050] 도 38은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 16 공정 단면도.
- [0051] 도 39는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 17 공정 단면도.
- [0052] 도 40은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 나타낸 제 18 공정 단면도.
- [0053] 도면의 주요 부분에 대한 부호의 설명
- [0054] 10 : 실리콘 기판

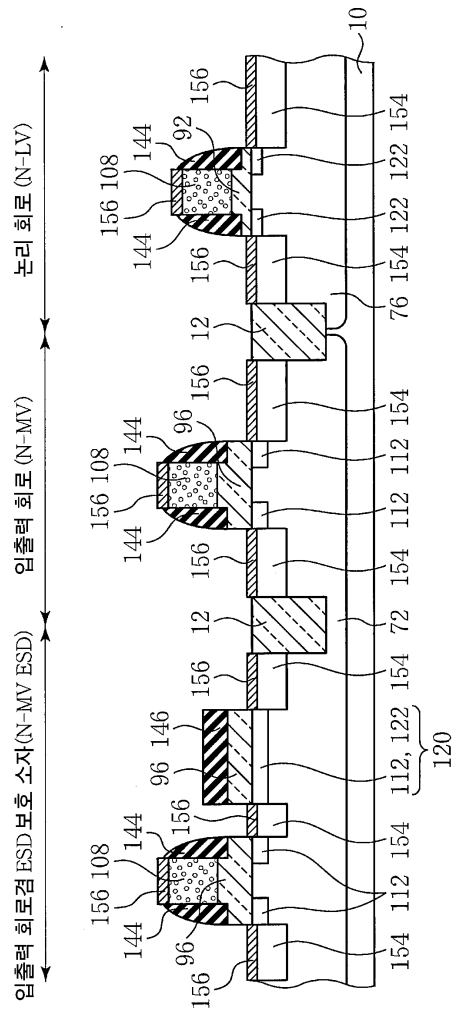
- [0055] 12 : 소자 분리막
- [0056] 14, 84, 88, 136 : 실리콘 산화막
- [0057] 16, 20, 26, 30, 36, 42, 52, 56, 60, 64, 82, 86, 90, 110, 114, 118, 124, 128, 132, 138, 148, 152 : 포토 레지스트막
- [0058] 18 : n형 매립 불순물층
- [0059] 22, 24, 28 : p형 웰용 불순물층
- [0060] 32, 34 : n형 웰용 불순물층
- [0061] 38, 44, 54, 58, 62, 66 : 임계값 전압 제어용 불순물층
- [0062] 40 : 채널 스톱층
- [0063] 46 : 터널 산화막
- [0064] 48 : 부유 게이트
- [0065] 50 : ONO막
- [0066] 68, 72, 76 : p형 웰
- [0067] 70, 74, 78, 80 : n형 웰
- [0068] 92, 94, 96 : 게이트 절연막
- [0069] 98 : 폴리실리콘막
- [0070] 100, 136 : 실리콘 질화막
- [0071] 102 : 컨트롤 게이트 전극
- [0072] 104, 150, 154 : 소스/드레인 영역
- [0073] 106, 144 : 사이드 월 스페이서
- [0074] 108 : 게이트 전극
- [0075] 112, 116, 122, 126, 130, 134 : 익스텐션
- [0076] 120 : 밸러스트 저항용 불순물층
- [0077] 146 : 살리사이드 블록
- [0078] 156 : 살리사이드막
- [0079] 158 : 절연막
- [0080] 160 : 전극 플러그
- [0081] 162 : 배선

도면

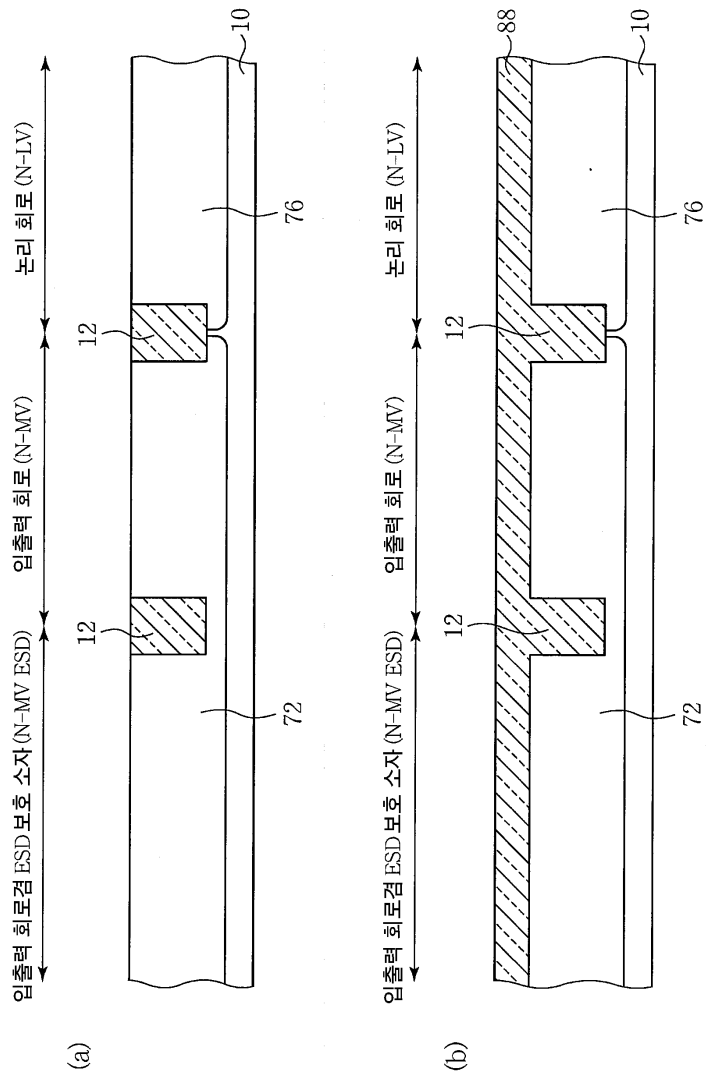
도면1



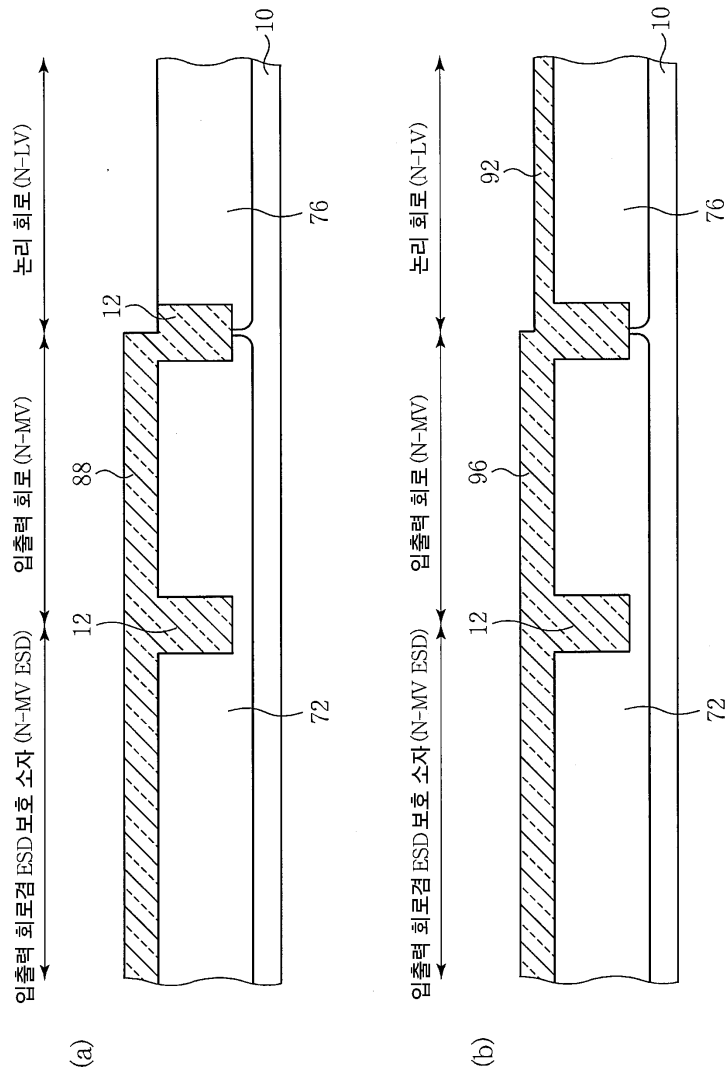
도면2



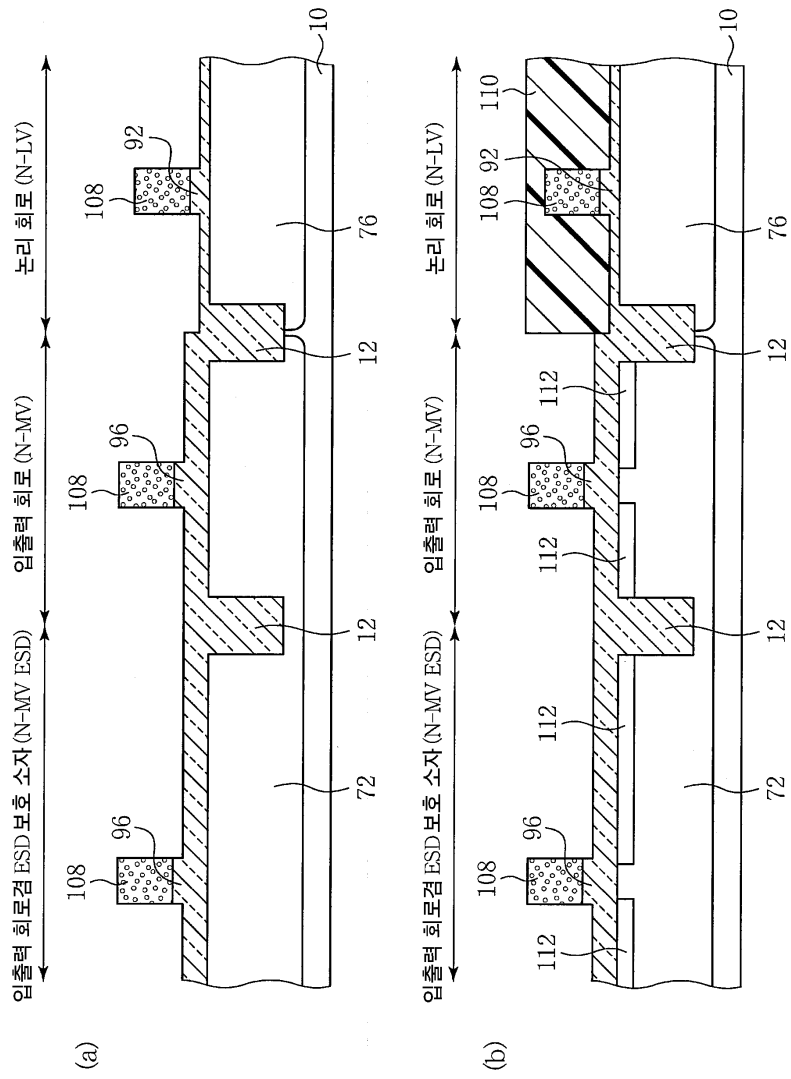
도면3



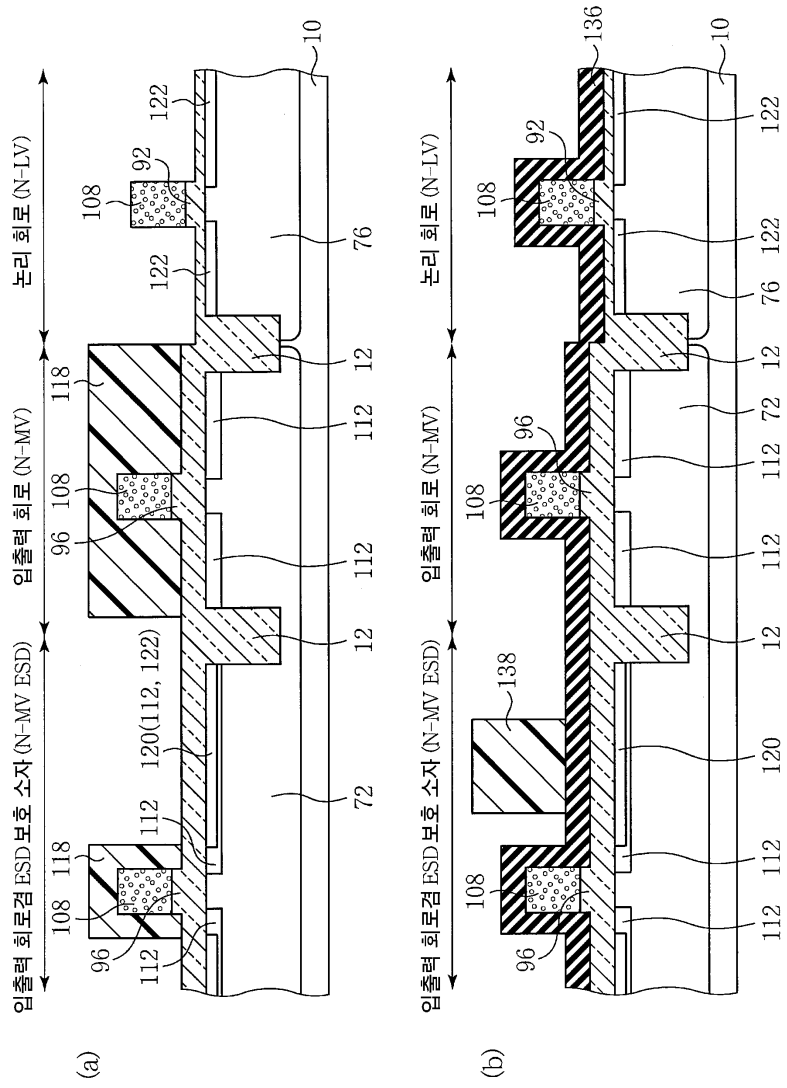
도면4



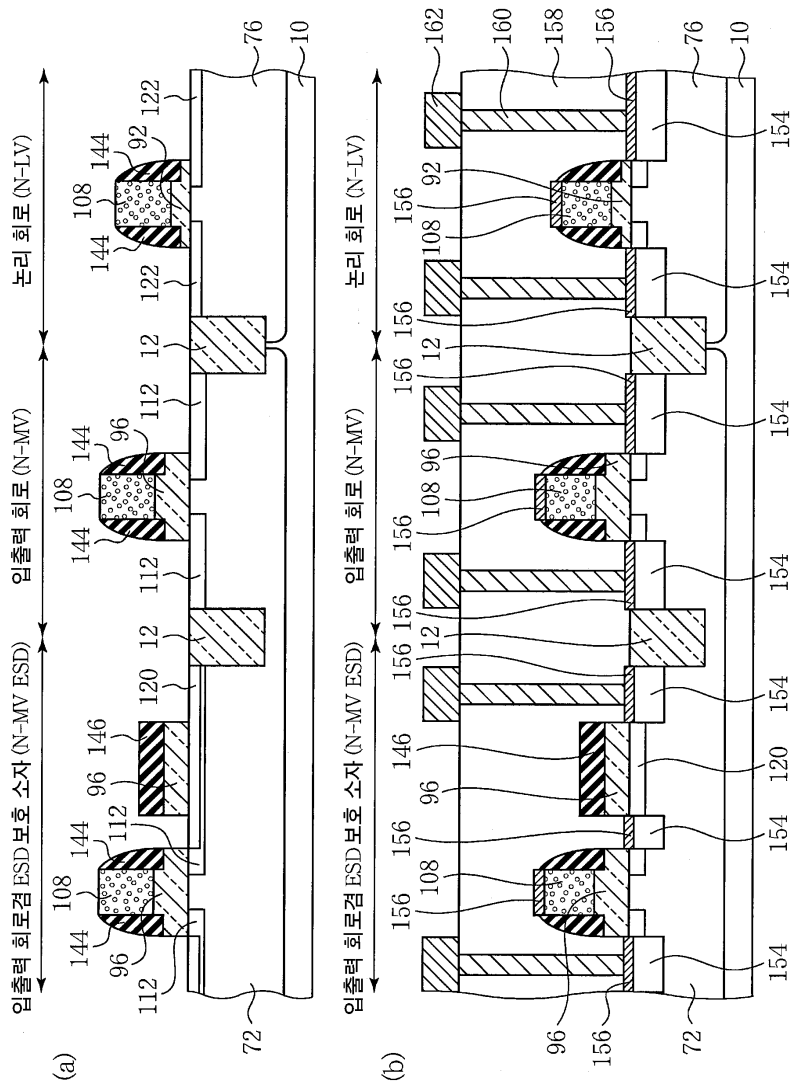
도면5



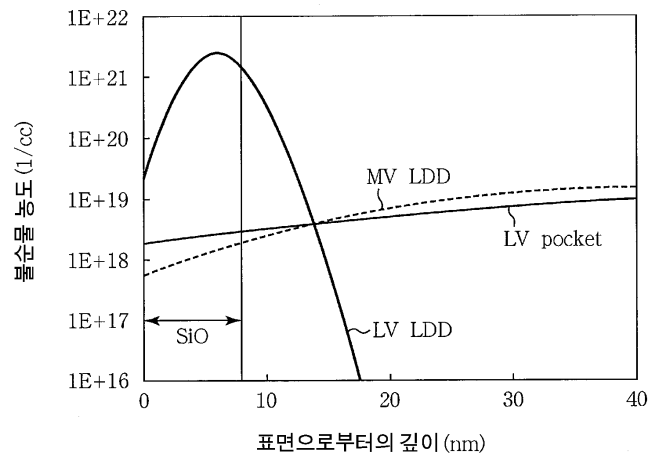
도면6



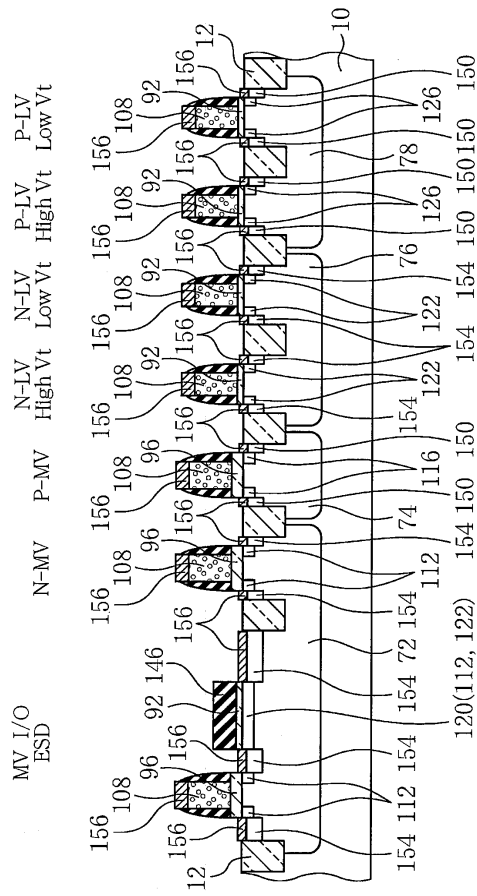
도면7



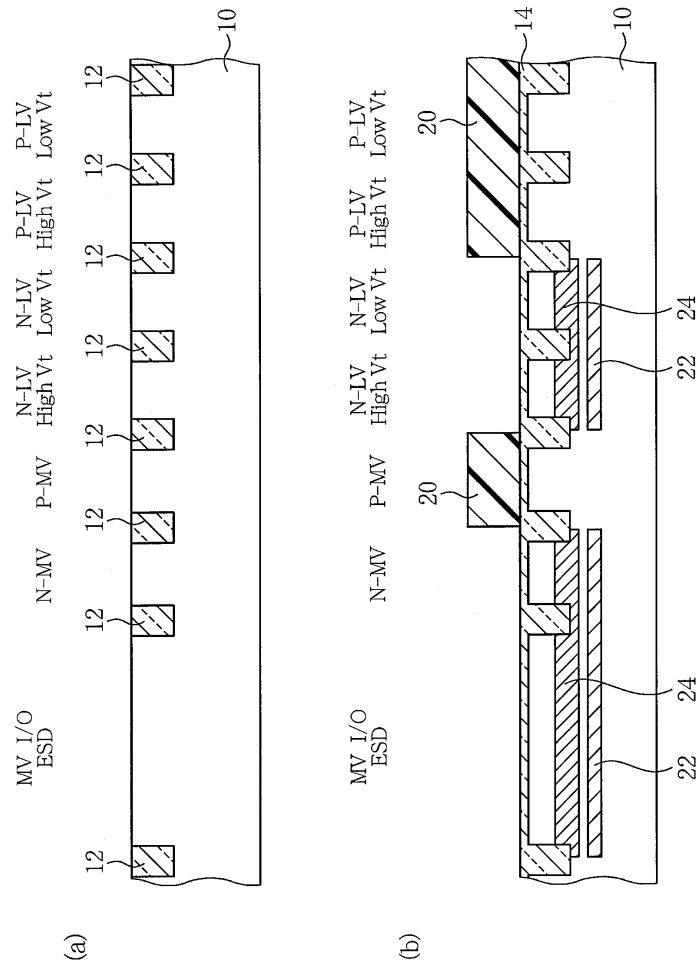
도면8



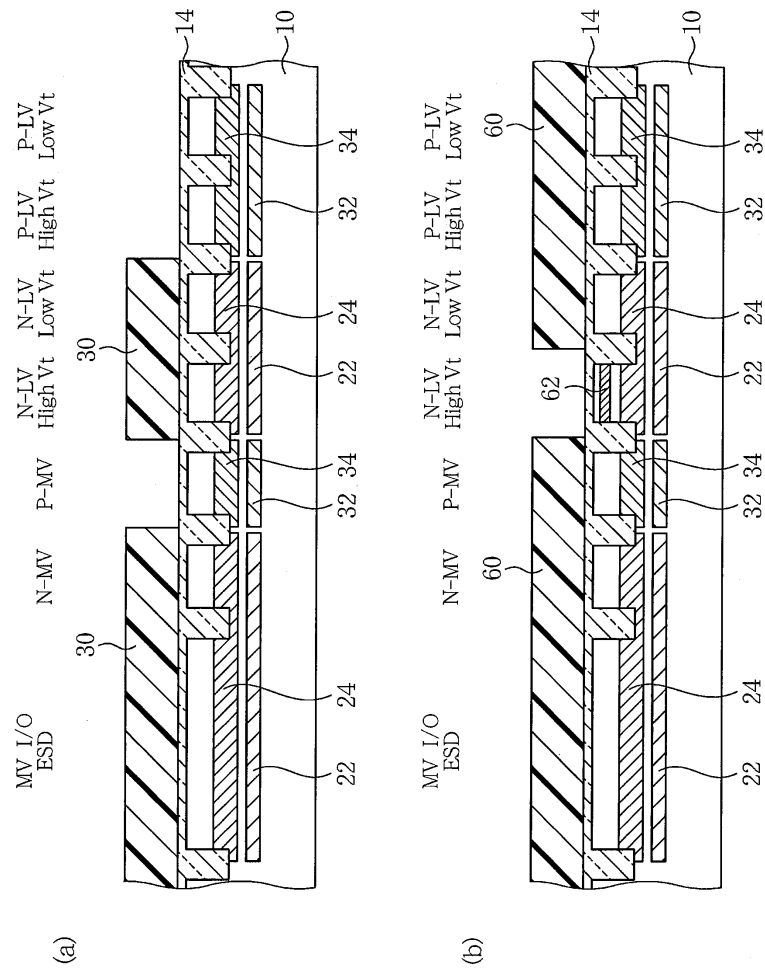
도면9



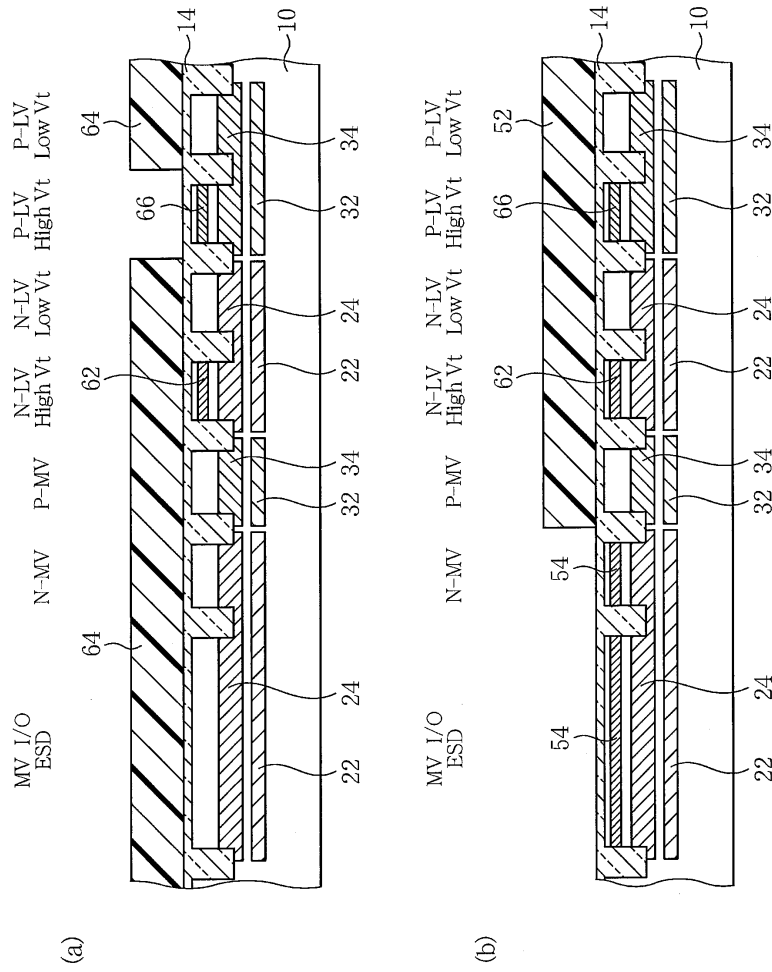
도면10



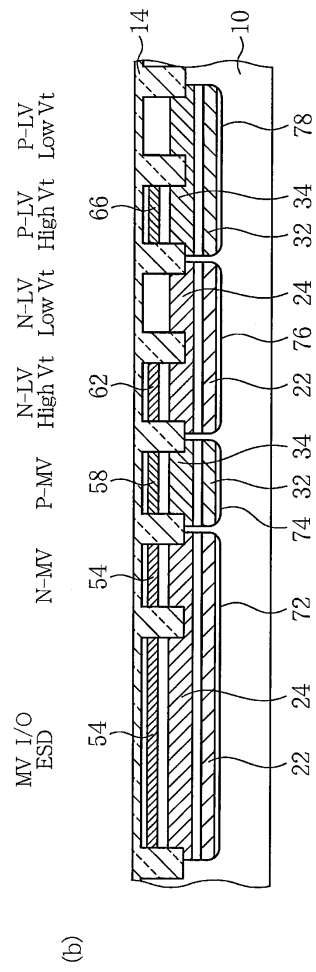
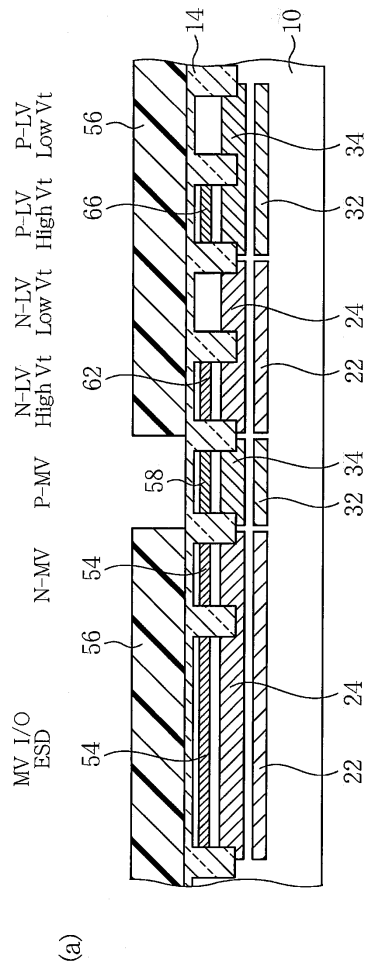
도면11



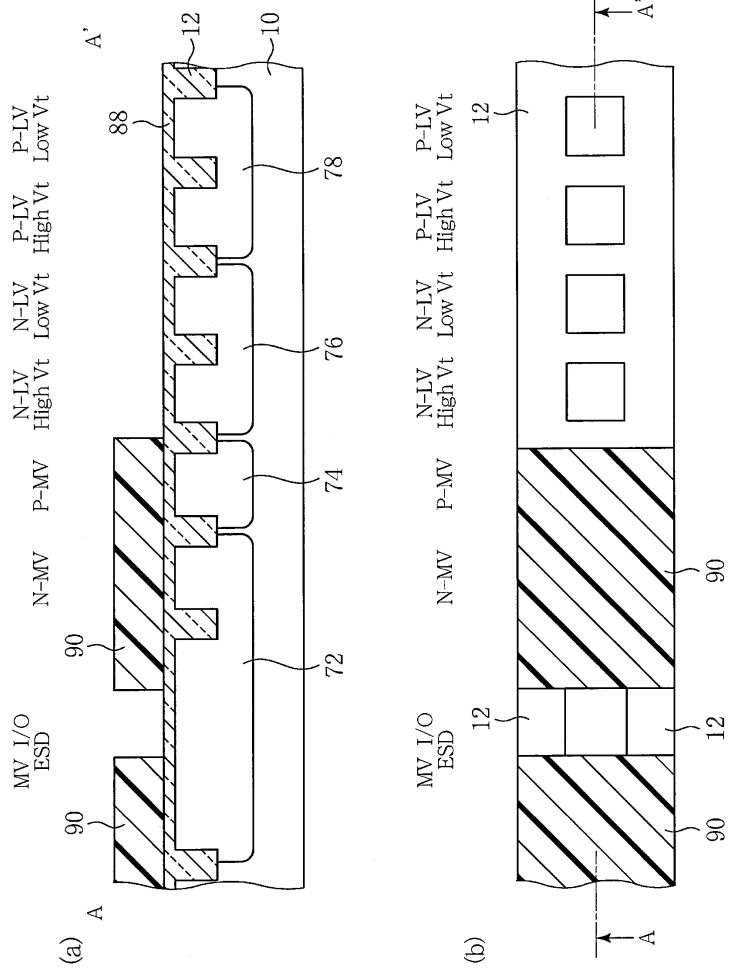
도면12



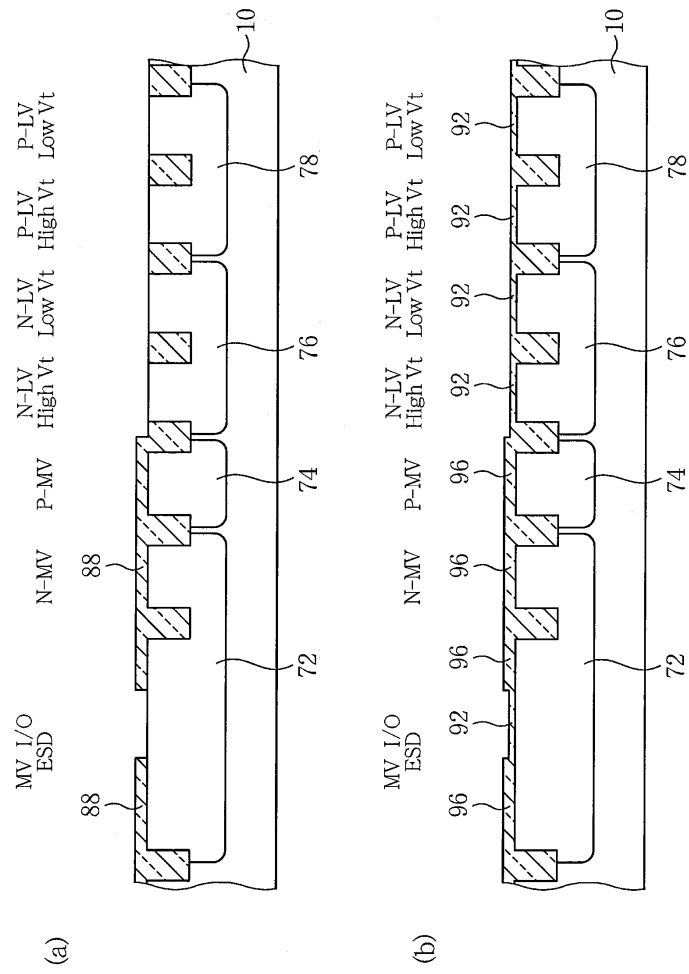
도면13



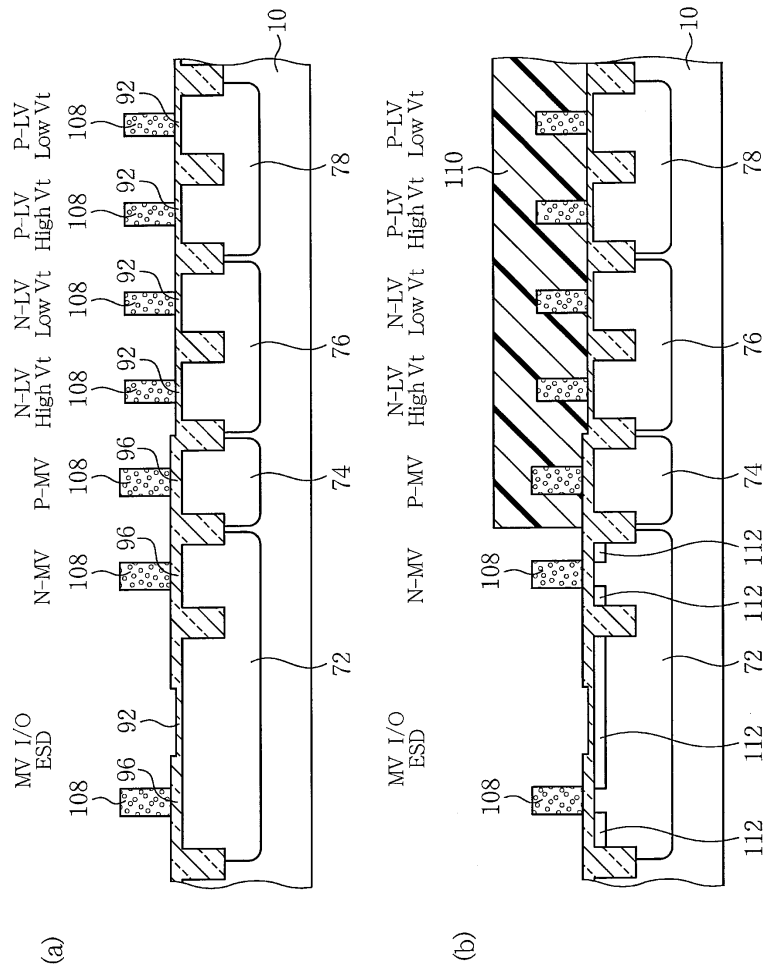
도면14



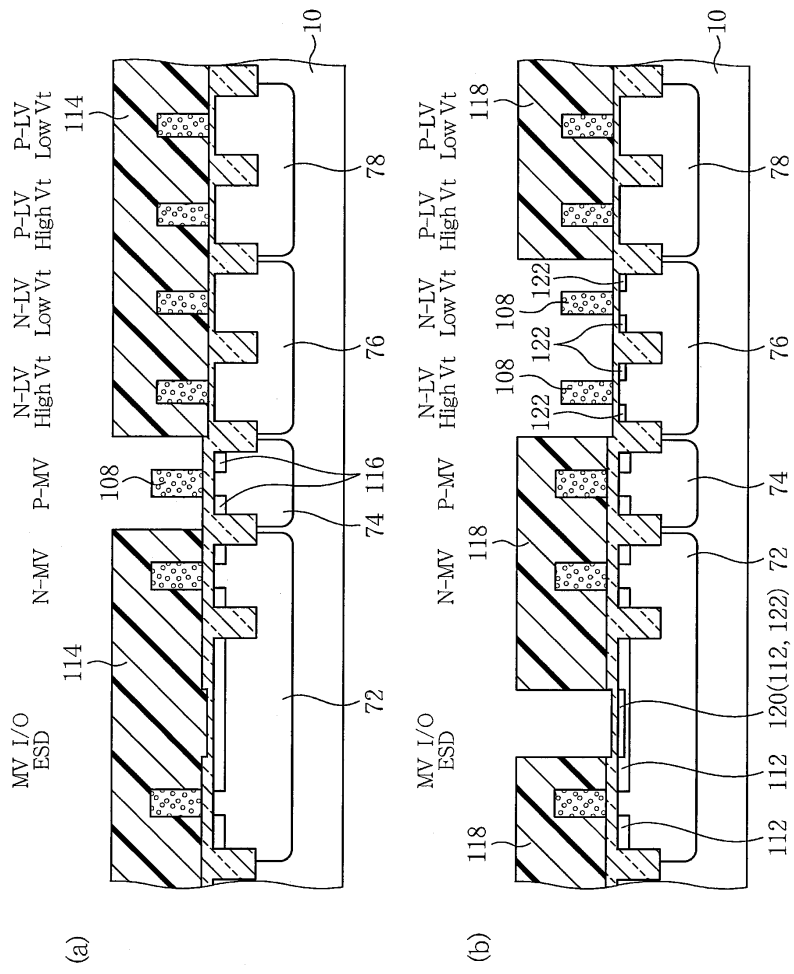
도면15



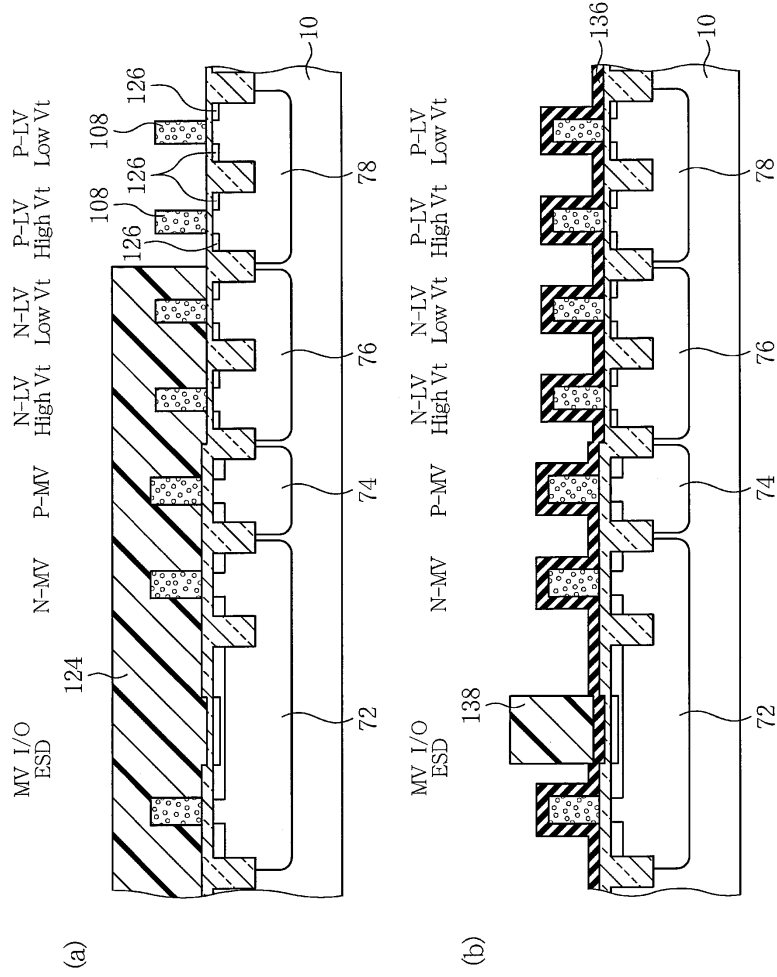
도면16



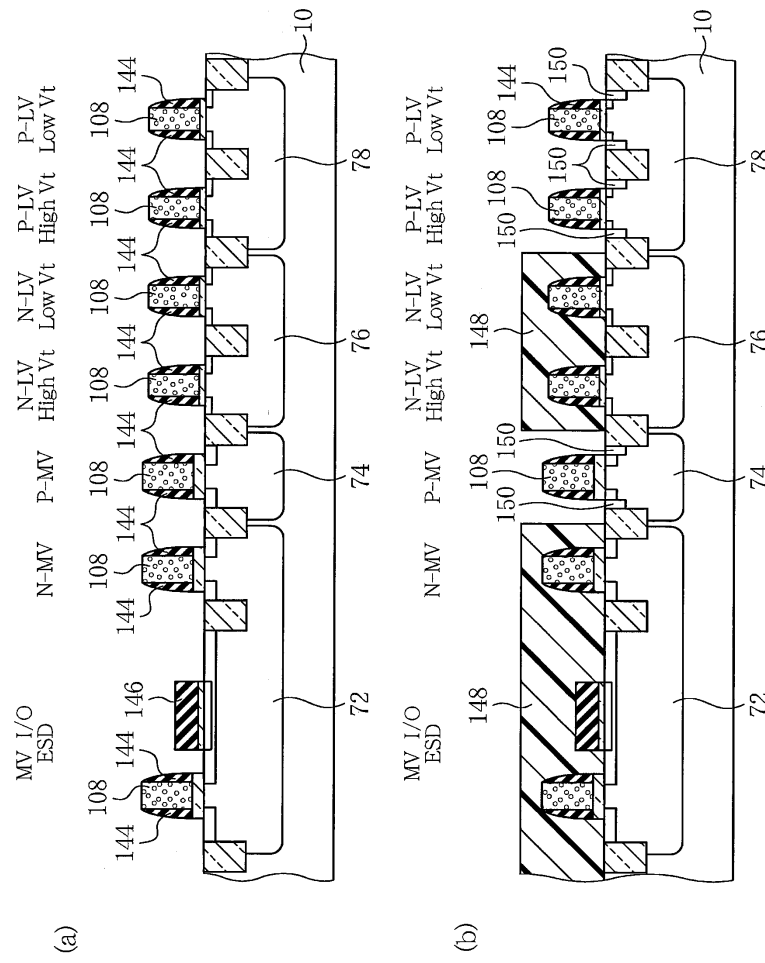
도면17



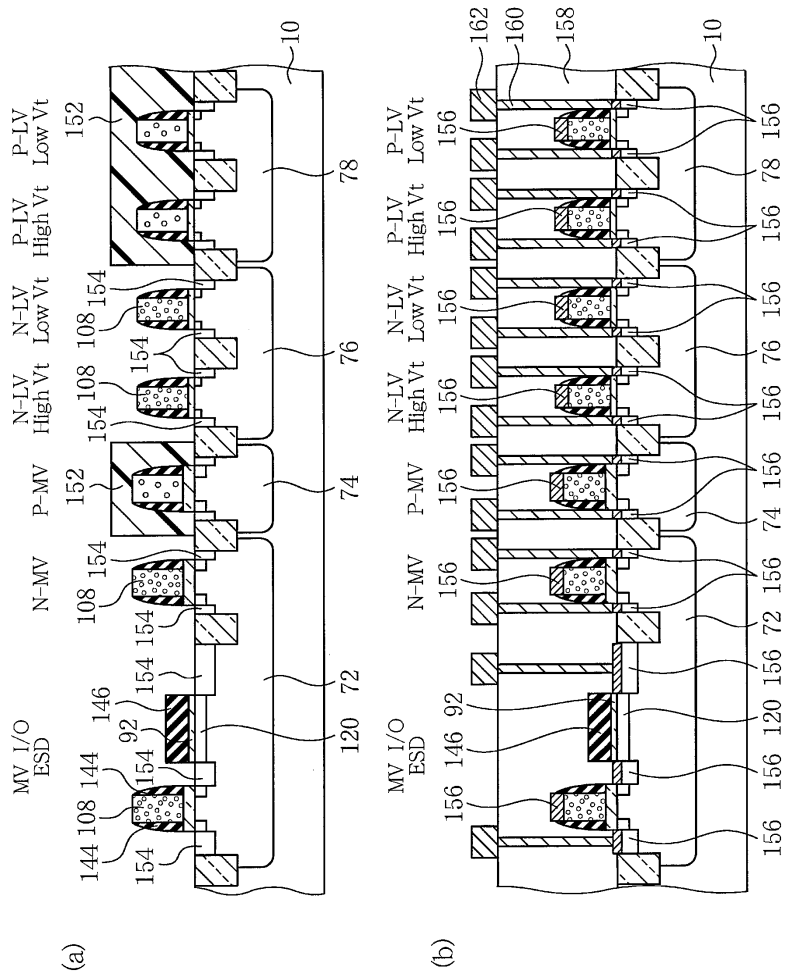
도면18



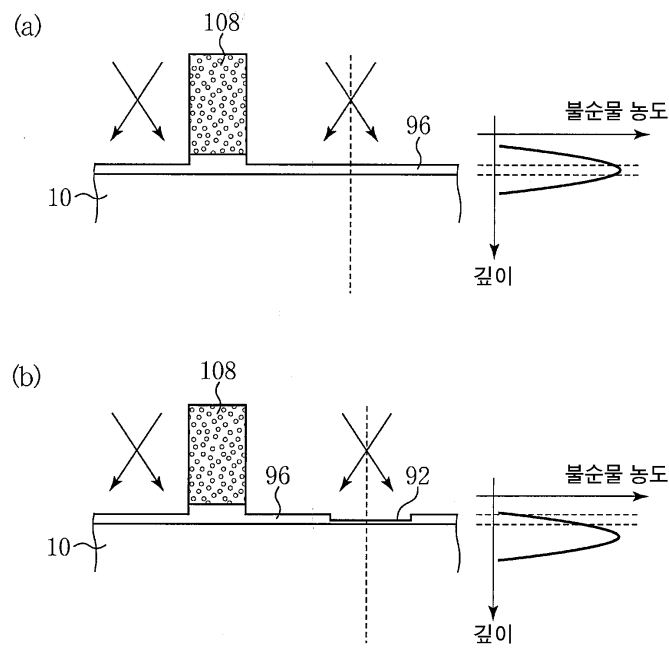
도면19

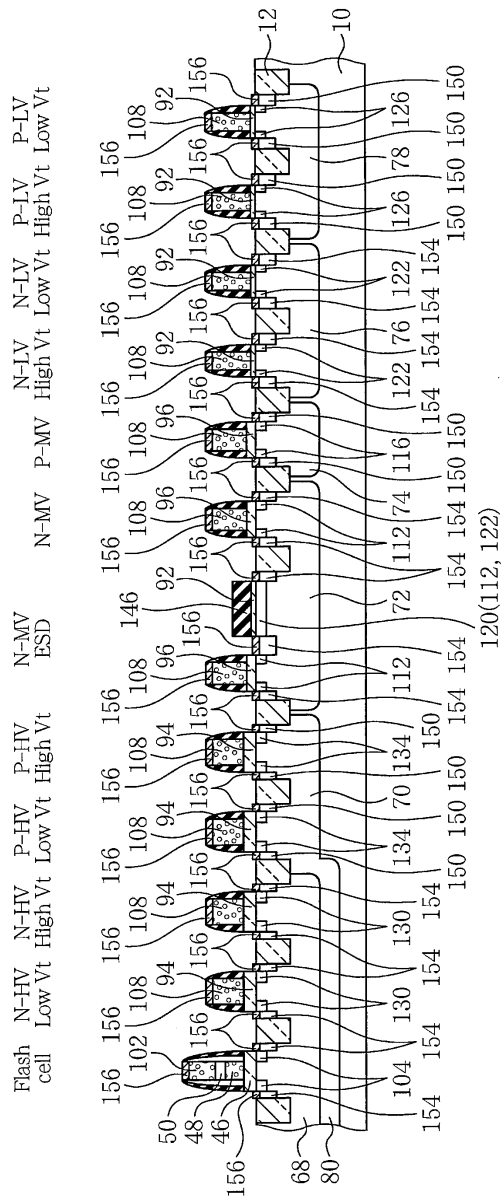


도면20

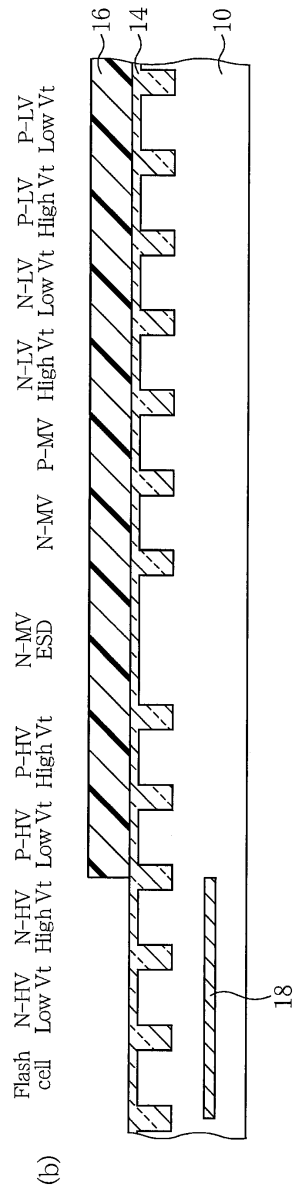
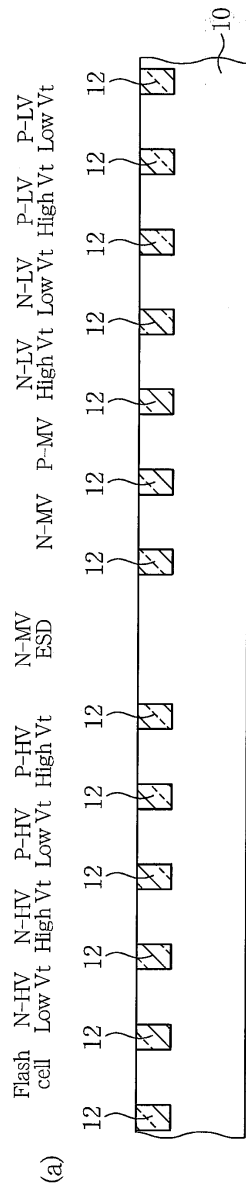


도면21

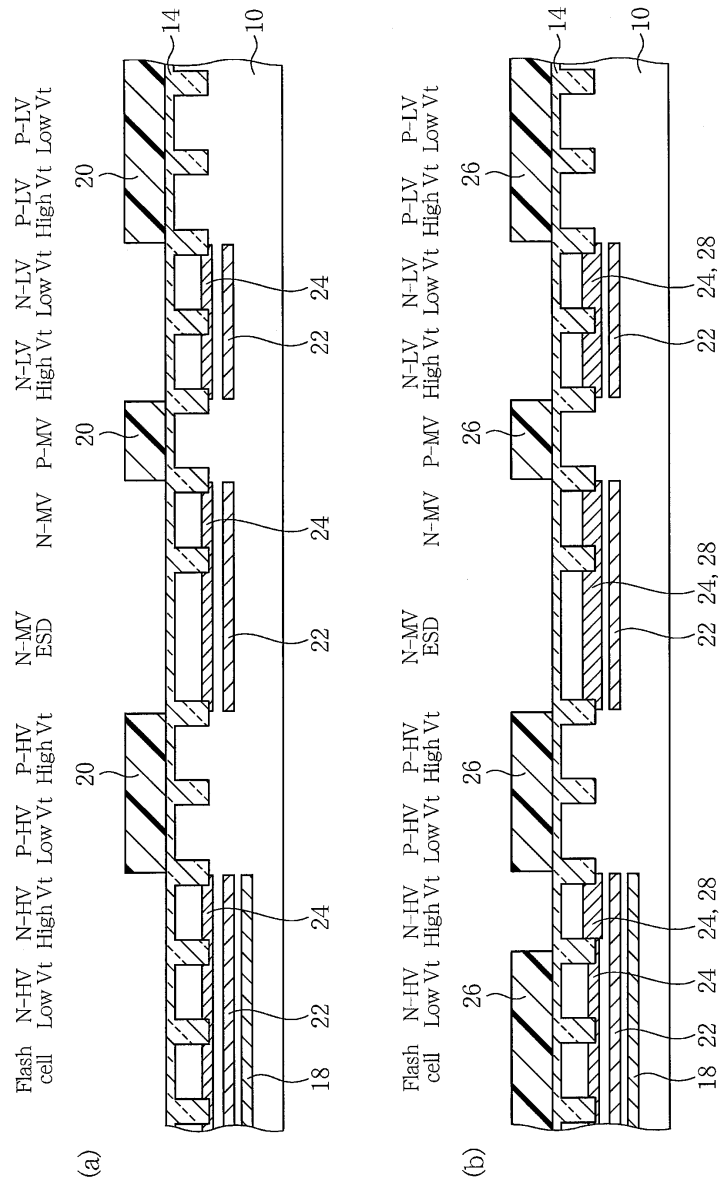




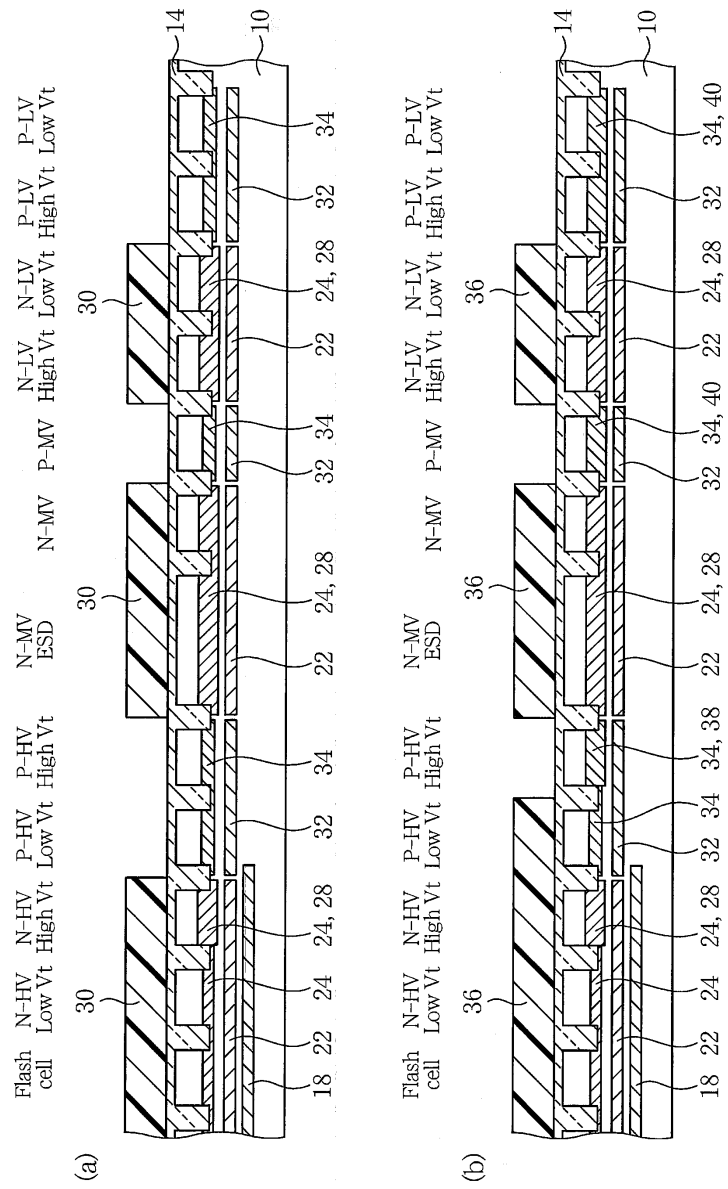
도면23



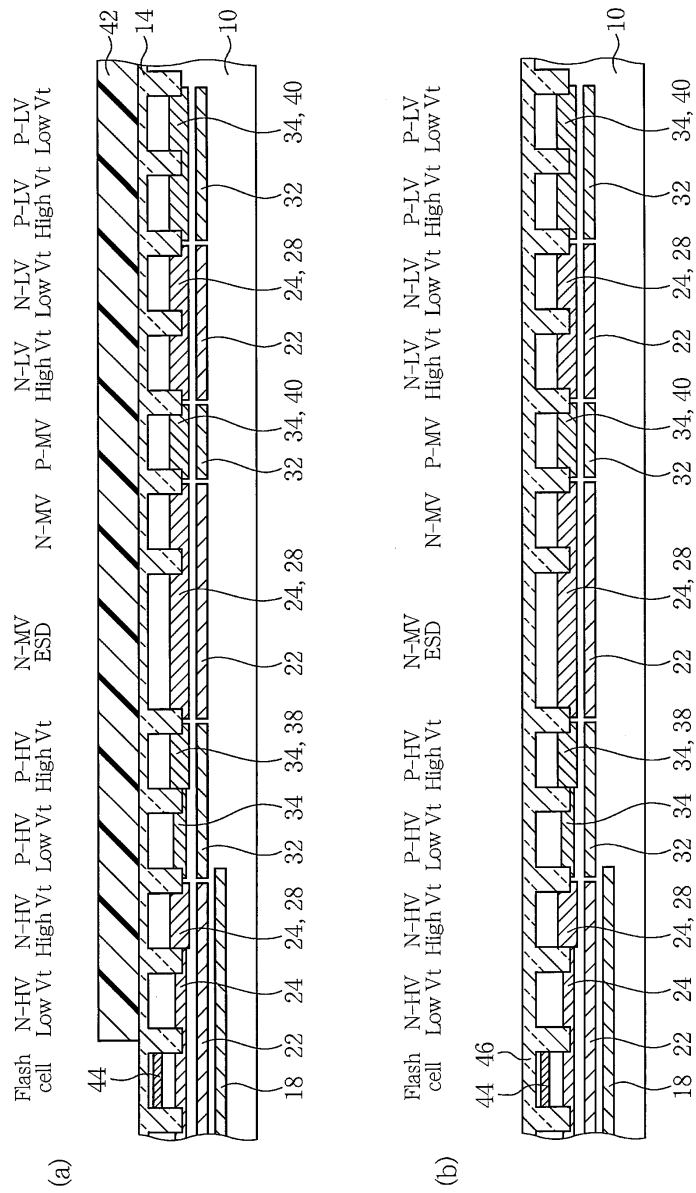
도면24



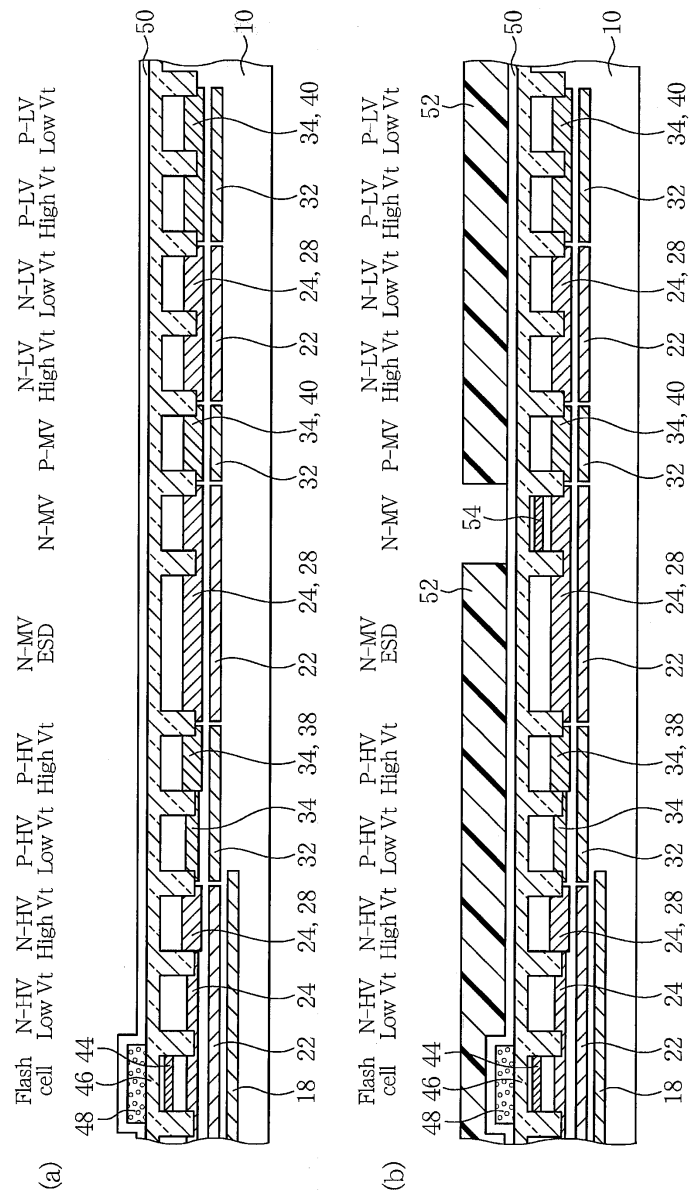
도면25



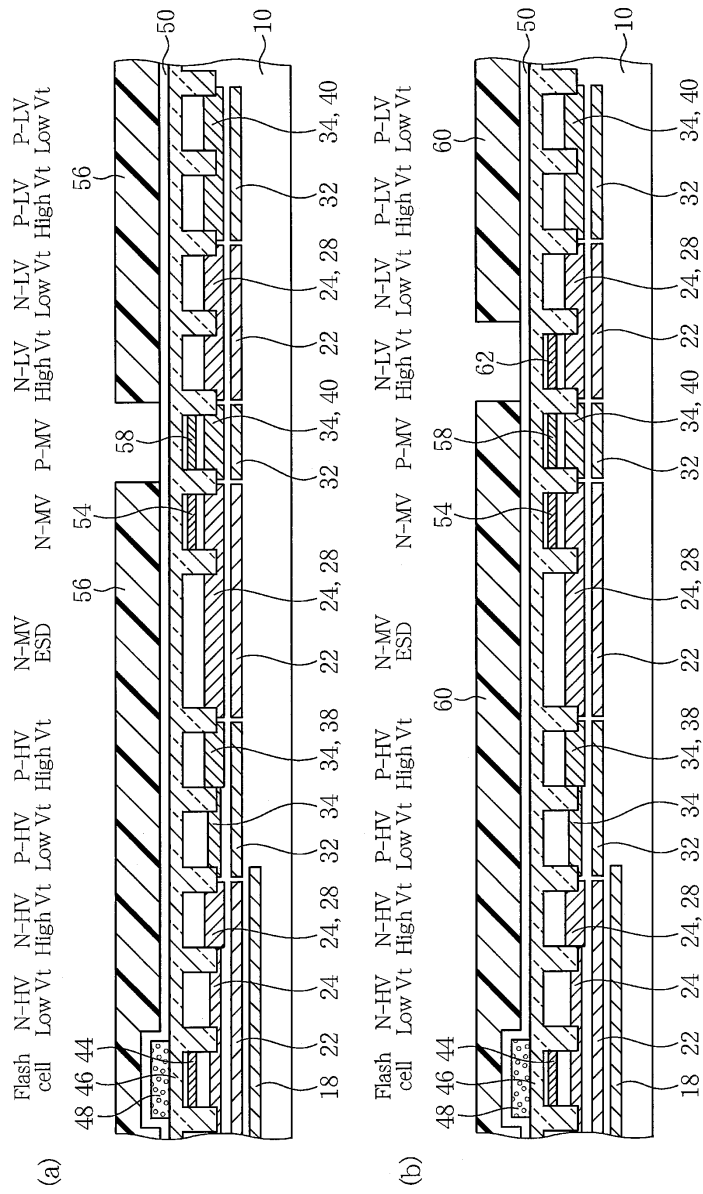
도면26



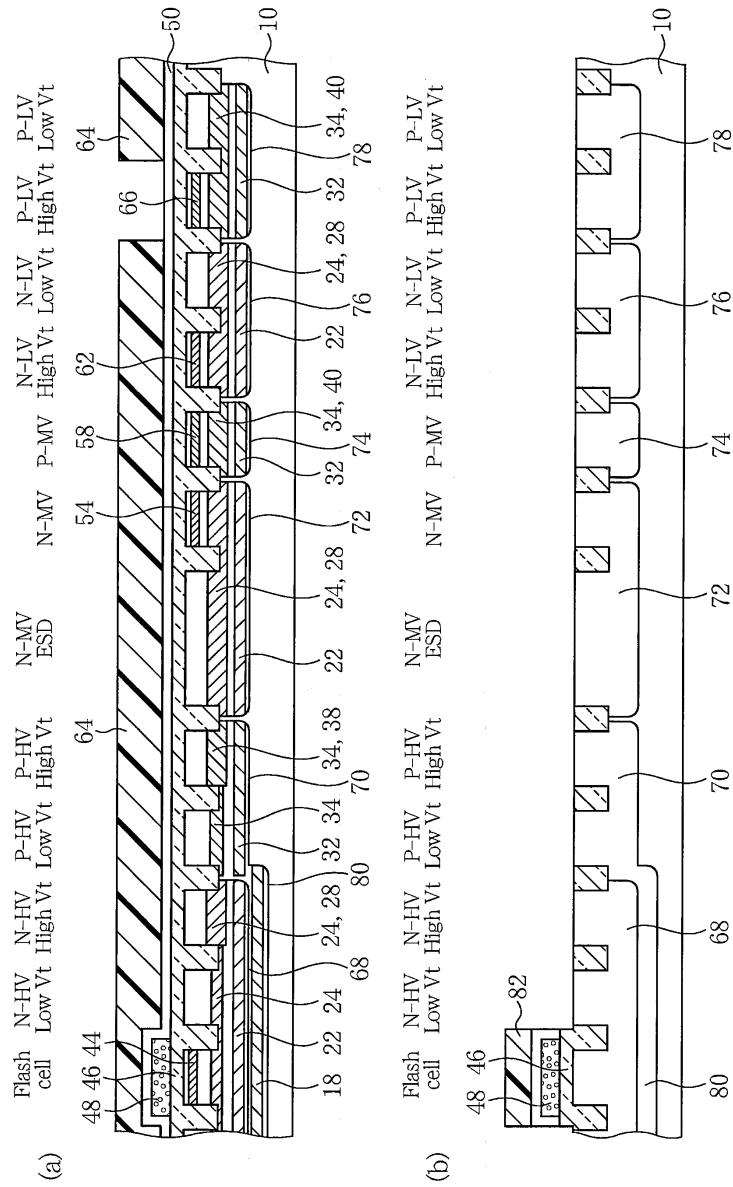
도면27



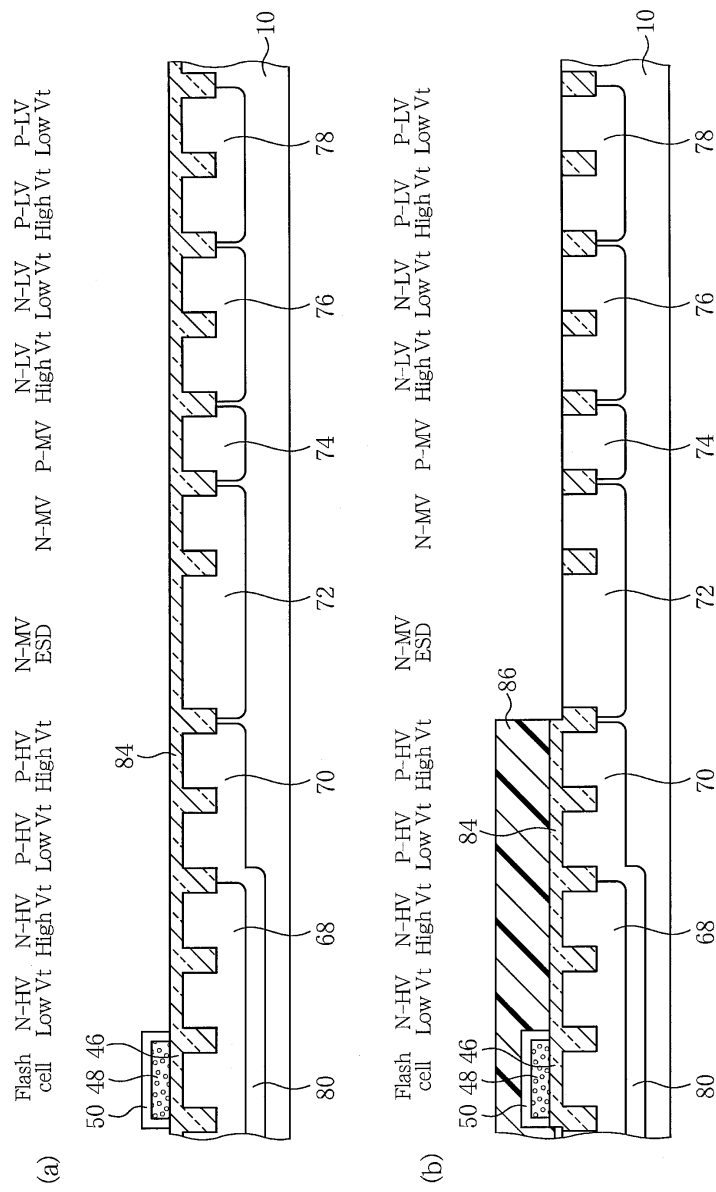
도면28



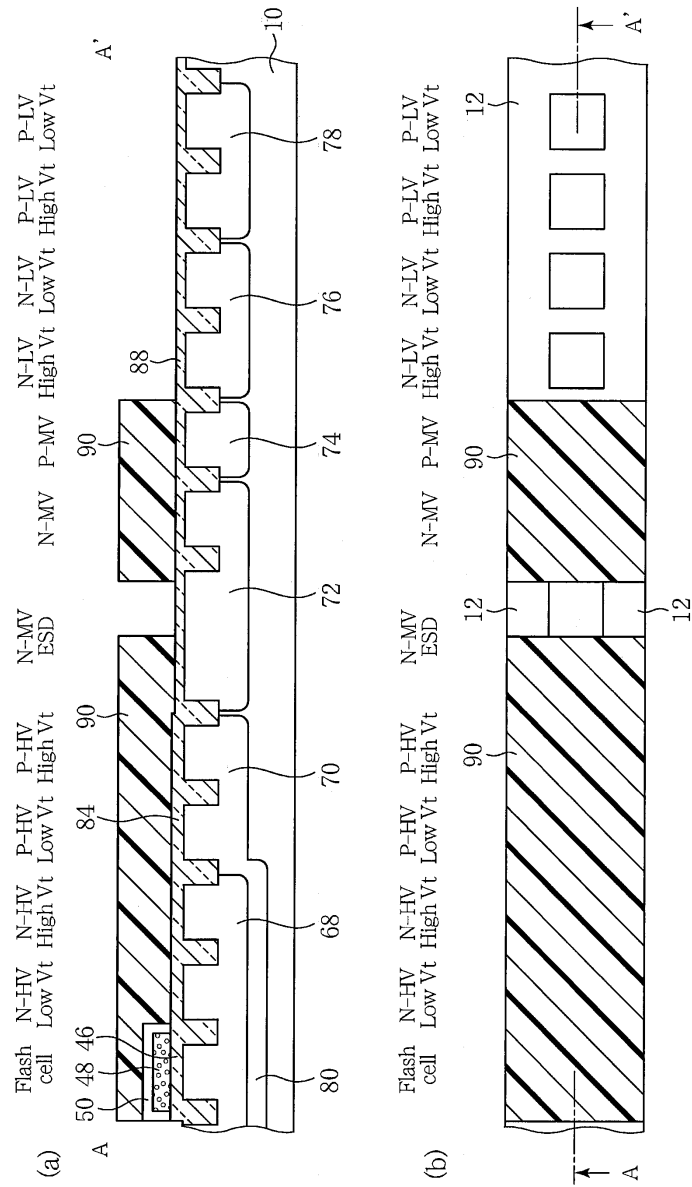
도면29



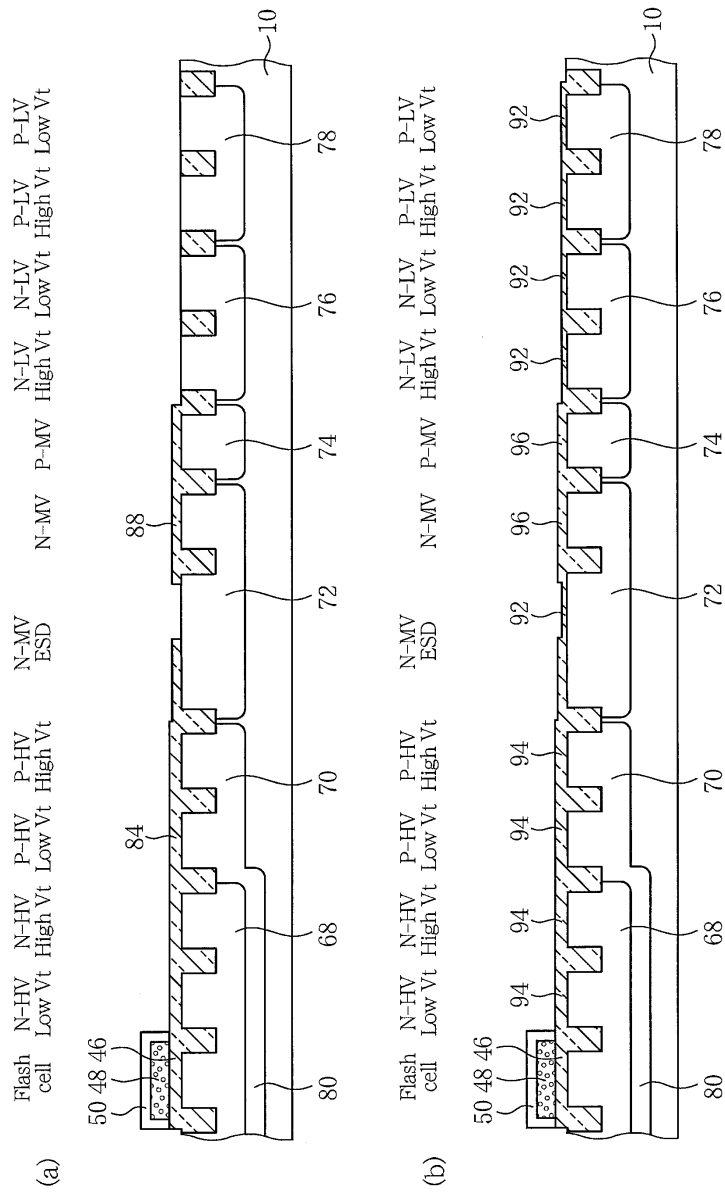
도면30



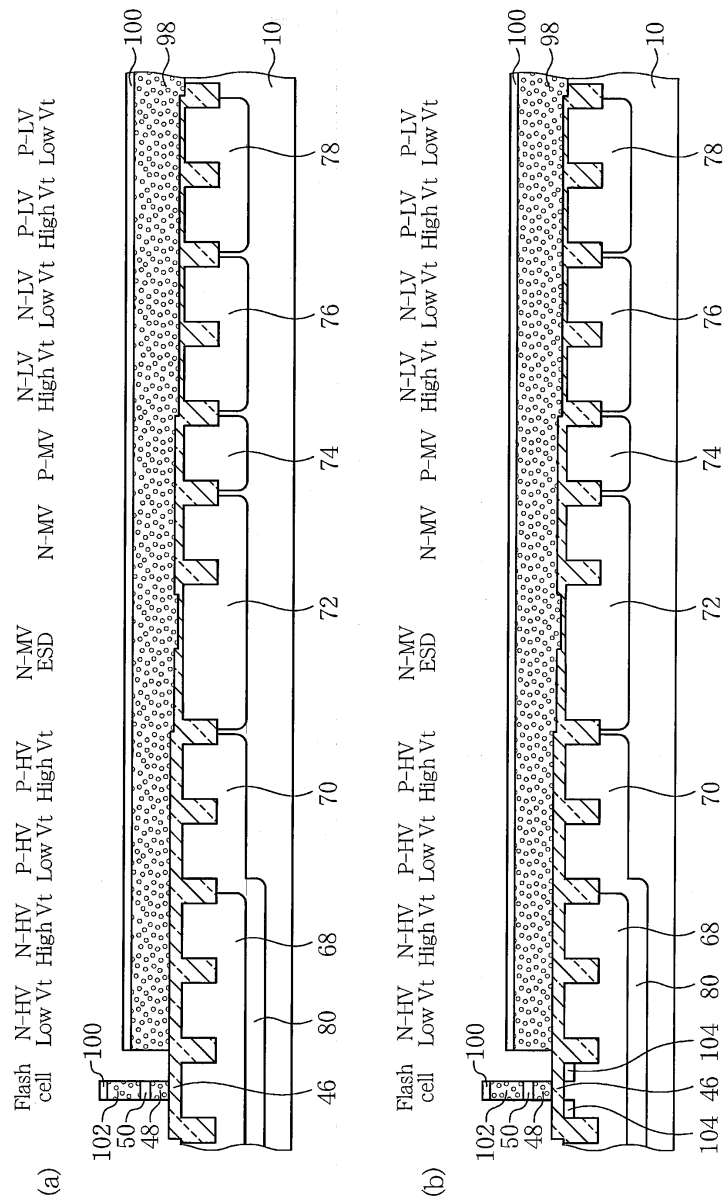
도면31



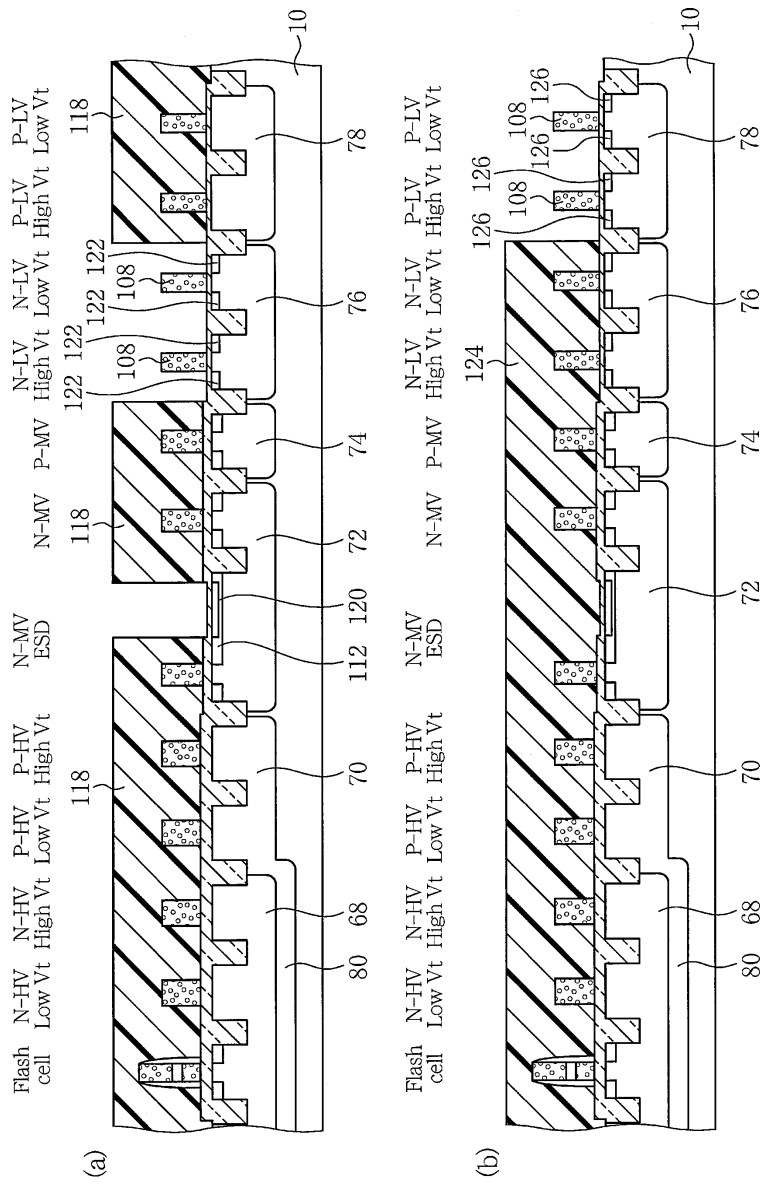
도면32



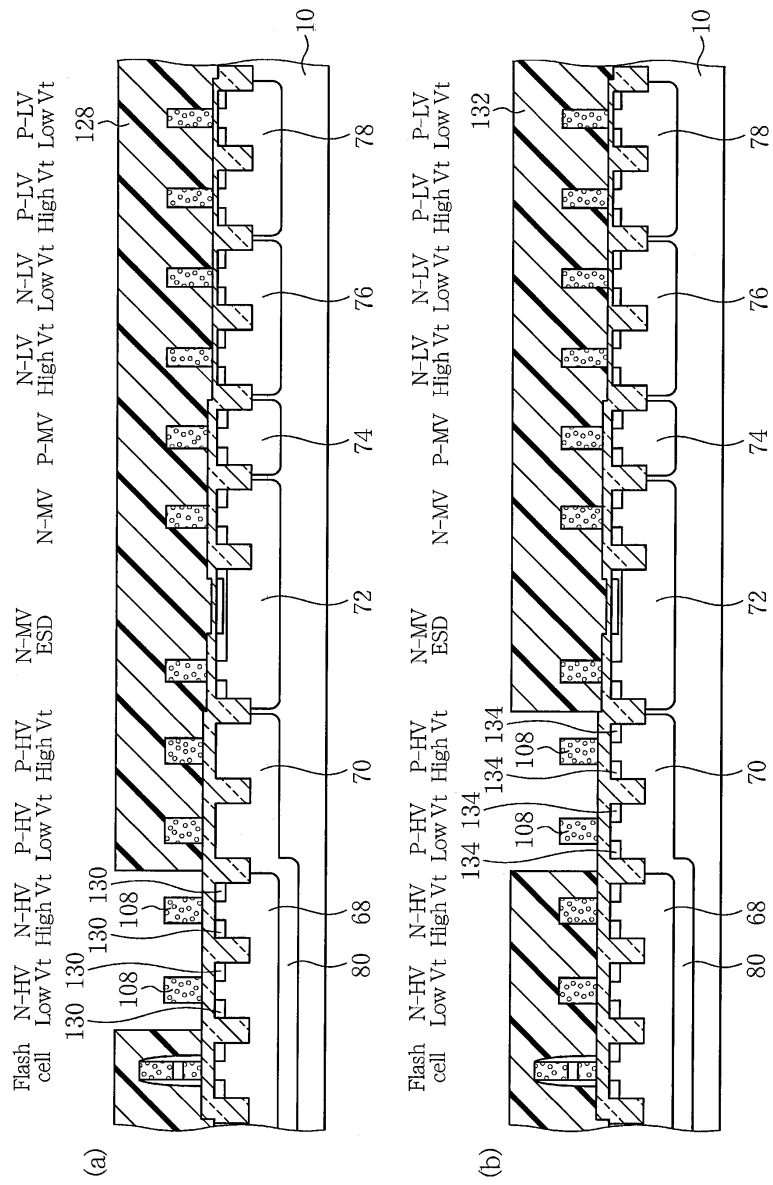
도면33



도면36



도면37



도면40

