

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 11/407		(45) 공고일자	2000년03월 15일
		(11) 등록번호	10-0249974
		(24) 등록일자	1999년 12월 29일
(21) 출원번호	10-1997-0016029	(65) 공개번호	특1997-0071826
(22) 출원일자	1997년04월29일	(43) 공개일자	1997년11월07일
(30) 우선권주장	96-132826 1996년04월30일		일본(JP)
(73) 특허권자	가부시끼가이샤 도시바 니시무로 타이쵸		
(72) 발명자	일본국 가나가와켄 가와사키시 사이와이쿠 호리가와쵸 72반지 구로다 다다히로		
(74) 대리인	일본 가나가와켄 가와사키시 사이와이쿠 호리가와쵸 580-1, 가부시끼가이샤 도시바 반도체 시스템 기술 센터내 사쿠라이 다카야스 일본 가나가와켄 가와사키시 사이와이쿠 호리가와쵸 580-1, 가부시끼가이샤 도시바 반도체 시스템 기술 센터내 나영환, 이상섭		

심사관 : 장현근

(54) 반도체 집적회로 장치

요약

소비 전력을 가급적 적게 하는 것을 가능하게 한다.

제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로(1)와, 제 1 전원의 전위와 제 2 전원의 전위의 사이에서 진동하는 정전 및 반전 입력 신호를 수신하여 바이어스 회로의 출력 전위와 제 1 전원의 전위사이에서 진동하는 신호로 변환하고, 이 변환된 신호로 전송로를 구동하는 구동기 회로(5)와, 바이어스 회로의 출력 전위를 분압하는 분압 회로(9)와, 분압 회로의 출력을 기준 전위로 하여 전송로를 구동하는 신호를 검출하고, 제 1 전원의 전위와 제 2 전원의 전위의 사이에서 진동하는 신호로 변환하는 수신기 회로(10)를 구비하는 것을 특징으로 한다.



도.

도 16a 내지 도 16c는 도 15에 도시된 반도체칩의 스위치 회로의 구성도.

도 17은 제 9 실시 형태의 제 1 변형예의 구성도.

도 18은 제 9 실시 형태의 제 2 변형예의 구성도.

도 19는 본 발명에 따른 반도체 집적회로 장치의 제 10 실시 형태의 구성도.

도 20은 본 발명에 따른 반도체 집적회로 장치의 제 11 실시 형태의 구성도.

도 21은 본 발명에 따른 반도체 집적회로 장치의 제 12 실시 형태의 구성도.

도 22는 본 발명에 따른 반도체 집적회로 장치의 제 13 실시 형태의 구성도.

도 23a 및 도 23b는 제 13 실시 형태에 관한 반도체칩의 구성도.

도 24는 기판 배선의 설명도.

도 25는 본 발명에 따른 반도체 집적회로 장치의 제 14 실시 형태의 구성도.

도 26은 본 발명에 따른 반도체 집적회로 장치의 제 15 실시 형태의 구성도.

\* 도면의 주요부분에 대한 부호의 설명

1 : 바이어스 회로                    2 : 전류원  
 3 : N 채널 MOS 트랜지스터      4 : 커패시터  
 5 : 구동기 회로                    9 : 분압 회로  
 10 : 수신기 회로                    40 : 버스 터미네이터  
 51<sub>A</sub>, 51<sub>B</sub>, 52<sub>A</sub>, 52<sub>B</sub>, 53<sub>A</sub>, 53<sub>B</sub>, 54<sub>A</sub>, 54<sub>B</sub> : 패드  
 61, 62, 63, 64 : 본딩 배선          92a, 92b : 셀렉터  
 92c : 버스                            101, 102, 103 : 스위치 소자  
 141, 142, 143, 144 : 소진폭 입출력 회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 버스, 클록선 또는 반도체칩의 입출력선을 구동하는 구동기 회로를 구비한 반도체 집적회로 장치에 관한 것이다.

CMOS 회로의 소비전력 P 는 다음식에서 제공된다.

[수학식 1]

$$P=pt \cdot f \cdot CL \cdot Vs \cdot V_{DD}$$

여기서, Vs 는 신호진폭, V 는 전원전압, pt 는 스위칭 확률, f 는 클록 주파수, CL 은 부하 용량이다.

종래, 일반적인 회로에서는 신호는 전원 전압의 사이에서 진폭하기 때문에,

[수학식 2]

$$P=pt \cdot f \cdot CL \cdot V_{DD}^2$$

가 된다.

버스나 클록선 또는 반도체칩의 입출력선에는 통상 큰 기생 용량이 존재하기 때문에, 이들의 선을 구동하는 구동기 회로는 큰 전력을 소비한다. 이 문제는 근래 반도체 집적회로 장치의 저소비 전력화가 요청되고 있는 동안 점점 더 중요한 문제로 되어 왔다.

그러므로, 소비 전력을 저감하는 방법의 한 가지는 수학식 1 로부터도 알 수 있는 바와 같이, 신호 진폭을 작게 하는 것이다. 그러나, 이것은 용이하지 않다. 우선, 소진폭 신호를 출력하는 구동기 회로를 저전력으로 실현하는 것이 어렵다. 혹은, 소진폭 신호를 수신하여 통상의 신호로 복귀시키는 수신기 회로를 저전력으로 실현하는 것도 어렵다.

또, 소진폭 신호로 하면 노이즈 여유가 작아지기 때문에, 잘못된 신호 전송을 하지 않도록 하는 것도 어렵다. 특히 칩의 입출력선에는 신호 반사등의 영향을 받기 쉽다. 통상의 진폭의 신호와의 크로스토크도 문제가 된다.

또는, 온도 변화나 디바이스의 격차에 의한 수신기 회로의 임계치의 변동도 문제가 된다.

이상의 이유에 의해, 종래 소진폭 신호는 메모리의 비트선 신호등의 성질을 잘 알 수 있는 회로의 일부에 사용되고 있을 뿐이고, 일반의 반도체 회로 장치에는 전원 전압 사이에서 진폭하는 신호를 사용하고 있었다.

### 발명이 이루고자 하는 기술적 과제

이 때문에, 상기 구동기 회로를 구비한 반도체 집적회로 장치의 저소비 전력화가 진전되지 않는다는 문제가 있다.

본 발명은 상기 사정을 고려하여 이루어진 것으로, 소비 전력이 가급적 적은 구동기 회로를 구비한 반도체 집적회로 장치를 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

본 발명에 의한 반도체 집적회로 장치의 제 1 양태는, 제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 신호로 변환하여 이 변환된 신호로 전송로를 구동하는 구동기 회로와, 상기 바이어스 회로의 출력 전위를 분압하는 분압 회로와, 상기 분압 회로의 출력을 기준전위로 하고, 상기 전송로를 구동하는 신호를 검출하며, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 2 양태는 제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위의 사이에서 진동하는 정전 및 반전 입력신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 신호로 변환하여 이 변환된 신호로 전송로를 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와, 상기 바이어스 회로의 출력 전위를 분압하는 분압 회로와, 상기 분압 회로의 출력을 기준 전위로 하여 상기 전송로를 구동하는 신호를 검출하며, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하고 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 3 양태는, 제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여, 이 차동 신호로 전송로를 구동하는 구동기 회로와, 상기 전송로를 구동하는 차동 신호를 검출하고, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하고 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 4 양태는, 제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동 신호로 전송로를 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와, 상기 전송로를 구동하는 차동 신호를 검출하고, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하고 있는 것을 특징으로 한다.

또한 본 발명에 의한 반도체 집적회로 장치의 제 5 양태는, 제 2 또는 제 4 양태의 반도체 집적회로 장치에 있어서, 상기 구동기 회로의 출력이 고임피던스가 되었을 때에 상기 전송로의 전위를 소정치로 유지하는 버스 터미네이터 회로를 구비하고 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 6 양태는, 제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 제 1 정전 및 반전 입력 신호를 수신하고, 제 1 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 신호로 변환하여 이 신호로 출력하거나 또는 출력이 고임피던스가 되는 제 1 구동기 회로, 상기 바이어스 회로의 출력 전위를 분압하는 제 1 분압 회로 및 제 1 수신기 회로를 갖는 제 1 반도체칩과, 입력단이 배선을 통해 상기 제 1 분압 회로의 입력단에 접속되어 상기 바이어스 회로의 출력 전위를 분압하는 제 2 분압 회로, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 제 2 정전 및 반전 입력 신호를 수신하고, 제 2 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원 전위 사이에서 진동하는 신호로 변환하여 이 신호를 출력하거나 또는 출력이 고임피던스가 되도록 동작하며, 출력단이 전송용 배선을 통해 상기 제 1 구동기 회로의 출력단에 접속되는 제 2 구동기 회로 및 제 2 수신기 회로를 갖는 제 2 반도체칩을 구비하며, 상기 제 1 수신기 회로는 상기 제 1 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 2 구동기 회로로부터의 신호를 검출하여 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하며, 상기 제 2 수신기 회로는 상기 제 2 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 1 구동기 회로로부터의 신호를 검출하고 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 7 양태는, 제 1 또는 제 6 양태 중 어느 하나의 반도체 집적회로 장치에 있어서, 상기 바이어스 회로는 각각의 게이트와 드레인이 접속된 동일 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 도전형과 동일한 도전형의 다른 MOS 트랜지스터를 가지며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되고, 상기 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는

것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 8 양태는, 제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 제 1 바이어스 회로, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 제 1 정전 및 반전 입력 신호를 수신하고, 제 1 인에이블 신호에 기초하여 상기 제 1 바이어스 회로의 출력 전위와 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동 신호를 출력하거나 또는 출력이 고임피던스가 되는 제 1 구동기 회로 및 제 1 수신기 회로를 갖는 제 1 반도체칩과; 제 3 전원의 전위와 제 4 전원의 전위 사이의 소정전압을 발생하는 제 2 바이어스 회로, 상기 제 3 전원의 전위와 상기 제 4 전원의 전위 사이에서 진동하는 제 2 정전 및 반전 입력 신호를 수신하고, 제 2 인에이블 신호에 기초하여 상기 제 2 바이어스 회로의 출력 전위와 상기 제 3 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동 신호를 출력하거나 또는 출력이 고임피던스가 되는 제 2 구동기 회로 및 제 2 수신기 회로를 갖는 제 2 반도체칩을 구비하며, 상기 제 1 및 제 2 구동기 회로의 출력단은 전송용 배선에 의해서 접속되고, 상기 제 1 수신기 회로는 상기 제 1 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 2 구동기 회로로부터의 차동 신호를 검출하여 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하고, 상기 제 2 수신기 회로는 상기 제 2 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 1 구동기 회로로부터의 차동 신호를 검출하여 상기 제 3 전원의 전위와 상기 제 4 전원의 전위 사이에서 진동하는 신호로 변환하는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 9 양태는, 제 8 양태의 반도체 집적회로 장치에 있어서, 상기 제 1 바이어스 회로는 각각의 게이트와 드레인이 접속된 제 1 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 제 1 도전형의 다른 MOS 트랜지스터를 가지며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 제 1 도전형의 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 제 1 도전형의 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되고, 상기 제 1 도전형의 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되고, 상기 제 2 바이어스 회로는 각각의 게이트와 드레인이 접속된 제 2 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 제 2 도전형의 다른 MOS 트랜지스터를 가지며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 3 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 제 2 도전형의 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 제 2 도전형의 다른 MOS 트랜지스터의 드레인이 상기 제 4 전원에 접속되고, 상기 제 2 도전형의 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 10 양태는, 매트릭스형으로 배치된 복수의 반도체칩을 갖고, 각 반도체칩은 데이터 전송용의 입출력단을 가지며, 이 입출력단은 인접하는 다른 반도체칩의 입출력단과 본딩배선 또는 기판배선으로 이루어지는 전송용 배선에 의해서 접속되어 있으며, 또 반도체칩의 전부 또는 일부의 상기 데이터 전송용의 입출력단에는 소진폭 입출력 회로가 설치되어 있고, 이 소진폭 입출력 회로는 이 소진폭 입출력 회로가 설치되어 있는 반도체칩에 대응한 제 1 전원의 제 1 전위와 제 2 전원의 제 2 전위 사이에서 진동하는 정전 및 반전 신호를 수신하고, 상기 제 1 전위와 제 2 전위 사이의 소정 전위와 상기 제 1 전위와의 사이에서 진동하는 소진폭 신호로 변환하여 이 변환된 신호를 상기 전송용 배선을 통해 인접하는 다른 반도체칩의 입출력단에 송출하는 동시에, 상기 전송용 배선을 통해 전송되는 소진폭 신호를 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 신호로 변환하는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 11 양태는, 제 10 양태의 반도체 집적회로 장치에 있어서, 상기 소진폭 입출력 회로는 상기 제 1 전위와 상기 제 2 전위 사이의 소정 전위를 발생하는 바이어스 회로와, 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전위 사이에서 진동하는 신호로 변환하여 이 변환된 신호를 상기 전송용 배선을 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와, 상기 바이어스 회로의 출력 전위를 분압하는 분압 회로와, 상기 분압 회로의 출력을 기준 전위로 하여 상기 전송용 배선을 통해 전송되는 신호를 검출하고, 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하고 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 12 양태는, 제 10 양태의 반도체 집적회로 장치에 있어서, 상기 소진폭 입출력 회로는 상기 제 1 전위와 상기 제 2 전위 사이의 소정 전위를 발생하는 바이어스 회로와, 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동 신호를 상기 전송용 배선을 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와, 상기 전송용 배선을 통해 보내져오는 차동 신호를 검출하여 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하고 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 13 양태는, 일렬로 배열된 제 1 내지 제 n 반도체칩을 갖고, 상기 제 1 반도체칩은 소정의 처리 기능을 갖는 제 1 기능 수단과, 데이터 전송용의 제 1 입출력단과, 상기 제 1 기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭 신호로 변환하여 상기 제 1 입출력단을 통해 인접하는 제 2 반도체칩에 송출하는 동시에, 상기 제 2 반도체칩으로부터 상기 제 1 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제 1 기능 수단에 송출하는 제 1 소진폭 입출력 회로를 구비하고, 상기 제  $i$  ( $i=2, \dots, n-1$ )의 반도체칩은 소정의 처리기능을 갖는 제  $i$  기능 수단과, 데이터 전송용의 제  $2(i-1)$  및 제  $2i-1$ 의 입출력단과, 제  $2(i-1)$  및 제  $2i-1$ 의 소진폭 입출력 회로와, 제  $i-1$ 의 스위치 회로를 구비하고, 상기 제  $i-1$ 의 스위치 회로는 제  $i$ 의 기능 수단의 출력을 상기 제  $2(i-1)$ 의 소진폭 입출력 회로 또는 상기 제  $2i-1$ 의 소진폭 입출력 회로로 제어 신호에 기초하여 송출하는 동시에, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로 또는 상기 제  $2i-1$ 의 소진폭 입출력 회로의 출력을, 상기 제  $i$ 의 기능 수단에 송출하거나 또는 바이패스하여 상기 제  $2(i-1)$  또는 제  $2i-1$ 의 소진폭 입출력 회로 중 다른쪽의 소진폭 입출력 회로에 송출하도록 상기 제어 신호에 기초하여 선택하며, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로는 상기 제  $i-1$ 의 스위치 회로의 출력을 이 출력보다도 작은 진폭의 소진폭 신호로 변환하여 상기 제  $2(i-1)$ 의 입출력단을 통해 상기 제  $i-1$ 의 반

도체칩에 송출하는 동시에, 상기 제  $2(i-1)$ 의 입출력단을 통해 상기 제  $i-1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $i-1$ 의 스위치 회로에 송출하고, 상기 제  $2i-1$ 의 소진폭 입출력 회로는 상기 제  $i-1$ 의 스위치 회로의 출력을 이 출력보다도 작은 진폭의 소진폭 신호로 변환하여 상기 제  $2i-1$ 의 입출력단을 통해 상기 제  $i+1$  반도체칩에 송출하는 동시에, 상기 제  $2i-1$ 의 입출력단을 통해 상기 제  $i+1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭의 대진폭 신호로 변환하여 상기 제  $i-1$ 의 스위치 회로에 송출하고, 상기 제  $n$  반도체칩은 소정의 처리 기능을 갖는 제  $n$  기능 수단과, 데이터 전송용의 제  $2(n-1)$ 의 입출력단과, 상기 제  $n$  기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭 신호로 변환하여 상기 제  $2(n-1)$ 의 입출력단을 통해 인접하는 제  $n-1$ 의 반도체칩에 송출하는 동시에, 상기 제  $n-1$ 의 반도체칩으로부터 상기 제  $2(n-1)$ 의 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $n$  기능 수단에 송출하는 제  $2(n-1)$ 의 소진폭 입출력 회로를 구비하고, 상기 제  $i(i=1, \dots, n-1)$ 의 반도체칩의 제  $2i-1$ 의 입출력단은 상기 제  $i+1$ 의 반도체칩의 제  $2i$ 의 입출력단과, 본딩배선 또는 기판배선으로 이루어지는 전송용 배선에 의해 접속되어 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 14 양태는, 제 13 양태의 반도체 집적회로 장치에 있어서, 상기 제  $i(i=1, \dots, n-2)$ 의 스위치 회로는 상기 제  $2i$ 의 소진폭 입출력 회로 및 상기 제  $i+1$ 의 기능 블록을 제 1 제어 신호에 기초하여 동동시키는 제 1 스위치 소자와, 상기 제  $i+1$ 의 기능 블록과 상기 제  $2i+1$ 의 소진폭 입출력 회로를 제 2 제어 신호에 기초하여 동동시키는 제 2 스위치 소자와, 상기 제  $2i$ 의 소진폭 입출력 회로 및 제  $2i+1$ 의 소진폭 입출력 회로를 제 3 제어 신호에 기초하여 동동시키는 제 3 스위치 소자를 가지며, 상기 제  $j(j=1, \dots, 3)$ 의 스위치 소자는 상기 제  $j$ 의 제어 신호를 게이트에서 수신하는 N채널 MOS 트랜지스터와 상기 제  $j$ 의 제어 신호의 반전 신호를 수신하는 P채널 MOS 트랜지스터로 이루어지는 트랜스퍼 게이트를 가지며, 상기 제 1 내지 제 3 제어 신호는 이들 중의 1개의 제어 신호의 값이 「H」 레벨이면 다른 2개의 제어 신호는 「L」 레벨인 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 15 양태는, 일렬로 배열된 제 1 내지 제  $n$  반도체칩을 가지며, 상기 제 1 반도체칩은 소정의 처리 기능을 갖는 제 1 기능 수단과, 데이터 전송용의 제 1 입출력단과, 상기 제 1 기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭 신호로 변환하여 상기 제 1 입출력단을 통해 인접하는 제 2 반도체칩에 송출하는 동시에, 상기 제 2 반도체칩으로부터 상기 제 1 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제 1 기능 수단에 송출하는 제 1 소진폭 입출력 회로를 구비하고, 상기 제  $i(i=2, \dots, n-1)$ 의 반도체칩은 소정의 처리 기능을 갖는 제  $i$  기능 수단과, 데이터 전송용의 제  $2(i-1)$  및 제  $2i-1$ 의 입출력단과, 제  $2(i-1)$  및 제  $2i-1$ 의 소진폭 입출력 회로와, 제  $2(i-1)$  및 제  $2i-1$ 의 선택기 회로를 구비하며, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로는 상기 제  $2(i-1)$ 의 입출력단을 통해 인접하는 제  $i-1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $2(i-1)$ 의 선택기 회로에 송출하는 동시에 상기 제  $2(i-1)$ 의 선택기 회로로부터 신호를 이 신호보다도 진폭이 작은 신호로 변환하여 상기 제  $2(i-1)$ 의 입출력단을 통해 상기 제  $i-1$ 의 반도체칩에 송출하고, 상기 제  $2i-1$ 의 소진폭 입출력 회로는 상기 제  $2i-1$ 의 입출력단을 통해 인접하는 제  $i+1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $2i-1$ 의 선택기 회로에 송출하는 동시에, 상기 제  $2i-1$ 의 선택기 회로로부터의 신호를 이 신호보다도 진폭이 작은 신호로 변환하여 상기 제  $2i-1$ 의 입출력단을 통해 상기 제  $i+1$ 의 반도체칩에 송출하고, 상기 제  $2(i-1)$ 의 선택기 회로는 상기 제  $i$ 의 기능 수단의 출력 및 상기 제  $2i-1$ 의 선택기 회로로부터의 신호를 상기 제  $2(i-1)$ 의 소진폭 입출력 회로에 송출하는 동시에, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로로부터의 신호를 제  $i$  신호에 기초하여 선택하고 상기 제  $i$ 의 기능 수단 또는 상기 제  $2i-1$ 의 선택기 회로에 송출하며, 상기 제  $2i-1$ 의 선택기 회로는 상기 제  $i$ 의 기능 수단의 출력 및 상기 제  $2(i-1)$ 의 선택기 회로로부터의 신호를 상기 제  $2i-1$ 의 소진폭 입출력 회로에 송출하는 동시에, 상기 제  $2i-1$ 의 소진폭 입출력 회로로부터의 신호를 상기 제  $i$  제어 신호에 기초하여 선택하고 상기 제  $i$ 의 기능 수단 또는 상기 제  $2(i-1)$ 의 선택기 회로에 송출하고, 상기 제  $n$  반도체칩은 소정의 처리 기능을 갖는 제  $n$  기능 수단과, 데이터 전송용의 제  $2(n-1)$ 의 입출력단과, 상기 제  $n$  기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭 신호로 변환하여 상기 제  $2(n-1)$ 의 입출력단을 통해 인접하는 제  $n-1$ 의 반도체칩에 송출하는 동시에, 상기 제  $n-1$ 의 반도체칩으로부터 상기 제  $2(n-1)$ 의 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $n$  기능 수단에 송출하는 제  $2(n-1)$ 의 소진폭 입출력 회로를 구비하고 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 16 양태는, 제 13 내지 제 15 중 어느 하나의 양태의 반도체 집적회로 장치에 있어서, 상기 제 1 반도체칩은 CPU를 구비하고 있고, 상기 제 2 내지 제  $n$  반도체칩은 각각 메모리를 구비하고 있는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 집적회로 장치의 제 17 양태는, 제 13 내지 제 15 중 어느 하나의 양태의 반도체 집적회로 장치에 있어서, 상기 제 1 내지 제  $n-1$ 의 반도체칩은 각각 CPU를 구비하고 있고, 상기 제  $n$  반도체칩은 메모리를 구비하고 있는 것을 특징으로 한다.

본 발명에 따른 반도체 집적회로 장치의 제 1 실시 형태를 도 1에 나타낸다. 본 실시 형태의 반도체 집적회로 장치는 소진폭 출력 회로와, 분압 회로(9)와, 감지증폭 회로를 갖는 수신기 회로(10)를 구비하고 있다. 소진폭 출력 회로는 바이어스 회로(1)와 구동기 회로(5)를 포함하고 있다.

바이어스 회로(1)는 소정의 전위를 발생하는 것으로, 전류원(2)과, 동일 사이즈의  $n$ 개의 N 채널 MOS 트랜지스터( $M_1, \dots, M_n$ )를 직렬로 접속한 직렬 회로와, N 채널 MOS 트랜지스터(3)와, 커패시터(4)를 구비하고 있다. 각 트랜지스터  $M_i(i=1, \dots, n)$ 의 게이트 단자는 드레인 단자에 접속되고, 트랜지스터  $M_n$ 의 드레인 단자는 전류원(2)의 출력 단자에 접속되며, 트랜지스터  $M_1$ 의 소스는 접지된다. 한편, 트랜지스터(3)의 드레인 단자는 구동 전원  $V_{DD}$ 에 접속되고, 게이트 단자는 트랜지스터  $M_n$ 의 드레인 단자에 접속되며, 소스 단자는 커패시터(4)를 통해 접지된다.

따라서, 각 트랜지스터  $M_i(i=1, \dots, n)$ 의 임계치 전압을  $V_{th}$ 로 하면 트랜지스터  $M_n$ 의 드레인 단자의 전위는

$n \cdot V_{th}$  가 된다.

또한, 트랜지스터(3)의 임계치 전압도  $V_{th}$  로 하는 것이 가능해지기 때문에 트랜지스터(3)의 소스 단자, 즉 바이어스 회로(1)의 출력 단자  $N_v$  의 전위는 일정 전위  $(n-1) \cdot V_{th}$  가 된다. 또, 커패시터(4)는 바이어스 회로(1)의 출력단의 전위를 보다 안정하게 하기 위해서 설치한 것으로, 이것에 의해 구동기 회로(5)의 출력 과도응답이 양호하게 된다. 커패시터(4)는 없어도 좋다.

구동기 회로(5)는 구동 전위  $V_{DD}$  와 접지 전위 GND 의 사이에서 진동하는 정전 입력 신호 및 반전 입력 신호를 수신하여 바이어스 회로(1)의 출력 전위와 접지 전위 GND 와의 사이에서 진동하는 소진폭 신호로 변환하고 이 소진폭 신호에 의해서 버스나 클록선 등의 전송로(100)를 구동하는 것으로, 직렬로 접속된 N 채널 MOS 트랜지스터( $6_1, 6_2$ )를 구비하고 있다. 트랜지스터( $6_1$ )는 드레인이 바이어스 회로의 출력 단자  $N_v$  에 접속되고, 게이트에서 정전 입력 신호를 수신하며, 소스가 트랜지스터( $6_2$ )의 드레인에 접속되어 있다. 또한, 트랜지스터( $6_2$ )는 게이트에서 반전 입력 신호를 수신하고, 소스가 접지되어 있다. 그리고 트랜지스터( $6_1$ )와 트랜지스터( $6_2$ )의 접속점으로 부터 출력 신호가 전송로(100)에 송출된다.

분압 회로(9)는 바이어스 회로(1)의 출력 전압을 분압하는 것으로, 예컨대, 도 3에 도시된 바와 같이 직렬로 접속된 복수(도면상에서는 2개)의 저항  $R_1, R_2$  로 구성된다.

수신기 회로(10)는 분압 회로(9)의 출력 전위를 기준 전위로 하여 전송로(100)를 통해 전송되는 소진폭 신호를 감지증폭 회로에서 검출하고, 구동 전위  $V_{DD}$  와 접지 전위 GND 사이에서 진동하는 신호로 변환하는 것이다.

이상 설명한 바와 같이, 제 1 실시 형태의 반도체 집적회로 장치에 의하면, 버스나 블록선 등의 전송로(100)를 구동하는 구동기 회로(5)의 출력은 소진폭 신호로 하는 것이 가능해진다. 일반적으로, 구동기 회로의 소비 전력은 출력 신호의 진폭에 비례한다. 이 때문에, 본 실시 형태의 반도체 집적회로 장치는 소비 전력을 종래의 경우에 비교하여 적게 할 수 있다.

또, 상기 실시 형태에서는 바이어스 회로(1)내의 직렬 회로는 동일 사이즈의 N 채널 MOS 트랜지스터로 구성하였지만 다른 사이즈의 N 채널 MOS 트랜지스터로 구성하여도 좋다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 2 실시 형태의 구성을 도 2에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 도 1에 도시된 제 1 실시 형태의 반도체 집적회로 장치에 있어서, 구동기 회로(5)에 NOR 게이트( $7_1, 7_2$ )를 새롭게 설치한 것이다. NOR 게이트( $7_1$ )는 정전 입력 신호와 인에이블 신호에 기초하여 NOR 연산을 행하고, 연산 결과를 트랜지스터( $6_1$ )의 게이트에 송출한다. NOR 게이트( $7_2$ )는 반전 입력 신호와 인에이블 신호에 기초하여 NOR 연산을 행하며, 연산 결과를 트랜지스터( $6_2$ )의 게이트에 출력한다.

따라서, 본 제 2 실시 형태에서는 인에이블 신호가 L 레벨인 경우는 도 1에 나타난 제 1 실시 형태와 동일한 동작을 행하고, 인에이블 신호가 H 레벨인 경우는 구동기 회로(5)의 출력이 고임피던스가 된다.

본 제 2 실시 형태의 반도체 집적회로 장치도 제 1 실시 형태와 동일한 효과를 발휘하는 것은 말할 필요도 없다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 3 실시 형태의 구성을 도 4에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 도 1에 도시된 제 1 실시 형태의 반도체 집적회로 장치에 있어서, 분압 회로(9)를 삭제하는 동시에, 구동기 회로(5)에 직렬로 접속된 N 채널 MOS 트랜지스터( $6_3, 6_4$ )를 새롭게 설치한 것이다. 트랜지스터( $6_3$ )는 드레인이 바이어스 회로(1)의 출력 단자에 접속되고, 게이트에서 반전 입력 신호를 수신하고, 소스가 트랜지스터( $6_4$ )의 드레인에 접속되어 있다. 트랜지스터( $6_4$ )는 게이트에서 정전 입력 신호를 수신하고, 소스가 접지되어 있다.

그리고, 트랜지스터( $6_1$ )와 트랜지스터( $6_2$ )의 접속점으로 부터 소진폭화된 정전 신호가 전송로( $100_1$ )를 통해 수신기 회로(10)에 전송된다. 또한 트랜지스터( $6_3$ )와 트랜지스터( $6_4$ )의 접속점으로 부터 소진폭화된 반전 신호가 전송로( $100_2$ )를 통해 수신기 회로(10)에 전송된다.

따라서, 제 3 실시 형태에 있어서는, 구동기 회로(5)는 소정의 전위  $(n-1) \cdot V_{th}$  와 접지 전위 GND의 사이에서 진동하는 차동 신호로 전송로( $100_1, 100_2$ )를 구동한다. 수신기 회로(10)는 전송로( $100_1, 100_2$ )를 통해 전송되는 차동 신호를 감지증폭 회로에서 검출하여 구동 전위  $V_{DD}$  와 접지 전위 GND 사이에서 진동하는 신호로 변환한다.

이상 설명한 바와 같이 본 실시 형태의 반도체 집적회로 장치도 제 1 실시 형태의 경우와 동일하게 소비 전력을 가급적 적게 할 수 있다.

또, 본 실시 형태의 반도체 집적회로 장치에서는 전송로가 제 1 실시 형태에 비해 2배 필요하지만, 감지증폭 회로의 기준 전위가 불필요하며, 또한 동상 노이즈도 강해져서 동작 여유가 넓어진다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 4 실시 형태의 구성을 도 5에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 도 4에 도시된 제 3 실시 형태의 반도체 집적회로 장치에서 구동기 회로(5)에 NOR 게이트( $7_1, 7_2$ )를 설치한 것이다.

NOR 게이트( $7_1$ )는 정전 입력 신호와 인에이블 신호에 기초하여 NOR 연산을 행하고, 연산 결과를 트랜지스터( $6_1, 6_4$ )의 게이트에 송출한다. NOR 게이트( $7_2$ )는 반전 입력 신호와 인에이블 신호에 기초하여 NOR 연산

을 행하며, 연산 결과를 트랜지스터( $6_2, 6_3$ )의 게이트에 송출한다.

따라서, 본 실시 형태에서는 인에이블 신호가 L 레벨인 경우는 제 3 실시 형태와 동일한 동작을 행하고, 인에이블 신호가 H 레벨인 경우는 구동기 회로(5)의 출력은 고임피던스가 된다.

이상 설명한 바와 같이, 본 실시 형태의 반도체 집적회로 장치도 소비 전력을 가급적 작게 할 수가 있다.

또, 제 1 내지 제 4 실시 형태에서 이용되는 정전 입력 신호와 반전 입력 신호는 도 6에 도시된 바와 같이 반전 게이트(21, 22)와, P 채널 MOS 트랜지스터 및 N 채널 MOS 트랜지스터로 구성된 트랜스퍼 게이트(23)로 이루어진 회로에 의해 생성할 수 있다.

또한, 제 1 내지 제 4 실시 형태에 이용되는 감지증폭 회로는 도 7에 도시된 바와 같이 전류원(25)과, 차동 입력 신호를 게이트에서 수신하는 2개의 P 채널 MOS 트랜지스터( $26_1, 26_2$ )와, 2개의 N 채널 MOS 트랜지스터( $27_1, 27_2$ )로 구성하는 것이 가능하다. 또, 제 1 및 제 2 실시 형태에 있어서는 트랜지스터( $26_2$ )의 게이트에 분압 회로(9)의 출력이 입력된다.

또한, 상술한 감지증폭 회로는 도 8에 도시된 바와 같이 제어 신호를 게이트에서 수신하는 P 채널 MOS 트랜지스터(31)와, 차동 입력 신호를 게이트에서 수신하는 2개의 P 채널 MOS 트랜지스터( $32_1, 32_2$ )와, 직렬로 접속되는 동시에 게이트가 공통으로 접속되는 P 채널 MOS 트랜지스터( $33_1$ ) 및 N 채널 MOS 트랜지스터( $34_1$ )와, 직렬로 접속되는 동시에 게이트가 공통으로 접속되는 P 채널 MOS 트랜지스터( $33_2$ ) 및 N 채널 MOS 트랜지스터( $34_2$ )로 구성하는 것이 가능하다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 5 실시 형태의 구성을 도 9에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 도 2에 도시된 제 2 실시 형태의 반도체 집적회로 장치에 있어서, 바이어스 회로(1)의 출력 단자와 전송로(100)와의 사이에 버스 터미네이터 회로(40)를 새롭게 설치한 것이다. 이 버스 터미네이터 회로(40)는 구동기 회로(5)의 출력이 고임피던스가 되었을 때에 버스 등의 전송로(100)의 전위를 유지하기 위한 것이다.

이 버스 터미네이터 회로(40)는 도 10에 도시된 바와 같이, 2개의 P 채널 MOS 트랜지스터( $41_1, 41_2$ )와, 2개의 N 채널 MOS 트랜지스터( $42_1, 42_2$ )로 구성된다. 트랜지스터( $41_i$ )( $i=1, 2$ )는 소스가 바이어스 회로(1)의 출력 단자  $N_V$ 에 접속되고, 게이트가 트랜지스터( $42_i$ )의 게이트에 접속되며, 드레인이 트랜지스터( $42_i$ )의 드레인에 접속된다. 그리고, 트랜지스터( $42_i$ )( $i=1, 2$ )의 소스는 접지된다. 트랜지스터( $41_1, 42_1$ )의 드레인은 트랜지스터( $41_2, 42_2$ )의 게이트에 접속되고, 트랜지스터( $41_2, 42_2$ )의 드레인은 트랜지스터( $41_1, 42_1$ )의 게이트에 접속된다. 그리고 트랜지스터( $41_1, 42_1$ )의 드레인은 전송로(100)에 접속된다.

이상 설명한 것에 의해 본 제 5 실시 형태의 반도체 집적회로 장치도 제 2 실시 형태와 같이 소비 전력을 가급적 적게 할 수 있다. 또한, 구동기 회로(5)의 출력이 고임피던스가 되었을 때에 전송로(100)의 전위를 소정의 전위로 유지할 수가 있다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 6 실시 형태의 구성을 도 11에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 도 5에 도시된 제 4 실시 형태의 반도체 집적회로 장치에 있어서, 바이어스 회로(2)의 출력 단자  $N_V$ 와 전송로( $100_1, 100_2$ )와의 사이에 버스 터미네이터 회로(40)를 설치한 것이다. 이 버스 터미네이터 회로(40)는 제 5 실시 형태의 경우와 동일하게 구동기 회로(5)의 출력이 고임피던스가 되었을 경우에 전송로( $100_1, 100_2$ )의 전위를 소정의 전위로 유지하기 위한 것으로, 도 10에 도시된 회로에 의해서 실현된다. 이 경우, 도 10에 도시된 트랜지스터( $41_1, 42_1$ )의 드레인에 전송로( $100_1$ )가 접속되고, 트랜지스터( $41_2, 42_2$ )의 드레인에는 전송로( $100_2$ )가 접속된다.

이상 설명한 바와 같이, 본 제 6 실시 형태의 반도체 집적회로 장치도 제 4 실시 형태의 경우와 동일하게 소비 전력을 가급적 적게 할 수 있다. 또한 구동기 회로(5)의 출력이 고임피던스가 되었을 경우에 전송로( $100_1, 100_2$ )의 전위를 소정의 전위로 유지할 수 있다.

또, 제 1 내지 제 6 실시 형태에서, 구동기 회로(5)와 수신기 회로(10)는 동일 전원에 의해서 구동하여도 좋고, 다른 전원에 의해서 구동하는 것도 가능하다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 7 실시 형태의 구성을 도 12에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 2개의 반도체칩중의 반도체칩A에 바이어스 회로( $1_A$ )와, 구동기 회로( $5_A$ )와, 분압 회로( $9_A$ )와, 수신기 회로( $10_A$ )를 설치하고, 반도체칩B에 커패시터( $4_B$ )와, 구동기 회로( $5_B$ )와, 분압 회로( $9_B$ )와, 수신기 회로( $10_B$ )를 설치한 것이다.

바이어스 회로( $1_A$ ), 구동기 회로( $5_A, 5_B$ ), 및 분압 회로( $9_A, 9_B$ )는 도 2에 도시된 제 2 실시 형태에 관한 바이어스 회로(1), 구동기 회로(5), 및 분압 회로(9)와 각각 동일한 구성이다.

바이어스 회로( $1_A$ )의 출력단  $N_V$ 는 분압 회로( $9_A$ )의 입력단에 접속되어 있는 동시에 반도체칩A에 설치되어 있는 패드( $51_A$ )에도 접속되어 있다. 또한, 분압 회로( $9_B$ )의 입력단 및 커패시터의 일단은 칩B 상에 설정된 패드( $51_B$ )에 접속되어 있다. 그리고 이들 칩 A, B는 매우 인접한 거리로 배치되고, 패드( $51_A, 51_B$ )는 본딩 배선(61)에 의해서 접속된다. 따라서 바이어스 회로( $1_A$ )의 출력 전위는 칩B에도 패드( $51_A$ ), 본딩 배선(61), 및 패드( $51_B$ )를 통해 분압 회로( $9_B$ ) 및 커패시터( $4_B$ )에 인가된다. 또, 커패시터( $4_B$ )는 분압 회로( $9_B$ )의 입력단의 전위를 안정하게 유지하기 위해서 설정된 것이다. 커패시터( $4_B$ )는 없어도 좋다.

또한 구동기 회로( $5_A$ )의 출력단은 칩A 상에 설정된 패드( $52_A$ )에 접속되고, 구동기 회로( $5_B$ )의 출력단은 칩

B 상에 설정된 패드(52<sub>b</sub>)에 접속되어 있다. 그리고 이들 패드(52<sub>a</sub>, 52<sub>b</sub>)는 본딩 배선(62)에 의해서 접속되어 있다. 또, 구동기 회로(5<sub>b</sub>)를 구성하는 트랜지스터(6<sub>1</sub>)의 드레인은 패드(51<sub>b</sub>)에 접속되어 있다.

한편, 수신기 회로(10<sub>a</sub>)는 분압 회로(9<sub>a</sub>)의 출력 전위를 기준 전위로 하여 본딩 배선(62)을 통해 전송되는 구동기 회로(5<sub>b</sub>)의 출력을 감지증폭 회로에서 검출하여 구동 전위  $V_{DD}$  와 접지 전위의 사이에서 진동하는 신호로 변환한다. 또한 수신기 회로(10<sub>b</sub>)는 분압 회로(9<sub>b</sub>)의 출력 전위를 기준 전위로 하여 본딩 배선(62)을 통해 전송되는 구동기 회로(5<sub>a</sub>)의 출력을 감지증폭 회로에서 검출하여 구동 전위  $V_{DD}$  와 접지 전위의 사이에서 진동하는 신호로 변환한다.

따라서, 본 실시 형태의 반도체 집적회로 장치는 구동기 회로(5)가 동작하고 있을 때는 수신기 회로(10<sub>b</sub>)도 동작하고 있지만 구동기 회로(5<sub>b</sub>)와 수신기 회로(10<sub>a</sub>)는 동작을 정지하고 있다. 또한, 구동기 회로(5<sub>b</sub>)가 동작하고 있을 때는 수신기 회로(10<sub>a</sub>)도 동작하고 있지만 구동기 회로(5<sub>a</sub>)와 수신기 회로(10<sub>b</sub>)는 동작을 정지하고 있게 된다.

이상 설명한 바와 같이 본 실시 형태의 반도체 집적회로 장치에 있어서는 칩사이에서 전송되는 신호는 소진폭이므로 구동기 회로의 전력을 삭감할 수 있으며, 소비 전력을 가급적 적게 할 수 있다.

또, 본 실시 형태에 있어서는, 칩 A 에 바이어스 회로(1<sub>a</sub>) 및 구동기 회로(5<sub>a</sub>)로 이루어지는 소진폭 출력 회로와, 분압 회로(9<sub>a</sub>) 및 수신기 회로(10<sub>a</sub>)로 이루어지는 소진폭 입력 회로가 설치되고, 칩 B 에는 구동기 회로로 이루어지는 소진폭 출력 회로와, 분압 회로(9<sub>b</sub>) 및 수신기 회로(10<sub>b</sub>)로 이루어지는 소진폭 입력 회로가 설치되어 있게 된다.

또한, 본 실시 형태에 있어서는 2개의 칩이 매우 인접한 거리로 배치되고, 그 사이를 본딩 배선으로 접속함으로써 출력 용량은 삭감되며, 또한 칩간 배선과 구동기 회로는 임피던스 정합을 취하지는 않아도 큰 신호 반사는 나타나지 않는다.

또, 상기 실시 형태에 있어서, 칩 B 상에 바이어스 회로를 설치하는 것이 가능하다. 이 경우 본딩 배선(61)은 불필요해진다. 그리고 이 경우, 칩 A 와 칩 B 는 동일 전원을 사용하여도 좋고, 다른 전원을 사용하는 것도 가능하다.

또한, 상기 실시 형태에 있어서는 칩사이를 본딩 배선으로 접속하였지만, 기판 배선으로 직접 접속하여도 좋다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 8 실시 형태의 구성을 도 13에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 매우 인접한 거리로 배치된 2개의 반도체칩 A, B 에 각각 소진폭 입력 회로 및 소진폭 출력 회로를 설치한 것이다. 칩 A 의 소진폭 출력 회로는 바이어스 회로(1<sub>a</sub>) 및 구동기 회로(5<sub>a</sub>)로 이루어져 있고, 소진폭 입력 회로는 수신기 회로(10<sub>a</sub>)로 이루어져 있다. 또한 칩 B 의 소진폭 출력 회로는 바이어스 회로(1<sub>b</sub>) 및 구동기 회로로 이루어져 있고, 소진폭 입력 회로는 수신기 회로(10<sub>b</sub>)로 이루어져 있다.

바이어스 회로(1<sub>a</sub>, 1<sub>b</sub>) 및 구동기 회로(5<sub>a</sub>, 5<sub>b</sub>)는 도 5에 도시되는 제 4 실시 형태의 바이어스 회로(1) 및 구동기 회로(5)와 동일한 구성으로 되어 있다. 그리고 구동기 회로(5<sub>a</sub>)의 2개의 출력은 칩 A 에 설치된 패드(53<sub>a</sub>, 54<sub>a</sub>)에 각각 접속된다. 또한 구동기 회로(5<sub>b</sub>)의 2개의 출력은 칩 B 에 설치된 패드(53<sub>b</sub>, 54<sub>b</sub>)에 각각 접속된다. 또한 칩 A 의 패드(53<sub>a</sub>)와 칩 B 의 패드(53<sub>b</sub>)는 본딩 배선(63)에 의해서 접속되고, 칩 A 의 패드(54<sub>a</sub>)와 칩 B 의 패드(54<sub>b</sub>)는 본딩 배선(64)에 의해 접속되어 있다.

한편 수신기 회로(10<sub>a</sub>)는 본딩 배선(63, 64)을 통해 전송되는 구동기 회로(5<sub>b</sub>)의 소진폭화된 차동 출력을 감지증폭 회로에서 검출하여 구동 전위  $V_{DD}$  와 접지 전위 GND 사이에서 진동하는 신호로 변환한다. 또한, 수신기 회로(10<sub>b</sub>)는 본딩 배선(63, 64)을 통해 전송되는 구동기 회로(5<sub>a</sub>)의 소진폭화된 차동 출력을 감지증폭 회로에서 검출하여, 구동 전위  $V_{DD}$  와 접지 전위 GND 사이에서 진동하는 신호로 변환한다.

따라서, 본 실시 형태의 반도체 집적회로 장치는 구동기 회로(5<sub>a</sub>)가 동작하고 있을 때는 수신기 회로(10<sub>b</sub>)도 동작하고 있지만 구동기 회로(5<sub>b</sub>)와 수신기 회로(10<sub>a</sub>)는 동작을 정지하고 있다. 또한, 구동기 회로(5<sub>b</sub>)가 동작하고 있을 때는 수신기 회로(10<sub>a</sub>)도 동작하고 있지만 구동기 회로(5<sub>a</sub>)와 수신기 회로(10<sub>b</sub>)는 동작을 정지하게 된다.

이상 설명한 바와 같이 본 실시 형태의 반도체 집적회로 장치에 있어서는 칩사이에서 전송되는 신호는 소진폭이므로 구동기 회로의 전력을 삭감하는 것이 가능해지고, 소비 전력을 가급적 적게 할 수 있다.

또한, 본 실시 형태에 있어서는 2개의 칩이 매우 인접한 거리로 배치되고 그 사이를 본딩 배선으로 접속함으로써, 출력 용량은 삭감되며, 또한 칩간 배선과 구동기 회로는 임피던스 정합을 취하지 않아도 큰 신호 반사가 나타나지 않는다.

또한, 상기 제 8 실시 형태에 있어서는 칩 A 와 칩 B 는 동일한 전원을 사용하였지만 다른 전원을 사용하는 것도 가능하다.

또, 제 7 및 제 8 실시 형태의 반도체 집적회로 장치에 있어서는 본딩 배선이 이루어진 반도체칩 A, B 는 동일한 리드 프레임대에 얹어 놓은 후 수지 밀봉할 수도 있다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 9 실시 형태를 도 14 내지 도 15를 참조하여

설명한다.

이 제 9 실시 형태의 반도체 집적회로 장치의 전체의 구성을 도 14에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 일렬로 배치된 복수의 반도체칩( $72_1, \dots, 72_n$ )을 본딩 배선(77)으로 접속한 것이다. 반도체칩( $72_1$ )은 패드(74)를 갖고, 반도체칩( $72_i$ )( $i=2, \dots, n-1$ )은 패드(74,75)를 가지며, 반도체칩( $72_n$ )은 패드(75)를 갖고 있다. 그리고, 인접하는 반도체칩( $72_i$ )( $i=2, \dots, n-1$ )와 반도체칩( $72_{i+1}$ )은 매우 인접한 거리로 놓여지고, 반도체칩( $72_i$ )의 패드(74)와 반도체칩( $72_{i+1}$ )의 패드(75)는 본딩 배선(77)에 의해 접속되어 있다.

그리고, 단부의 반도체칩( $72_1$ 과  $72_n$ )에는 각각 도 15a에 도시된 바와 같은 반도체칩(85)의 구성을 가지고 있고, 이 칩(85)에는 기능 블록(86)과, 소진폭 입출력 회로(87)와, 패드(88)가 설치되어 있다. 소진폭 입출력 회로(87)는 도 12 또는 도 13에 도시된 제 7 또는 제 8 실시 형태의 소진폭 입력 회로 및 소진폭 출력 회로로 이루어져 있다. 또, 제 8 실시 형태의 소진폭 입력 회로 및 소진폭 출력 회로가 사용되는 경우는 패드(88)는 2개 필요해진다.

또한 도 14에 도시된 단부 이외의 각 반도체칩( $72_i$ )( $i=2, \dots, n-1$ )는 도 15b에 도시된 바와 같은 반도체칩(90)의 구성을 가지고 있고, 이 칩(90)은 소진폭 입출력 회로(91)와 스위치 회로(92)와, 기능 블록(93)과, 소진폭 입출력 회로(94)와, 패드(95,95)를 갖고 있다. 소진폭 입출력 회로(91 및 94)는 각각 도 15a에 도시된 소진폭 입출력 회로(87)와 동일한 구성으로 되어 있다.

이어서 본 실시 형태의 구성과 동작을 설명한다. 우선, 단부의 반도체칩( $72_1$  또는  $72_n$ )에 있어서는 도 15a에 도시된 바와 같이, 기능 블록(86)의 출력 신호는 소진폭 입출력 회로(87)에 의해서 소진폭 신호로 변환되어, 패드(88), 본딩 배선(89)을 통해 인접하는 반도체칩으로 송출된다. 또한 인접하는 반도체칩으로부터 본딩 배선(89)을 통해 전송된 소진폭 신호는 패드(88)를 통해 소진폭 입출력 회로(87)에 입력 증폭되고 대진폭 신호로 변환되어 기능 블록(86)으로 송출된다.

또한, 단부 이외의 각 반도체칩( $72_i$ )( $i=2, \dots, n-1$ )에 있어서는, 도 15b에 도시된 바와 같이, 인접하는 반도체칩으로부터 예컨대 패드(95)를 통해 전송되는 소진폭 신호는 소진폭 입출력 회로(91)에 의해 증폭되며, 대진폭 신호로 변환되어 스위치 회로(92)로 전송된다. 그리고 이 대진폭 신호는 도시하지 않은 제어 신호에 기초하여 스위치 회로(92)에 의해 기능 블록(93)으로 전송되거나 또는 바이패스되어 소진폭 입출력 회로(94)로 전송되도록 선택된다. 소진폭 입출력 회로(94)에 전송되는 대진폭 신호는 소진폭 신호로 변환되어 패드(96), 본딩 배선(99)을 통해 인접하는 반도체칩으로 송출된다.

또, 상기 제어 신호는 외부 또는 다른 반도체칩으로부터 전송된다.

또한 기능 블록(93)에 대진폭 신호가 전송되는 경우는 소정의 처리가 행해지고, 이 처리의 결과에 기초하여 다른 반도체칩에 신호를 송출할 필요가 있는 경우는 스위치 회로(92)를 통해 소진폭 입출력 회로(91) 또는 소진폭 입출력 회로(94)로 전송된다. 그리고 소진폭 입출력 회로(91) 또는 소진폭 입출력 회로(94)에 의해서 소진폭 신호로 변환되어 본딩 배선(98) 또는 본딩 배선(99)을 통해 인접하는 반도체칩에 송출된다. 또, 기능 블록은 CPU 또는 메모리 등에 상당하는 것으로 소정의 처리 기능을 갖고 있다.

또한, 패드(96)를 통해 인접하는 반도체칩으로부터 전송되는 소진폭 신호는 소진폭 입출력 회로(94)에 의해서 대진폭 신호에 변환된다. 그리고 이 대진폭 신호는 도시하지 않은 제어 신호에 기초하여 스위치 회로(92)에 의해 기능 블록(93)에 전송되거나 또는 바이패스되어 소진폭 입출력 회로(91)에 보내어지도록 선택된다. 소진폭 입출력 회로(91)에 보내어진 대진폭 신호는 소진폭 신호로 변환되고, 패드(95), 본딩 배선(98)을 통해 인접하는 반도체칩으로 송출된다.

이상 설명한 바와 같이 제 9 실시 형태의 반도체 집적회로 장치에 따르면, 반도체칩 사이에서 전송되는 신호는 소진폭 신호이므로 소진폭 입출력 회로내의 구동기 회로의 전력을 삭감하는 것이 가능해지고, 소비 전력을 가급적 적게 할 수 있다.

또, 본 실시 형태의 반도체 집적회로 장치에 있어서는, 복수의 반도체칩은 본딩 배선이 이루어진 후, 동일한 리드 프레임 대에 얹어 놓고 수지 밀봉하는 것도 가능하다.

이 제 9 실시 형태의 반도체 집적회로 장치에 이용되는 스위치 회로(92)의 구체적인 구성의 일례를 도 16에 도시한다. 이 스위치 회로(92)는 도 16a에 도시된 바와 같이 3개의 스위치 소자(101, 102, 103)로 이루어져 있다. 스위치 소자(101)는 제어 신호  $S_{12}$ 에 기초하여 노드  $N_1$ 과 노드  $N_2$ 를 접속하고, 스위치 소자(102)는 제어 신호  $S_{23}$ 에 기초하여 노드  $N_2$ 과 노드  $N_3$ 을 접속하며, 스위치 소자(103)는 제어 신호  $S_{31}$ 에 기초하여 노드  $N_3$ 과 노드  $N_1$ 을 접속한다.

그리고 각 스위치 소자는 도 16b에 도시된 바와 같이 인버터 회로(105)와, P 채널 MOS 트랜지스터(106) 및 N 채널 MOS 트랜지스터(107)로 이루어진 트랜스퍼 게이트를 갖고 있다. 제어 신호 S는 N 채널 MOS 트랜지스터(107)의 게이트로 전송되는 동시에 인버터 회로(105)를 통해 P 채널 MOS 트랜지스터(106)의 게이트로 전송된다.

따라서, 도 16a에 있어서, 제어 신호  $S_{12}$ 의 값이 「1」 이고 다른 제어 신호  $S_{23}$ ,  $S_{31}$ 의 값이 「0」 인 경우에는 노드  $N_1$ 과 노드  $N_2$ 가 접속되고, 제어 신호  $S_{23}$ 의 값이 「1」 이고 다른 제어 신호  $S_{31}$ ,  $S_{12}$ 의 값이 「0」 인 경우에는 노드  $N_2$ 와 노드  $N_3$ 이 접속되며, 제어 신호  $S_{31}$ 의 값이 「1」 이고 다른 제어 신호  $S_{12}$ ,  $S_{23}$ 의 값이 「0」 인 경우는 노드  $N_3$ 과 노드  $N_1$ 이 접속된다.(도 16c 참조).

이어서 상기 제 9 실시 형태의 반도체 집적회로 장치의 제 1 변형예의 구성을 도 17에 도시한다. 이 변형예의 반도체 집적회로 장치는 CPU로 이루어진 반도체칩(81)과, 복수의 메모리( $82_1, \dots, 82_n$ )를 일렬로 근접하여 배치하고, 본딩 배선으로 접속한 것이다.

이 제 1 변형예의 반도체 집적회로 장치에 있어서는, 소비 전력을 적게 할 수 있는 동시에, CPU가 대용량의 데이터를 고속으로 액세스하는 것이 가능해진다.

이어서 상기 제 9 실시 형태의 반도체 집적회로 장치의 제 2 변형예의 구성을 도 18에 도시한다. 이 변형예의 반도체 집적회로 장치는 멀티 CPU 구성의 반도체 집적회로 장치로서, 복수의 CPU( $81_1, \dots, 81_n$ )과 메모리(82)를 일렬로 근접하여 배치하고, 본딩 배선에 의해 접속되어 있다.

이 제 2 변형예의 반도체 집적회로 장치도 소비 전력을 적게 할 수 있는 것은 말할 필요도 없다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 10 실시 형태를 도 19를 참조하여 설명한다. 본 실시 형태의 반도체 집적회로 장치는 도 14에 도시된 제 9 실시 형태의 반도체 집적회로 장치에 있어서, 단부 이외의 각 반도체칩( $72_i$ )( $i=2, \dots, n-1$ )이 도 19에 도시된 바와 같은 구성으로 되어 있다. 즉, 이 반도체칩은 소진폭 입출력 회로(91)와, 셀렉터(92a, 92b)와, 버스(92c)와, 기능 블록(93)과, 소진폭 입출력 회로(94)와, 패드(95, 95)를 구비하고 있다.

이 소진폭 입출력 회로(91, 94)는 도 15a에 도시된 소진폭 입출력 회로(87)와 동일한 구성으로 되어 있다.

도 19에 있어서, 본딩 배선(98)을 통해 인접하는 반도체칩으로부터 전송되는 소진폭 신호는 소진폭 입출력 회로(91)에 의해서 검출되고, 예컨대 구동 전위  $V_{DD}$ 와 접지 전위 GND와의 사이에서 진동하는 대진폭 신호로 변환되어 셀렉터(92)로 전송된다. 이 대진폭 신호는 셀렉터(92)에 의해서 기능 블록(93)으로 전송되거나 또는 바이패스되어 버스(92c), 셀렉터(92b)를 통해 소진폭 입출력 회로(94)에 전송되도록 도시하지 않은 제어 신호에 기초하여 선택된다. 그리고 소진폭 입출력 회로(94)에 전송되는 대진폭 신호는 소진폭 입출력 회로(94)에 의해서 소진폭 신호로 변환되어 패드(96), 본딩 배선(99)을 통해 인접하는 반도체칩으로 송출된다.

또한, 본딩 배선(99)을 통해 인접하는 반도체칩으로부터 전송되는 소진폭 신호는 소진폭 입출력 회로(94)에 의해 검출되어 대진폭 신호로 변환되며, 셀렉터(92b)로 전송된다. 이 대진폭 신호는 셀렉터(92b)에 의해서 기능 블록(93)으로 보내어지거나 또는 바이패스되어 버스(92c), 셀렉터(92a)를 통해 소진폭 입출력 회로(91)에 전송되도록 도시하지 않은 제어 신호에 기초하여 선택된다. 그리고 소진폭 입출력 회로(91)에 보내어진 대진폭 신호는 소진폭 입출력 회로(91)에 의해서 소진폭 신호로 변환되어 패드(95), 본딩 배선(98)을 통해 인접하는 반도체칩으로 송출된다.

이 제 10 실시 형태의 반도체 집적회로 장치에 따르면 전송되는 신호는 소진폭 신호이므로, 소진폭 입출력 회로내의 구동기 회로의 전력을 삭감하는 것이 가능해지며, 소비 전력을 가급적 적게 할 수 있다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 11 실시 형태를 도 20에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 도 19에 도시된 제 10 실시 형태의 반도체 집적회로 장치에 있어서, 바이패스용 버스(92c)의 양단에 소진폭 입출력 회로(110, 111)를 설치한 것으로, 버스(92c)의 용량이 클 경우에 사용된다. 이러한 구성으로 함으로써 더욱 소비 전력을 적게 할 수 있다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 12 실시 형태의 구성을 도 21에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 매트릭스형으로 배치된 4개의 반도체칩( $120_{11}, 120_{12}, 120_{21}, 120_{22}$ )을 본딩 배선으로 접속한 것이다.

각 반도체칩( $120_{ij}$ )( $i, j=1, 2$ )은 예컨대 도 15b에 도시된 구성을 갖고 있다. 즉, 각 반도체칩은 소진폭 입출력 회로(91, 94)와, 스위치 회로(92)와, 기능 블록(93)과, 패드(95, 96)를 구비하고 있다. 따라서, 반도체칩 사이에서 전송되는 신호는 소진폭 신호이므로, 소진폭 입출력 회로내의 구동기 회로의 전력을 삭감하는 것이 가능해지며, 소비 전력을 가급적 적게 할 수 있다.

또, 본 실시 형태의 반도체 집적회로 장치에 있어서는, 복수의 반도체칩은 본딩 배선이 이루어진 후, 동일한 리드 프레임 대에 놓고 수지 밀봉할 수도 있다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 13 실시 형태의 구성을 도 22에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 매트릭스형으로 배치된 복수( $m \cdot n$ 개)의 반도체칩( $130_{11}, 130_{12}, \dots, 130_{mn}$ )을 본딩 배선으로 접속한 것이다. 4각으로 배치된 반도체칩( $130_{11}, 130_{1n}, \dots, 130_{m1}, 130_{mn}$ )은 각각 전술한 도 15b에 도시된 구성을 갖고 있다.

또한, 인접 배치된 반도체칩( $130_{i1}$  ( $i=2, \dots, m-1$ ),  $130_{1j}$  ( $j=2, \dots, n-1$ ),  $130_{mk}$  ( $k=2, \dots, n-1$ ), 및  $130_{gn}$  ( $g=2, \dots, m-1$ ))은 도 23b에 도시된 구성을 갖고 있다. 즉, 각 반도체칩은 3개의 소진폭 입출력 회로(151, 152, 153)과, 스위치 회로(155)와, 기능 블록(156)과, 3개의 패드(157<sub>1</sub>, ..., 157<sub>3</sub>)를 갖고 있다. 패드(157<sub>1</sub>)는 소진폭 입출력 회로(151)에 접속되고, 패드(157<sub>2</sub>)는 소진폭 입출력 회로(152)에 접속되며, 패드(157<sub>3</sub>)는 소진폭 입출력 회로(153)에 접속되어 있다. 그리고 이들 패드(157<sub>1</sub>)( $i=1, 2, 3$ )는 본딩 배선을 통해 인접하는 반도체칩에 접속되어 있다.

패드(157<sub>1</sub>, 157<sub>2</sub>, 157<sub>3</sub>)를 통해 인접하는 반도체칩으로부터 전송되는 소진폭 신호는 소진폭 입출력 회로(151, 152, 153)에 의해 검출되고, 예컨대 구동 전위  $V_{DD}$ 와 접지 전원과의 사이에서 진동하는 신호(대진폭 신호)로 변환되어 스위치 회로(155)로 전송된다. 그리고 이 대진폭 신호는 스위치 회로(155)에 의해 기능 블록(156)으로 전송되거나 또는 바이패스되어 다른 소진폭 입출력 회로로 전송되도록 도시하지 않은 제어 신호에 기초하여 선택된다. 소진폭 입출력 회로로 보내어진 대진폭 신호는 이 소진폭 입출력 회로에 의해서 소진폭 신호로 변환되고, 대응하는 패드, 본딩 배선을 통해 인접하는 반도체칩으로 송출된다.

또한 기능 블록(156)으로 대진폭 신호가 전송되는 경우는 소정의 처리가 행해진다. 기능 블록(156)의 출력은 스위치 회로(155)를 통해 소진폭 입출력 회로로 전송되고, 소진폭 신호로 변환되어 대응하는 패드를 통해 인접하는 반도체칩으로 송출된다.

또한, 도 22에 도시된 각 반도체칩(130ij)( $i=2, \dots, m-1, j=2, n-1$ )은 도 23a에 도시된 구성을 갖고 있다. 즉, 각 반도체칩은 4개의 소진폭 입출력 회로(141, 142, 143, 144)와, 스위치 회로(145)와, 기능 블록(146)과, 패드(147<sub>i</sub>)( $i=1, \dots, 4$ )를 구비하고 있다. 패드(147<sub>1</sub>)는 소진폭 입출력 회로(141)에 접속되는 동시에 도시하지 않은 본딩 배선을 통해 인접하는 반도체칩에 접속된다. 패드(147<sub>2</sub>)는 소진폭 입출력 회로(142)에 접속되는 동시에 도시하지 않은 본딩 배선을 통해 인접하는 반도체칩에 접속된다. 패드(147<sub>3</sub>)는 소진폭 입출력 회로(143)에 접속되는 동시에 도시하지 않은 본딩 배선을 통해 인접하는 반도체칩에 접속된다. 또한 패드(147<sub>4</sub>)는 소진폭 입출력 회로(144)에 접속되는 동시에 도시하지 않은 본딩 배선을 통해 인접하는 반도체칩에 접속된다. 패드를 통해 인접하는 반도체칩으로부터 송출된 소진폭 신호는 대응하는 소진폭 입출력 회로에 의해서 대진폭 신호로 변환되어 스위치 회로(145)에 전송된다. 그리고 이 대진폭 신호는 스위치 회로(145)에 의해서 기능 블록(146)에 보내어지거나 또는 바이패스되어 다른 소진폭 입출력 회로에 전송되도록 도시하지 않은 제어 신호에 기초하여 선택된다. 소진폭 입출력 회로로 전송된 대진폭 신호는 이 소진폭 입출력 회로에 의해서 소진폭 신호로 변환되어 대응하는 패드 본딩 배선을 통해 인접하는 반도체칩으로 송출된다.

또한, 기능 블록(146)에 대진폭 신호가 전송된 경우는 소정의 처리가 행해진다. 기능 블록(146)의 출력은 스위치 회로(145)를 통해 소진폭 입출력 회로로 전송되고, 소진폭 신호로 변환되어 대응하는 패드를 통해 인접하는 반도체칩으로 송출된다.

이 제 13 실시 형태의 반도체 집적회로 장치에 있어서는, 칩사이에서 전송되는 신호는 소진폭 신호이므로, 소진폭 입출력 회로내의 구동기 회로의 전력을 삭감하는 것이 가능해지며, 소비 전력을 가급적 적게 할 수 있다.

또, 이 제 13 실시 형태에 있어서,  $m=10$ 이라고 하면, 도 14에 도시된 제 9 실시 형태의 경우와 동일해진다.

또, 상기 제 9 내지 제 13 실시 형태의 반도체 집적회로 장치에 있어서는, 칩사이의 본딩 배선으로 접속하였지만, 도 24에 도시된 바와 같이, 기판 배선으로 직선 접속하여도 좋다. 즉, 패키지 기판(160)상 패드(161a, 161b, 161c, 161d)가 설치되고, 이들 패드상에는 범프(162a, 162b, 162c, 162d)가 설치되어 있다.

패드(161a)와 패드(161c)는 기판 배선(165a)에 의해 접속되고, 패드(161b)와 패드(161d)는 기판 배선(165b)에 의해서 접속되어 있다. 또한 반도체칩(171)의 표면에는 패드(171a, 171b)가 형성되고, 반도체칩(172)의 표면에는 패드(172a, 172b)가 형성되어 있다. 그리고 반도체칩(171)의 패드(171a, 171b)는 범프(162a, 162b)를 통해 패키지 기판(160)의 패드(161a, 161b)에 각각 접속되고, 반도체칩(172)의 패드(172a, 172b)는 범프(162c, 162d)를 통해 패키지 기판(160)의 패드(161c, 161d)에 각각 접속되어 있다. 이렇게 하여 기판 배선(165a, 165b)을 사용하여 반도체칩끼리를 접속하는 것이 가능해진다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 14 실시 형태의 구성을 도 25에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 평면내에 일렬로 배열된 복수의 반도체칩(180<sub>1</sub>, ..., 180<sub>n</sub>)을 버스(186, 187)를 통해 접속한 것이다. 각 반도체칩(180<sub>i</sub>)( $i=1, \dots, n$ )은 패드(182<sub>i</sub>, 183<sub>i</sub>)를 갖고 있다. 각 패드(182<sub>i</sub>)( $i=1, \dots, n$ )는 버스(186)에 접속되고, 각 패드(183<sub>i</sub>)( $i=1, \dots, n$ )는 버스(187)에 접속되어 있다.

그리고 복수의 반도체칩(180<sub>1</sub>, ..., 180<sub>n</sub>)중 적어도 1개의 반도체칩, 예컨대 반도체칩(180<sub>1</sub>)에는 도 12에 도시된 제 7 실시 형태의 반도체칩 A와 동일하게 바이어스 회로(1<sub>A</sub>) 및 구동기 회로(5<sub>A</sub>)로 이루어진 소진폭 출력 회로와, 분압 회로(9<sub>A</sub>) 및 수신기 회로(10<sub>A</sub>)로 이루어지는 소진폭 입력 회로가 설치되어 있고, 분압 회로(9<sub>A</sub>)의 출력단은 패드(182<sub>1</sub>)에 접속되고, 구동기 회로(5<sub>A</sub>)의 출력단은 패드(183<sub>1</sub>)에 접속되어 있다.

또한 다른 반도체칩(180<sub>i</sub>)( $i \neq 1$ )에는, 도 12에 도시된 제 7 실시 형태의 반도체칩 B와 동일하게, 구동기 회로(5<sub>B</sub>)로 이루어지는 소진폭 출력 회로와, 분압 회로(9<sub>B</sub>) 및 수신기 회로(10<sub>B</sub>)로 이루어지는 소진폭 입력 회로가 설치되어 있고, 분압 회로(9<sub>B</sub>)의 출력단은 패드(182<sub>i</sub>)에 접속되며, 구동기 회로(5<sub>B</sub>)의 출력단은 패드(183<sub>i</sub>)에 접속되어 있다.

본 실시 형태의 반도체 집적회로 장치도 제 7 실시 형태와 동일하게, 칩사이에서 전송되는 신호는 소진폭이므로 구동기 회로의 전력을 삭감하는 것이 가능해지며, 소비 전력을 가급적 적게 할 수 있다. 또한, 본 실시 형태의 반도체 집적회로 장치에 있어서는, 버스를 통해 칩사이를 접속하고 있기 때문에, 신속하게 또한 적은 전력으로 신호 전달이 가능해지는 동시에 1개의 칩으로부터 발신한 신호를 다른 칩이 동시에 수신하는 것이 가능해진다.

이어서 본 발명에 따른 반도체 집적회로 장치의 제 15 실시 형태의 구성을 도 26에 도시한다. 본 실시 형태의 반도체 집적회로 장치는 도 25에 도시된 제 14 실시 형태의 반도체 집적회로 장치에 있어서, 복수의 반도체칩(108<sub>1</sub>, ..., 180<sub>n</sub>)을 상하로 적층한 구성을 가지고 있으며, 멀티칩 반도체 장치로 지칭된다.

이 제 15 실시 형태의 반도체 집적회로 장치도 제 14 실시 형태와 동일한 효과를 발휘하는 것은 말할 필요도 없다.

또, 이 제 15 실시 형태에 있어서는, 도면상에서는 버스(186, 187)는 각 칩(180<sub>i</sub>)( $i=1, \dots, n$ )의 외측에 설치되어 있지만, 각 칩(180<sub>i</sub>)( $i=1, \dots, n$ )을 관통하도록 설치할 수 있다. 이 경우, 버스(186, 187)는 각 칩사이를 접속하는 접속 배선으로 구성된다.

또, 상기 제 14 및 제 15 실시 형태에 있어서, 바이어스 회로가 설치되어 있지 않은 상기 다른 반도체칩(180<sub>i</sub>)( $i \neq 1$ )상에 바이어스 회로를 설치하는 것도 가능하다. 이 경우 패드(182<sub>1</sub>, ..., 182<sub>n</sub>) 및 버스(186)는 불필요해진다. 그리고 이 경우, 각 칩(180<sub>i</sub>)( $i=1, \dots, n$ )은 동일 전원을 사용하여도 좋고, 다른 전원을 사

용할 수도 있다.

또한, 상기 제 14 및 제 15 실시 형태에 있어서는, 각 반도체칩(180<sub>i</sub>)(i=1, ..., n)은 제 7 실시 형태와 동일한 소진폭 출력 회로 및 소진폭 입력 회로를 갖고 있었지만, 도 13에 도시된 제 8 실시 형태와 동일한 소진폭 출력 회로 및 소진폭 입력 회로를 구비하도록 하여도 좋다. 즉, 각 반도체칩(180<sub>i</sub>)(i=1, ..., n)은 도 13에 도시된 바와 같은 바이어스 회로(1<sub>A</sub>) 및 구동기 회로(5<sub>A</sub>)로 이루어진 소진폭 출력 회로와, 수신기 회로(10<sub>A</sub>)로 이루어진 소진폭 입력 회로를 구비하고, 구동기 회로(5<sub>A</sub>)의 2개의 출력단중 어느 한쪽 출력단은 패드(182<sub>i</sub>)에 접속되며, 다른쪽 출력단은 패드(183<sub>i</sub>)에 접속되도록 구성하여도 좋다.

또, 제 1 내지 제 9 실시 형태에 있어서는, 바이어스 회로는 N 채널 MOS 트랜지스터로 구성하였지만, P 채널 MOS 트랜지스터로 구성하는 것도 가능하다. 이 경우, 구동 전원 V<sub>DD</sub>와 접지 전원 GND를 바꿀 필요가 있다.

### 발명의 효과

이상 기술한 바와 같이 본 발명에 따르면, 버스등의 전송로를 통과하는 신호는 소진폭 신호이므로, 전송로를 구동하는 구동기 회로의 전력을 삭감하는 것이 가능해지며, 소비 전력을 가급적 적게 할 수 있다.

### (57) 청구의 범위

#### 청구항 1

제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와; 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 신호로 변환하여 이 변환된 신호로 전송로를 구동하는 구동기 회로와; 상기 바이어스 회로의 출력 전위를 분압하는 분압 회로와; 상기 분압 회로의 출력을 기준전위로 하여 상기 전송로를 구동하는 신호를 검출하며, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 2

제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와; 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 신호로 변환하여 이 변환된 신호로 전송로를 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와; 상기 바이어스 회로의 출력 전위를 분압하는 분압 회로와; 상기 분압 회로의 출력을 기준전위로 하여 상기 전송로를 구동하는 신호를 검출하며, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 3

제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와; 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동 신호로 전송로를 구동하는 구동기 회로와; 상기 전송로를 구동하는 차동 신호를 검출하여 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 4

제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로와; 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동신호로 전송로를 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와; 상기 전송로를 구동하는 차동신호를 검출하여 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 5

제 2 항에 있어서, 상기 구동기 회로의 출력이 고임피던스가 되었을 때에 상기 전송로의 전위를 소정치로 유지하는 버스 터미네이터 회로를 구비하고 있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 6

제 4 항에 있어서, 상기 구동기 회로의 출력이 고임피던스가 되었을 때에 상기 전송로의 전위를 소정치로 유지하는 버스 터미네이터 회로를 구비하고 있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 7

제 1 전원의 전위와 제 2 전원의 전위 사이의 소정 전위를 발생하는 바이어스 회로, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 제 1 정전 및 반전 입력 신호를 수신하고, 제 1 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원의 전위 사이에서 진동하는 신호로 변환하여 이 신호로 출력하거나 또는 출력이 고임피던스가 되는 제 1 구동기 회로, 및 상기 바이어스 회로의 출력 전위를 분압하는 제 1 분압 회로 및 제 1 수신기 회로를 갖는 제 1 반도체칩과; 입력단이 배선을

통해 상기 제 1 분압 회로의 입력단에 접속되어 상기 바이어스 회로의 출력 전위를 분압하는 제 2 분압 회로, 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 제 2 정전 및 반전 입력 신호를 수신하고, 제 2 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전원 전위 사이에서 진동하는 신호로 변환하여 이 신호를 출력하거나 또는 출력이 고임피던스가 되도록 동작하고, 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 2 구동기 회로 및 제 2 수신기 회로를 갖는 제 2 반도체칩을 구비하며, 상기 제 1 수신기 회로는 상기 제 1 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 2 구동기 회로로부터의 신호를 검출하여 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하고, 상기 제 2 수신기 회로는 상기 제 2 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 1 구동기 회로로부터의 신호를 검출하여 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 8

제 1 항에 있어서, 상기 바이어스 회로는 각각의 게이트와 드레인이 접속된 동일 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 도전형과 동일한 도전형의 다른 MOS 트랜지스터를 포함하며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되어, 상기 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 9

제 2 항에 있어서, 상기 바이어스 회로는 각각의 게이트와 드레인이 접속된 동일 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 도전형과 동일한 도전형의 다른 MOS 트랜지스터를 포함하며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되어 상기 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 10

제 3 항에 있어서, 상기 바이어스 회로는 각각의 게이트와 드레인이 접속된 동일 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 도전형과 동일한 도전형의 다른 MOS 트랜지스터를 포함하며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되어 상기 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 11

제 4 항에 있어서, 상기 바이어스 회로는 각각의 게이트와 드레인이 접속된 동일 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 도전형과 동일한 도전형의 다른 MOS 트랜지스터를 포함하며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되어 상기 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 12

제 7 항에 있어서, 상기 바이어스 회로는 각각의 게이트와 드레인이 접속된 동일 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 도전형과 동일한 도전형의 다른 MOS 트랜지스터를 포함하며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되어 상기 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 13

제 1 전원의 전위와 제 2 전원의 전위 사이에서 소정 전위를 발생하는 제 1 바이어스 회로, 및 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 제 1 정전 및 반전 입력 신호를 수신하고, 제 1 인에이블 신호에 기초하여 상기 제 1 바이어스 회로의 출력 전위와 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동 신호를 출력하거나 또는 출력이 고임피던스가 되는 제 1 구동기 회로 및 제 1 수신기 회로를 포함하는 제 1 반도체칩과; 제 3 전원의 전위와 제 4 전원의 전위 사이의 소정 전압을 발생하는 제 2 바이어스 회로, 상기 제 3 전원의 전위와 상기 제 4 전원의 전위 사이에서 진동하는 제 2 정전 및 반전 입력 신호를 수신하고, 제 2 인에이블 신호에 기초하여 상기 제 2 바이어스 회로의 출력 전위와 상기 제 3 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 차동신호를 출력하거나 또는 출력이 고임피던스가 되는 제 2 구동기 회로, 및 제 2 수신기 회로를 포함하는 제 2 반도체칩을 구비하며, 상기 제 1 및 제 2 구동기 회로의 출력단은 전송용 배선에 의해서 접속되고, 상기 제 1 수신기 회로는 상기 제 1 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 2 구동기 회로로부터의 차동 신호를 검출하여 상기 제 1 전원의 전위와 상기 제 2 전원의 전위 사이에서 진동하는 신호로 변환하고, 상기 제 2 수신기 회로는 상기 제 2 구동기 회로의 출력이 고임피던스일 때에 동작하여 상기 전송용 배선을 통해 전송되는 상기 제 1 구동기 회로로부터의 차동 신호를 검출하여 상기 제 3 전원의 전위와 상기 제 4 전원의 전위 사이에서 진동하는 신호로 변환하는 것을 특징으로 하는 반도체 집적회로 장치.

**청구항 14**

제 13 항에 있어서, 상기 제 1 바이어스 회로는 각각의 게이트와 드레인이 접속된 제 1 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 제 1 도전형의 다른 MOS 트랜지스터를 포함하며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 1 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 제 1 도전형의 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 제 1 도전형의 다른 MOS 트랜지스터의 드레인이 상기 제 2 전원에 접속되어 상기 제 1 도전형의 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되며, 상기 제 2 바이어스 회로는 각각의 게이트와 드레인이 접속된 제 2 도전형의 복수의 MOS 트랜지스터가 직렬로 접속된 직렬 회로와, 상기 제 2 도전형의 다른 MOS 트랜지스터를 가지며, 상기 직렬 회로의 소스측이 되는 일단은 상기 제 3 전원에 접속되고, 상기 직렬 회로의 드레인측이 되는 타단은 전류원 및 상기 제 2 도전형의 다른 MOS 트랜지스터의 게이트에 접속되며, 상기 제 2 도전형의 다른 MOS 트랜지스터의 드레인이 상기 제 4 전원에 접속되어, 상기 제 2 도전형의 다른 MOS 트랜지스터의 소스로부터 바이어스 전위가 출력되는 것을 특징으로 하는 반도체 집적회로 장치.

**청구항 15**

매트릭스형으로 배치된 복수의 반도체칩을 가지고, 각 반도체칩은 데이터 전송용의 입출력단을 가지며, 이 입출력단은 인접하는 다른 반도체칩의 입출력단과 본딩배선 또는 기판배선으로 이루어지는 전송용 배선에 의해서 접속되어 있고, 또 반도체칩의 전부 또는 일부의 상기 데이터 전송용의 입출력단에는 소진폭 입출력 회로가 설정되고 있고, 이 소진폭 입출력 회로는 이 소진폭 입출력 회로가 설치되어 있는 반도체칩에 응한 제 1 전원의 제 1 전위와 제 2 전원의 제 2 전위 사이에서 진동하는 정전 및 반전 신호를 수신하고, 상기 제 1 전위와 제 2 전위간의 소정 전위와 상기 제 1 전위와의 사이에서 진동하는 소진폭신호로 변환하여 이 변환된 신호를 상기 전송용 배선을 통해 인접하는 다른 반도체칩의 입출력단에 송출하는 동시에, 상기 전송용 배선을 통해 보내져오는 소진폭 신호를 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 신호로 변환하는 것을 특징으로 하는 반도체 집적회로 장치.

**청구항 16**

제 15 항에 있어서, 상기 소진폭 입출력 회로는, 상기 제 1 전위와 상기 제 2 전위간의 소정 전위를 발생시키는 바이어스 회로와; 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 정전 및 반전 입력 신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력 전위와 상기 제 1 전위의 사이에서 진동하는 신호로 변환하여 이 변환된 신호로 상기 전송용 배선을 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와, 상기 바이어스 회로의 출력 전위를 분압하는 분압 회로와; 상기 분압 회로의 출력을 기준전위로 하여 상기 전송용 배선을 통해 전송되는 신호를 검출하고, 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 신호로 변환하는 수신기회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

**청구항 17**

제 15 항에 있어서, 상기 소진폭 입출력 회로는, 상기 제 1 전위와 상기 제 2 전위 사이의 소정 전위를 발생시키는 바이어스 회로와; 상기 제 1 전위와 상기 제 2 전위 사이에서 진동하는 정전 및 반전 입력신호를 수신하고, 인에이블 신호에 기초하여 상기 바이어스 회로의 출력전위와 상기 제 1 전원의 전위 사이에서 진동하는 차동 신호로 변환하여 이 전기 전송용 배선을 구동하거나 또는 출력이 고임피던스가 되는 구동기 회로와; 상기 전송용 배선을 통해 전송되는 차동 신호를 검출하여 상기 제 1 전위와 상기 제 2 전위의 사이에서 진동하는 신호로 변환하는 수신기 회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

**청구항 18**

일렬로 배열된 제 1 내지 제 n 반도체칩을 포함하며, 상기 제 1 반도체칩은 소정의 처리 기능을 갖는 제 1 기능 수단과, 데이터 전송용의 제 1 입출력단과, 상기 제 1 기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭 신호로 변환하여 상기 제 1 입출력단을 통해 인접하는 제 2 반도체칩에 송출하는 동시에, 상기 제 2 반도체칩으로부터 상기 제 1 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제 1 기능 수단에 송출하는 제 1 소진폭 입출력 회로를 구비하고, 상기 제  $i(i=2, \dots, n-1)$ 의 반도체칩은 소정의 처리 기능을 갖는 제  $i$  기능수단과, 데이터 전송용의 제  $2(i-1)$  및 제  $2i-1$ 의 입출력단과, 제  $2(i-1)$  및 제  $2i-1$ 의 소진폭 입출력 회로와, 제  $i-1$ 의 스위치 회로를 구비하며, 상기 제  $i-1$ 의 스위치 회로는 제  $i$  기능 수단의 출력을 상기 제  $2(i-1)$ 의 소진폭 입출력 회로 또는 상기 제  $2i-1$ 의 소진폭 입출력 회로로 제어 신호에 기초하여 송출하는 동시에, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로 또는 상기 제  $2i-1$ 의 소진폭 입출력 회로의 출력을 상기 제  $i$  기능 수단에 송출할지 또는 바이패스하여 상기 제  $2(i-1)$  또는 제  $2i-1$ 의 소진폭 입출력 회로 중의 다른쪽의 소진폭 입출력 회로에 송출하도록 상기 제어 신호에 기초하여 선택하며, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로는 상기 제  $i-1$ 의 스위치 회로의 출력을 이 출력보다도 작은 진폭의 소진폭 신호로 변환하여 상기 제  $2(i-1)$ 의 입출력단을 통해 상기 제  $i-1$ 의 반도체칩에 송출하는 동시에, 상기 제  $2(i-1)$ 의 입출력단을 통해 상기 제  $i-1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭신호로 변환하여 상기 제  $i-1$ 의 스위치 회로에 송출하고, 상기 제  $2i-1$ 의 소진폭 입출력 회로는 상기 제  $i-1$ 의 스위치 회로의 출력을 이 출력보다도 작은 진폭의 소진폭 신호로 변환하고 상기 제  $2i-1$ 의 입출력단을 통해 상기 제  $i+1$ 의 반도체칩에 송출하는 동시에, 상기 제  $2i-1$ 의 입출력단을 통해 상기 제  $i+1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭의 대진폭 신호로 변환하여 상기 제  $i-1$ 의 스위치 회로에 송출하며, 상기 제 n 반도체칩은 소정의 처리 기능을 갖는 제 n 기능 수단과, 데이터 전송용의 제  $2(n-1)$ 의 입출력단과, 상기 제 n 기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭신호로 변환하고 상기 제  $2(n-1)$ 의 입출력단을 통해 인접하는 제 n-1의 반도체칩에 송출하는 동시에, 상기 제 n-1의 반도체칩으로부터 상기 제  $2(n-1)$ 의 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭신호로 변환하여 상기 제 n 기능 수단에 송출하는 제  $2(n-1)$ 의 소진폭 입출력 회로를 구비하고, 상기 제  $i(i=1, \dots, n-1)$ 의 반도체칩의 제  $2i-1$ 의 입출력단은 상기 제  $i+1$ 의 반도체칩의 제  $2i$ 의 입출력단과, 본딩배선 또는 기판배선으로 이루어지는 전송용 배선에 의해서 접속되어

있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 19

제 18 항에 있어서, 상기 제  $i$  ( $i=1, \dots, n-2$ )의 스위치 회로는 상기 제  $2i$ 의 소진폭 입출력 회로와 상기 제  $i+1$ 의 기능 수단을 제 1 제어 신호에 기초하여 도통시키는 제 1 스위치 소자와, 상기 제  $i+1$ 의 기능 수단과 상기 제  $2i+1$ 의 소진폭 입출력 회로를 제 2 제어 신호에 기초하여 도통시키는 제 2 스위치 소자와, 상기 제  $2i$ 의 소진폭 입출력 회로와 제  $2i+1$ 의 소진폭 입출력 회로를 제 3 제어 신호에 기초하여 도통시키는 제 3 X 스위치 소자를 가지며, 상기 제  $j$  ( $j=1, \dots, 3$ )의 스위치 소자는 상기 제  $j$  제어 신호를 게이트에서 수신하는 N 채널 MOS 트랜지스터와 상기 제  $j$  제어 신호의 반전 신호를 수신하는 P채널 MOS 트랜지스터로 이루어지는 트랜스퍼 게이트를 가지며, 상기 제 1 내지 제 3 제어 신호는 이들 중의 1개의 제어 신호의 값이 「H」 레벨이면 다른 2개의 제어 신호는 「1」 레벨인 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 20

일렬로 배열된 제 1 내지 제  $n$  반도체칩을 포함하며, 상기 제 1 반도체칩은 소정의 처리 기능을 갖는 제 1 기능 수단과, 데이터 전송용의 제 1 입출력단과, 상기 제 1 기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭 신호로 변환하여 상기 제 1 입출력단을 통해 인접하는 제 2 반도체칩에 송출하는 동시에, 상기 제 2 반도체칩으로부터 상기 제 1 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제 1 기능 수단에 송출하는 제 1 소진폭 입출력 회로를 구비하며, 상기 제  $i$  ( $i=2, \dots, n-1$ )의 반도체칩은 소정의 처리 기능을 갖는 제  $i$  기능수단과, 데이터 전송용의 제  $2(i-1)$  및 제  $2i-1$ 의 입출력단과, 제  $2(i-1)$  및 제  $2i-1$ 의 소진폭 입출력 회로와, 제  $2(i-1)$  및 제  $2i-1$ 의 선택기 회로를 구비하며, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로는 상기 제  $2(i-1)$ 의 입출력단을 통해 인접하는 제  $i-1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $2(i-1)$ 의 선택기 회로에 송출하는 동시에 상기 제  $2(i-1)$ 의 선택기 회로로부터의 신호를 이 신호보다도 진폭이 작은 신호로 변환하여 상기 제  $2(i-1)$ 의 입출력단을 통해 상기 제  $i-1$ 의 반도체칩에 송출하고, 상기 제  $2i-1$ 의 소진폭 입출력 회로는 상기 제  $2i-1$ 의 입출력단을 통해 인접하는 제  $i+1$ 의 반도체칩으로부터 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $2i-1$ 의 선택기 회로에 송출하는 동시에, 상기 제  $2i-1$ 의 선택기 회로로부터의 신호를 이 신호보다도 진폭이 작은 신호로 변환하여 상기 제  $2i-1$ 의 입출력단을 통해 상기 제  $i+1$ 의 반도체칩에 송출하고, 상기 제  $2(i-1)$ 의 선택기 회로는 상기 제  $i$ 의 기능 수단의 출력 및 상기 제  $2i-1$ 의 선택기 회로로부터의 신호를 상기 제  $2(i-1)$ 의 소진폭 입출력 회로에 송출하는 동시에, 상기 제  $2(i-1)$ 의 소진폭 입출력 회로로부터의 신호를 제어 신호에 기초하여 선택하여 상기 제  $i$ 의 기능 수단 또는 상기 제  $2(i-1)$ 의 선택기 회로에 송출하며, 상기 제  $n$  반도체칩은 소정의 처리 기능을 갖는 제  $n$  기능 수단과, 데이터 전송용의 제  $2(n-1)$ 의 입출력단과, 상기 제  $n$  기능 수단의 출력을 이 출력보다도 작은 진폭을 갖는 소진폭 신호로 변환하여 상기 제  $2(n-1)$ 의 입출력단을 통해 인접하는 제  $n-1$ 의 반도체칩에 송출하는 동시에, 상기 제  $n-1$ 의 반도체칩으로부터 상기 제  $2(n-1)$ 의 입출력단을 통해 전송되는 소진폭 신호를 이 소진폭 신호보다도 큰 진폭을 갖는 대진폭 신호로 변환하여 상기 제  $n$  기능 수단에 송출하는 제  $2(n-1)$ 의 소진폭 입출력 회로를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 21

제 18 항에 있어서, 상기 제 1 반도체칩은 CPU를 구비하며, 상기 제 2 내지 제  $n$  반도체칩은 각각 메모리를 구비하고 있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 22

제 20 항에 있어서, 상기 제 1 반도체칩은 CPU를 구비하며, 상기 제 2 내지 제  $n$  반도체칩은 각각 메모리를 구비하고 있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 23

제 18 항에 있어서, 상기 제 1 내지 제  $n-1$ 의 반도체칩은 각각 CPU를 구비하며, 상기 제  $n$ 의 반도체칩은 메모리를 구비하고 있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 24

제 20 항에 있어서, 상기 제 1 내지 제  $n-1$ 의 반도체칩은 각각 CPU를 구비하며, 상기 제  $n$ 의 반도체칩은 메모리를 구비하고 있는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 25

제 7 항에 있어서, 상기 제 1 분압 회로와 상기 제 2 분압 회로를 접속하는 상기 배선은 본딩배선, 기판배선, 또는 버스 중 어느 하나인 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 26

제 7 항에 있어서, 상기 제 1 구동기 회로와 상기 제 2 구동기 회로를 접속하는 상기 전송용 배선은, 본딩배선, 기판배선, 또는 버스 중 어느 하나인 것을 특징으로 하는 반도체 집적회로 장치.

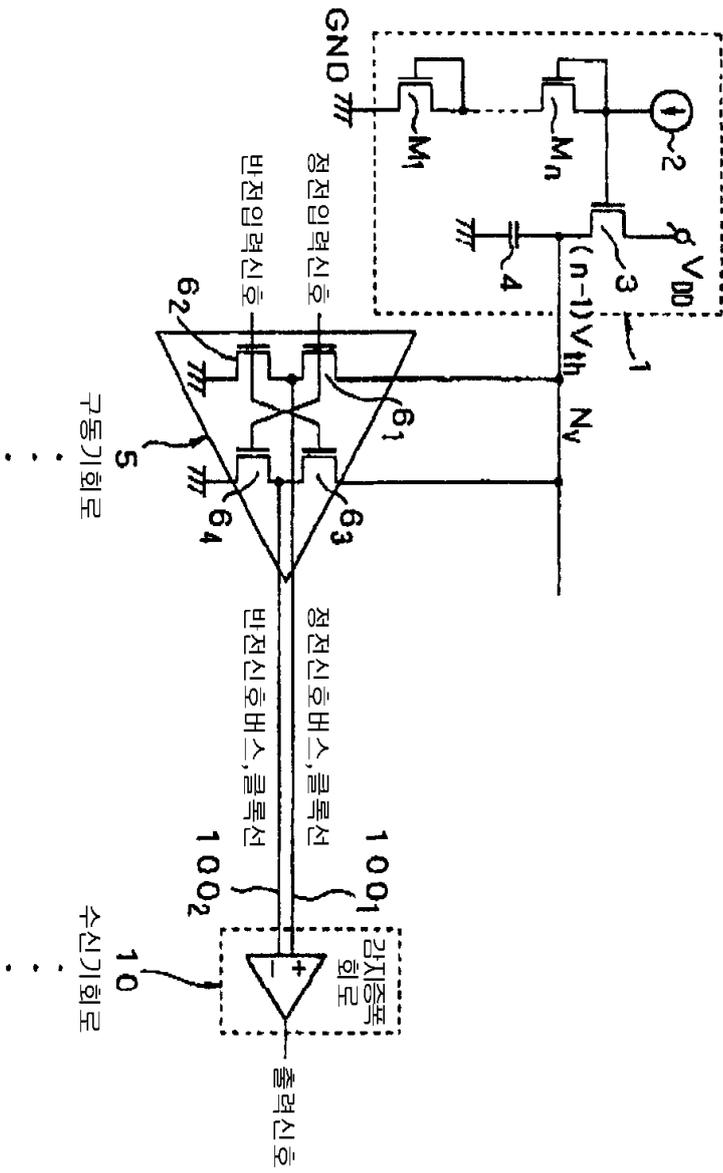
#### 청구항 27

제 13 항에 있어서, 상기 제 1 구동기 회로와 상기 제 2 구동기 회로를 접속하는 상기 전송용 배선은 본딩배선, 기판배선, 또는 버스 중 어느 하나인 것을 특징으로 하는 반도체 집적회로 장치.

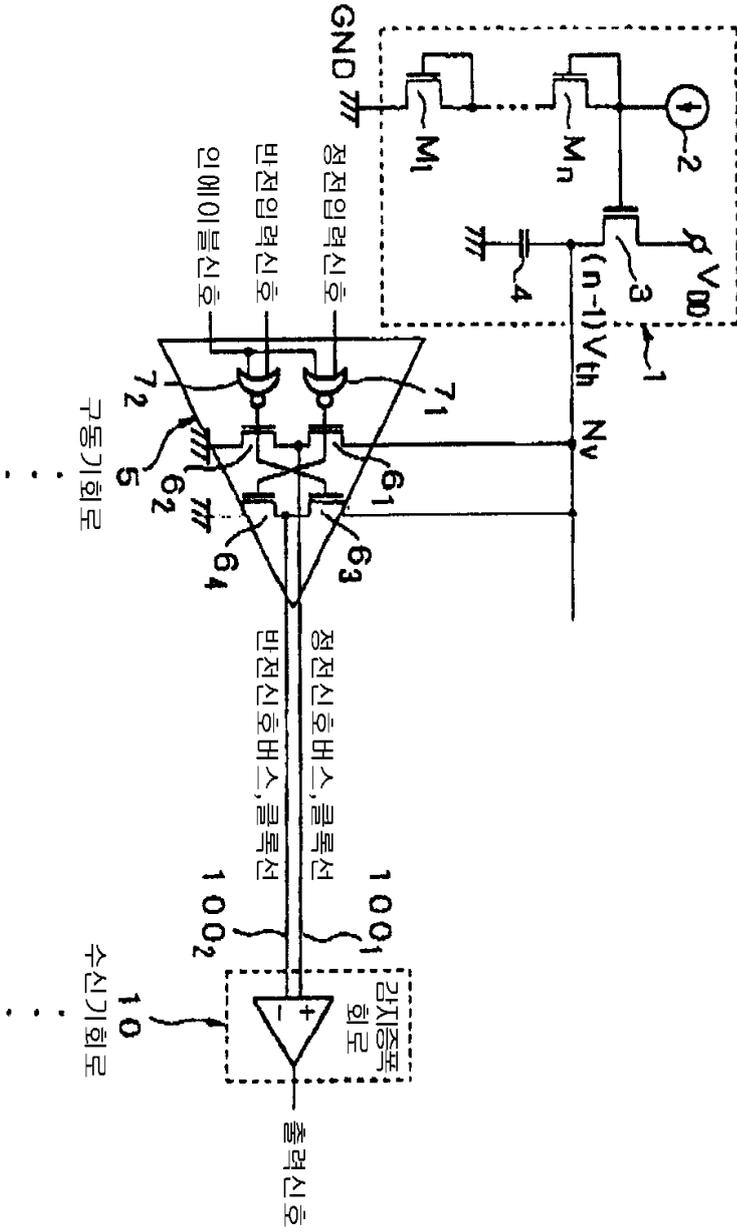




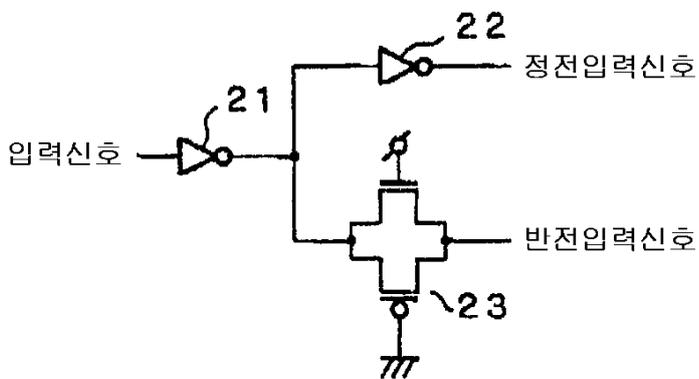
도면4



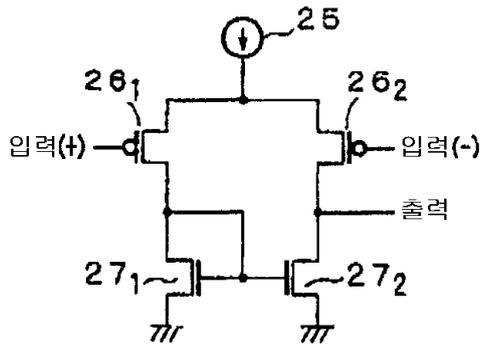
도면5



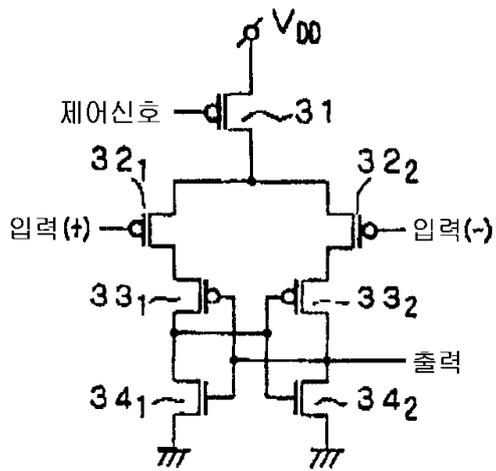
도면6



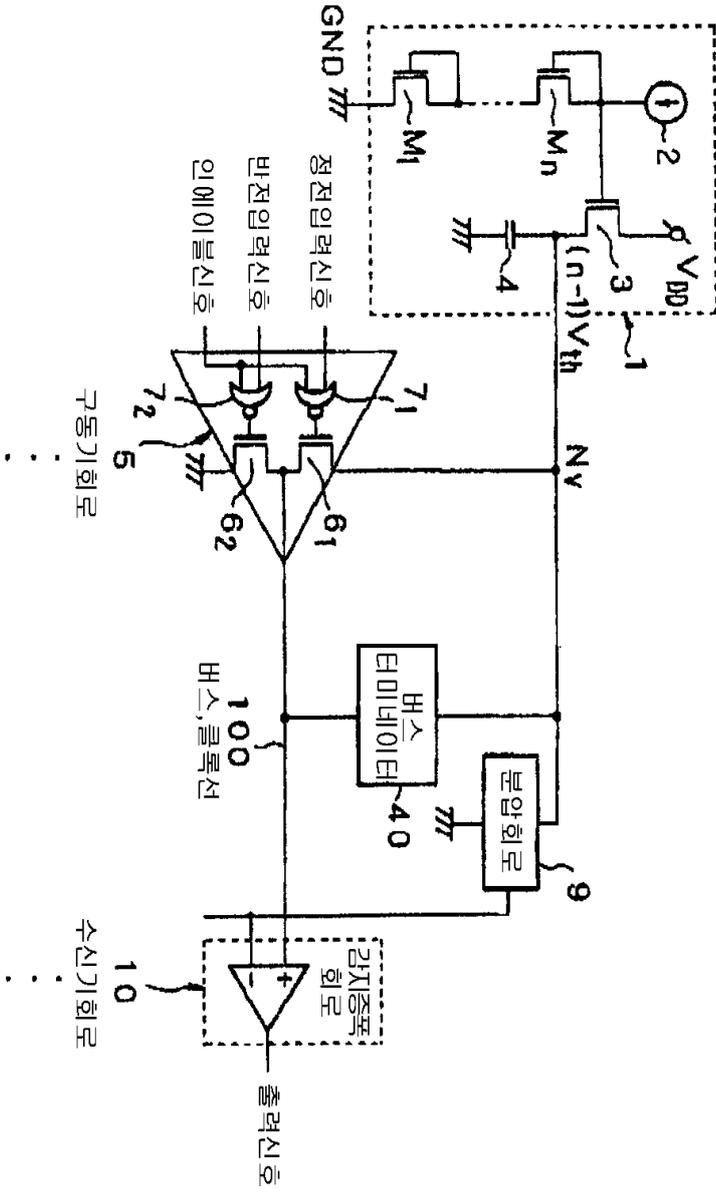
도면7



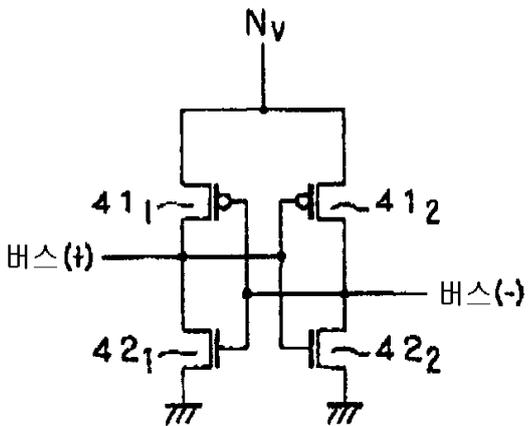
도면8



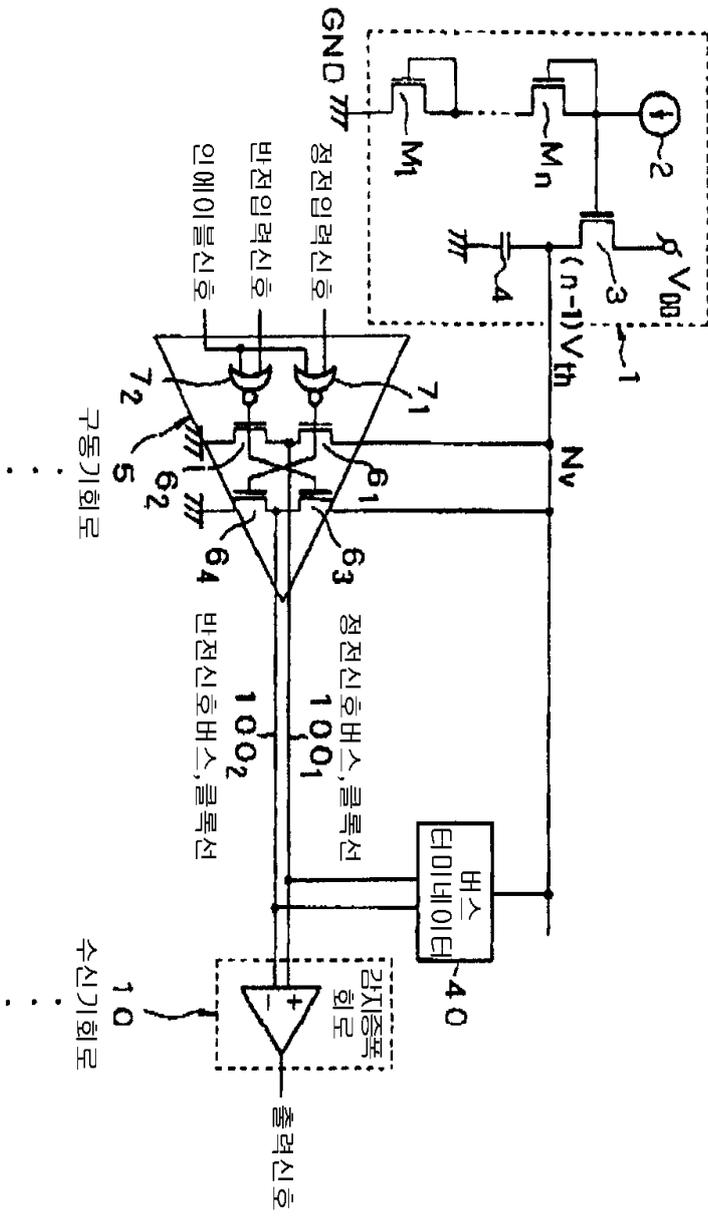
도면9



도면10

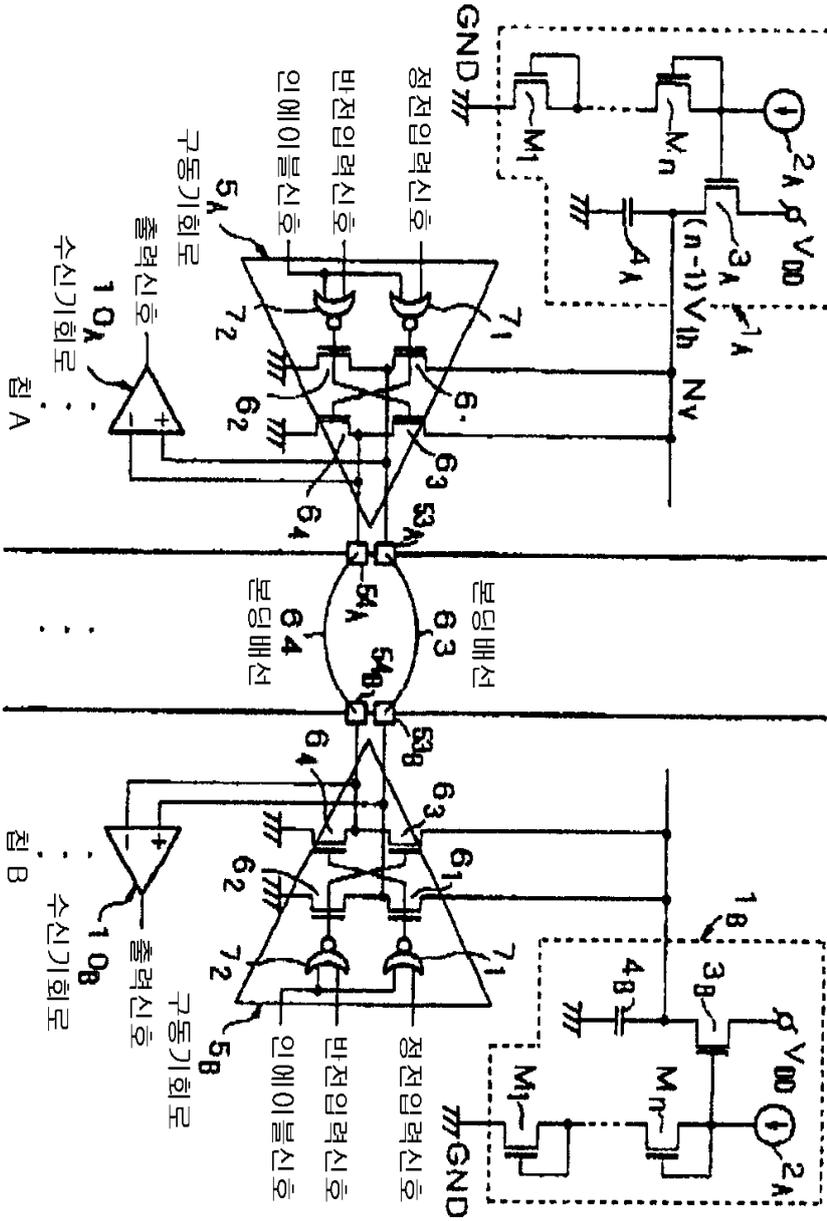


도면11

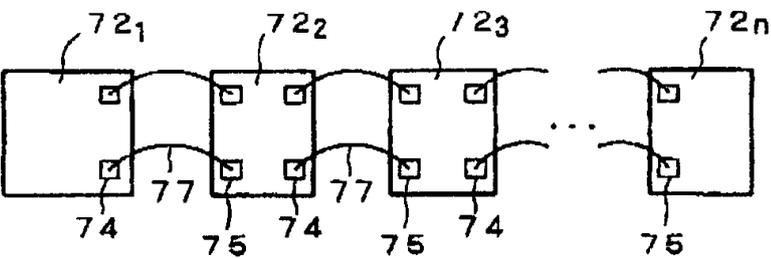




도면13

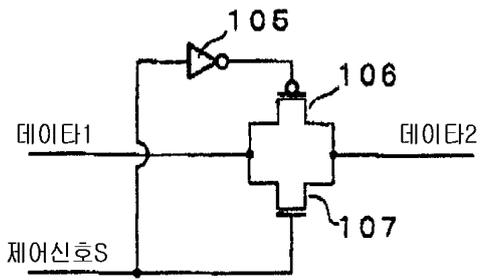


도면14





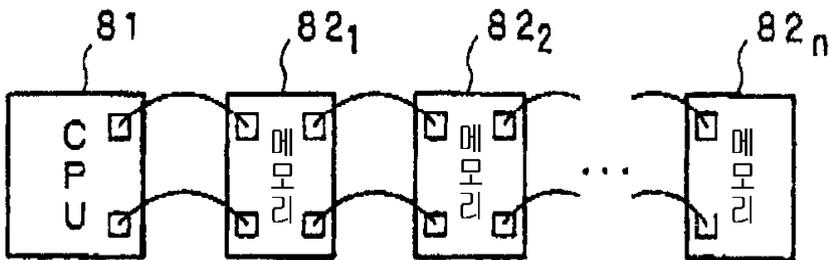
도면 16b



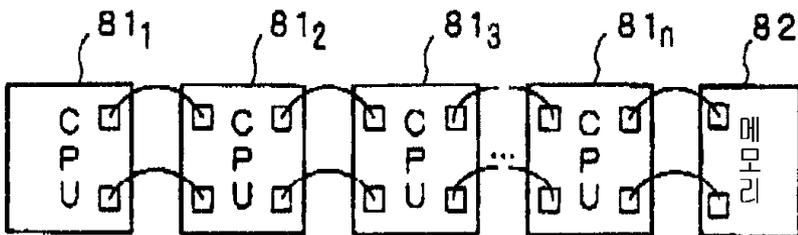
도면 16c

제어 신호			접속 관계
S <sub>12</sub>	S <sub>23</sub>	S <sub>31</sub>	
1	0	0	N <sub>1</sub> 과 N <sub>2</sub> 가 접속
0	1	0	N <sub>2</sub> 과 N <sub>3</sub> 가 접속
0	0	1	N <sub>3</sub> 과 N <sub>1</sub> 가 접속

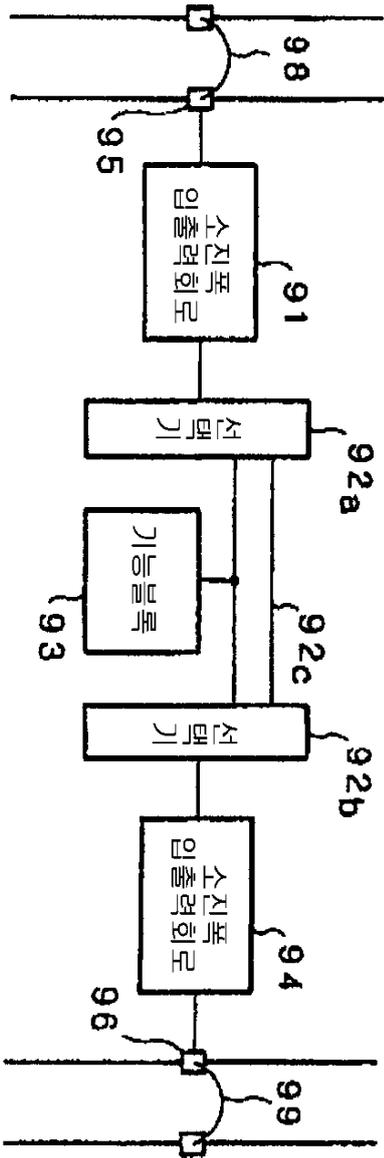
도면 17



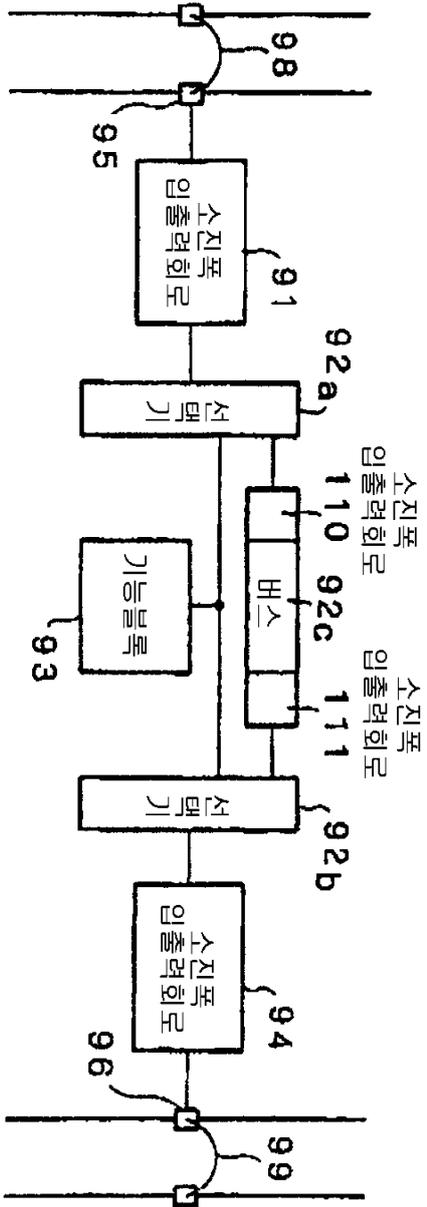
도면 18



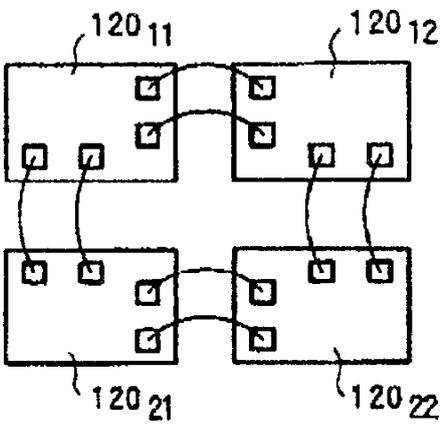
도면 19



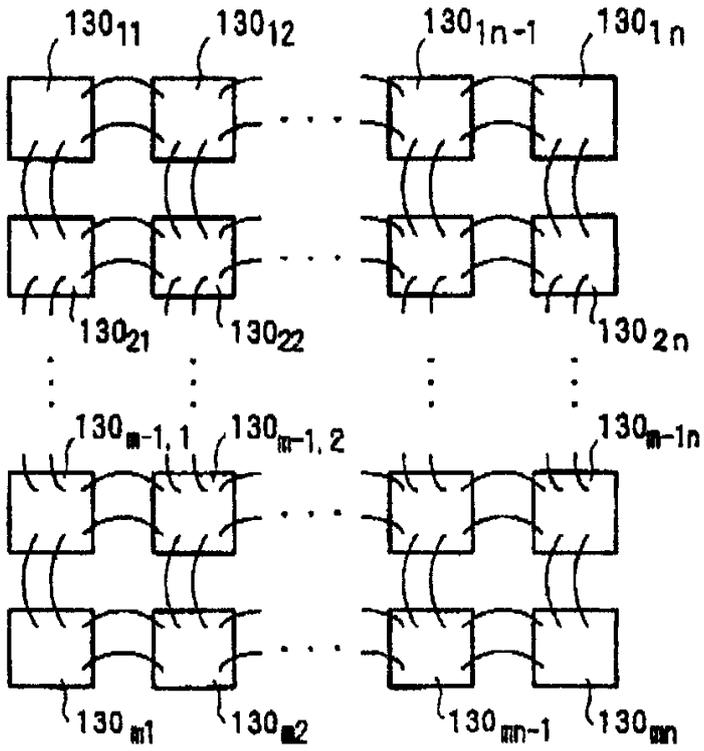
도면20



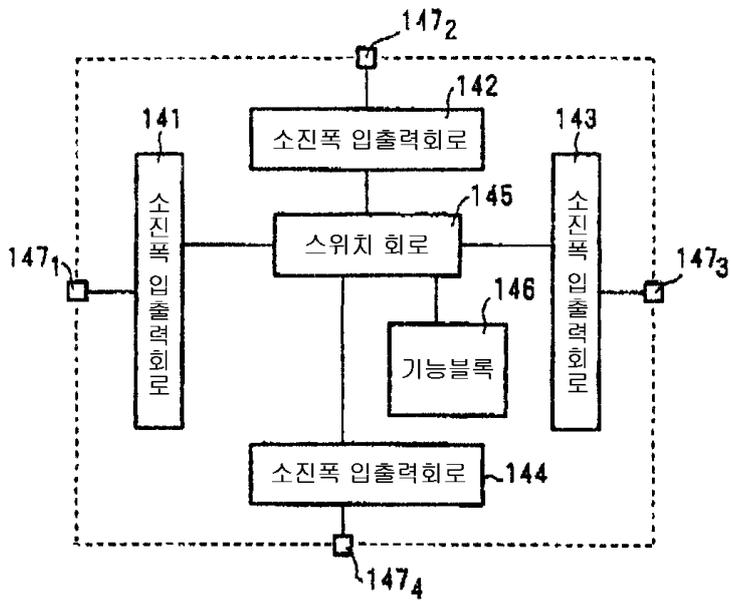
도면21



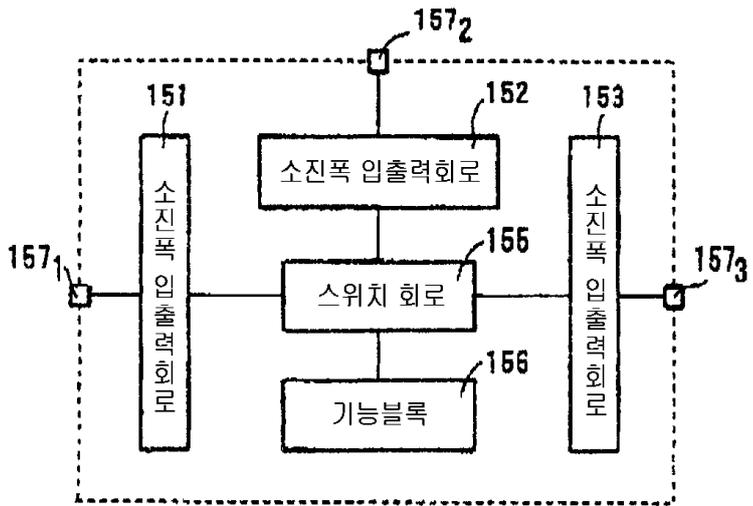
도면22



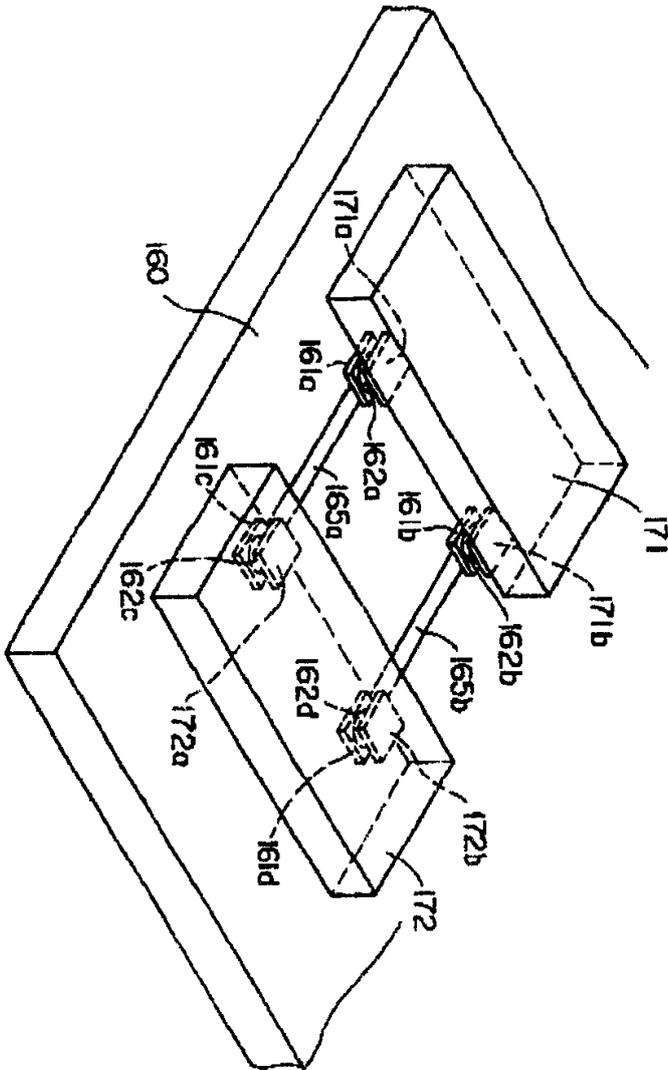
도면23a



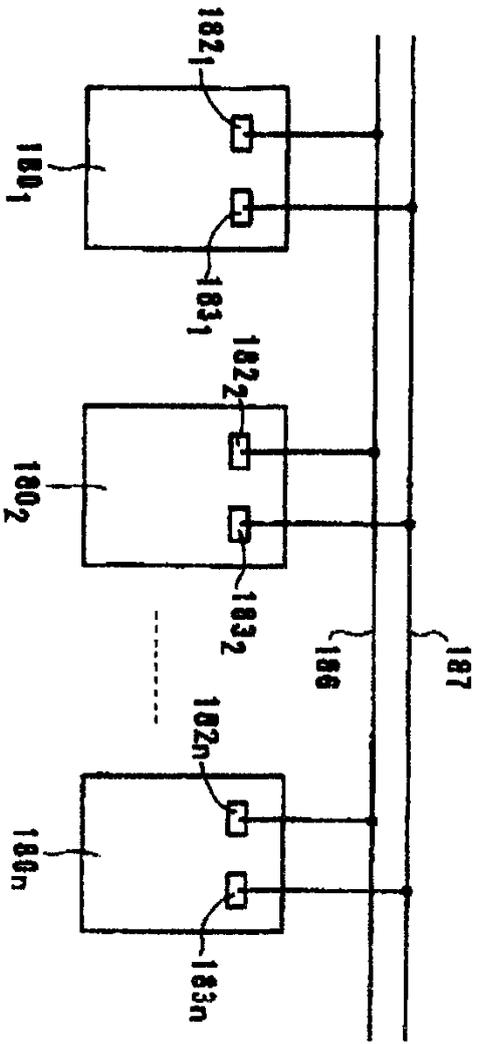
도면23b



도면24



도면25



도면26

