

公告

申請日期:

91. 6. 14

案號:

f111 2986

類別:

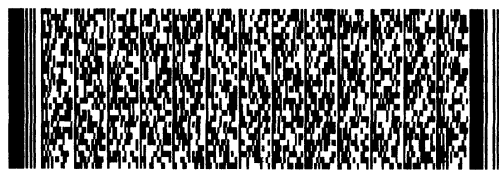
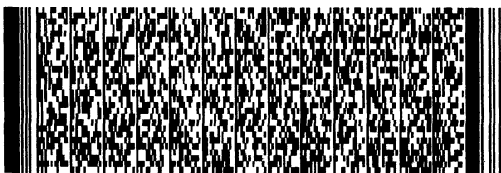
H01L 21/58

(以上各欄由本局填註)

發明專利說明書

540123

一、發明名稱	中文	以導線架為晶片承載件之覆晶式半導體封裝件
	英文	FLIP-CHIP SEMICONDUCTOR PACKAGE WITH LEAD FRAME AS CHIP CARRIER
二、發明人	姓名 (中文)	1. 吳集銓 2. 黃建屏
	姓名 (英文)	1. Chi-Chuan WU 2. Chien Ping HUANG
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台中市北屯區大德里平德路82巷33弄1號 No. 1, Alley 33, Lane 82, Pin Te Road, Ta Te Li, Peitun District, Taichung, Taiwan, R.O.C. 2. 新竹縣竹東鎮康莊街26巷8號 No. 8, Lane 26, Kang Chuang Sreet, Chutung Town, Hsinchu County, Taiwan, R.O.C.
三、申請人	姓名 (名稱) (中文)	1. 矽品精密工業股份有限公司
	姓名 (名稱) (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台中縣潭子鄉大豐路三段123號 No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 姓名 (中文)	1. 林文伯
	代表人 姓名 (英文)	1. Wen-Po LIN



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	3. 普翰屏
	姓名 (英文)	3. Han-Ping PU
	國籍	3. 中華民國
	住、居所	3. 台北縣永和中正路649號10樓之1 10F-1, No. 649, Chung-zheng Rd., Yonghe, Taipei Hsien, Taiwan, R. O. C.
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

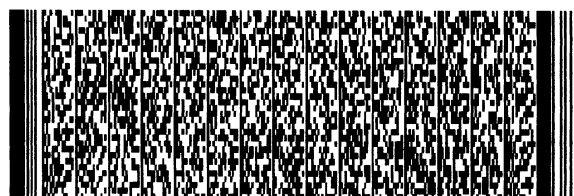
[發明領域]

本發明係有關一種半導體封裝件及其製法，尤指一種以導線架為晶片承載件之覆晶式半導體封裝件及其製法。

[背景說明]

以導線架(Lead Frame)為晶片承載件(Chip Carrier)之半導體封裝件，是將晶片黏設於晶片座(Die Pad)再藉由鐳線(Bonding Wires)將晶片座上之晶片電性連接至導腳(Lead)，或直接将晶片黏設於導腳之一延長部分再以鐳線將晶片電性連接至導腳。該種半導體封裝方式之電性品質會因打線距離長而下降，且於模壓製程中，線弧(Wire Loop)容易受到模流衝擊產生打線偏移或傾倒(Wire Sweeping or Sagging)，使相鄰線弧碰觸而發生短路。另封裝件整體之高度也會受限於線弧高度(Loop Height)而無法有效降低，致不能滿足市場上對封裝件輕薄短小的需求。

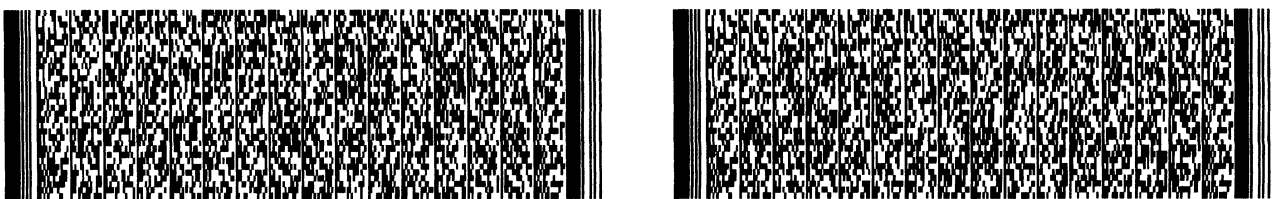
而覆晶(Flip Chip)式半導體封裝技術是因應電子產品輕薄短小的開發趨勢，使得現今半導體裝置朝向高性能及高度集積化而發展出之先進半導體封裝技術。其與一般非覆晶式之半導體封裝結構最大之不同點即在於所封裝之晶片係以其佈設有電子元件及電子電路之作用面倒置之方式，藉由鐳結於晶片鐳墊(Bonding Pad)上之鐳錫凸塊(Solder Bump)至如基板之晶片承載件上，而使晶片接置於並電性連接至晶片承載件上。此種封裝方式提供之電性品質較打線方式優異，並可避免打線方式所產生的問題。



五、發明說明 (2)

惟，該晶片銲墊上接設之銲錫凸塊，一般係由低熔點之如錫63/鉛37合金等質軟金屬製成，回銲至晶片承載件時，往往產生難以控制之銲料塌陷(Collapse)高度的問題，使銲錫凸塊無法抵抗晶片與晶片承載件間因熱膨脹係數之差異(CET Dismatch)所產生的熱應力，而造成其與晶片承載件間之銲接失效，致使晶片與晶片承載件間之電性連接不完整；且該製程之精密要求度高，成本因而大幅增加，故一般多僅適用於高階產品，而不適用於以導線架為晶片承載件之產品例如DRAM或SRAM等，使以導線架為晶片承載件之半導體裝置仍無法在兼顧降低成本及提高良率的條件下有效改善關於線弧及打線所產生的相關問題。

為解決上述問題，美國專利第5,331,235號提出以導線架為晶片承載件並運用覆晶技術電性連接晶片與晶片承載件之半導體封裝件。如第1圖所示，該封裝件包括至少兩個分別銲設有銲錫凸塊33及35之半導體晶片32及34，此兩晶片32及34係分別以作用面相對之方式使用TAB(Tape Automated Bonding)技術，將凸塊33及35熱壓接於膠片31上後，再將膠片31電性連接至導線架37。然而，該種藉TAB膠片電性連接晶片與導線架之結構，會因TAB膠片之使用而導致封裝成本的提高，且該種半導體封裝件僅使用TAB之熱壓接技術，結合覆晶技術於導線架與晶片之電性連接，以將數個半導體晶片包覆於封裝件內，使其封裝體積最小化，但並未解決銲錫凸塊於回銲時，因銲料濕潤而發生銲錫凸塊塌陷過度而導致接合失敗的問題。為有效解



五、發明說明 (3)

決錒錫凸塊與導腳之錒接問題，揭露於美國專利第6,184,573號案之半導體封裝件即提出一種於導腳上塗覆有拒錒劑(Solder Mask)之結構，如第2圖所示，該種半導體封裝件之導腳27上塗覆有拒錒劑26後，係於對應於晶片21及22錒結有錒錫凸塊24及25處形成有開孔260，以供晶片21及22上之錒錫凸塊24及25植入，俾在回錒處理時，錒錫凸塊24及25會為開孔260所限制而不致因錒料濕潤導腳而有塌陷過度的問題，並藉開孔260控制錒錫凸塊24及25之塌陷高度；但該製程中，將拒錒劑26塗覆(Coating)於導腳27上並形成開孔之製程複雜且成本高，對於簡化製程及降低成本並無改善，所適用之產品仍然受到限制。

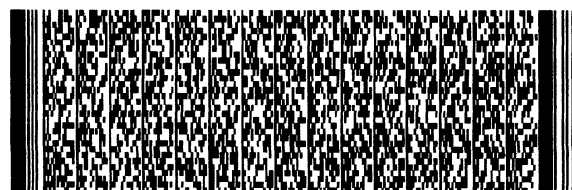
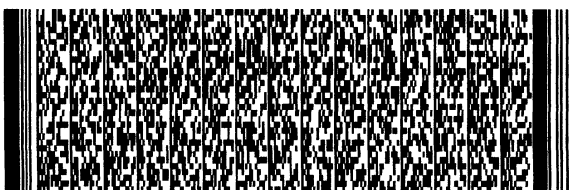
為確保錒錫凸塊與晶片承載件間之電性連接不致因錒錫凸塊於回錒作業時塌陷過度而失敗，另有業者採用高含鉛量之金屬錒料製成之錒錫凸塊，惟該種高含鉛量之金屬錒料製成之錒錫凸塊成本甚高，並不符經濟效益，故仍未能有效解決前揭之諸項問題。

[發明概述]

本發明之一目的即在提供一種以導線架為晶片承載件而可避免晶片與導線架間有電性連接失敗之狀況發生之覆晶式半導體封裝件。

本發明之另一目的則在提供一種以導線架為晶片承載件而可以低成本之方式有效避免晶片上之錒錫凸塊完全濕潤於導線架上之覆晶式半導體封裝件及其製法。

為達成上揭及其他目的，本發明之半導體封裝件係包



五、發明說明 (4)

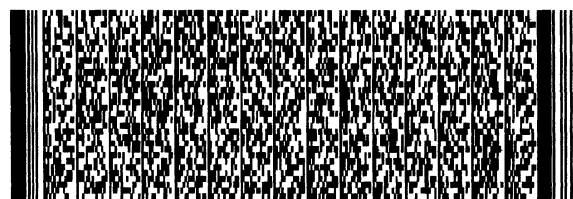
括至少一具有複數個銲錫凸塊之晶片；一具有複數導腳之導線架，並於各導腳上之適當位置處設置一止擋件，以由該止擋件與導腳之端部間形成一銲接區，俾供晶片之銲錫凸塊銲接其上而使晶片與該導線架電性連接；以及一用以包覆該晶片、銲錫凸塊、以及部份之導腳的封裝膠體。

該用以定義銲錫凸塊之塌陷高度以防止銲錫凸塊完全濕潤於導線架上的止擋件，可為聚亞醯胺膠片 (Polyimide Tape)，或以網版印刷方式塗佈之由拒銲劑構成之攔壩 (Dam)，以能有效控制銲錫凸塊之塌陷高度，避免銲錫凸塊銲接至導腳上時，發生銲錫凸塊完全濕潤於導腳上而導致兩者銲接失敗的問題。

藉由本發明之止擋件的形成，使本發明晶片使用之銲錫凸塊毋須使用成本高於一般共融合金 (Eutectic Alloy) 兩倍以上的高含鉛量金屬銲料，或前述之習知拒銲劑的防銲處理，而得有效控制銲錫凸塊之塌陷高度，以避免銲錫凸塊與導線架之電性連接失敗的問題發生。

為進一步增進銲錫凸塊與導腳之電性連接，可於該內導腳部位在止擋件與導線架之內導腳部的端部間的部位止形成有凹槽 (Recess) 或突起 (Protrusion)。該凹槽或突起之形成則得採用習知之沖壓 (Punching) 或蝕刻 (Etching) 方式為之，且其形狀或大小無特定限制，只要能有效增加銲錫凸塊與導腳之接合面積即可。

本發明之半導體封裝件之製法則包括下列步驟：準備一導線架，其具有複數個導腳；於各該導腳部上之適當處



五、發明說明 (5)

設置一止擋件，以使該導腳上位於該止擋件與導腳之端部間形成一銲接區；令一銲設有多數銲錫凸塊之晶片接置至該導線架上，其接置方式係使該晶片之銲錫凸塊銲接至導腳之銲接區上，以使該晶片與導腳電性連接；以及形成一封裝膠體以包覆該晶片、銲錫凸塊、以及導腳之一部份。

[發明詳細說明]

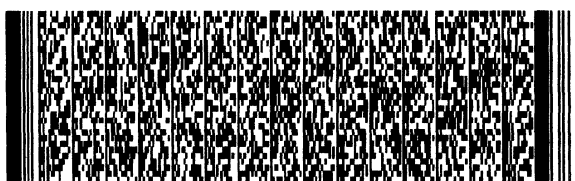
第一實施例

如第3圖所示者為本發明第一實施例之以導線架為晶片承載件之覆晶式半導體封裝件剖面圖。

如圖所示，本發明第一實施例之半導體封裝件3主要係由一晶片30，供該晶片30接置之導線架31以及用以包覆該晶片30及導線架31之一部份的封裝膠體32所構成。

該晶片30於其形成有電子元件及電子電路之作用表面上係以習知之銲接方式銲接有多數之銲錫凸塊33，以使該晶片30藉該銲錫凸塊33與導線架31接連，而令該晶片30與導線架31形成覆晶式連接結構。

該導線架31係具有多數之導腳310，每一導腳310則由為封裝膠體32所包覆之內導腳311及外露出該封裝膠體32之外導腳312所構成者。各該內導腳311並具有一端部313，且各端部313間均相隔一預定距離。在該內導腳311供晶片30接置之表面上且近靠該端部313之適當處則黏置有一聚亞醯胺膠片314，以在該內導腳311供晶片30接置之表面上於其端部313與膠片314間形成一銲接區315，俾供該銲錫凸塊33藉回銲技術銲接至該銲接區315上，而使該



五、發明說明 (6)

晶片 30 藉該銲錫凸塊 33 與導線架 31 之導腳 310 電性連接。該銲錫凸塊 33 由於受到該膠片 314 之止擋，其在回銲作業中濕潤至內導腳 311 上之區域僅會侷限於該銲接區 315，而不致擴及內導腳 311 於該銲接區 315 外之區域上，故不會有銲錫凸塊 33 完全濕潤於內導腳 311 上而使其與內導腳 311 之銲接失敗之問題發生；同時，該膠片 314 具有一預定之高度，以在該晶片 30 藉該銲錫凸塊 33 電性連接至導線架 31 上後，足以控制該銲錫凸塊 33 塌陷之高度，而得避免發生銲錫凸塊 33 之塌陷過度的問題。

此外，該膠片 314 之使用亦得以拒銲劑或其它適當之材質製成之止擋件取代，使該等止擋件得藉習知之印刷方式或塗佈方式敷設於內導腳 311 上之適當處，藉其止擋件的設置，可有效止擋銲錫凸塊 33 濕潤至銲接區 315 外之區域上，以確保銲錫凸塊 33 有足夠的塌陷高度以抵抗晶片 30 與導線架 31 因熱膨脹係數之差異所引發之熱應力而得確保與導腳 310 之良好電性連接。

如第 4A 至 4D 圖所示者為本發明第一實施例之半導體封裝件 3 之封裝製程之示意圖。

於製作上，如第 4A 圖中所示，係準備一不具晶片座 (Die Pad) 而僅由多數導腳 310 構成之導線架 31。如圖所示者為一雙邊排列式 (Dual-in-Line Type) 之導線架，以對應一銲墊為雙邊列式之晶片的使用，若晶片為一周邊銲墊式者，則該導線架 31 亦可為四邊排列式 (Quad Flat Type) 者。各導腳 310 具有一內導腳 311 及一外導腳 312，該內導



五、發明說明 (7)

腳 311 並具有一端部 313。

如第 4B 圖所示，將一聚亞醯胺膠片 314 黏貼至內導腳 311 上之預設處，以在該內導腳 311 黏貼有膠片 314 之表面上於該膠片 314 與端部 313 間形成一銲接區 315。

如第 4C 圖所示，將一銲接有多數銲錫凸塊 33 之晶片 30 以銲接有該銲錫凸塊 33 之表面朝下之方式接置至該導線架 31 之導腳 310 上。其接置之方式乃使該銲錫凸塊 33 以習知之回銲作業銲接至該內導腳 311 之銲接區 315 上，俾使該晶片 30 藉銲錫凸塊 33 與導腳 310 電性連接。如前所述，由於有膠片 314 之設置，銲錫凸塊 33 於潰縮而塌陷後會因膠片 314 之止擋而僅濕潤於銲接區 315 上，不致擴及至導腳 310 於銲接區 315 外之其它區域，故可確保銲錫凸塊 33 與導腳 310 之電性連接品質。

如第 4D 圖所示，晶片 30 藉銲錫凸塊 33 與導腳 310 電性連接後，即進行模壓作業以將該晶片 30、銲錫凸塊 33 及導腳 310 之內導腳 311 包覆於一以封裝樹脂形成之封裝膠體 32 中，俾使晶片 30 與外界交密隔離並防止外界空氣或異物侵入半導體封裝件 3 之內部。

形成該封裝膠體 32 後之後續製程，如烘烤 (Curing)、蓋印 (Marking)、去渣 / 成型 (Trim/Form) 及切單 (Singulation) 等，俱為習知步驟，故在此不另為文贅述之。

第二實施例

如第 5 圖所示，本發明第二實施例之半導體封裝件 5 係



五、發明說明 (8)

大致相同於前述之第一實施例者，其不同處在於該半導體封裝件5之導腳510之上、下表面上係分別黏貼有膠片514a及514b，以由膠片514a與導腳510之端部513間及膠片514b與端部513間分別於該導腳510之上、下表面上形成銲接區515a及515b，俾供一上晶片50a上所植接之多數銲錫凸塊53a藉回銲作業銲接至銲接區515a上，以電性連接晶片50a至導腳510上，及供一下晶片50b上所植接之多數銲錫凸塊53b藉回銲作業銲接至銲接區515b上，以電性連接晶片50b至導腳510上，而使半導體封裝件5成為多晶片之結構。由於無論導腳510之上表面或下表面上所銲接之銲錫凸塊均為膠片514a及514b所限制於銲接區515a及515b內，故俱無銲錫凸塊因塌陷過度而導致與導腳間之電性連接失敗的狀況產生。

第三實施例

如第6圖所示，本發明第三實施例之半導體封裝件6與前述之第一實施例大致相同，惟為使植設於晶片60上之銲錫凸塊63於回銲至導腳610上之銲接區615上時，銲錫凸塊63與導腳610之電性連接性獲致進一步之控制，該導腳610於銲接區615上復可形成有至少一凹槽616，俾使銲錫凸塊63於濕潤時，因凹槽616之形成而增加濕潤之接觸面積，故能更有效地強化銲錫凸塊63與導腳610間之電連接性。

該凹槽616之形狀由截面觀之，可為碟形、杯形或錐形者，無特定之限制；再者，其設置之數量亦無限制，但可為連續相接連之方式，而使銲接區615之表面不平坦化



五、發明說明 (9)

或粗糙化。

第四實施例

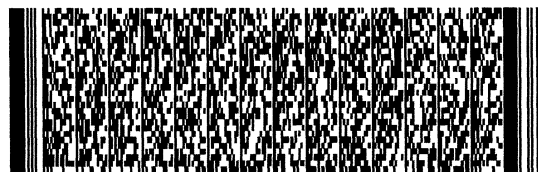
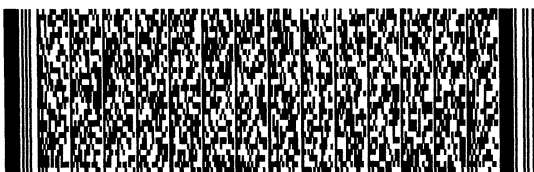
如第7圖所示，本發明第四實施例之半導體封裝件7與前述之第一實施例大致相同，復可以沖壓或彎折之方式形成至少一突起717，以使該銲錫凸塊73在潰縮而塌陷後，該突起717得插入於該銲錫凸塊73中，而強化兩者間之連接關係。

同樣的，該突起717之設置數量與形狀亦無特定限制。

第五實施例

如第8圖所示，本發明第五實施例之半導體封裝件8與前述之第一實施例大致相同，其不同處在於該半導體封裝件8為一QFN(Quad Flat Non-leaded)結構者，亦即該導腳810之底面810b係在封裝膠體82形成後外露出該封裝膠體82，而使該導腳810之底面810b直接與外界裝置電性連接。導腳810之頂面810a則亦供膠片814之貼設，而在該頂面810a上形成一供晶片80上之銲錫凸塊83銲接用之銲接區815。

以上所述者，僅為本發明之具體實施例而已，其它任何未背離本發明之精神與技術下所作之等效改變或修飾，均應仍包含在下述專利範圍之內。



圖式簡單說明

[圖示簡單說明]

以下茲藉較佳具體例配合所附圖示進一步詳述本發明之特點及功效：

第1圖係為習知之以導線架為晶片承載件之覆晶式半導體封裝件之剖視圖；

第2圖係另一習知之以導線架為晶片承載件之覆晶式半導體封裝件之剖視圖；

第3圖係本發明第一實施例之半導體封裝件之剖視圖；

第4A至4D圖係本發明第一實施例之半導體封裝件之製造流程圖；

第5圖係本發明第二實施例之半導體封裝件之剖視圖；

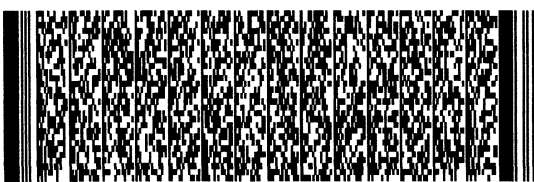
第6圖係本發明第三實施例之半導體封裝件之剖視圖；

第7圖係本發明第四實施例之半導體封裝件之剖視圖；

第8圖係本發明第五實施例之半導體封裝件之剖視圖。

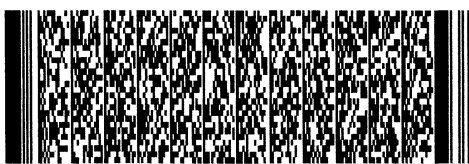
[元件符號說明]

3、5、6、7、8	半導體封裝件
30、60、70	晶片
31	導線架
32、82	封裝膠體



圖式簡單說明

33、53a、53b、63、73、83	鍍錫凸塊
50a	上晶片
50b	下晶片
310、510、610、710、810	導腳
311	內導腳
312	外導腳
313、513	端部
314	聚亞醯胺膠片
315、515a、515b、615、715、815	鍍接區
514a、514b、814	膠片
616	凹槽
717	突起
810a	頂面
810b	底面

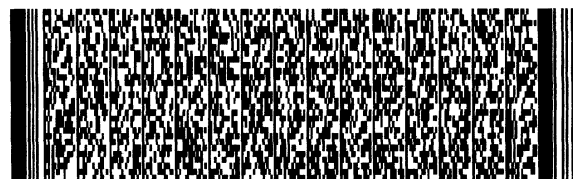


四、中文發明摘要 (發明之名稱：以導線架為晶片承載件之覆晶式半導體封裝件)

一種以導線架為晶片承載件之覆晶式半導體封裝件，係在一導線架之多數導腳上分別形成有一止擋件，以在一晶片藉多數鉚錫凸塊接置於該導線架上時，該鉚錫凸塊係接置於該導腳上位於止擋件及導腳之端部間的區域，俾在對該鉚錫凸塊進行迴鉚作業而使鉚錫凸塊濕潤(Wetting)於導腳上時，該鉚錫凸塊塌陷(Collapse)之高度會為該止擋件有效限制，故藉由該止擋件之設置，得控制該鉚錫凸塊之塌陷高度增加鉚錫凸塊對晶片與導腳間因熱膨脹係數(CTE)不同所產生之應力的抵抗力，而得避免晶片與導腳間發生電性連接不完全的狀況。

英文發明摘要 (發明之名稱：FLIP-CHIP SEMICONDUCTOR PACKAGE WITH LEAD FRAME AS CHIP CARRIER)

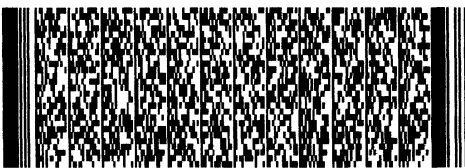
A flip-ship semiconductor package with a lead frame as a chip carrier is provided, wherein a plurality of leads of the lead frame are each formed with at least a dam member thereon. When a chip is mounted on the lead frame by means of solder bumps, each of the solder bumps is attached to the corresponding one of the leads at a position between the dam member and an inner end of the lead. During a solder-reflowing process for wetting the solder bumps to the leads, the dam members



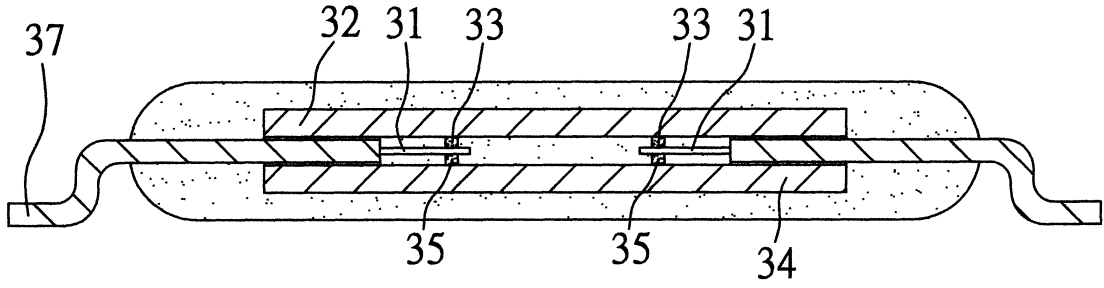
四、中文發明摘要 (發明之名稱：以導線架為晶片承載件之覆晶式半導體封裝件)

英文發明摘要 (發明之名稱：FLIP-CHIP SEMICONDUCTOR PACKAGE WITH LEAD FRAME AS CHIP CARRIER)

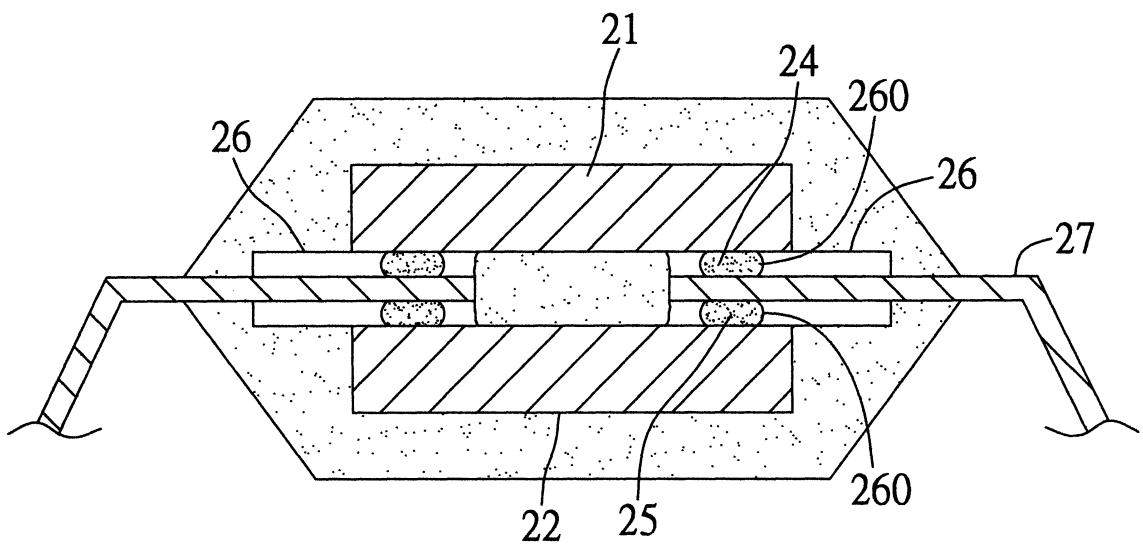
would help control collapse height of the solder bumps, so as to enhance resistance of the solder bumps to stress generated by CTE (coefficient of thermal expansion) mismatch between the chip and the leads, thereby preventing incomplete electrical connection between the chip and the leads.



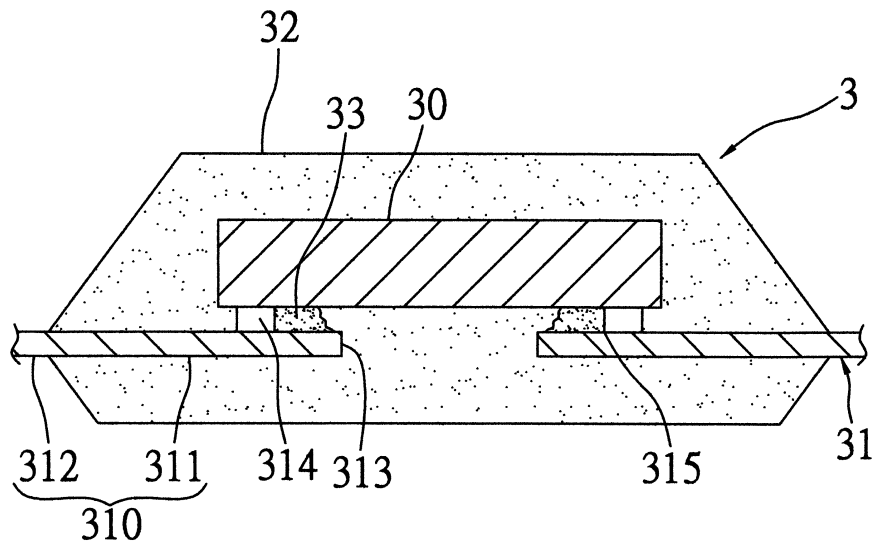
16369



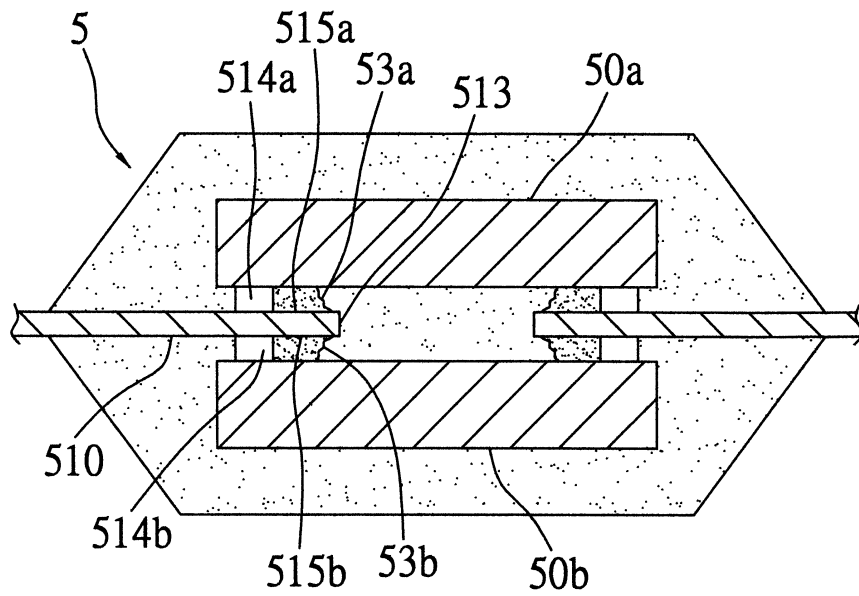
第 1 圖



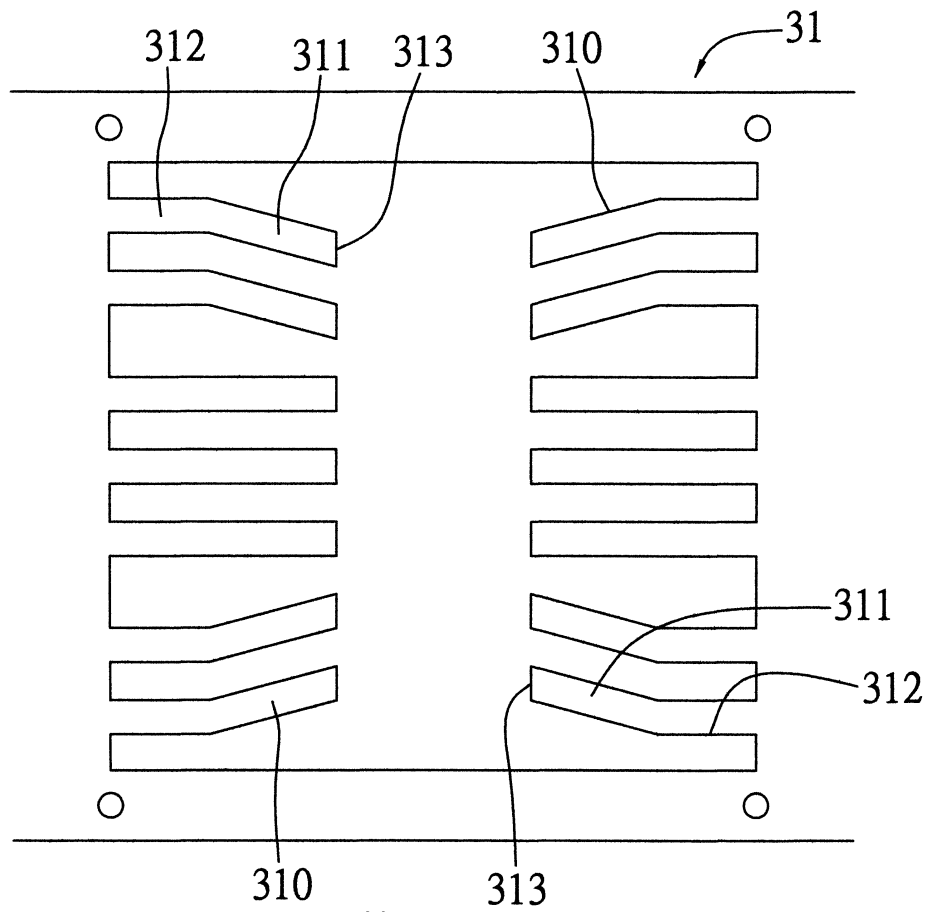
第 2 圖



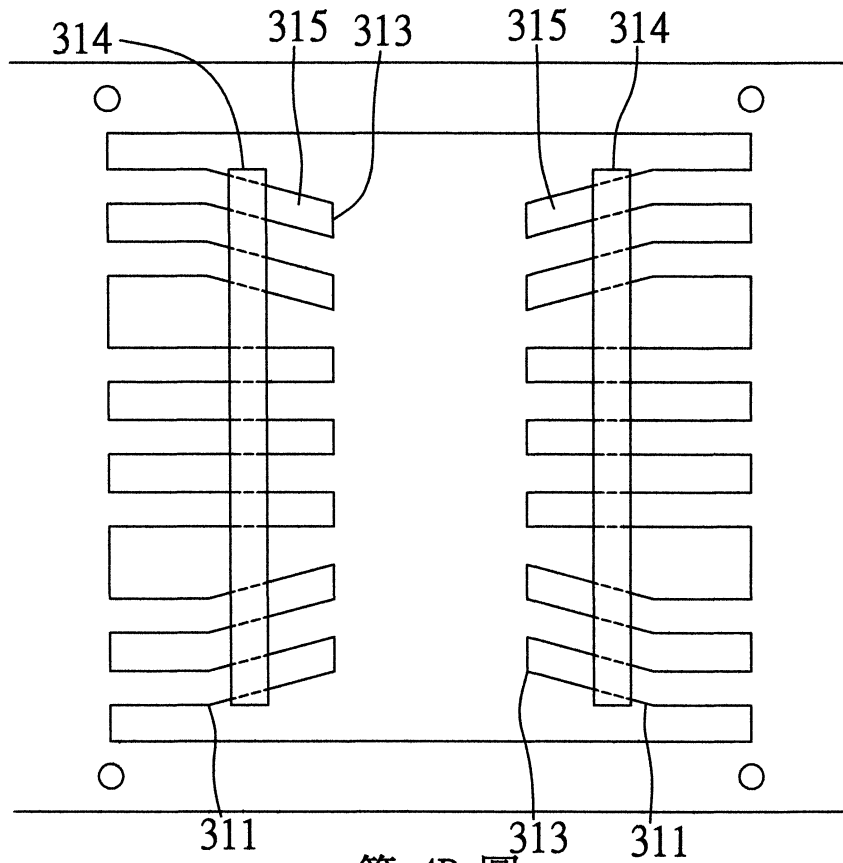
第 3 圖



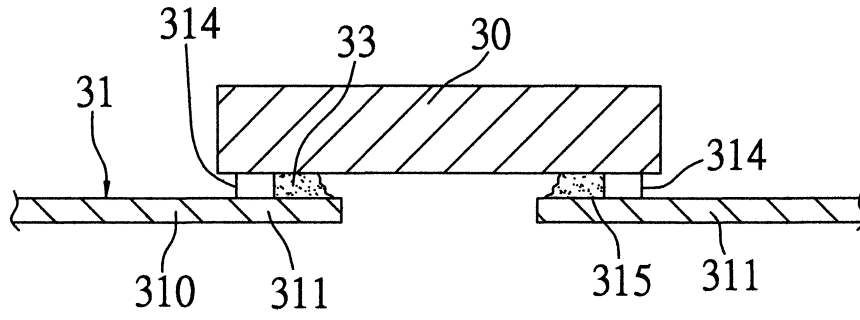
第 5 圖



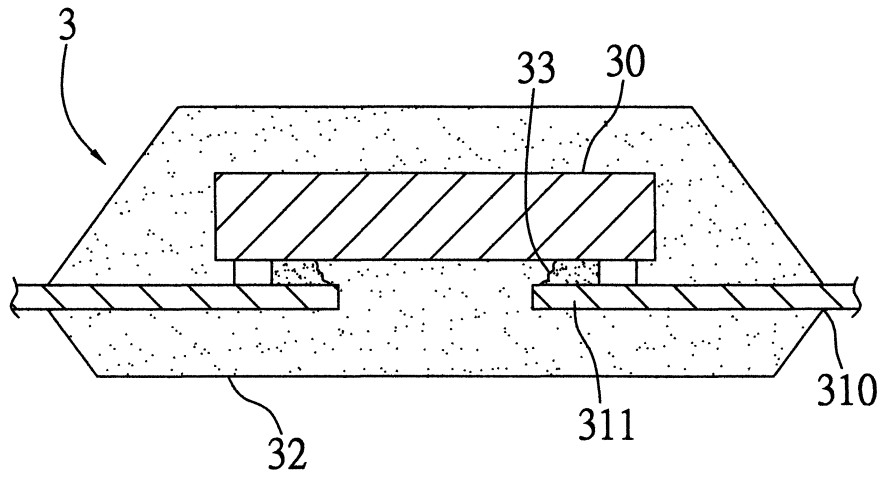
第 4A 圖



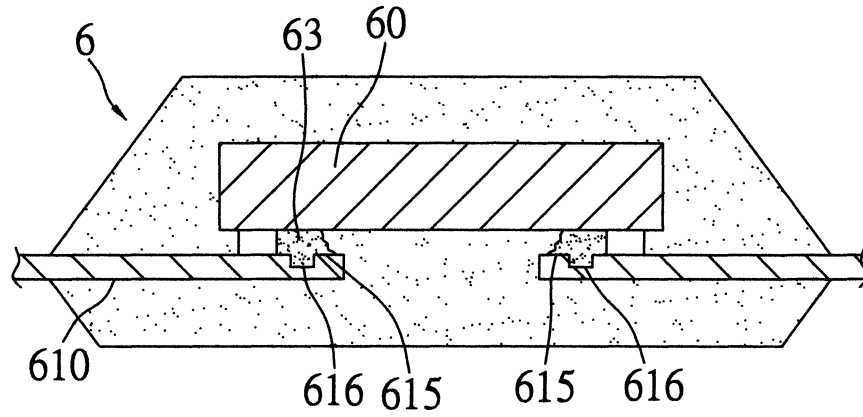
第 4B 圖



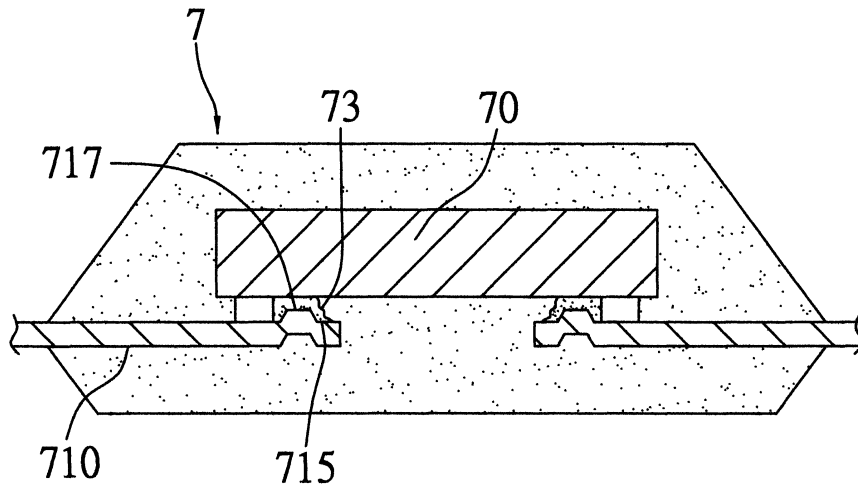
第 4C 圖



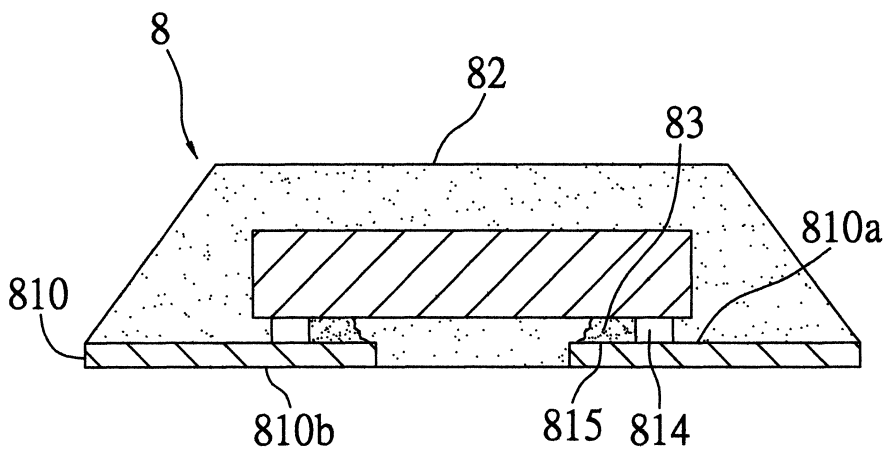
第 4D 圖



第 6 圖



第 7 圖



第 8 圖

六、申請專利範圍

1. 一種半導體封裝件，係包括：

至少一接置有複數個銲錫凸塊之晶片；

一具有複數個導腳之導線架，於各該導腳之適當處上並設置有一止擋件，以使該導腳之設置有該止擋件之表面上由該止擋件至導腳之端部間形成一銲接區，俾供該銲錫凸塊銲接至該銲接區上，而令該晶片電性連接至該導線架上；以及

一封裝膠體，用以包覆該晶片、銲錫凸塊、以及導腳之一部份。

2. 如申請專利範圍第1項之半導體封裝件，其中，該導線架之導腳係部分為該封裝膠體所包覆，而另一部分則外露出該封裝膠體，以由該導腳外露出封裝膠體之部份與外界裝置電性連接。

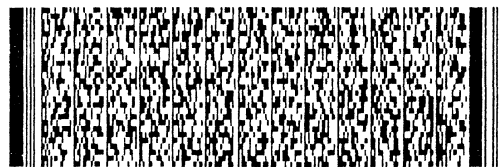
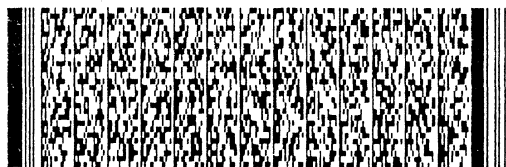
3. 如申請專利範圍第1項之半導體封裝件，其中，該導線架之導腳的底面係外露出該封裝膠體，以由該導腳外露之底面與外界裝置電性連接。

4. 如申請專利範圍第1項之半導體封裝件，其中，該止擋件為膠片。

5. 如申請專利範圍第1項之半導體封裝件，其中，該止擋件係一以印刷方式塗佈於該導腳上之以樹脂材料形成之攔壩。

6. 如申請專利範圍第1項之半導體封裝件，其中，該銲接區上復形成有至少一凹槽。

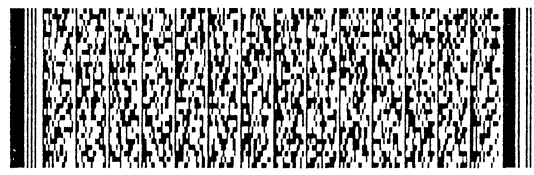
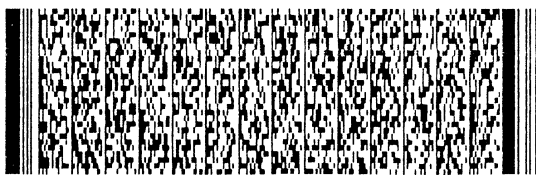
7. 如申請專利範圍第1項之半導體封裝件，其中，該銲接



六、申請專利範圍

區上復形成有至少一突起。

8. 如申請專利範圍第1項之半導體封裝件，其中，該鉍錫凸塊係以回鉍作業方式鉍接至該導腳之鉍接區上。
9. 一種半導體封裝件之製法，係包括下列步驟：
 - 準備一導線架，其具有複數個導腳；
 - 於該導腳之適當處上設置一止擋件，以在該導腳設有止擋件之表面上於該止擋件與導腳之端部間形成一鉍接區；
 - 接置一其上植設有多數鉍錫凸塊之晶片至該導線架上，使該鉍錫凸塊鉍接至對應之導腳的鉍接區上，以令該晶片藉該鉍錫凸塊與導線架電性連接；以及
 - 形成一封裝膠體以包覆該晶片、鉍錫凸塊、以及導腳之一部份。
10. 如申請專利範圍第9項之製法，其中，該導線架之導腳係部分為該封裝膠體所包覆，而另一部分則外露出該封裝膠體，以由該導腳外露出封裝膠體之部份與外界裝置電性連接。
11. 如申請專利範圍第9項之製法，其中，該導線架之導腳的底面係外露出該封裝膠體，以由該導腳外露之底面與外界裝置電性連接。
12. 如申請專利範圍第9項之製法，其中，該止擋件為膠片。
13. 如申請專利範圍第9項之製法，其中，該止擋件係一以印刷方式塗佈於該導腳上之以樹脂材料形成之攔壩。



六、申請專利範圍

14. 如申請專利範圍第9項之製法，其中，該銲接區上復形成有至少一凹槽。
15. 如申請專利範圍第9項之製法，其中，該銲接區上復形成有至少一突起。
16. 如申請專利範圍第9項之製法，其中，該銲錫凸塊係以回銲作業方式銲接至該導腳之銲接區上。

