



(12) 发明专利

(10) 授权公告号 CN 114761903 B

(45) 授权公告日 2024.06.28

(21) 申请号 202080084387.7

(22) 申请日 2020.11.27

(65) 同一申请的已公布的文献号  
申请公布号 CN 114761903 A

(43) 申请公布日 2022.07.15

(30) 优先权数据  
2019-221241 2019.12.06 JP

(85) PCT国际申请进入国家阶段日  
2022.06.06

(86) PCT国际申请的申请数据  
PCT/JP2020/044149 2020.11.27

(87) PCT国际申请的公布数据  
W02021/111994 JA 2021.06.10

(73) 专利权人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 山本精一

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 龚伟 王玉瑾

(51) Int.Cl.  
G05F 3/30 (2006.01)

(56) 对比文件  
US 2011095831 A1, 2011.04.28  
US 5808459 A, 1998.09.15

审查员 盛艳燕

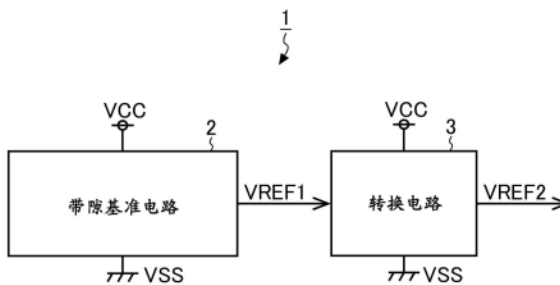
权利要求书1页 说明书7页 附图7页

(54) 发明名称

基准电压产生电路

(57) 摘要

一种基准电压产生电路(1)具备:产生取决于带隙基准电压和电源电压(VCC)的第一基准电压(VREF1)的带隙基准电路(2);以及将第一基准电压转换为第二基准电压(VREF2)的转换电路(3)。第二基准电压取决于带隙基准电压和接地电压(VSS)。接地电压低于电源电压。



1. 一种基准电压产生电路,其包括:  
带隙基准电路,其被配置为产生第一基准电压,所述第一基准电压取决于带隙基准电压和电源电压;以及  
转换电路,其被配置为将所述第一基准电压转换为第二基准电压,  
其中,  
所述第二基准电压取决于所述带隙基准电压和接地电压,并且  
所述接地电压低于所述电源电压,  
所述转换电路包括放大器,并且  
所述带隙基准电路的输出端和所述放大器的第一输入端连接在一起,其间没有任何电阻元件,  
所述转换电路还包括:  
第一晶体管,其位于被施加所述电源电压的第一施加端与所述放大器的第二输入端之间;以及  
第二晶体管,其位于所述放大器的所述第二输入端与被施加所述接地电压的第二施加端之间,  
所述第一晶体管的控制端连接至所述第一施加端,并且  
所述第二基准电压或所述第二基准电压的分压被提供给所述第二晶体管的控制端。
2. 根据权利要求1所述的基准电压产生电路,其中,  
所述第一晶体管的栅极长度和所述第二晶体管的栅极长度均大于所述放大器内的晶体管的栅极长度。
3. 根据权利要求2所述的基准电压产生电路,其中,  
所述第一晶体管的栅极长度和所述第二晶体管的栅极长度均为 $5\mu\text{m}$ 以上。
4. 根据权利要求2所述的基准电压产生电路,其中,  
所述第一晶体管的栅极长度和所述第二晶体管的栅极长度基本相等。
5. 根据权利要求3所述的基准电压产生电路,其中,  
所述第一晶体管的栅极长度和所述第二晶体管的栅极长度基本相等。
6. 根据权利要求1至5中任一项所述的基准电压产生电路,其中,  
所述转换电路还包括位于所述放大器的所述第二输入端与所述第二晶体管之间的第三晶体管,并且  
向所述第三晶体管的控制端提供偏置电压。
7. 一种半导体器件,其包括:  
根据权利要求1至6中任一项所述的基准电压产生电路。

## 基准电压产生电路

### 技术领域

[0001] 本发明涉及用于产生基准电压的基准电压产生电路。

### 背景技术

[0002] 已知称为带隙基准电路的基准电压产生电路(例如,参见下述专利文献1)。专利文献1中公开的基准电压产生电路产生的基准电压是以接地电压为基准的电压,是由带隙基准电压决定的电压。带隙基准电压是通过利用半导体的带隙电压而得到的电压。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开第2016-212837号公报(图3)

### 发明内容

[0006] 发明要解决的课题

[0007] 在具有图8所示的结构半导体器件中,如果功率晶体管是NDMOS晶体管(N型双扩散MOS晶体管),则施加到HVNW(高压N型阱)上的电压用作晶体管的输出电压,因此切换晶体管会导致施加到HVNW上的电压发生变化。通过电容耦合,电压变化作为噪声传播。

[0008] 在具有图9所示的结构半导体器件(与具有图8所示的结构半导体器件相同)中,如果功率晶体管是NDMOS晶体管,则当施加到HVNW上的电压由于例如再生电流而变为负的时,寄生集电极电流流过寄生晶体管PTR。

[0009] 为了防止基准电压产生电路受到上述的噪声或寄生电流的不利影响,需要将电源电压施加到所有HVNW上。不便地,专利文献1中公开的基准电压产生电路被配置成使得对应于放大器中的差动对晶体管的背栅极的HVNW和对应于二极管的阳极的HVNW不连接至电源电压。

[0010] 用于解决课题的手段

[0011] 根据本文公开的内容的一个方面,基准电压产生电路包括:被配置为产生第一基准电压的带隙基准电路,第一基准电压取决于带隙基准电压和电源电压;以及被配置为将第一基准电压转换为第二基准电压的转换电路。第二基准电压取决于带隙基准电压和接地电压,接地电压低于电源电压(第一构造)。

[0012] 在上述的第一构造的基准电压产生电路中,转换电路可以包括放大器,并且带隙基准电路的输出端和放大器的第一输入端连接在一起,其间没有任何电阻元件(第二构造)。

[0013] 在上述的第二构造的基准电压产生电路中,转换电路还可以包括:位于被施加电源电压的第一施加端与放大器的第二输入端之间的第一晶体管;以及位于放大器的第二输入端与被施加接地电压的第二施加端之间的第二晶体管。第一晶体的控制端可以连接至第一施加端,并且第二基准电压或者第二基准电压的分压可以被提供给第二晶体的控制端(第三构造)。

[0014] 在上述的第三构造的基准电压产生电路中,第一晶体管的栅极长度和第二晶体管的栅极长度可以均大于放大器内的晶体管的栅极长度(第四构造)。

[0015] 在上述的第四构造的基准电压产生电路中,第一晶体管的栅极长度和第二晶体管的栅极长度可以分别为 $5\mu\text{m}$ 以上(第五构造)。

[0016] 在上述的第四或第五构造的基准电压产生电路中,第一晶体管的栅极长度和第二晶体管的栅极长度可以基本相等(第六构造)。

[0017] 在上述的第三至第六构造中的任一种构造的基准电压产生电路中,转换电路还可以包括位于放大器的第二输入端与第二晶体管之间的第三晶体管,并且可以向第三晶体管的控制端提供偏置电压(第七构造)。

[0018] 根据本文公开的内容的另一方面,一种半导体器件包括上述的第一至第七构造中的任一种构造的基准电压产生电路(第八构造)。

[0019] 发明的效果

[0020] 根据本发明,能够提供一种能够避免噪声和寄生电流的不利影响的基准电压产生电路。

## 附图说明

[0021] 图1是表示根据一个实施方式的基准电压产生电路的图。

[0022] 图2是表示根据一个实施方式的基准电压产生电路的第一构造例的图。

[0023] 图3是表示根据一个实施方式的基准电压产生电路的第二构造例的图。

[0024] 图4是表示根据一个实施方式的基准电压产生电路的第三构造例的图。

[0025] 图5是表示第三构造例中的连接至运算放大器的非反相输入端的N沟道MOS晶体管的特性的图。

[0026] 图6是表示根据一个实施方式的基准电压产生电路的第四构造例的图。

[0027] 图7是具备根据一个实施方式的基准电压产生电路的半导体器件的示例的框图。

[0028] 图8是示意性表示半导体器件的结构的一个例子的立体剖视图。

[0029] 图9是示意性表示半导体器件的结构的一个例子的立体剖视图。

## 具体实施方式

[0030] 在本说明书中,MOS晶体管表示至少由以下三层组成的场效应晶体管:导电材料层或具有低电阻值的半导体(例如多晶硅)的层;绝缘层;以及P型、N型或本征半导体层。也就是说,MOS晶体管的栅极结构不限于由金属、氧化物和半导体组成的三层结构。在本说明书中,基准电压表示在理想条件下保持恒定并且实际上可能由于温度变化等而略有变化的电压。

[0031] <1. 根据一个实施方式的基准电压产生电路>

[0032] 图1是表示根据一个实施方式的基准电压产生电路的图。基准电压产生电路1包括带隙基准电路2和转换电路3。

[0033] 带隙基准电路2产生第一基准电压 $V_{REF1}$ 。第一基准电压 $V_{REF1}$ 取决于带隙基准电压和电源电压 $V_{CC}$ 。具体而言,第一基准电压 $V_{REF1}$ 是相对于电源电压 $V_{CC}$ 的电压,是由带隙基准电压决定的电压。带隙基准电压是通过利用半导体的带隙电压而得到的基准电压。

[0034] 转换电路3将第一基准电压VREF1转换为第二基准电压VREF2。第二基准电压VREF2取决于带隙基准电压和接地电压VSS。具体而言,第二基准电压VREF2是相对于接地电压VSS的电压,是由带隙基准电压决定的电压。接地电压VSS是低于电源电压VCC的电压。

[0035] 带隙基准电路2被配置为产生相对于电源电压VCC的第一基准电压VREF1。因此,用于形成带隙基准电路2的所有HVNW都可以连接至电源电压VCC。这使得可以避免噪声和寄生电流的不利影响。

[0036] 包括转换电路3的基准电压产生电路1可以产生第二基准电压VREF2,第二基准电压VREF2是相对于接地电压VSS的电压,同时避免了噪声和寄生电流的不利影响。由于第二基准电压VREF2是相对于接地电压VSS的电压,因此它可以广泛地用于其他电路中而没有任何限制。

[0037] <2. 第一构造例>

[0038] 图2是表示基准电压产生电路1的第一构造例的图。作为基准电压产生电路1的第一构造例,基准电压产生电路1A包括带隙基准电路2A和转换电路3A。带隙基准电路2A是图1中的带隙基准电路2的一个例子,转换电路3A是图1中的转换电路3的一个例子。

[0039] 带隙基准电路2A包括电阻器R1至R3(全部都是多晶硅电阻器)、NPN双极晶体管Q1和Q2以及运算放大器AMP1。NPN双极晶体管Q1和Q2分别连接成二极管以起到二极管的作用。

[0040] 运算放大器AMP1的第一电源端连接至电源电压VCC的施加端。运算放大器AMP1的第二电源端连接至接地电压VSS的施加端。

[0041] 电阻器R1的第一端和电阻器R2的第一端均连接至运算放大器AMP1的输出端。电阻器R1的第二端和NPN双极晶体管Q1的发射极均连接至运算放大器AMP1的非反相端(+)。电阻器R2的第二端和电阻器R3的第一端均连接至运算放大器AMP1的反相输入端(-)。电阻器R3的第二端连接至NPN双极晶体管Q2的发射极。NPN双极晶体管Q1和Q2各自的基极和集电极都连接至电源电压VCC的施加端。

[0042] 运算放大器AMP1的输出端是带隙基准电路2A的输出端。从运算放大器AMP1的输出端输出第一基准电压VREF1。

[0043] 转换电路3A包括电阻器R11至R14(全部都是多晶硅电阻器)、N沟道MOS晶体管Q11和运算放大器AMP11。转换电路3A是使用运算放大器AMP11的差动放大电路。

[0044] 运算放大器AMP11的第一电源端连接至电源电压VCC的施加端。运算放大器AMP11的第二电源端连接至接地电压VSS的施加端。

[0045] 电阻器R11的第一端是转换电路3A的输入端,并被提供第一基准电压VREF1。电阻器R11的第二端和电阻器R12的第一端均连接至运算放大器AMP11的反相输入端(-)。电阻器R12的第二端连接至运算放大器AMP11的输出端。电阻器R13的第一端连接至电源电压VCC的施加端。电阻器R13的第二端和电阻器R14的第一端均连接至运算放大器AMP11的非反相端(+)。电阻器R14的第二端连接至N沟道MOS晶体管Q11的漏极。N沟道MOS晶体管Q11的源极和背栅极连接至接地电压VSS的施加端。给N沟道MOS晶体管Q11的栅极提供栅极电压VSW,该栅极电压VSW是用于在导通和截止之间切换N沟道MOS晶体管Q11的信号。使N沟道MOS晶体管Q11截止允许切断转换电路3A中的稳定电流。

[0046] 运算放大器AMP11的输出端是基准电压产生电路1A的输出端。从运算放大器AMP11的输出端输出第二基准电压VREF2。

[0047] 如果假设电阻器R11和R13的电阻值都是 $r_1$ 并且电阻器R12和R14的电阻值都是 $r_2$ ,则从基准电压产生电路1A输出的第二基准电压VREF2由下面的式(1)给出。在式(1)中,BGR表示带隙基准电压。

$$[0048] \quad VREF2 \approx BGR \cdot r_2 / r_1 \quad (1)$$

[0049] 在基准电压产生电路1A中,在带隙基准电路2A的输出端与运算放大器AMP11的反相输入端(-)之间设置有电阻器R11。即,电阻器R11被设置作为被供应带隙基准电压BGR的负载。因此,基准电压产生电路1A在功耗方面有改进的余地。

[0050] <3. 第二构造例>

[0051] 图3是表示基准电压产生电路1的第二构造例的图。在图3中,在图2中找到对应部分的这些部分用相同的附图标记表示并且将不重复对它们的详细描述。作为基准电压产生电路1的第二构造例,基准电压产生电路1B包括带隙基准电路2A和转换电路3B。与上述的转换电路3A一样,转换电路3B是图1中的转换电路3的一个示例。

[0052] 转换电路3B包括运算放大器AMP21、电阻器R21和R22(都是多晶硅电阻器)以及P沟道MOS晶体管Q21。

[0053] 运算放大器AMP21的第一电源端连接至电源电压VCC的施加端。运算放大器AMP21的第二电源端连接至接地电压VSS的施加端。

[0054] 运算放大器AMP21的非反相端(+)是转换电路3B的输入端,并被提供第一基准电压VREF1。运算放大器AMP21的输出端连接至P沟道MOS晶体管Q21的栅极。电阻器R21的第一端连接至电源电压VCC的施加端和P沟道MOS晶体管Q21的背栅极。电阻器R21的第二端连接至运算放大器AMP21的反相输入端(-)和P沟道MOS晶体管Q21的源极。P沟道MOS晶体管Q21的漏极连接至电阻器R22的第一端。电阻器R22的第二端连接至接地电压VSS。

[0055] P沟道MOS晶体管Q21的漏极与电阻器R22的第一端之间的连接节点是基准电压产生电路1B的输出端。从P沟道MOS晶体管Q21的漏极与电阻器R22的第一端之间的连接节点输出第二基准电压VREF2。

[0056] 在运算放大器AMP21的假想接地条件下,给电阻器R21的第二端提供第一基准电压VREF1,并且电阻器R21两端的电位差等于带隙基准电压。因此,通过电阻器R21的电流值等于带隙基准电压除以电阻器R21的电阻值所得的值。因此,如果假设电阻器R21的电阻值为 $r_1$ 并且电阻器R22的电阻值为 $r_2$ ,则从基准电压产生电路1B输出的第二基准电压VREF2由下面的式(2)给出。在式(2)中,BGR表示带隙基准电压,ISUB表示通过基板的电流。

$$[0057] \quad VREF2 \approx r_2 \cdot ISUB + BGR \cdot r_2 / r_1 \quad (2)$$

[0058] 其中第二基准电压VREF2受到通过基板的电流ISUB的影响的基准电压产生电路1B在温度特性方面有改进的空间。

[0059] <4. 第三构造例>

[0060] 图4是表示基准电压产生电路1的第三构造例的图。在图4中,在图2中找到对应部分的这些部分用相同的附图标记表示并且将不重复对它们的详细描述。作为基准电压产生电路1的第三构造例,基准电压产生电路1C包括带隙基准电路2A和转换电路3C。与上述的转换电路3A和3B一样,转换电路3C是图1中的转换电路3的一个示例。

[0061] 转换电路3C包括N沟道MOS晶体管Q31和Q32、运算放大器AMP31以及电阻器R31和R32(都是多晶硅电阻器)。

[0062] 运算放大器AMP31的第一电源端连接至电源电压VCC的施加端。运算放大器AMP31的第二电源端连接至接地电压VSS的施加端。

[0063] 运算放大器AMP31的反相输入端(-)是转换电路3C的输入端,并被提供第一基准电压VREF1。N沟道MOS晶体管Q31的漏极和栅极连接至电源电压VCC的施加端。N沟道MOS晶体管Q31的源极和背栅极以及N沟道MOS晶体管Q32的漏极连接至运算放大器AMP31的非反相端(+)。N沟道MOS晶体管Q32的源极和背栅极连接至接地电压VSS。

[0064] 运算放大器AMP31的输出端是基准电压产生电路1C的输出端。从运算放大器AMP31的输出端输出第二基准电压VREF2。

[0065] 运算放大器AMP31的输出端连接至电阻器R31的第一端。电阻器R31的第二端连接至电阻器R32的第一端和N沟道MOS晶体管Q32的栅极。电阻器R32的第二端连接至接地电压VSS。这里,可以省略电阻器R31和R32,在这种情况下,运算放大器AMP31的输出端可以直接连接至N沟道MOS晶体管Q32的栅极。也就是说,可以给N沟道MOS晶体管Q32的栅极提供第二基准电压VREF2而不是第二基准电压VREF2的分压。

[0066] N沟道MOS晶体管Q31和N沟道MOS晶体管Q32串联连接,因此N沟道MOS晶体管Q31的漏极电流和N沟道MOS晶体管Q32的漏极电流相等。

[0067] 在基准电压产生电路1C中,N沟道MOS晶体管Q31和Q32具有图4所示的特性。具体而言,N沟道MOS晶体管Q31、Q32分别被配置为使得,在N沟道MOS晶体管的栅极-源极电压恒定的情况下,在饱和区域中,N沟道MOS晶体管的漏极电流大致是恒定的,与N沟道MOS晶体管的栅极-源极电压无关。此外,N沟道MOS晶体管Q31和Q32具有基本相同的特性。这导致后面给出的式(3)得到满足。

[0068] 为了使N沟道MOS晶体管Q31和Q32都可以具有图4所示的特性,使N沟道MOS晶体管Q31和Q32具有增加的沟道长度,并且具有基本相同的形状。例如,可以使N沟道MOS晶体管Q31和Q32的沟道长度大于运算放大器AMP31内的晶体管的栅极长度。虽然取决于第二基准电压VREF2所需的精度,例如,使N沟道MOS晶体管Q31和Q32各自具有5 $\mu\text{m}$ 以上的栅极长度将带来饱和区域中的N沟道MOS晶体管Q31和Q32的漏极电流之间的令人满意的基本均匀度,并因此带来令人满意的第二基准电压VREF2的精度。例如,N沟道MOS晶体管Q31和Q32可以具有基本相等的栅极长度。

[0069] 在运算放大器AMP31的假想接地条件下,给N沟道MOS晶体管Q31的源极提供第一基准电压VREF1,并且N沟道MOS晶体管Q31的栅极-源极电压等于带隙基准电压。另一方面,N沟道MOS晶体管Q32的栅极-源极电压是第二基准电压VREF2的分压。因此,如果假设电阻器R31的电阻值为r1并且电阻器R32的电阻值为r2,则从基准电压产生电路1C输出的第二基准电压VREF2由下面的式(3)给出。在式(3)中,BGR表示带隙基准电压。

$$[0070] \quad VREF2 \approx BGR \cdot (r1+r2)/r2 \quad (3)$$

[0071] <5. 第四构造例>

[0072] 图6是表示基准电压产生电路1的第四构造例的图。在图6中,在图4中找到对应部分的这些部分用相同的附图标记表示并且将不重复对它们的详细描述。作为基准电压产生电路1的第四构造例,基准电压产生电路1D包括带隙基准电路2A和转换电路3D。与上述的转换电路3A至3C一样,转换电路3D是图1中的转换电路3的一个示例。

[0073] 图6中的转换电路3D具有通过在图4的转换电路3C中增加N沟道MOS晶体管Q33得到

的结构。

[0074] N沟道MOS晶体管Q33设置在N沟道MOS晶体管Q31和Q32之间。N沟道MOS晶体管Q33的漏极连接至N沟道MOS晶体管Q31的源极和背栅极以及运算放大器AMP31的非反相端(+)。N沟道MOS晶体管Q33的源极和背栅极连接至N沟道MOS晶体管Q32的漏极。给N沟道MOS晶体管Q33的栅极提供预定的偏置电压VB。

[0075] 与图4中的转换电路3C相比,图6中的转换电路3D在N沟道MOS晶体管Q31和Q32中的每一个的漏极-源极电压的变化相对于电源电压VCC的变化更小的情况下操作。因此,与图4中的基准电压产生电路1C相比,图6中的基准电压产生电路1D改进了第二基准电压VREF2的稳定性。

[0076] 由于与图4中的转换电路3C相比,图6中的转换电路3D在N沟道MOS晶体管Q31和Q32中的每一个的漏极-源极电压的变化相对于电源电压VCC的变化更小的情况下操作,因此虽然取决于第二基准电压VREF2所需的精度,但是图6所示的基准电压产生电路1D可以被配置为使得N沟道MOS晶体管Q31和Q32不具有增加的沟道长度。

[0077] <6.应用>

[0078] 接下来,将描述先前描述的基准电压产生电路1的应用例。图7的(a)~(c)是表示具备基准电压产生电路1的半导体器件的示例的框图。除了基准电压产生电路1之外,图7的(a)中的半导体器件10A还包括D/A转换器11和A/D转换器12中的至少一个。D/A转换器11将数字信号DIN转换为模拟电压VOUT。从基准电压产生电路1输出的第二基准电压VREF2被供应给D/A转换器11的基准电压端。

[0079] A/D转换器12将模拟电压VIN转换为数字信号DOUT。从基准电压产生电路1输出的第二基准电压VREF2被供应给A/D转换器12的基准电压端。半导体器件10A例如可以是用于音频和其他应用的DSP(数字信号处理器)、微型计算机、ASIC(专用IC)或FPGA(现场可编程门阵列)。

[0080] 图7的(b)中的半导体器件10B是DC/DC转换器的控制电路。除了基准电压产生电路1之外,半导体器件10B还包括误差放大器13、脉冲调制器14和驱动器15。误差放大器13输出通过放大反馈电压VFB与第二基准电压VREF2之间的误差而产生的误差电压VERR,反馈电压VFB反映了DC/DC转换器的输出电压。脉冲调制器14产生具有反映从误差放大器13输出的误差电压VERR的占空比的脉冲信号SPWM。驱动器15基于脉冲信号SPWM驱动DC/DC转换器中的开关晶体管(未被示出)。DC/DC转换器可以采用任何拓扑结构和任何控制方法。

[0081] 半导体器件10B可以结合产生反馈电压VFB的电路和开关晶体管中的至少一个。

[0082] 图7的(c)中的半导体器件10C是线性调节器的控制电路。除了基准电压产生电路1之外,半导体器件10C还包括误差放大器16、输出晶体管17以及分压电阻器18和19。分压电阻器18和19产生反映线性稳压器的输出电压的反馈电压VFB。误差放大器16输出通过放大反馈电压VFB与第二基准电压VREF2之间的误差而产生的误差电压VERR,反馈电压VFB反映了DC/DC转换器的输出电压。根据误差电压VERR驱动输出晶体管17。

[0083] 产生反馈电压VFB的电路(即,分压电阻器18和19)和输出晶体管17中的至少一个可以设置在半导体器件10C之外。

[0084] 如上所述,基准电压产生电路1可以用于各种半导体器件。

[0085] <7.变形>



[0086] 在不脱离本发明的精神的情况下,可以通过除上述的实施方式之外的任何其他方式来实现本发明。上述的实施方式在各个方面都应被认为是说明性的而不是限制性的,并且本发明的技术范围不是由上面给出的实施方式的描述来限定,而是由所附权利要求的范围来限定,并且应被理解为包括任何在与权利要求等效的精神和范围内的变形。

[0087] 例如,优选的是,构成基准电压产生电路1的电路元件形成在被施加电源电压VCC的N型阱内。这样,可以相对于电源电压VCC的变化抑制带隙基准电压的变化。

[0088] 附图标记说明

[0089] 1、1A至1C 基准电压产生电路

[0090] 2 带隙基准电路

[0091] 3、3A至3C 转换电路

[0092] 10A至10C 半导体器件

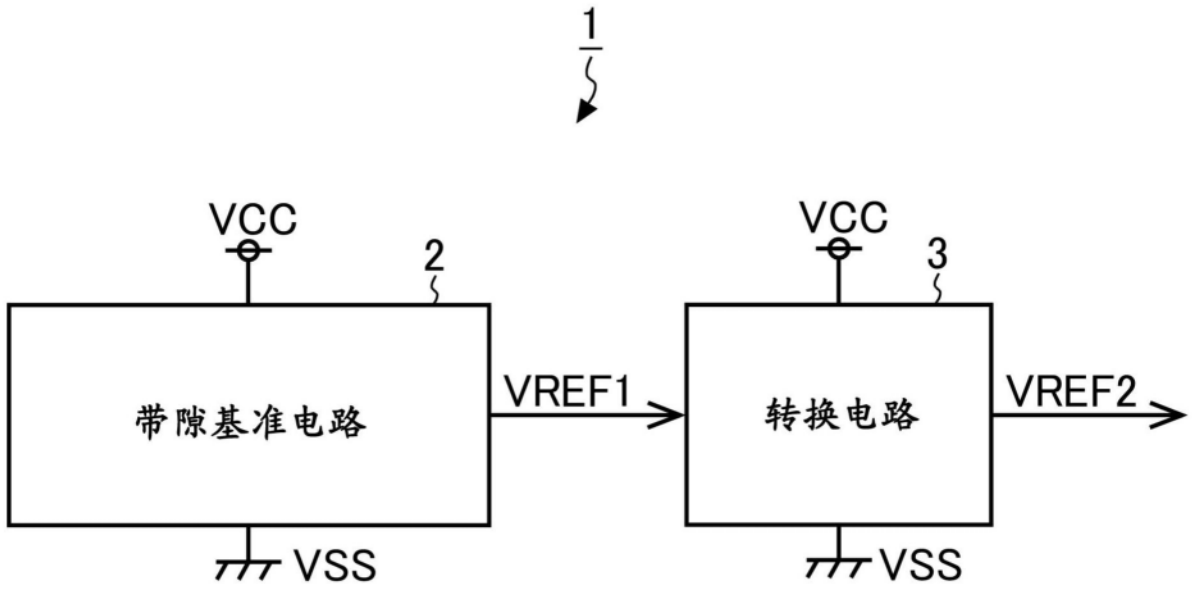


图1

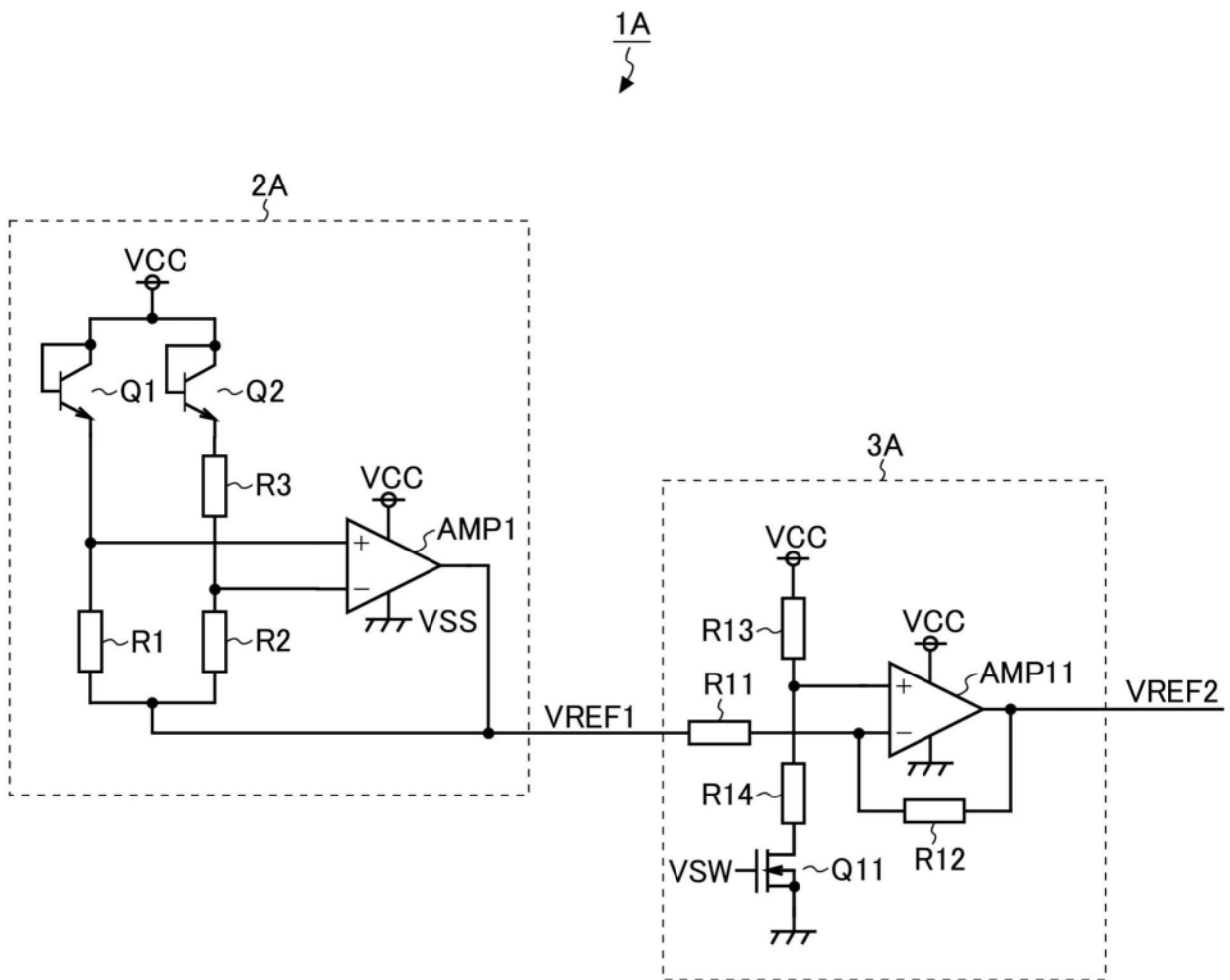


图2

1B  
↘

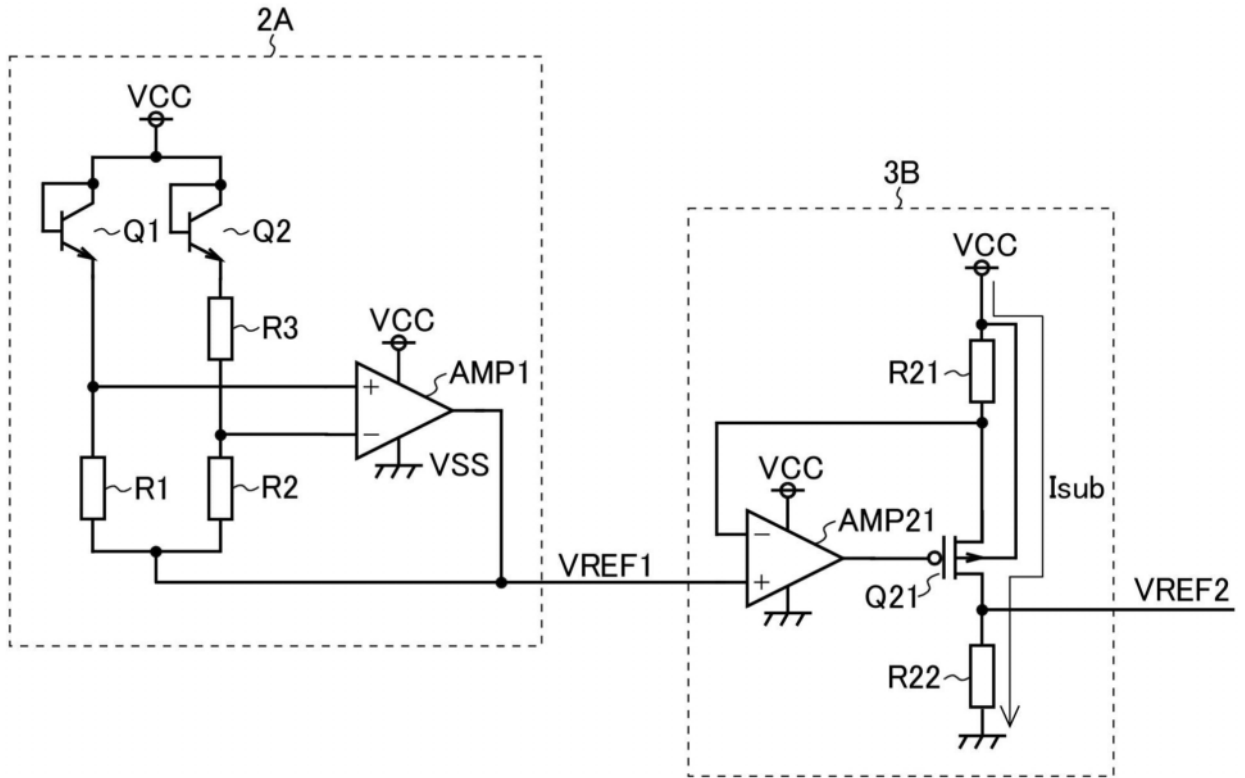


图3

1C  
↓

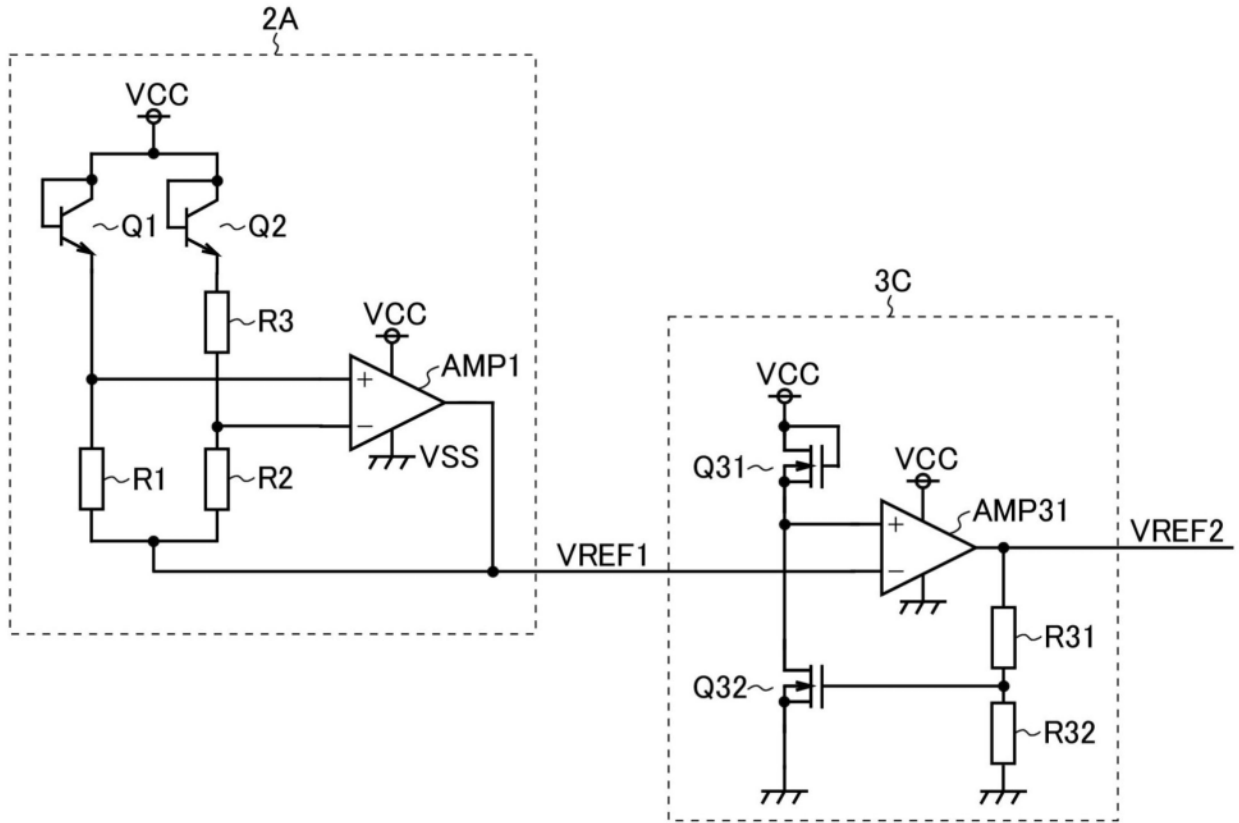


图4

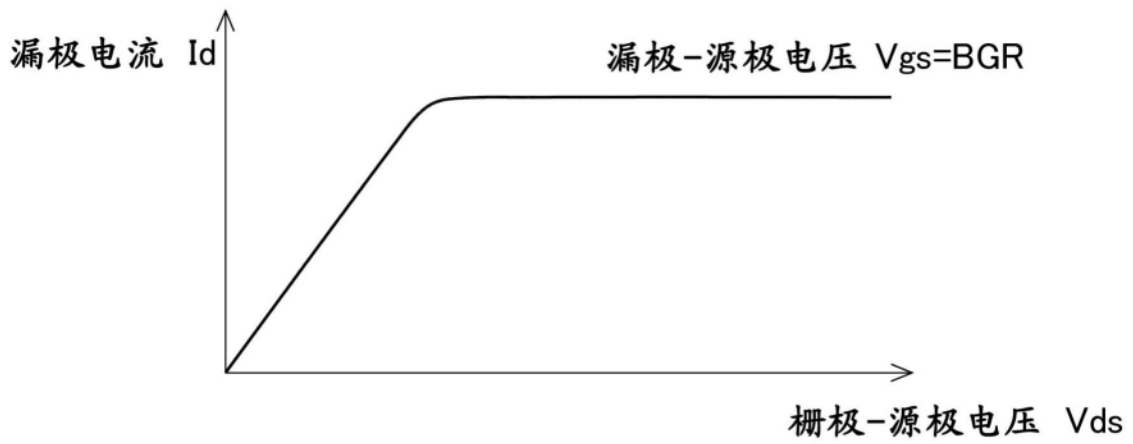


图5

1D  
↓

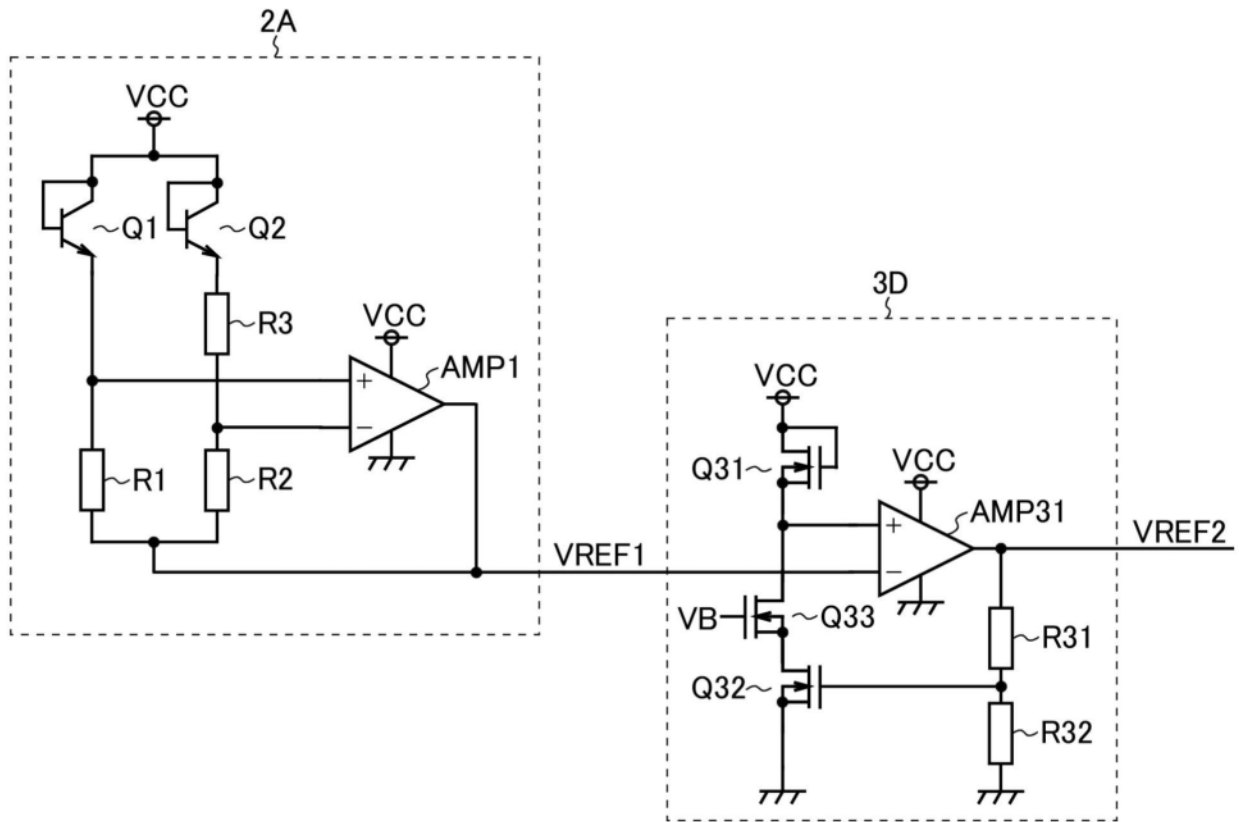


图6

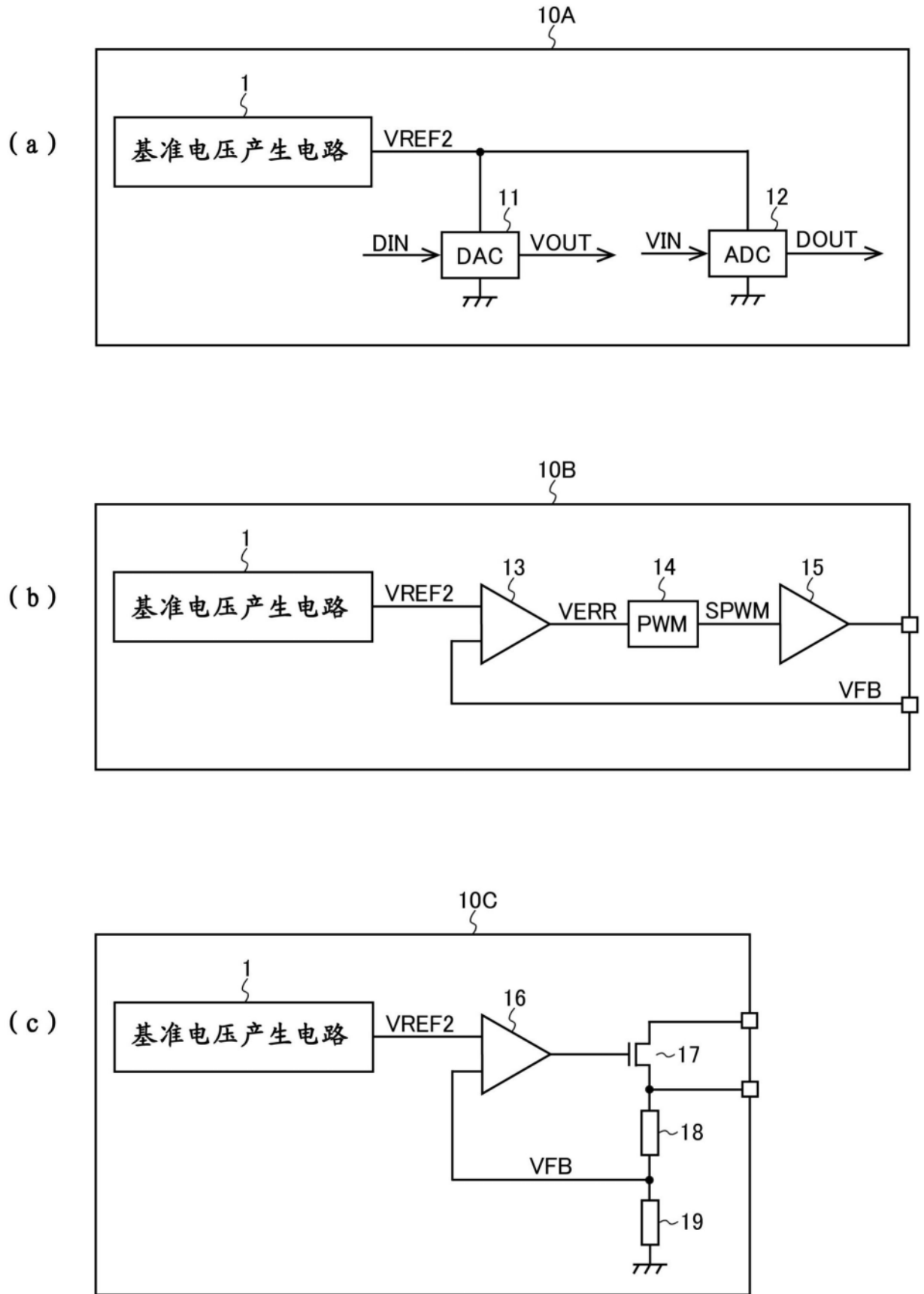


图7

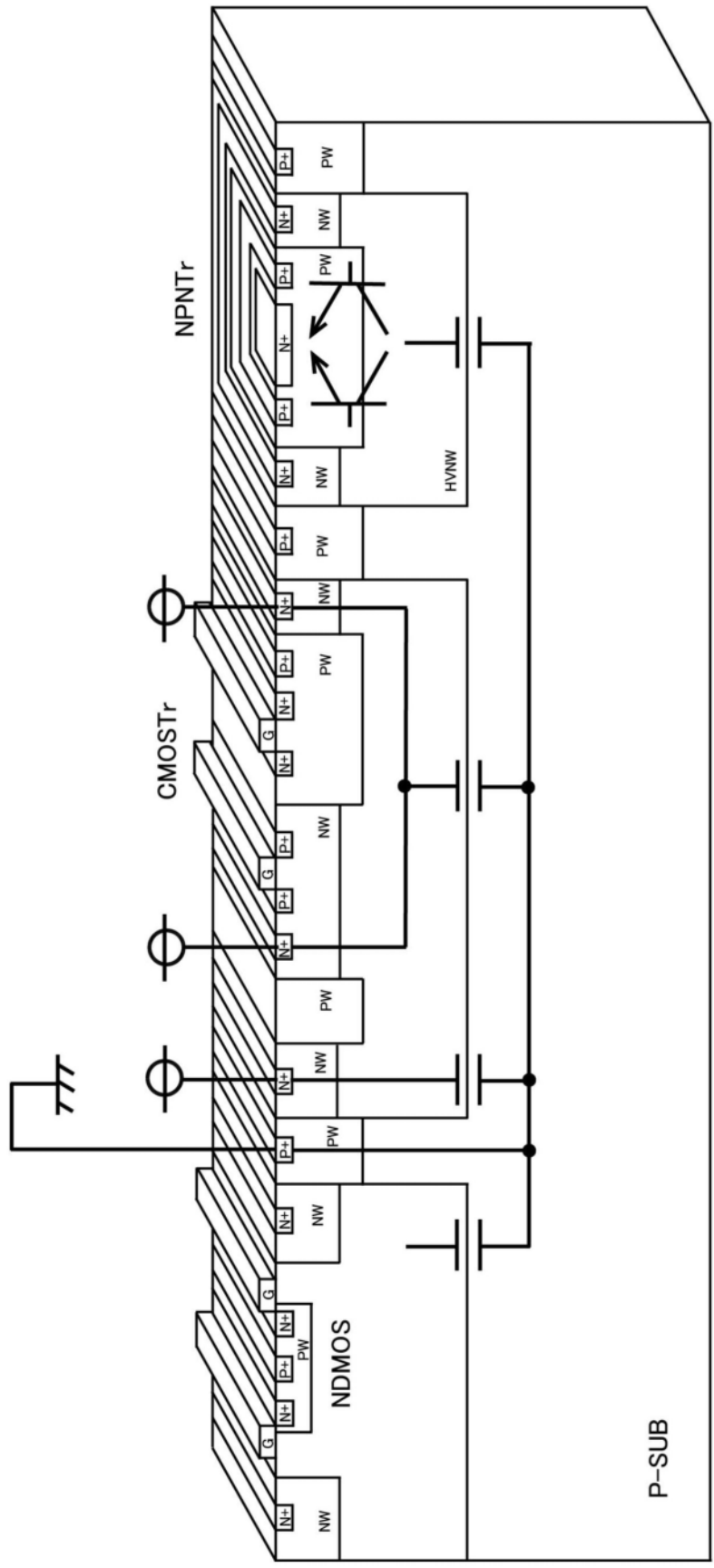


图8

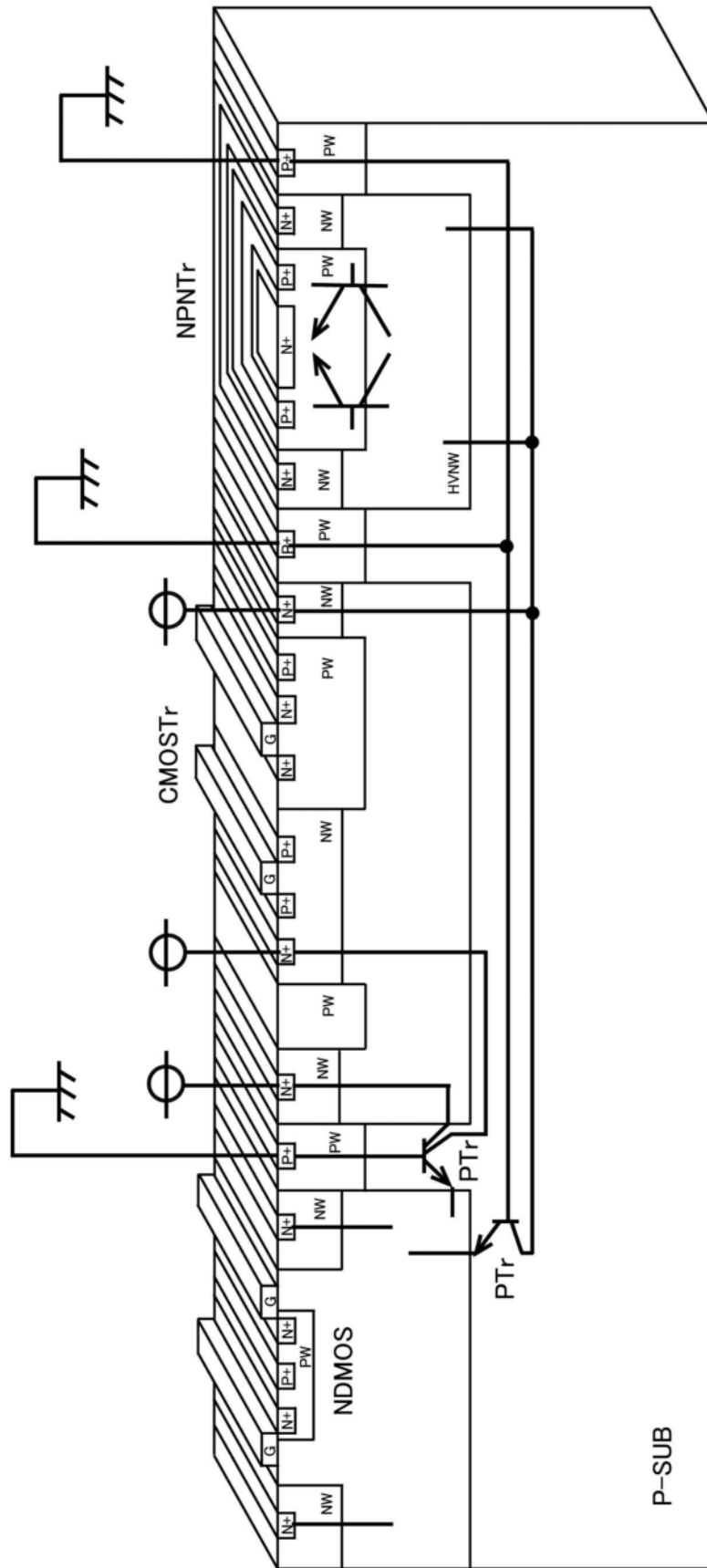


图9