



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0086856
 (43) 공개일자 2011년08월01일

- | | |
|---|---|
| <p>(51) Int. Cl.
 <i>H01L 23/48</i> (2006.01) <i>H01L 21/60</i> (2006.01)
 <i>H01L 23/12</i> (2006.01)</p> <p>(21) 출원번호 10-2011-7013721</p> <p>(22) 출원일자(국제출원일자) 2009년11월19일
 심사청구일자 없음</p> <p>(85) 번역문제출일자 2011년06월15일</p> <p>(86) 국제출원번호 PCT/JP2009/006232</p> <p>(87) 국제공개번호 WO 2010/061552
 국제공개일자 2010년06월03일</p> <p>(30) 우선권주장
 JP-P-2008-300113 2008년11월25일 일본(JP)</p> | <p>(71) 출원인
 스미토모 베이클리트 컴퍼니 리미티드
 일본국 도쿄 시나가와구 히가시시나가와 2초메 5-8</p> <p>(72) 발명자
 추마 도시아키
 일본 도쿄 시나가와구 히가시시나가와 2초메 5-8
 스미토모 베이클리트 컴퍼니 리미티드 내
 곤도 마사요시
 일본 도쿄 시나가와구 히가시시나가와 2초메 5-8
 스미토모 베이클리트 컴퍼니 리미티드 내
 (뒷면에 계속)</p> <p>(74) 대리인
 특허법인태평양</p> |
|---|---|

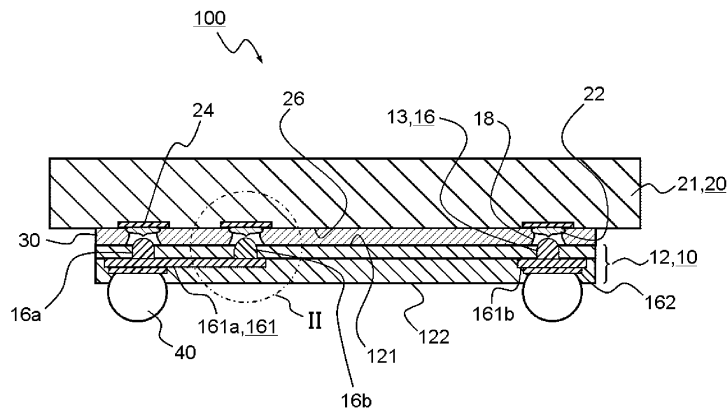
전체 청구항 수 : 총 11 항

(54) 전자 부품 패키지 및 전자 부품 패키지의 제조 방법

(57) 요약

전자 부품 패키지(100)는 회로 기판(10)과 전자 부품(20)과 접착층(30)을 포함한다. 회로 기판(10)은 기재(12)에 매설된 도전성의 도체 포스트(16)와 도체 포스트(16)의 선단부(13)에 기재(12)의 표면(121)으로부터 노출해서 마련된 뿔상층(18)을 구비하고 있다. 전자 부품(20)의 주면(26)에는 금속층(22)이 탑재된 전극 패드(24)가 마련되어 있다. 접착층(30)은 플럭스 활성 화합물을 함유하고, 기재(12)의 표면(121)과 전자 부품(20)의 주면(26)을 접합한다. 그리고, 금속층(22)과 뿔상층(18)은 금속 접합되어 있다.

대표도 - 도1



(72) 발명자

다나카 사토시

일본 도쿄 시나가와구 히가시시나가와 2쵸메 5-8
스미토모 베이클리트 컴퍼니 리미티드 내

가네마사 겐이치

일본 도쿄 시나가와구 히가시시나가와 2쵸메 5-8
스미토모 베이클리트 컴퍼니 리미티드 내

특허청구의 범위

청구항 1

기재와 상기 기재에 매설된 도전성의 도체 포스트와 상기 도체 포스트의 선단부에 상기 기재의 표면으로부터 노출해서 마련된 뿔납층(solder layer)을 구비하는 회로 기판과,

금속층이 탑재된 전극 패드가 주면(主面)에 마련된 전자 부품과,

플럭스 활성 화합물을 함유하고, 상기 기재의 상기 표면과 상기 전자 부품의 상기 주면을 접합하는 접착층을 포함하는 동시에,

상기 금속층과 상기 뿔납층이 금속 접합되어 있는 것을 특징으로 하는 전자 부품 패키지.

청구항 2

청구항 1에 있어서,

상기 뿔납층이 주석을 포함하고,

상기 금속층이 금, 니켈, 알루미늄 혹은 구리로부터 선택되는 적어도 1종의 금속, 또는 상기 금속을 포함하는 합금 혹은 주석을 함유하는 뿔납인 전자 부품 패키지.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 금속층이 상기 회로 기판을 향해 돌출하는 금속 스테드(stud)인 전자 부품 패키지.

청구항 4

청구항 3에 있어서,

상기 금속 스테드의 적어도 일부가 상기 뿔납층의 내부에 관입하고 있는 것을 특징으로 하는 전자 부품 패키지.

청구항 5

청구항 2에 있어서,

상기 금속층이 피막 모양으로 형성되어 있는 전자 부품 패키지.

청구항 6

청구항 1 내지 청구항 5 중 어느 한 항에 있어서,

상기 회로 기판이 플렉서블 기판인 전자 부품 패키지.

청구항 7

청구항 1 내지 청구항 6 중 어느 한 항에 있어서,

상기 회로 기판이 상기 도체 포스트와 전기적으로 접속된 복수의 배선층을 서로 적층해서 이루어지는 다층 기판인 전자 부품 패키지.

청구항 8

청구항 1 내지 청구항 7 중 어느 한 항에 있어서,

상기 전자 부품이 반도체 소자이며, 상기 회로 기판이 인터포저 기판인 전자 부품 패키지.

청구항 9

기재와 상기 기재에 매설된 도전성의 도체 포스트와 상기 도체 포스트의 선단부에 상기 기재의 표면으로부터 노

출해서 마련된 뿔납층을 구비하는 회로 기판을 준비하는 공정과,

금속층이 탑재된 전극 패드가 주면에 마련된 전자 부품을 준비하는 공정과,

플릭스 활성 화합물을 함유하는 접착층을 상기 회로 기판의 상기 표면 또는 상기 전자 부품의 상기 주면의 적어도 한쪽에 피착하여 상기 뿔납층 또는 상기 금속층을 피복하는 접착층 형성 공정과,

상기 도체 포스트와 상기 전극 패드를 대향시킨 상태로 상기 회로 기판과 상기 전자 부품을 가열 상태에서 압접(壓接)하여 상기 회로 기판과 상기 전자 부품을 상기 접착층에 의해 접합하는 동시에 상기 뿔납층과 상기 금속층을 위치 맞춤하는 위치 맞춤 공정과,

상기 뿔납층을 가열 용융해 이 뿔납층과 상기 금속층을 금속 접합하는 접합 공정을 포함하는 전자 부품 패키지의 제조 방법.

청구항 10

청구항 9에 있어서,

상기 접합 공정에서 상기 금속층의 적어도 일부를 상기 뿔납층의 내부에 관입시키는 것을 특징으로 하는 전자 부품 패키지의 제조 방법.

청구항 11

청구항 9 또는 청구항 10에 있어서,

상기 접합 공정에서 상기 전자 부품과 상기 회로 기판을 접합해서 이루어지는 전자 부품 패키지를 개편화하는 다이싱 공정과,

상기 회로 기판에 대해서 실장용 뿔납 범프를 탑재하는 공정을 추가로 포함하는 전자 부품 패키지의 제조 방법.

명세서

기술분야

[0001] 본 발명은 전자 부품 패키지 및 전자 부품 패키지의 제조 방법에 관한 것이다.

배경기술

[0002] 근래의 전자기기의 고기능화 및 경량 박형화의 요구에 수반해 전자 부품의 고밀도 집적화 및 고밀도 실장화가 진행되고 있다.

[0003] 이런 종류의 기술에 관해 하기 특허문헌 1에는 인터포저 기판으로부터 돌출된 도체 포스트의 표면에 금 또는 니켈의 도금층을 마련하고, 이러한 도체 포스트와 반도체 칩에 형성된 전극 패드를 접합해서 이루어지는 반도체 패키지의 발명이 기재되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개 2008-153482호 공보

발명의 내용

해결하려는 과제

[0005] 그렇지만, 상기 특허문헌에 기재된 반도체 패키지에 있어서는 도체 포스트와 전극 패드의 접합성이 충분하지 않

아 추가적인 개량이 요망되고 있었다.

[0006] 본 발명은 이러한 사정을 감안해 이루어진 것으로, 전자 부품의 고밀도 실장을 실현하는 동시에 전자 부품의 전극 패드와 회로 기판이 높은 접합력으로 일체화된 전자 부품 패키지 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 전자 부품 패키지는 기재와 상기 기재에 매설된 도전성의 도체 포스트와 상기 도체 포스트의 선단부에 상기 기재의 표면으로부터 노출해서 마련된 뿔납층(solier layer)을 구비하는 회로 기판과,

[0008] 금속층이 탑재된 전극 패드가 주면(主面)에 마련된 전자 부품과,

[0009] 플럭스 활성화 화합물을 함유하고, 상기 기재의 상기 표면과 상기 전자 부품의 상기 주면을 접합하는 접착층을 포함하는 동시에,

[0010] 상기 금속층과 상기 뿔납층이 금속 접합되어 있는 것을 특징으로 한다.

[0011] 또 본 발명의 전자 부품 패키지에 있어서는 보다 구체적인 실시 태양으로서 상기 뿔납층이 주석을 포함하고,

[0012] 상기 금속층이 금, 니켈, 알루미늄 혹은 구리로부터 선택되는 적어도 1종의 금속, 또는 상기 금속을 포함하는 합금 혹은 주석을 함유하는 뿔납이어도 된다.

[0013] 또 본 발명의 전자 부품 패키지에 있어서는 보다 구체적인 실시 태양으로서 상기 회로 기판이 플렉서블 기판이어도 된다.

[0014] 본 발명의 전자 부품 패키지의 제조 방법은 기재와 상기 기재에 매설된 도전성의 도체 포스트와 상기 도체 포스트의 선단부에 상기 기재의 표면으로부터 노출해서 마련된 뿔납층을 구비하는 회로 기판을 준비하는 공정과,

[0015] 금속층이 탑재된 전극 패드가 주면에 마련된 전자 부품을 준비하는 공정과,

[0016] 플럭스 활성화 화합물을 함유하는 접착층을 상기 회로 기판의 상기 표면 또는 상기 전자 부품의 상기 주면의 적어도 한쪽에 피착하여 상기 뿔납층 또는 상기 금속층을 피복하는 접착층 형성 공정과,

[0017] 상기 도체 포스트와 상기 전극 패드를 대향시킨 상태로 상기 회로 기판과 상기 전자 부품을 가열 상태에서 압접(壓接)하여 상기 회로 기판과 상기 전자 부품을 상기 접착층에 의해 접합하는 동시에 상기 뿔납층과 상기 금속층을 위치 맞춤하는 위치 맞춤 공정과,

[0018] 상기 뿔납층을 가열 용융해 이 뿔납층과 상기 금속층을 금속 접합하는 접합 공정을 포함한다.

[0019] 또한, 본 발명의 전자 부품 패키지의 제조 방법은 복수의 공정을 순서대로 기재하고 있지만, 명시된 경우를 제외하고 그 기재된 순서는 복수의 공정을 실행하는 순서를 반드시 한정하는 것은 아니다. 이 때문에, 본 발명의 전자 부품 패키지의 제조 방법을 실시할 경우에는 그 복수의 공정 순서는 내용적으로 지장이 없는 범위에서 변경할 수 있다.

[0020] 나아가 본 발명의 전자 부품 패키지의 제조 방법은 복수의 공정이 개별적으로 서로 상이한 타이밍으로 실행되는 것에 한정되지 않는다. 이 때문에, 어느 공정 실행중에 다른 공정이 발생하는 것, 어느 공정의 실행 타이밍과 다른 공정의 실행 타이밍의 일부 내지 전부가 중복하고 있는 것 등이어도 된다.

발명의 효과

[0021] 본 발명의 전자 부품 패키지는 도체 포스트가 마련된 회로 기판의 이면층을 실장면으로 할 수 있기 때문에 실장면에 대한 고밀도 실장이 가능하다.

[0022] 그리고 본 발명에 의하면, 회로 기판과 전자 부품을 접합하는 접착층이 플럭스 활성화 화합물을 함유하고 있음으로 인해 뿔납층과 금속층의 표면은 상기 화합물에 의해 환원되어 산화막이 형성되는 일이 없다. 이 때문에, 뿔납층과 금속층은 양호하게 금속 접합해 도체 포스트와 전극 패드가 높은 접합 강도로 일체화된다.

도면의 간단한 설명

- [0023] 상술한 목적 및 그 외의 목적, 특징 및 이점은 이하에 설명하는 바람직한 실시 형태, 및 거기에 부수하는 이하의 도면에 의해 더욱 명백해진다.
 도 1은 본 발명의 제 1 실시 형태의 전자 부품 패키지의 일례를 나타내는 적층 단면도이다.
 도 2는 도 1에서 원 II로 나타내는 영역의 확대도이다.
 도 3은 제 1 실시 형태의 변형예에 관한 전자 부품 패키지의 적층 단면도이다.
 도 4의 (a) 내지 (f)는 제 1 준비 공정을 나타내는 공정 단면도이다.
 도 5의 (a)는 회로 기판에 접착층 형성 공정을 실시한 상태를 나타내는 단면도, (b)는 위치 맞춤 공정을 나타내는 단면도, (c)는 접합 공정을 나타내는 단면도, (d)는 범프 탑재 공정을 나타내는 단면도이다.
 도 6의 (a) 내지 (d)는 전자 부품 패키지의 제조 방법의 제 1 변형예에 관한 공정 단면도이다.
 도 7의 (a) 내지 (d)는 전자 부품 패키지의 제조 방법의 제 2 변형예에 관한 공정 단면도이다.
 도 8은 제 2 실시 형태에 관한 전자 부품 패키지의 도체 포스트 근방에 관한 확대 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 본 발명의 실시 형태를 도면에 근거해 설명한다. 또한, 모든 도면에 있어서 동일한 구성 요소에는 동일한 부호를 붙여 적절히 설명을 생략한다.
- [0025] <제 1 실시 형태>
- [0026] (전자 부품 패키지)
- [0027] 도 1은 본 발명의 제 1 실시 형태의 전자 부품 패키지(100)의 일례를 나타내는 적층 단면도이다.
- [0028] 도 2는 도 1에서 원 II로 나타내는 영역의 확대도이다.
- [0029] 처음에, 본 실시 형태의 전자 부품 패키지(100)의 개요에 대해서 설명한다.
- [0030] 본 실시 형태의 전자 부품 패키지(100)는 회로 기판(10)과 전자 부품(20)과 접착층(30)을 포함한다.
- [0031] 회로 기판(10)은 기재(12)와 기재(12)에 매설된 도전성의 도체 포스트(16)와 도체 포스트(16)의 선단부(13)에 기재(12)의 표면(121)으로부터 노출해서 마련된 뿔납층(18)을 구비한다.
- [0032] 전자 부품(20)은 금속층(22)이 탑재된 전극 패드(24)가 주면(26)에 마련되어 있다.
- [0033] 접착층(30)은 플럭스 활성 화합물을 함유하고, 기재(12)의 표면(121)과 전자 부품(20)의 주면(26)을 접합한다.
- [0034] 그리고, 본 실시 형태의 전자 부품 패키지(100)는 금속층(22)과 뿔납층(18)이 금속 접합되어 있다.
- [0035] 다음에, 본 실시 형태의 전자 부품 패키지(100)에 대해서 상세하게 설명한다.
- [0036] 전자 부품(20)으로는 트랜지스터 등의 반도체 소자 외에 저항 소자나 콘덴서를 이용할 수 있다. 보다 구체적으로는 본 실시 형태에 이용되는 전자 부품(20)은 반도체 소자이고, 회로 기판(10)은 인터포저 기판이다.
- [0037] 반도체 소자인 전자 부품(20)은 칩 기판(21)의 내부에 반도체 회로가 형성되고, 한쪽 측(도 1, 2에서의 아래쪽 측)의 주면(26)에 노출하여 복수의 금속제 전극 패드(24)가 분산되어서 마련되어 있다.
- [0038] 그리고, 전자 부품(20)은 페이스다운 방식에 의해 회로 기판(10)에 탑재되어 있다.
- [0039] 본 실시 형태의 회로 기판(10)은 플렉서블 기판이다.
- [0040] 인터포저 기판인 회로 기판(10)은 절연성 기재(12)를 주체로 하여 구성되어 있다.
- [0041] 기재(12)를 구성하는 재료로는 섬유 기재 또는 수지 필름 등을 들 수 있다.
- [0042] 섬유 기재로는 예를 들면 유리 직포, 유리 부직포 등의 유리 섬유 기재, 또는 유리 이외의 무기 화합물을 성분으로 하는 직포 혹은 부직포 등의 무기 섬유 기재, 방향족 폴리이미드 수지, 폴리이미드 수지, 방향족 폴리에스테르 수지, 폴리에스테르 수지, 폴리이미드 수지, 불소 수지 등의 유기 섬유로 구성되는 유기 섬유 기재를 들

수 있다.

- [0043] 또, 수지 필름 기재로는 예를 들면 폴리이미드 수지 필름, 폴리에테르이미드 수지 필름, 폴리이미드이미드 수지 필름 등의 폴리이미드 수지계 수지 필름, 폴리이미드 수지 필름 등의 폴리이미드 수지계 필름, 폴리에스테르 수지 필름 등의 폴리에스테르 수지계 필름을 들 수 있다. 이들 중에서도 주로 폴리이미드 수지계 필름이 바람직하다. 이에 의해, 탄성률과 내열성이 특히 향상되어 양호한 미세 레이저 가공성을 얻을 수 있다.
- [0044] 또한, 기재(12)에는 미세 입경의 무기 필러(나노 필러)를 함유시켜도 된다.
- [0045] 기재(12)의 두께는 특별히 한정되지 않고, 예를 들면 5~125 μm 로 할 수 있다. 특히, 12.5~100 μm 로 함으로써 기재(12)의 면직 방향의 굴곡성과 면내 방향의 신축성이 양호하게 얻어진다.
- [0046] 기재(12)의 면내 방향의 치수는 특별히 한정되지 않고, 전자 부품(20)의 주면(26)보다도 작아도, 주면(26)과 동일한 치수여도, 또는 주면(26)보다도 커도 된다. 도 1에서는 기재(12)의 표면(121) 면적이 이것에 대항하는 전자 부품(20)의 주면(26)보다도 작아 기재(12)의 형성 영역이 주면(26)의 형성 영역에 포함 되는 모양을 예시하고 있다.
- [0047] 기재(12)에는 전자 부품(20)의 전극 패드(24)에 대항하는 위치에 이것을 관통하는 비아 홀(125)(도 4를 참조)이 형성되어 있다. 비아 홀(125)의 내부에는 도체 포스트(16)가 형성되어 있다. 이에 의해, 도체 포스트(16)는 기재(12)에 매설되어 있다.
- [0048] 도체 포스트(16)에는 금속 재료를 이용할 수 있다. 이러한 금속 재료로는 예를 들면 구리, 알루미늄, 인듐 혹은 주석 등의 금속 또는 이들의 합금을 이용할 수 있다. 도체 포스트(16)는 페이스트 또는 전해 도금법에 의해서 제작할 수 있다.
- [0049] 도체 포스트(16)의 선단부(13)는 기재(12)의 내부에 마련되어도 되고, 또는 기재(12)의 표면(121)과 면일(面一) 혹은 표면(121)으로부터 돌출해서 마련되어도 된다.
- [0050] 본 실시 형태에서는 도체 포스트(16)의 선단부(13)는 기재(12) 표면(121)으로부터 위쪽에, 즉 전자 부품(20)을 향해 돌출되어 있다.
- [0051] 도체 포스트(16)의 선단부(13)에는 그 일부 또는 전부를 덮도록 뿔납층(18)이 마련되어 있다. 뿔납층(18)은 기재(12) 표면(121)으로부터 노출되어 있다.
- [0052] 또한, 뿔납층(18)은 기재(12) 표면(121)과 면일로 마련되어도, 표면(121)으로부터 돌출해서 마련되어도 된다. 본 실시 형태에서는 뿔납층(18)은 도체 포스트(16)의 선단부(13)와 함께 기재(12) 표면(121)으로부터 돌출되어 있다.
- [0053] 전자 부품(20)의 전극 패드(24)는 도체 포스트(16)의 뿔납층(18)을 이용하여, 일대일 관계로 전기적으로 접속되는 플립칩 본딩에 의해 실장되어 있다.
- [0054] 또한, 도체 포스트(16)의 선단부(13) 표면에는 뿔납층(18)의 하지층으로서 도체 포스트(16)와는 이종의 금속 재료를 적층해 마련해도 된다. 구체적으로는 도체 포스트(16)를 구리로 했을 경우, 선단부(13)에 예를 들면, 니켈 도금층 또는 알루미늄 도금층을 형성해도 된다. 이에 의해, 뿔납층(18) 형성시에 이러한 하지층과 뿔납층(18)의 계면에 합금이 형성되기 때문에 도체 포스트(16)에 대한 뿔납층(18)의 밀착성이 향상되어 뿔납층(18)의 확산이 방지된다.
- [0055] 인터포저 기관인 회로 기관(10)은 그 표면 또는 내부에 배선층이 단층으로 형성된 단층 기관이어도 되고, 또는 배선층이 다층으로 형성된 다층 배선 기관이어도 된다.
- [0056] 본 실시 형태의 회로 기관(10)은 도 2에 나타내는 바와 같이, 기재(12)는 도체 포스트(16)가 관통해서 마련된 표면 기재(12a)와 그 이면측(도 1, 2에서의 아래쪽 측)에 접합된 이면 기재(12b)를 조합한 단층 기관이다.
- [0057] 회로 기관(10)의 내부에는 도체 포스트(16)와 전기적으로 접속된 전극부(161)가 형성되어 있다. 본 실시 형태의 경우, 하나 또는 복수의 도체 포스트(16)가 전극부(161)에 의해 접속되어 있다. 보다 구체적으로는 도 1의 왼쪽에 나타내는 전극부(161)(전극부(161a))에는 2개의 도체 포스트(16)가 접속되어 있고, 도 1의 오른쪽에 나타내는 전극부(161)(전극부(161b))에는 하나의 도체 포스트(16)가 접속되어 있다.
- [0058] 회로 기관(10)의 이면(122)의 측에는 전극부(161)에 접합된 볼 패드(162)가 마련되어 있다. 그리고, 볼 패드(162)에는 뿔납 범프(40)가 탑재되어 있다.

- [0059] 이에 의해, 도체 포스트(16) 및 뿔납층(18)은 뿔납 범프(40)와 도통하고 있다.
- [0060] 즉, 본 실시 형태의 회로 기관(10)은 본딩 와이어를 경유하지 않고 도체 포스트(16)가 볼 패드(162)에 접속되어 있다.
- [0061] 전자 부품 패키지(100)의 면내 방향에서의 뿔납 범프(40)와 도체 포스트(16)의 위치 관계는 특별히 한정되지 않는다. 도 1에 나타내는 본 실시 형태의 경우, 전극부(161a)에서는 일부의 도체 포스트(16)(도체 포스트(16a))와 뿔납 범프(40)는 면내 방향(도 1 좌우 방향)으로 서로 겹쳐져 있고, 다른 도체 포스트(16)(도체 포스트(16b))와 뿔납 범프(40)는 서로 오프셋되어 있다.
- [0062] 또한, 본 실시 형태의 변형예로서 회로 기관(10)의 기재(12)에 다층 배선 기관을 이용했을 경우의 전자 부품 패키지(100)의 적층 단면도를 도 3에 나타낸다.
- [0063] 본 변형예의 전자 부품 패키지(100)는 회로 기관(10)이 도체 포스트(16)와 전기적으로 접속된 복수의 배선층(163, 164)을 서로 적층해서 이루어지는 다층 기관이다. 보다 구체적으로는 수지 재료로 이루어진 기재(12)의 내부에 도전성의 배선층(163, 164)이 다층으로 형성되어 있다. 배선층은 3층 이상으로 형성해도 된다.
- [0064] 배선층끼리는 소정의 적층 간격으로 이간되어 형성되어 도전성의 비아(165)에 의해 전기적으로 접속되어 있다.
- [0065] 배선층(164) 및 비아(165)는 전극부(161)와 마찬가지로 구리나 알루미늄 등의 금속 재료로 이루어진다. 비아(165)는 일례로서 도금 성장법에 의해 형성할 수 있다.
- [0066] 본 건 변형예에 있어서, 배선층(163)은 전극부(161)와 동일 재료에 의해 동일한 층에 형성되어 있다.
- [0067] 도 3에 나타내는 바와 같이, 전극부(161)와 배선층(164)은 비아(166)에 의해서 서로 전기적으로 접속되어 있어도 된다.
- [0068] 뿔납 범프(40)를 탑재하기 위한 볼 패드(162)(볼 패드(162a))는 배선층(164)과 동일한 층에 형성된 패드(168)의 표면에 형성되어도 된다. 패드(168)와 전극부(161)는 비아(167)에 의해서 서로 전기적으로 접속되어 있다. 또, 볼 패드(162)(볼 패드(162b))는 패드(168)를 개재시키지 않고 비아(167)의 단면에 대해서 직접 형성해도 된다. 즉, 볼 패드(162)는 볼 패드(162a) 및 패드(168)와 같이 다층으로 형성해도 되고, 또는 볼 패드(162b)와 같이 단층으로 형성해도 된다.
- [0069] 비아(166, 167)는 비아(165)와 동일한 방법으로 형성할 수 있다.
- [0070] 뿔납 범프(40)는 대략 구상을 이루고 있다. 뿔납 범프(40)는 실장 기관(도시하지 않음)에 대해서 전자 부품 패키지(100)를 실장하기 위한 부재이다.
- [0071] 본 실시 형태의 전자 부품 패키지(100)의 경우, 도체 포스트(16) 및 전극부(161)는 철, 알루미늄, 스테인레스 또는 구리 등의 금속 재료로 이루어진다. 이 중, 전기 특성의 면으로부터 구리가 바람직하다.
- [0072] 또, 본 실시 형태의 경우, 볼 패드(162)는 금으로 이루어진다.
- [0073] 전자 부품(20)의 전극 패드(24)에 탑재되는 금속층(22)은 본 실시 형태의 경우, 회로 기관(10)을 향해 돌출하는 금속 스타드(stud)(22a)(도 5를 참조)이다.
- [0074] 보다 구체적으로는 금속 스타드(22a)는 압정 형상을 이루고, 전극 패드(24)의 면직 방향으로 돌출하는 돌기부(23)를 가지고 있다.
- [0075] 금속 스타드(22a)는 용융된 금 와이어를 전극 패드(24)에 접합해 형성할 수 있다.
- [0076] 본 실시 형태의 금속층(22)(금속 스타드(22a))의 적어도 일부는 뿔납층(18)의 내부에 관입(貫入)되어 있다.
- [0077] 뿔납층(18)에 대한 금속층(22)의 관입 깊이는 특별히 한정되는 것은 아니다. 도 2에서는 금속층(22)이 뿔납층(18)의 중간 깊이까지 관입하여 도체 포스트(16)의 선단부(13)와 금속층(22)의 돌기부(23)가 서로 비접촉인 상태를 나타내고 있다. 단, 본 발명에서는 돌기부(23)가 도체 포스트(16)의 선단부(13)에 도달하는 깊이까지 금속층(22)을 뿔납층(18)에 완전히 관입시켜도 된다. 후술하는 바와 같이, 금속층(22)과 도체 포스트(16)를 서로 접촉시킨 상태에서 뿔납층(18)에 의해 양자를 고정함으로써 회로 기관(10)과 전자 부품(20)의 두께 방향의 거리에 관한 재현성이 향상된다.
- [0078] 그리고, 뿔납층(18)은 돌기부(23)를 포함하는 금속 스타드(22a) 표면의 거의 전체에 대해서 금속 접합되어

있다.

- [0079] 뱀납층(18) 및 금속층(22)은 금속 또는 합금 재료로 이루어지고, 구체적인 성분은 한정되는 것은 아니다. 본 실시 형태의 경우, 뱀납층(18)은 주석을 포함하고 있다. 보다 구체적으로는 주석-납계의 뱀납 외에 내(耐)환경성의 관점에서부터 주석-은계, 주석-아연계, 주석-비스무트계, 주석-안티몬계, 주석-은-비스무트계 또는 주석-구리계 등의 납 프리(lead-free) 뱀납을 뱀납층(18)으로서 이용할 수 있다. 또, 뱀납층(18)으로서 금 주석 뱀납을 이용해도 된다.
- [0080] 한편, 금속층(22)은 금, 니켈, 알루미늄 혹은 구리로부터 선택되는 적어도 1종의 금속, 또는 이러한 금속을 포함하는 합금 혹은 주석을 함유하는 뱀납이다. 이 중, 본 실시 형태에서는 비(比)저항의 낮음으로부터 금속층(22)에는 금을 이용하고 있다.
- [0081] 여기서, 주석과 금은 100~200℃ 정도의 가열 상태에서 서로 압압(押壓)함으로써 양자의 계면에 금과 주석의 화합물(금 주석 화합물: AuSn, AuSn₂, AuSn₄)이 층상으로 형성된다.
- [0082] 본 실시 형태의 전자 부품 패키지(100)의 경우, 뱀납층(18)의 내부에 관입된 금속층(22)의 표면으로부터 뱀납층(18)의 내부를 향해 Au-AuSn-AuSn₂-AuSn₄-Sn의 층이 순서대로 적층되어 뱀납층(18)과 금속층(22)은 서로 강고하게 금속 접합된다.
- [0083] 뱀납층(18) 및 금속층(22)의 주위에는 플럭스 활성 화합물을 함유하는 접착층(30)이 충전되어 있다.
- [0084] 접착층(30)은 뱀납층(18)과 금속층(22)을 내포하면서 회로 기관(10)의 표면(121)과 전자 부품(20)의 주면(26)을 접합하고 있다.
- [0085] 본 실시 형태의 접착층(30)은 열경화성 수지를 주성분으로서 포함한다.
- [0086] 접착층(30)에 함유되어 있는 플럭스 활성 화합물로는 분자 중에 카르복실기 및/또는 페놀성 수산기가 적어도 1개 이상 존재하는 화합물을 가질 수 있다. 이러한 화합물은 액상이어도 고체여도 된다.
- [0087] 카르복실기를 함유하는 플럭스 활성 화합물로는 지방족 산 무수물, 지환식 산 무수물, 방향족 산 무수물, 지방족 카르복시산, 방향족 카르복시산 등을 들 수 있다. 페놀성 수산기를 가지는 플럭스 활성 화합물로는 페놀류를 들 수 있다.
- [0088] 지방족 산 무수물로는 무수 숙신산, 폴리아디프산 무수물, 폴리아젤라인산 무수물, 폴리세바신산 무수물 등을 들 수 있다.
- [0089] 지환식 산 무수물로는 메틸테트라히드로 무수 프탈산, 메틸헥사히드로 무수 프탈산, 무수 메틸하이믹산, 헥사히드로 무수 프탈산, 테트라히드로 무수 프탈산, 트리알킬테트라히드로 무수 프탈산, 메틸시클로헥센 디카르복시산 무수물 등을 들 수 있다.
- [0090] 방향족 산 무수물로는 무수 프탈산, 무수 트리멜리트산, 무수 피로멜리트산, 벤조페논 테트라카르복시산 무수물, 에틸렌글리콜 비스트리멜리테이트, 글리세롤 트리트리멜리테이트 등을 들 수 있다.
- [0091] 지방족 카르복시산으로는 하기 식 (1)로 나타내는 화합물을 들 수 있다.
- [0092] $\text{HOOC}-(\text{CH}_2)_n-\text{COOH}$ (1)
- [0093] 상기 식 (1)에 있어서, n은 0 이상 20 이하의 정수이다.
- [0094] 또, 플럭스 활성, 접착시의 아웃 가스나 유리 전이 온도의 밸런스로부터 상기 식 (1) 중의 n은 3 이상 10 이하가 바람직하다. n을 3 이상으로 함으로써, 경화 후의 탄성률의 증가를 억제해 회로 기관(10) 및 전자 부품(20)과의 접착성을 향상시킬 수 있다. 또, n을 10 이하로 함으로써, 탄성률의 저하를 억제해 접속 신뢰성을 더욱 향상시킬 수 있다.
- [0095] 상기 식 (1)로 나타내는 화합물로서 예를 들어, n=3인 글루타르산($\text{HOOC}-(\text{CH}_2)_3-\text{COOH}$), n=4인 아디프산($\text{HOOC}-(\text{CH}_2)_4-\text{COOH}$), n=5인 피메린산($\text{HOOC}-(\text{CH}_2)_5-\text{COOH}$), n=8인 세바신산($\text{HOOC}-(\text{CH}_2)_8-\text{COOH}$) 및 n=10인 $\text{HOOC}-(\text{CH}_2)_{10}-\text{COOH}$ 를 들 수 있다.
- [0096] 다른 지방족 카르복시산으로는 포름산, 아세트산, 프로피온산, 부티르산, 발레르산, 피발산카프로산, 카프릴산, 라우르산, 미리스트산, 팔미틴산, 스테아르산, 아크릴산, 메타크릴산, 크로톤산, 올레산, 푸말산, 말레산, 옥살

산, 말론산, 숙신산 등을 들 수 있다.

- [0097] 방향족 카르복시산으로는 벤조산, 프탈산, 이소프탈산, 테레프탈산, 헤미멜리트산, 트리멜리트산, 트리메신산, 멜로판산, 프레니탄산, 피로멜리트산, 멜리트산, 톨일산, 크실릴산, 헤멜리트산, 메시틸렌산, 프레니틸산, 톨루일산, 신남산, 살리실산, 2,3-디히드록시 벤조산, 2,4-디히드록시 벤조산, 겐티스산(2,5-디히드록시 벤조산), 2,6-디히드록시 벤조산, 3,5-디히드록시 벤조산, 몰식자산(3,4,5-트리히드록시 벤조산), 1,4-디히드록시-2-나프토산, 3,5-디히드록시-2-나프토산 등의 나프토산 유도체; 페놀프탈린; 디페놀산 등을 들 수 있다.
- [0098] 페놀성 수산기를 가지는 플릭스 활성 화합물로는 페놀, o-크레졸, 2,6-크실레놀, p-크레졸, m-크레졸, o-에틸페놀, 2,4-크실레놀, 2,5-크실레놀, m-에틸 페놀, 2,3-크실레놀, 메지톨, 3,5-크실레놀, p-터셔리부틸페놀, 카테콜, p-터셔리아밀페놀, 레조르시놀, p-옥틸페놀, p-페닐페놀, 비스페놀 A, 비스페놀 F, 비스페놀 AF, 비페놀, 디알릴 비스페놀 F, 디알릴 비스페놀 A, 트리스페놀, 테트라키스페놀 등의 페놀성 수산기를 함유하는 모노머류, 페놀 노블락 수지, o-크레졸 노블락 수지, 비스페놀 F 노블락 수지, 비스페놀 A 노블락 수지 등을 들 수 있다.
- [0099] 플릭스 활성 화합물은 에폭시 수지와 같은 열경화성 수지와 반응으로 삼차원적으로 도입되기 때문에 1분자 중에 에폭시 수지에 부가할 수 있는 적어도 2개의 페놀성 수산기와 금속 산화막에 플릭스 작용을 나타내는 방향족에 직접 결합된 카르복실기를 1분자 중에 적어도 1개 가지는 화합물이 바람직하다. 이와 같은 화합물로는 2,3-디히드록시 벤조산, 2,4-디히드록시 벤조산, 겐티스산(2,5-디히드록시 벤조산), 2,6-디히드록시 벤조산, 3,4-디히드록시 벤조산, 몰식자산(3,4,5-트리히드록시 벤조산) 등의 벤조산 유도체; 1,4-디히드록시-2-나프토산, 3,5-디히드록시-2-나프토산, 3,7-디히드록시-2-나프토산 등의 나프토산 유도체; 페놀프탈린; 및 디페놀산 등을 들 수 있다.
- [0100] 이들 플릭스 활성 화합물은 단독으로 이용해도, 2종 이상을 조합해 이용해도 된다.
- [0101] 상기 플릭스 활성 화합물을 함유하는 접착층(30)의 구성으로는 추가로 3개 이상의 글리시딜에테르기를 갖고, 에폭시 당량이 100~300인 다관능 에폭시 수지(a)와 용점이 50℃ 이상, 230℃ 이하인 카르복실기를 가지는 화합물(b)과 경화제(c)를 포함하는 것이 바람직하다. 이에 의해, 내열 신뢰성이 뛰어난 접착층(30)을 얻을 수 있다.
- [0102] 다관능 에폭시 수지(a)로는 특별히 한정은 되지 않지만, 예를 들면 페놀 노블락 에폭시 수지, 크레졸 노블락 에폭시 수지, 글리시딜아민형 에폭시 수지, 아미노트리아진 페놀 노블락 에폭시 수지, 아미노트리아진 크레졸 노블락 에폭시 수지, 나프탈렌 골격형 에폭시 수지, 시클로펜타디엔형 에폭시 수지를 단독 혹은 조합해 사용할 수 있다. 이들 중에서도 나프탈렌 골격형 4관능 에폭시 수지, 글리시딜아민형 3관능 에폭시 수지 및 3관능 고품 에폭시 수지가 바람직하다.
- [0103] 다관능 에폭시 수지(a)의 함유량은 특별히 한정은 되지 않지만, 다관능 에폭시 수지(a)와 경화제(c)를 합해 100중량부로 했을 때, 다관능 에폭시 수지(a)를 60중량부 이상, 80중량부 이하가 바람직하다. 함유량이 이 범위 내에 있으면, 접착층(30)은 밀착력이 뛰어나다.
- [0104] 카르복실기를 가지는 화합물(b)은 뱀납층(18), 금속층(22)(금속 스테르드(22a)) 및 전극 패드(24)의 표면에 형성되는 것이 있는 산화막을 제거해 습윤성을 향상시키는 기능이 있다.
- [0105] 화합물(b)의 활성도가 가장 발현되는 것은 용점을 넘었을 때이기 때문에 화합물(b)의 용점은 230℃ 이하인 것이 바람직하다. 또, 용점을 50℃ 이상으로 함으로써, 화합물(b)이 접착층(30)으로부터 유출(outflow)되어 오는 것이 방지된다.
- [0106] 화합물(b)의 함유량은 다관능 에폭시 수지(a), 화합물(b) 및 경화제(c)를 합해 100중량부로 했을 때, 3중량부 이상, 15중량부 이하인 것이 바람직하다. 함유량이 이 범위에 있으면, 금속 표면의 환원성이 뛰어나 양호한 금속 접합으로 할 수 있다. 또, 접착층(30)을 시트상의 캐리어 재료로 했을 경우의 작업성이 뛰어나다.
- [0107] 화합물(b)로는 특별히 한정은 되지 않지만, 예를 들면 이하의 것을 들 수 있다. 2,3-피라진 디카르복시산, 시클로헥산 디카르복시산, 시클로부탄 디카르복시산, 벤조산, m-메틸벤조산, p-메틸벤조산, 쿠마린-3-카르복시산, 벤조페논-2-카르복시산, 세바신산, 1,2,3,4-시클로펜탄 테트라카르복시산, 2-비페닐 카르복시산, 4-비페닐 카르복시산 등의 1종 또는 2종 이상의 조합으로 사용 가능하다.
- [0108] 또한, 접착층(30)은 합성 고무계 엘라스토머를 추가로 포함하고 있어도 된다. 이에 의해, 접착층(30)을 시트상의 캐리어 재료로 했을 때에 필름 가공성이 뛰어나다. 합성 고무계 엘라스토머는 카르복시산 변성된 것이 폴리이미드 필름에 대한 밀착력이 좋기 때문에, 바람직하게 사용할 수 있다. 예를 들면 카르복시산 변성 NBR, 카르

복시산 변성 아크릴 고무, 카르복시산 변성 부타디엔 고무 등 시판되고 있는 일반적인 것이면 된다.

- [0109] 합성 고무계 엘라스토머의 함유량은 특별히 한정은 되지 않지만, 다관능 에폭시 수지(a), 합성 고무계 엘라스토머 및 경화제(c)를 합해 100중량부로 했을 때, 5중량부 이상, 30중량부 이하가 바람직하다. 함유량이 이 범위 내에 있으면, 밀착성과 내열성의 밸런스가 뛰어난 접착층(30)으로 할 수 있다. 또, 합성 고무계 엘라스토머의 중량 평균 분자량이 50만 이상인 것이 바람직하다. 이에 의해, 가열 가압시의 성형성이 뛰어난 접착층(30)으로 할 수 있다.
- [0110] 접착층(30)은 경화제(c)로서 노블락 페놀 수지를 포함하고 있어도 된다. 노블락 페놀 수지로는 특별히 한정되지 않지만, 아미노트리아진 노블락형 페놀 수지, 또는 아미노트리아진 크레졸 노블락형 페놀 수지인 것이 바람직하다. 아미노기가 존재함으로써 도공시 열에 의해 일부의 에폭시기 반응이 일어나 B 스테이지화된다. 이에 의해 적층 프레스시의 스며 나옴이 억제된다. 또, 트리아진부의 질소가 난연성에 기여한다.
- [0111] 노블락 페놀 수지의 함유량은 특별히 한정되지 않지만, 다관능 에폭시 수지(a)에 대해서 0.8~1.2당량을 포함하는 것이 바람직하다. 당량이 이 범위 내에 있으면 접착층(30)은 경화성이나 휨 등이 뛰어나다.
- [0112] 접착층(30)은 밀착력을 향상시키기 위한 커플링제, 도공시에 발포나 텅김(repelling)을 억제하는 소포제나 레벨링제, 겔 타임을 조정하기 위한 소량의 경화 촉진제나 무기 필러 등을 첨가하는 것도 가능하다.
- [0113] 제 2의 바람직한 접착층(30)의 구성으로는 페놀성 수산기를 가지는 페놀 노블락 수지, 크레졸 노블락 수지, 알킬페놀 노블락 수지, 레졸 수지, 폴리비닐페놀 수지 등의 수지(A)와 수지(A)의 경화제(B)를 포함하는 것이다. 경화제로는 비스페놀계, 페놀 노블락계, 알킬페놀 노블락계, 비페놀계, 나프톨계, 레조르시놀계 등의 페놀 베이스나, 지방족, 환상 지방족이나 불포화 지방족 등의 골격을 베이스로 하여 에폭시화된 에폭시 수지나 이소시아네이트 화합물을 들 수 있다.
- [0114] 수지(A)의 배합량은 접착층(30)의 전체 중량 중 20중량부 이상~80중량부 이하가 바람직하다. 20중량부 이상이면 금속 표면을 청정화하는 작용이 뛰어나다. 또, 이것이 80중량부 이하이면 충분한 경화물을 얻을 수 있다.
- [0115] 한편, 경화제(B)로서 작용하는 수지 또는 화합물은 접착층(30)의 전체 중량 중 20중량부 이상~80중량부 이하가 바람직하다. 접착층(30)에는 필요에 따라서 착색제, 무기 충전제, 각종 커플링제, 용매 등을 첨가해도 된다.
- [0116] 제 3의 바람직한 접착층(30)의 구성으로는 비스페놀계, 페놀 노블락계, 알킬페놀 노블락계, 비페놀계, 나프톨계, 레조르시놀계 등의 페놀 베이스나, 지방족, 환상 지방족이나 불포화 지방족 등의 골격을 베이스로 하여 에폭시화된 에폭시 수지(C)와 이미다졸환을 갖고, 또한 에폭시 수지(C)에 대한 경화제(D)와 경화성 산화 방지제(E)를 포함하는 것이다.
- [0117] 에폭시 수지(C)에는 상기 다관능 에폭시 수지(a)와 공통되는 재료를 이용할 수 있다.
- [0118] 경화제(D)로는 이미다졸, 2-메틸 이미다졸, 2-에틸-4-메틸 이미다졸, 2-페닐 이미다졸, 1-벤질-2-메틸 이미다졸, 2-운데실 이미다졸, 2-페닐-4-메틸 이미다졸, 비스(2-에틸-4-메틸-이미다졸) 등을 들 수 있다.
- [0119] 경화성 산화 방지제(E)는 산화 방지제로서 작용하고, 또한 경화제와 반응해 경화할 수 있는 화합물로, 벤질리덴 구조를 가지는 화합물이나 3-히드록시-2-나프토산, 파모인산, 2,4-디히드록시 벤조산, 2,5-디히드록시 벤조산 등을 들 수 있다.
- [0120] 에폭시 수지(C)의 배합량은 접착층(30)의 전체 중량 중 30중량부 이상~99중량부 이하가 바람직하다. 30중량부 이상이면 충분한 경화물을 얻을 수 있다.
- [0121] 상기 2성분 이외에 시아네이트 수지, 아크릴산 수지, 메타크릴산 수지, 말레이미드 수지 등의 열경화성 수지나 열가소성 수지를 배합해도 된다. 또, 필요에 따라서 착색제, 무기 충전제, 각종 커플링제, 용매 등을 첨가해도 된다.
- [0122] 경화제(D)와 경화성 산화 방지제(E)의 배합량으로는 접착층(30)의 전체 중량 중 양자를 합하여 1중량부 이상~20중량부 이하가 바람직하다. 이것을 1중량부 이상으로 함으로써 뿔납층(18), 금속층(22), 전극 패드(24)의 표면을 청정화하는 충분한 작용이 얻어지고, 또 에폭시 수지(C)의 경화성이 뛰어나다. 또, 이것을 10중량부 이하로 함으로써 경화 반응이 완만하게 진행해 접착층(30)에 높은 유동성을 얻을 수 있다. 또, 경화제(D)와 경화성 산화 방지제(E)는 양쪽 모두를 병용해도 되고, 또는 다른 한쪽의 성분만을 단독으로 배합해 사용해도 된다.
- [0123] 접착층(30)의 조정 방법은 예를 들면, 고흥의 수지(A)와 수지(B)를 용매에 용해해 조정하는 방법, 고흥의 수지

(A)를 액상 수지(B)에 용해해 조정하는 방법, 고형의 수지(B)를 액상의 수지(A)에 용해해 조정하는 방법, 또는 고형의 에폭시 수지(C)를 용매에 용해한 용액에 경화제(D)와 경화성 산화 방지제(E)를 분산 혹은 용해하는 방법 등을 들 수 있다.

- [0124] 사용하는 용매로는 아세톤, 메틸에틸케톤, 메틸이소부틸케톤, 시클로헥산, 톨루엔, 부틸셀로솔브, 에틸셀로솔브, N-메틸피롤리돈, γ -부틸락톤 등을 들 수 있다. 바람직하게는 비점이 200℃ 이하인 용매이다.
- [0125] (전자 부품 패키지의 제조 방법)
- [0126] 다음에, 본 실시 형태의 전자 부품 패키지(100)의 제조 방법(이하, 본 방법이라고 하는 경우가 있음)에 대해서 설명한다.
- [0127] 우선, 본 방법의 개요에 대해서 설명한다.
- [0128] 본 방법은 제 1 준비 공정과 제 2 준비 공정과 접착층 형성 공정과 위치 맞춤 공정과 접합 공정을 포함한다.
- [0129] 제 1 준비 공정은 기재(12)와 기재(12)에 매설된 도전성의 도체 포스트(16)와 도체 포스트(16)의 선단부(13)에 기재(12)의 표면(121)으로부터 노출해서 마련된 뿔납층(18)을 구비하는 회로 기판(10)을 준비하는 공정이다.
- [0130] 제 2 준비 공정은 금속층(22)이 탑재된 전극 패드(24)가 주면(26)에 마련된 전자 부품(20)을 준비하는 공정이다.
- [0131] 접착층 형성 공정은 플럭스 활성 화합물을 함유하는 접착층(30)을 회로 기판(10)의 표면(121) 또는 전자 부품(20)의 주면(26)의 적어도 한쪽에 피착하여 뿔납층(18) 또는 금속층(22)를 피복하는 공정이다.
- [0132] 위치 맞춤 공정은 도체 포스트(16)와 전극 패드(24)를 대향시킨 상태로 회로 기판(10)과 전자 부품(20)을 가열 상태에서 압접하여 회로 기판(10)과 전자 부품(20)을 접착층(30)에 의해 접합하는 동시에 뿔납층(18)과 금속층(22)을 위치 맞춤하는 공정이다.
- [0133] 접합 공정은 뿔납층(18)을 가열 용융해 뿔납층(18)과 금속층(22)을 금속 접합하는 공정이다.
- [0134] 또한, 본 방법은 접합 공정에서 전자 부품(20)과 회로 기판(10)을 접합해서 이루어지는 전자 부품 패키지(100)를 개편화하는 다이싱 공정(도 6, 7을 참조)과 회로 기판(10)에 대해서 실장용 뿔납 범프(40)를 탑재하는 공정(범프 탑재 공정)을 추가로 포함해도 된다.
- [0135] 다음에, 본 방법을 보다 상세하게 설명한다.
- [0136] 도 4(a) 내지 (f)는 제 1 준비 공정을 나타내는 공정 단면도이다.
- [0137] 도 5(a)는 회로 기판(10)에 접착층 형성 공정을 실시한 상태를 나타내는 단면도이다. 도 5(b)는 위치 맞춤 공정을 나타내는 단면도이다. 도 5(c)는 접합 공정을 나타내는 단면도이다. 도 5(d)는 범프 탑재 공정을 나타내는 단면도이다.
- [0138] 본 실시 형태의 회로 기판(10)은 도 4(a)에 나타내는 편면판(11)을 기초로 하여 작성된다. 편면판(11)은 절연성의 표면 기재(12a)의 이면에 구리박(160)이 피착된 구리 부착 적층판이다.
- [0139] 구리박(160)의 두께는 5~35 μ m가 바람직하다.
- [0140] 편면판(11)으로는, 예를 들면 스미토모 베이클라이트 주식회사제의 L α Z를 이용할 수 있다.
- [0141] 표면 기재(12a)에는 소정의 간격 및 개수로 레이저법을 이용해 비아 홀(125)이 천설(穿設)된다. 비아 홀(125)은 표면 기재(12a)의 표면 측으로부터 구리박(160)이 노출되는 깊이로 형성된다.
- [0142] 다음에, 도 4(b)에 나타내는 바와 같이, 금속 페이스트의 도포 또는 전해 도금법을 이용하여 비아 홀(125)의 일부 또는 전부를 묻는 도체 포스트(16)를 형성한다. 도체 포스트(16)는 그 선단부(13)가 비아 홀(125)의 표면으로부터 패인 상태, 상기 표면과 면일 상태, 또는 상기 표면으로부터 돌출된 상태로 형성된다. 도 4(b)에서는 선단부(13)가 비아 홀(125)로부터 표면 측으로 돌출하도록 도체 포스트(16)가 표면 기재(12a)의 두께보다도 높게 형성된 상태를 예시하고 있다. 도체 포스트(16)의 선단부(13)를 표면 기재(12a)로부터 돌출시킴으로써 금속층(22)의 두께나 형상에 따르지 않고, 후술하는 접합 공정에서 금속층(22)과 도체 포스트(16)를 맞게 하여 회로 기판(10)과 전자 부품(20)의 두께 방향의 거리에 관한 재현성을 향상시킬 수 있다.
- [0143] 도체 포스트(16)의 선단부(13)의 형상은 특별히 한정되지 않는다. 도 4(b)에서는 반구상의 선단부(13)를 모식적

으로 도시하고 있지만, 원주상이나 각주상이어도 된다. 또, 선단부(13)는 표면 기재(12a)를 향해 확장하는 끝이 넓어지는 형상인 순 테이퍼 형상, 또는 반대로 표면 기재(12a)를 향해 축경하는 잔(drinking cup) 모양의 역 테이퍼 형상으로 해도 된다.

- [0144] 표면 기재(12a)로부터 돌출된 도체 포스트(16)의 선단부(13) 표면에는 도 4(b)에 나타내는 바와 같이 뿔뿔(18)을 피착한다. 뿔뿔(18)의 두께는 특별히 한정되지 않지만, 0.5-30 μ m, 바람직하게는 1-20 μ m로 하면 된다. 뿔뿔(18)의 두께를 0.5 μ m 이상으로 함으로써, 도체 포스트(16)의 선단부(13)에 대해서 뿔뿔(18)의 피착 두께에 불균일이 만일 생겼다고 해도 금속층(22)과의 접촉 불량 발생하는 일이 없다. 또, 뿔뿔(18)의 두께를 1 μ m 이상으로 함으로써, 금속층(22)이 압정 형상의 금속 스테드(22a)인 경우에 돌기부(23)의 근방 영역뿐만 아니라, 그 외 영역에 대해서도 뿔뿔(18)의 접촉이 충분히 확보된다.
- [0145] 다음에, 도 4(c)에 나타내는 바와 같이, 표면 기재(12a)의 표면에 보호층(32)을 도포 또는 라미네이트 등에 의해 형성하여 도체 포스트(16)에 형성된 뿔뿔(18)을 피복 보호한다.
- [0146] 뿔뿔(18)은 표면 기재(12a)로부터 노출하여 형성된다. 즉, 뿔뿔(18)은 도 4(c)에 도시하는 바와 같이 표면 기재(12a)로부터 돌출하여 형성되어도 되고, 표면 기재(12a)와 면일로 형성되어도 되며, 또는 표면 기재(12a)(비아 홀(125))의 내부에 형성되어도 된다.
- [0147] 다음에, 도 4(d)에 나타내는 바와 같이, 구리박(160)을 소정의 패턴으로 에칭하여 전극부(161)를 형성한다. 이에 의해, 복수개(도시된 바로는 2개)의 도체 포스트(16)끼리가 전극부(161)(전극부(161a))에 의해 접속된다. 또한, 전극부(161)의 형성 방법으로는 에칭법 외, 표면 기재(12a)의 표면에 전극부(161)를 선택적으로 퇴적하는 애디티브법(additive process), 표면 기재(12a)의 표면에 패턴 형성한 도전성의 시드층(도시하지 않음) 위에 전해 도금에 의해 전극부(161)를 퇴적하는 세미 애디티브법, 또는 인쇄법을 이용해도 된다.
- [0148] 다음에, 도 4(e)에 나타내는 바와 같이, 에칭된 전극부(161)의 표면(도시된 바로는 아랫면)에 이면 기재(12b)를 형성한다. 이면 기재(12b)는 표면 기재(12a)와 함께 기재(12)를 구성한다.
- [0149] 이면 기재(12b)와 표면 기재(12a)는 동종 재료여도 이종 재료여도 된다.
- [0150] 이면 기재(12b)에는 개구(126) 형성된다. 개구(126)는 전극부(161)가 노출되는 깊이로 형성된다.
- [0151] 이면 기재(12b)에 개구(126)를 형성하는 방법은 여러 가지를 취할 수 있다. 일례로서
- [0152] (i) 이면 기재(12b)의 수지 조성물을 표면 기재(12a)의 표면(도 4(e)의 아랫면)의 전체 면에 도포한 후, 이것을 에칭해 개구(126)를 패턴 형성하는 에칭 방법;
- [0153] (ii) 개구(126)가 미리 개구해 형성되도록 이면 기재(12b)를 도공하는 인쇄 방법;
- [0154] 을 이용할 수 있다.
- [0155] 여기서, 에칭 방법 (i)에 관해서는 감광성 재료를 이면 기재(12b)의 수지 조성물로서 이용해 포토리소그라피법에 의해 개구(126)를 패턴 형성해도 된다. 또는, 도포 및 경화된 이면 기재(12b)의 표면에 인쇄법에 의해 레지스트층을 패턴 형성하고, 상기 레지스트층으로부터 면하는 개구부를 에칭 제거해 개구(126)를 형성해도 된다. 에칭에 관해서는 드라이 에칭, 웨트 에칭, 레이저 에칭 등 여러 가지의 방법을 이용할 수 있다.
- [0156] 또, 인쇄 방법 (ii)에 관해서는 예를 들면 스크린 인쇄법을 이용할 수 있다.
- [0157] 개구(126)의 내부에는 도 4(f)에 나타내는 바와 같이, 전극부(161)의 표면을 금 도금함으로써 볼 패드(162)가 형성된다.
- [0158] 이상의 공정에 의해, 회로 기판(10)은 작성된다.
- [0159] 도 5(a)에 나타내는 전자 부품(20)은 제 2 준비 공정에서 준비된다. 본 방법에 이용되는 전자 부품(20)은 플립 칩 등의 페이스 다운식의 반도체 소자이며, 그 구체적인 작성 방법의 상세한 설명은 생략한다.
- [0160] 제 1 준비 공정과 제 2 준비 공정은 어떠한 것을 먼저 실시해도 되고, 동시에 실시해도 된다. 또한, 본 방법으로 복수의 공정을 동시에 실시한다는 것은 양 공정의 일부 또는 전부가 중복된 타이밍으로 실시되는 것을 말한다.
- [0161] 칩 기판(21)의 주면(26)에 노출하여 형성된 전극 패드(24)에 압정 형상의 금속 스테드(22a)가 마련되어 있다. 금속 스테드(22a)의 돌기부(23)는 도면 중 아래쪽, 즉 칩 기판(21)의 면직 방향으로 돌출되어 있다.

- [0162] 또한, 칩 기판(21)의 주면(26)에는 플럭스 활성 화합물을 함유하는 접착층(30)을 마련해 두어도 된다.
- [0163] 회로 기판(10)은 보호층(32)(도 4(c) 내지 (f)를 참조)이 박리되고, 접착층(30)이 기재(12)의 표면(121)에 피착되어 있다.
- [0164] 접착층(30)은 뱀납층(18)을 완전히 덮도록 기재(12)의 표면(121)에 실질적으로 전면(121)에 피착되어 있다.
- [0165] 보다 구체적으로는 접착층 형성 공정은 열경화성 에폭시 수지를 포함하는 미경화된 접착층 조성물을 기재(12) 표면(121)의 전면에 도포하는지, 또는 필름상으로 성형된 접착층(30)을 기재(12)의 표면(121)에 첩부하여 실시한다.
- [0166] 또한, 접착층 형성 공정은 제 1 준비 공정과 함께 일련의 공정으로서 실시 해도 된다.
- [0167] 회로 기판(10)과 전자 부품(20)은 뱀납층(18)의 돌출 방향이 전극 패드(24)를 향하도록 접착층(30)과 금속 스테드(22a)를 안쪽을 향해서 대향 배치하고 있다.
- [0168] 도 5(b)에 나타내는 위치 맞춤 공정에서는 대향 배치된 회로 기판(10)과 전자 부품(20)을 평면 방향 및 면직 방향으로 상대 구동해 금속 스테드(22a)와 뱀납층(18)을 서로 위치 맞춤한다. 위치 맞춤 공정은 60 내지 150℃ 정도의 가열 상태에서 실시한다. 이러한 온도(위치 맞춤 온도)에서는 뱀납층(18)은 고체 상태이며, 접착층(30)은 접착 활성 상태로 되어 있다. 또, 이러한 온도는 접착층(30)의 경화 온도보다 낮다.
- [0169] 또, 위치 맞춤 공정에서는 회로 기판(10)과 전자 부품(20)을 압압함으로써, 금속 스테드(22a)는 접착층(30)의 내부에 관입하여 뱀납층(18)의 표면 근방에 도달한다.
- [0170] 위치 맞춤 공정에서는 금속층(22)과 뱀납층(18)이 접촉할 때까지 회로 기판(10)과 전자 부품(20)을 압접해도 되고, 또는 금속층(22)과 뱀납층(18)이 비접촉의 깊이까지 금속층(22)을 접착층(30)에 관입시켜도 된다.
- [0171] 또한, 위치 맞춤 공정에서 금속층(22)과 뱀납층(18)을 접촉시키는 경우에 있어서는 금속층(22)을 뱀납층(18)에 관입시켜도 된다. 본 실시 형태의 위치 맞춤 공정은 뱀납층(18)의 용점 미만의 온도에서 실시하지만, 뱀납층(18)을 구성하는 뱀납 합금의 낮은 강성 때문에, 특히 금속층(22)을 금속 스테드(22a)로 했을 경우에는 위치 맞춤 공정에서의 압압력에 의해 돌기부(23) 일부를 뱀납층(18)에 관입할 수 있다.
- [0172] 도 5(c)에 나타내는 접합 공정은 회로 기판(10) 및 전자 부품(20)을 150 내지 250℃ 정도의 리플로우 온도로 가열하고 서로 압접하여 실시한다. 이러한 리플로우 온도는 위치 맞춤 온도보다도 고온이고, 또 뱀납층(18)의 용융 또는 연화 온도이다. 리플로우 온도로의 가열은 전열(傳熱) 가열 또는 초음파 가열에 의해 실시할 수 있다.
- [0173] 리플로우 온도는 뱀납층(18)의 용점-10℃ 내지 +30℃로 하는 것이 바람직하다. 뱀납층(18)의 용점-10℃ 내지 용점 온도까지의 온도로 함으로써 뱀납층(18)은 연화해 금속 스테드(22a)의 관입이 가능해진다. 또, 리플로우 온도로서 뱀납층(18)의 용점 내지 용점+30℃까지의 온도를 선택함으로써 뱀납층(18)은 용융한다. 여기서, 도 2에 나타내는 바와 같이 뱀납층(18)의 주위는 접착층(30) 및 금속층(22)(또는 전극 패드(24))으로 둘러싸여 있어 용융된 뱀납층(18)은 주위의 접착층(30)보다도 금속 재료인 금속층(22)에 대한 습윤성이 높다. 따라서, 용융된 뱀납층(18)은 금속층(22)의 표면을 덮는다.
- [0174] 또, 접합 공정에서는 접착층(30)을 열경화시킨다. 뱀납층(18)의 리플로우와 접착층(30)의 열경화는 동시에 실시해도 되고, 또는 리플로우한 뱀납층(18)을 재응고시킨 후에 접착층(30)을 열경화시켜도 된다.
- [0175] 즉, 접합 공정에서는 회로 기판(10) 및 전자 부품(20)을 소정의 리플로우 온도로 유지해도 뱀납층(18)의 용융과 접착층(30)의 열경화를 동시에 실시해도 되고, 또는 접합 공정 중에 온도를 다단계로 변화시켜 뱀납층(18)의 리플로우와 접착층(30)의 열경화를 차례차례 실시해도 된다. 후자의 경우, 접착층(30)의 열경화 온도로서 120~190℃를 선택할 수 있고, 이러한 열경화 온도는 뱀납층(18)의 용융 온도 미만으로 할 수 있다.
- [0176] 그리고, 접착층(30)의 열경화 온도를 뱀납층(18)의 리플로우 온도 미만으로 함으로써, 열경화시의 접착층(30)에 대한 열 부하를 저감시킬 수 있다.
- [0177] 접합 공정에서는 금속층(22)(금속 스테드(22a))의 적어도 일부를 뱀납층(18)의 내부에 관입시키는 동시에 접착층(30)을 전자 부품(20)의 주면(26)에 피착한다.
- [0178] 뱀납층(18)에 대한 금속 스테드(22a)의 관입 깊이는 특별히 한정되지 않는다. 돌기부(23)의 선단을 뱀납층(18)의 중간 깊이 위치까지 관입시켜도 되고, 또는 도체 포스트(16)의 표면에 도달할 때까지 관입시켜도 된다. 또한, 금속 스테드(22a)가 도체 포스트(16)에 압압되어 변형되는 깊이까지 금속 스테드(22a)를 뱀납층(18)에 관

입시켜도 된다.

- [0179] 여기서, 도 5(c)에 나타내는 바와 같이, 돌기부(23)의 선단을 도체 포스트(16)의 표면에 도달할 때까지 관입시킴으로써, 회로 기판(10)과 전자 부품(20)의 두께 방향의 거리는 접합된 돌기부(23) 및 도체 포스트(16)의 돌출 높이에 근거해서 결정할 수 있게 된다. 이에 의해, 전자 부품 패키지(100)마다 회로 기판(10)과 전자 부품(20)의 두께 방향의 거리에 관한 재현성이 향상되어 전자 부품 패키지(100)의 두께 치수가 균일화된다.
- [0180] 접합 온도에서 가압된 뿔납층(18)과 금속층(22)은 양자의 계면에서 층간 화합물이 생성 및 성장한다.
- [0181] 본 방법의 뿔납층(18)은 주석을 포함하고, 금속층(22)에는 금을 이용하고 있다. 이 때문에, 뿔납층(18)과 금속층(22)의 계면에는 금 주석 화합물이 층상으로 형성되어 양자는 금속 접합된다. 이에 의해, 회로 기판(10)과 전자 부품(20)은 강고하게 일체화된다.
- [0182] 도 5(d)에 나타내는 범프 탑재 공정은 개구(126)(도 5(c)를 참조)에 대해서, 공지의 방법에 의해 뿔납 범프(40)를 탑재해 실시한다. 상세한 설명은 생략한다.
- [0183] 이상에 의해, 도 1에 나타내는 본 실시 형태의 전자 부품 패키지(100)가 작성된다.
- [0184] 본 방법에서는 복수의 전자 부품 패키지(100)를 이른바, 다면부착(multiple attachment)에 의해 작성해도 된다.
- [0185] 도 6 및 도 7 각 도는 다면 부착된 전자 부품 패키지(100)를 개편화하는 다이싱 공정을 포함하는 본 방법의 변형예를 모식적으로 나타내는 공정 단면도이다.
- [0186] 도 6(a) 내지 (d)는 미리 개편화된 복수의 회로 기판(10)을 1매의 칩 기판(21)에 접합하는 본 방법의 제 1 변형예에 관한 공정 단면도이다.
- [0187] 도 6(a)에 나타내는 칩 기판(21)에는 복수의 소자 영역(27)이 일차원 또는 이차원으로 패턴 형성되어 있다. 각 소자 영역(27)에는 하나 또는 둘 이상의 전극 패드(24)가 마련되어 있다. 전극 패드(24)에는 금속 스테드(22a)가 각각 탑재되어 있다.
- [0188] 칩 기판(21)의 주면(26)에는 접착층(30)이 피착되어 있다. 전극 패드(24) 및 금속 스테드(22a)는 접착층(30)으로 덮여 표면의 산화가 방지되고 있다.
- [0189] 칩 기판(21)의 아랫면(28)(주면(26)의 반대면)에는 신축성의 다이싱 시트(50)가 첩부되어 있다.
- [0190] 한편, 개편화된 회로 기판(10)은 기재(12)의 표면(121)으로부터 도체 포스트(16)(도 6(a)에서는 미도시)가 돌출되고 그 표면에 뿔납층(18)이 마련되어 있다.
- [0191] 도 6(b)에 나타내는 바와 같이, 복수의 회로 기판(10)은 칩 기판(21)에 대해서 위치 맞춤이 되어 접합된다. 뿔납층(18)은 접착층(30)에 비집고 들어가 금속 스테드(22a)와 접촉하고, 또한 금속 스테드(22a)의 일부가 뿔납층(18)에 관입된다.
- [0192] 이러한 접합 온도는 뿔납층(18)의 용융 온도 이하에서 실시하면 된다.
- [0193] 그리고, 뿔납층(18)의 용융 온도보다도 고온의 소정의 리플로우 온도로 뿔납층(18) 및 접착층(30)을 가열함으로써, 뿔납층(18)과 금속 스테드(22a)를 뿔납 접합하는 동시에, 접착층(30)을 열경화시켜 칩 기판(21)과 기재(12)를 접합한다.
- [0194] 이러한 상태에서부터 다이싱 블레이드(52)를 이용하여 소자 영역(27)끼리의 사이에 해당하는 다이싱 영역(29)를 절단한다.
- [0195] 이러한 다이싱 공정에서는 다이싱 시트(50)의 중간 깊이까지 다이싱한다.
- [0196] 여기서, 다이싱 영역(29) 중 일부의 폭 치수로 칩 기판(21)을 다이싱함으로써, 도 6(c), (d)에 나타내는 바와 같이, 전자 부품 패키지(100)에서의 칩 기판(21)의 면적을 기재(12)의 면적보다도 크게 할 수 있다.
- [0197] 도 6(c)에 나타내는 바와 같이, 다이싱된 칩 기판(21)은 필요에 따라서 화살표로 나타내는 바와 같이 다이싱 시트(50)를 면내 방향으로 확장하여 개편화한다.
- [0198] 개편화된 칩 기판(21)은 다이싱 시트(50)로부터 떼어내진 후, 도 6(d)에 나타내는 바와 같이 기재(12)의 이면(122)에 뿔납 범프(40)를 탑재해 전자 부품 패키지(100)가 작성된다.
- [0199] 또한, 본 방법의 제 1 변형예에서는 접합 공정 후, 또한 다이싱 공정 전에, 회로 기판(10) 기재(12)의 이면

(122)에 대해서 미리 뱀납 범프(40)을 탑재해도 된다.

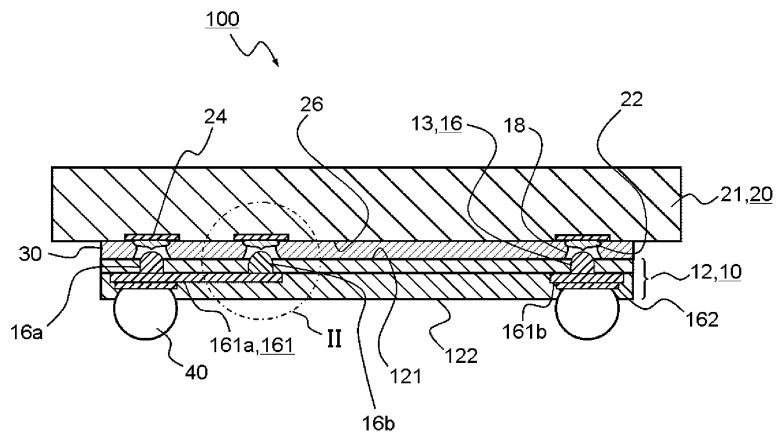
- [0200] 도 7(a) 내지 (d)는 복수의 회로 영역(17)이 패턴 형성된 1매의 기재(12)에 대해서, 미리 개편화된 복수의 전자 부품(20)을 접합하는 본 방법의 제 2 변형예에 관한 공정 단면도이다.
- [0201] 도 7(a)에 나타내는 기재(12)에는 복수의 회로 영역(17)이 일차원 또는 이차원으로 패턴 형성되어 있다. 각 회로 영역(17)에는 하나 또는 둘 이상의 도체 포스트(16)(도 7(a)에서는 미도시)가 마련되어 있다. 도체 포스트(16)의 선단에는 뱀납층(18)이 각각 마련되어 있다.
- [0202] 그리고, 기재(12)의 표면(121)에는 접착층(30)이 피착되어 있다. 뱀납층(18)은 접착층(30)으로 덮여 표면의 산화가 방지되고 있다.
- [0203] 기재(12)의 이면(122)에는 다이싱 시트(50)가 첩부되어 있다.
- [0204] 한편, 개편화된 전자 부품(20)에는 각각 전극 패드(24) 및 금속층(22)(금속 스테드(22a))이 마련되어 있다.
- [0205] 전자 부품(20)과 기재(12)는 금속 스테드(22a)와 뱀납층(18)을 내향으로 하여 대향 배치되어 있다.
- [0206] 도 7(b)에 나타내는 바와 같이, 소정의 접합 온도로 가열된 복수의 전자 부품(20)은 기재(12)에 대해서 위치 맞춤이 되어 접합된다. 금속 스테드(22a)는 접착층(30) 및 뱀납층(18)에 관입된다.
- [0207] 그리고, 뱀납층(18) 및 접착층(30)을 고온의 리플로우 온도로 더 가열함으로써, 뱀납층(18)과 금속 스테드(22a)가 뱀납 접합되고, 기재(12)와 칩 기관(21)이 접착층(30)에 의해 접합된다.
- [0208] 이러한 상태에서부터, 다이싱 블레이드(52)를 이용하여 회로 영역(17)끼리의 사이에 해당하는 다이싱 영역(19)에서 접착층(30) 및 기재(12)를 절단한다.
- [0209] 여기서, 다이싱 블레이드(52)에 의한 다이싱 폭이 칩 기관(21)에 접하도록 조정해 기재(12)를 절단함으로써, 도 7(c), (d)에 나타내는 바와 같이, 전자 부품 패키지(100)에서의 칩 기관(21)과 기재(12)의 면적을 서로 동일하게 할 수 있다.
- [0210] 그리고, 도 7(c)에 나타내는 바와 같이, 필요에 따라서 화살표로 나타내는 바와 같이 다이싱 시트(50)를 면내 방향으로 확장하여 기재(12)를 개편화한다.
- [0211] 개편화된 기재(12)는 다이싱 시트(50)로부터 떼어내진 후, 도 7(d)에 나타내는 바와 같이 기재(12)의 이면(122)에 뱀납 범프(40)를 탑재해 전자 부품 패키지(100)가 작성된다.
- [0212] 또한, 본 방법에서는 상기 변형예 외, 각각 복수의 회로 영역(17)과 소자 영역(27)이 패턴 형성된 기재(12)와 칩 기관(21)을 접합하여 양자를 함께 다이싱해도 된다.
- [0213] 상기 본 실시 형태의 전자 부품 패키지(100)의 작용 효과에 대해서 설명한다. 본 실시 형태의 전자 부품 패키지(100)는 접착층(30)이 함유하는 플럭스 활성 화합물에 의해 뱀납층(18)과 금속층(22)의 표면이 환원되어 산화막이 형성되는 일이 없다. 이 때문에, 뱀납층(18)과 금속층(22)은 양호하게 금속 접합하여 도체 포스트(16)와 전극 패드(24)가 높은 접합 강도로 일체화된다.
- [0214] 또 본 실시 형태에서는 뱀납층(18)은 주석을 포함하고, 금속층(22)은 금, 니켈, 알루미늄 혹은 구리로부터 선택되는 적어도 1종의 금속, 또는 이러한 금속을 포함하는 합금 혹은 주석을 함유하는 뱀납이다. 이에 의해, 뱀납층(18)을 반응용 상태로 가열해 뱀납층(18)과 금속층(22)를 가열했을 경우에, 양자의 계면에 층상 화합물이 생겨 강고한 금속 접합이 실현된다.
- [0215] 또 본 실시 형태의 금속층(22)은 회로 기관(10)을 향해 돌출된 금속 스테드(22a)이다. 이에 의해, 회로 기관(10)과 전자 부품(20)을 가압했을 때에, 압정 형상의 돌기부(23)가 뱀납층(18)에 용이하게 관입하여 확실히 뱀납층(18)과 금속층(22)이 접촉된다.
- [0216] 그리고, 뱀납층(18)과 금속층(22)이 단순하게 맞닿는 경우에 비해, 본 실시 형태와 같이 금속 스테드(22a)의 적어도 일부가 뱀납층(18)의 내부에 관입함으로써, 양자의 접촉 길이가 커져 금속 접합력이 향상된다.
- [0217] 또 본 실시 형태의 회로 기관(10)은 플렉서블 기관이다. 도체 포스트(16)와 전극 패드(24)를 강고하게 접합하는 발명에서 회로 기관(10)을 플렉서블 기관으로 함으로써, 접합부에 발생하는 열 응력을 완화시킬 수 있다. 즉, 도체 포스트(16)와 전극 패드(24)의 접합을 단순히 강화했을 경우, 기재(12)와 칩 기관(21)의 선폭장 계수가 서로 다르므로 인해 뱀납층(18) 및 금속층(22)에는 큰 열 응력이 작용한다. 이 때문에, 리플로우 온도로부터 상온

으로 생각되었을 경우의 열 충격 및 전자 부품 패키지(100)의 가동·정지시의 열 사이클에 의해 전자 부품 패키지(100)의 제품 수율이나 내구성은 저하된다. 이에 대해, 회로 기판(10)의 기재(12)에 면내 방향의 신축성을 부여함으로써, 기재(12)의 휨에 의해서 열 응력이 완화되어 상기의 문제가 해소된다.

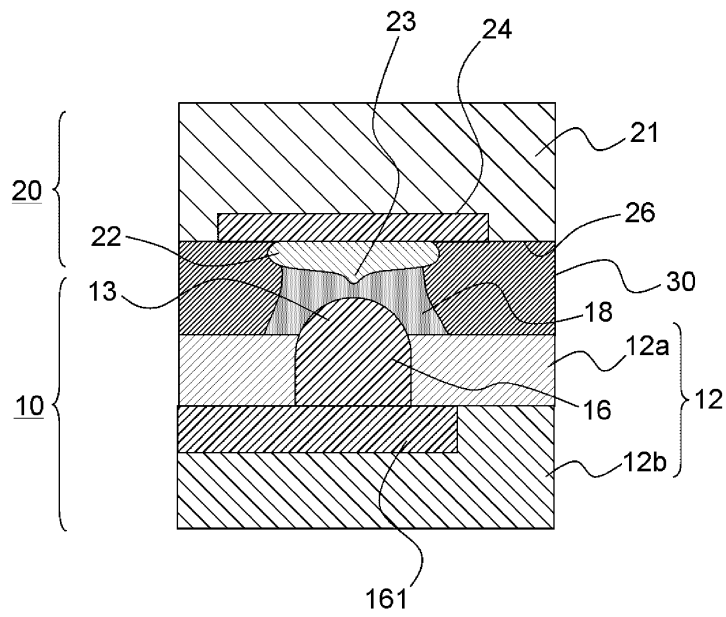
- [0218] 다시 말하면, 플럭스 활성화 화합물을 함유하는 접착층(30)을 이용해 뿔납층(18)과 금속층(22)을 강고하게 접합하는 본 발명에 있어서, 본 실시 형태와 같이 회로 기판(10)을 플렉서블 기판으로 한 것의 상승 효과에 의해 도체 포스트(16)와 전극 패드(24)의 컨택트성과 전자 부품 패키지(100)의 열 강도가 밸런스 있게 향상된다.
- [0219] 또, 근래의 전자 부품(20)에서는 패키지의 고밀도·고기능화에 수반하는 이른바 다핀화(more pins)에 의해 전극 패드(24)의 수는 수백 내지 수천, 또는 그 이상으로 많아지는 것이 되고 있다. 이 때문에, 전자 부품(20)을 회로 기판(10)에 실장함에 있어서는 회로 기판(10)의 배선이 복잡화되는 동시에, 도체 포스트(16)와 금속층(22)을 접합하는 개개의 뿔납층(18)이 극히 소형화되고 있다.
- [0220] 따라서, 도 3에 나타내는 바와 같이 회로 기판(10)에 다층 기판을 이용해 배선의 복잡화를 실현하는 동시에, 본 실시 형태와 같이 플럭스 활성화 화합물을 함유하는 접착층(30)을 이용해 금속층(22)과 뿔납층(18)의 금속 접합을 양호하게 확실히 실시함으로써 근래의 다핀화에 대응하는 것이 가능해진다.
- [0221] 또, 본 방법에서는 위치 맞춤 공정에 있어서, 도체 포스트(16)와 전극 패드(24)를 대향시킨 상태로 회로 기판(10)과 전자 부품(20)을 가열 상태에서 압접하여 회로 기판(10)과 전자 부품(20)을 접착층(30)에 의해 접합한다. 그리고, 접합 공정에서는 뿔납층(18)을 가열 용융해 뿔납층(18)과 금속층(22)을 금속 접합한다. 또, 본 실시 형태의 접착층(30)은 열경화성이다. 이에 의해, 위치 맞춤 공정과 접합 공정의 일련의 가열 스텝에서, 뿔납층(18)과 금속층(22)의 계면에 발생하는 증상 화합물 영역의 성장과 접착층(30)의 열경화 양쪽 모두의 작용을 얻고 있다.
- [0222] <제 2 실시 형태>
- [0223] 또한, 본 발명은 상술한 실시 형태로 한정되는 것은 아니고, 본 발명의 목적이 달성되는 한에 있어서 여러 가지의 변형, 개량 등의 태양도 포함한다.
- [0224] 도 8은 본 실시 형태에 관한 전자 부품 패키지(100)의 도체 포스트(16) 근방에 관한 확대 단면도이다. 도 8은 제 1 실시 형태의 도 2에 대응하고 있다.
- [0225] 본 실시 형태는 전극 패드(24)에 탑재된 금속층(22)이 피막 모양으로 형성되어 있다는 점에서 제 1 실시 형태와 서로 다르다.
- [0226] 보다 구체적으로는 본 실시 형태의 금속층(22)으로는 니켈금 도금층, 알루미늄 도금층, 금 도금층, 니켈 도금층 혹은 구리 도금층 중 적어도 1종, 또는 주석을 함유하는 뿔납 도금층을 이용할 수 있다. 여기서, 니켈금 도금층이란 전극 패드(24)에 맞닿는 니켈 또는 니켈 합금의 하지층 위에 금 또는 금 합금의 톱층(top layer)을 형성한 것이다.
- [0227] 금속층(22)으로서 구리 도금층을 이용하는 경우 그 표면에는 프리플럭스(preflux)를 도공하면 된다.
- [0228] 본 실시 형태의 금속층(22)은 전극 패드(24)의 표면에 층상으로 형성되어 있다. 이러한 금속층(22)에 대해서 도체 포스트(16)의 선단부(13)에 마련된 뿔납층(18)을 가열 상태에서 압압함으로써, 뿔납층(18)은 반응용 상태가 되어 금속층(22)의 표면에 맞닿아 금속 접합을 발생시킨다. 그리고, 재응고된 뿔납층(18)은 금속층(22)과 표면 기재(12a)를 결합시킨다.
- [0229] 즉, 금속층(22)은 제 1 실시 형태와 같이 압정 형상의 금속 스테드(22a)로 하는 것 외에 본 실시 형태와 같이 평탄한 층상으로 형성해도 되고, 그 형상은 특별히 한정되는 것은 아니다.
- [0230] 이 출원은 2008년 11월 25일에 출원된 일본국 특허 출원 2008-300113을 기초로 하는 우선권을 주장하고, 그 공개된 모든 것을 여기에 포함시킨다.

도면

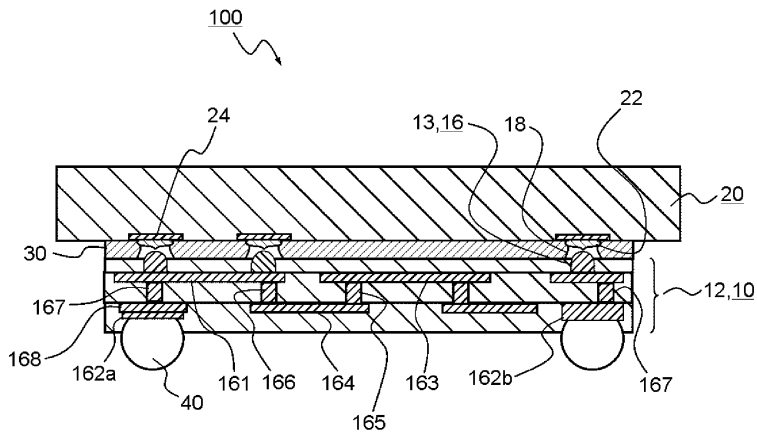
도면1



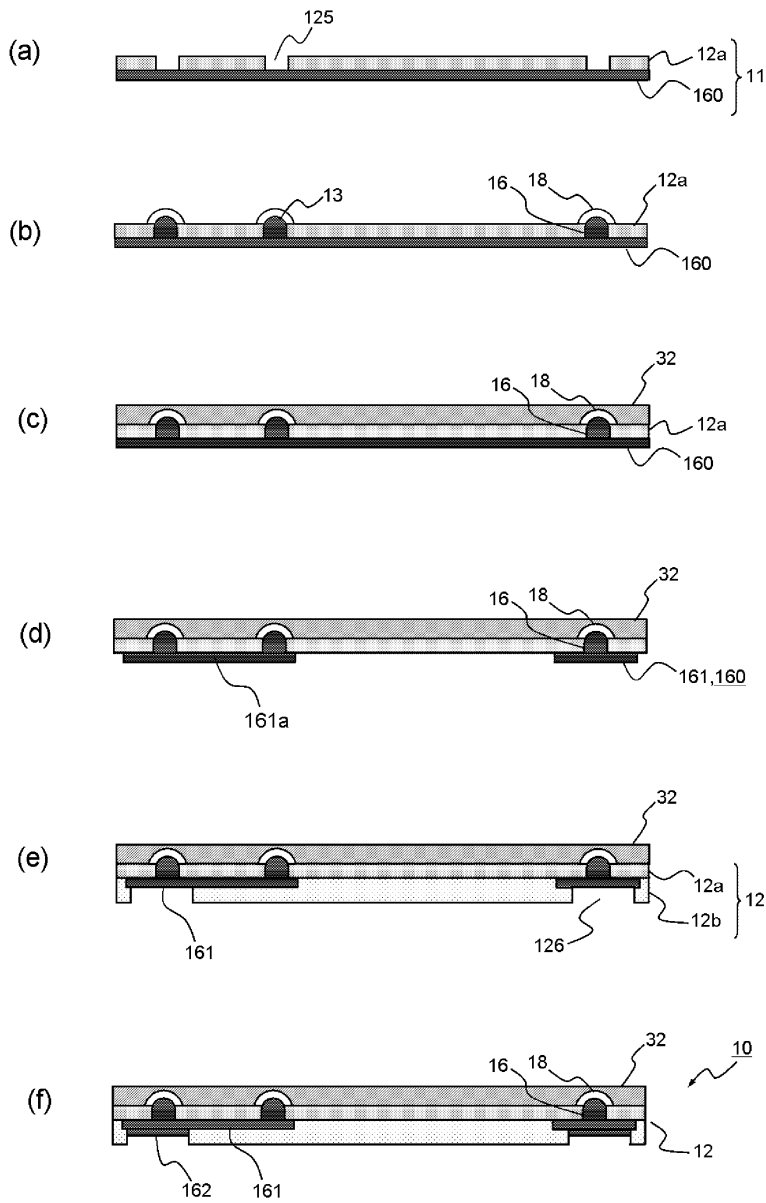
도면2



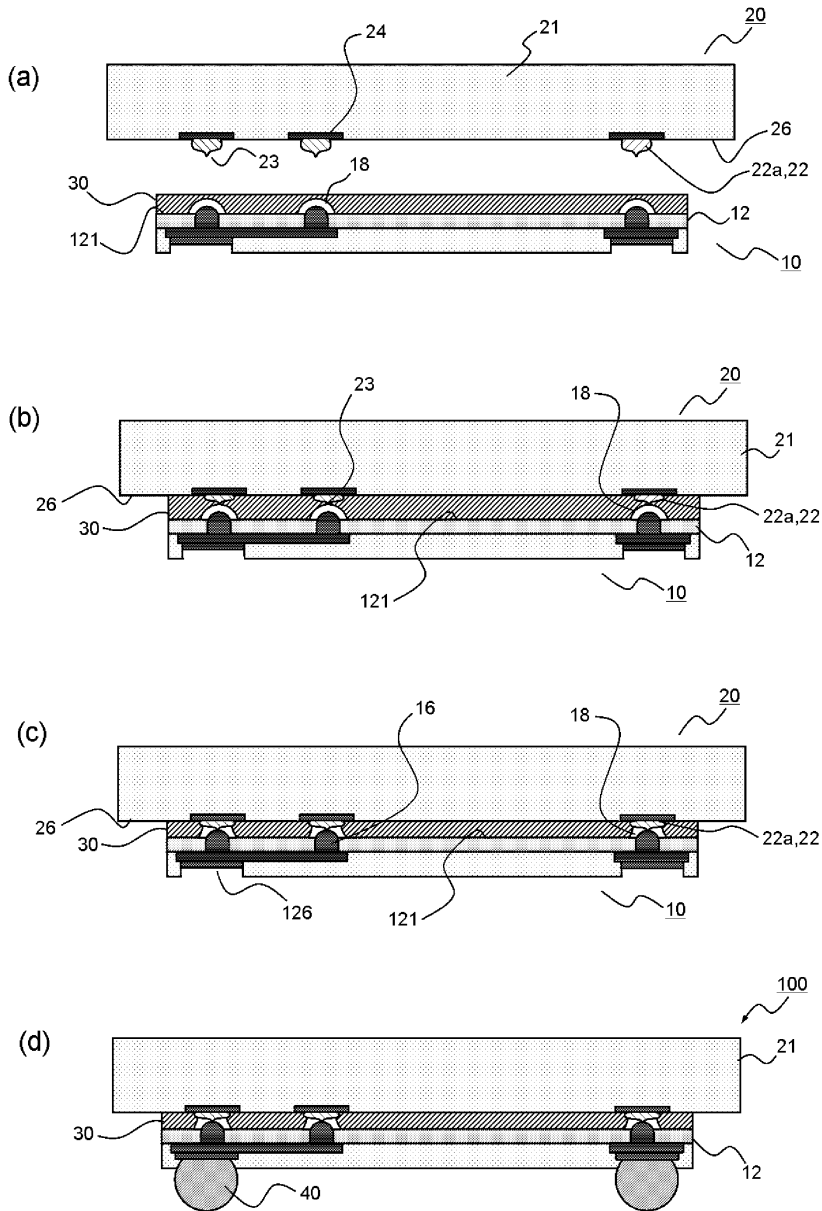
도면3



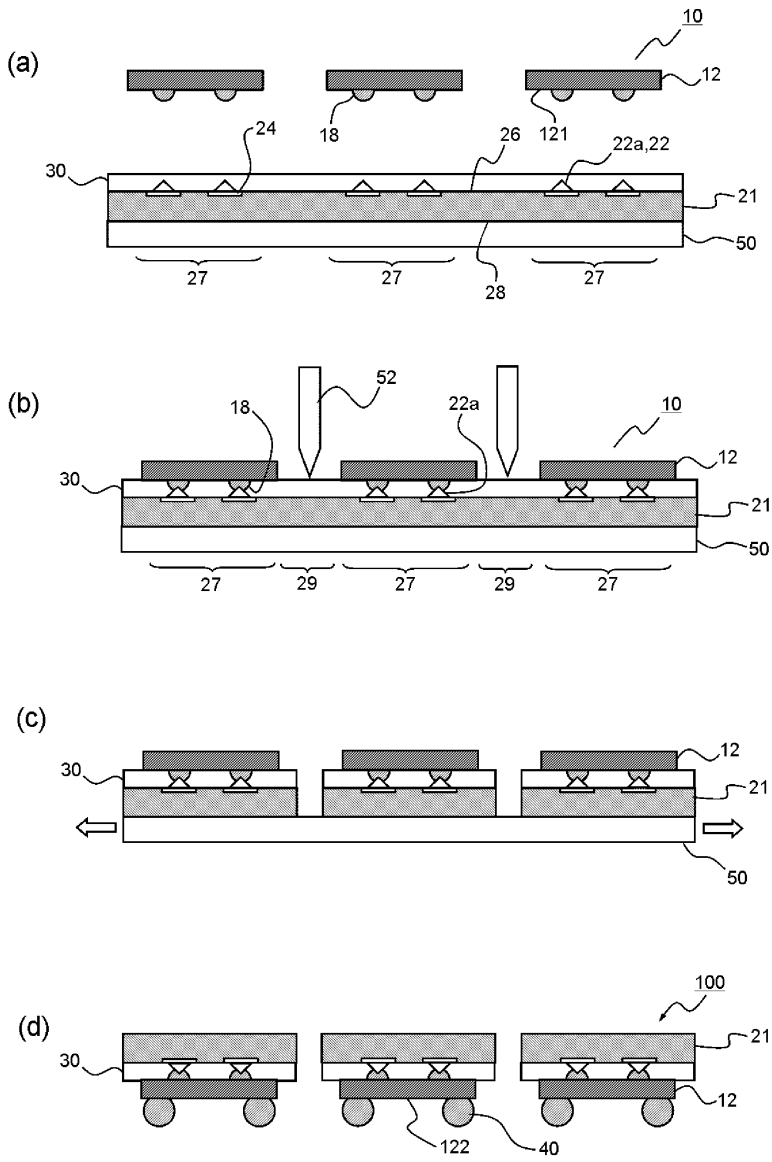
도면4



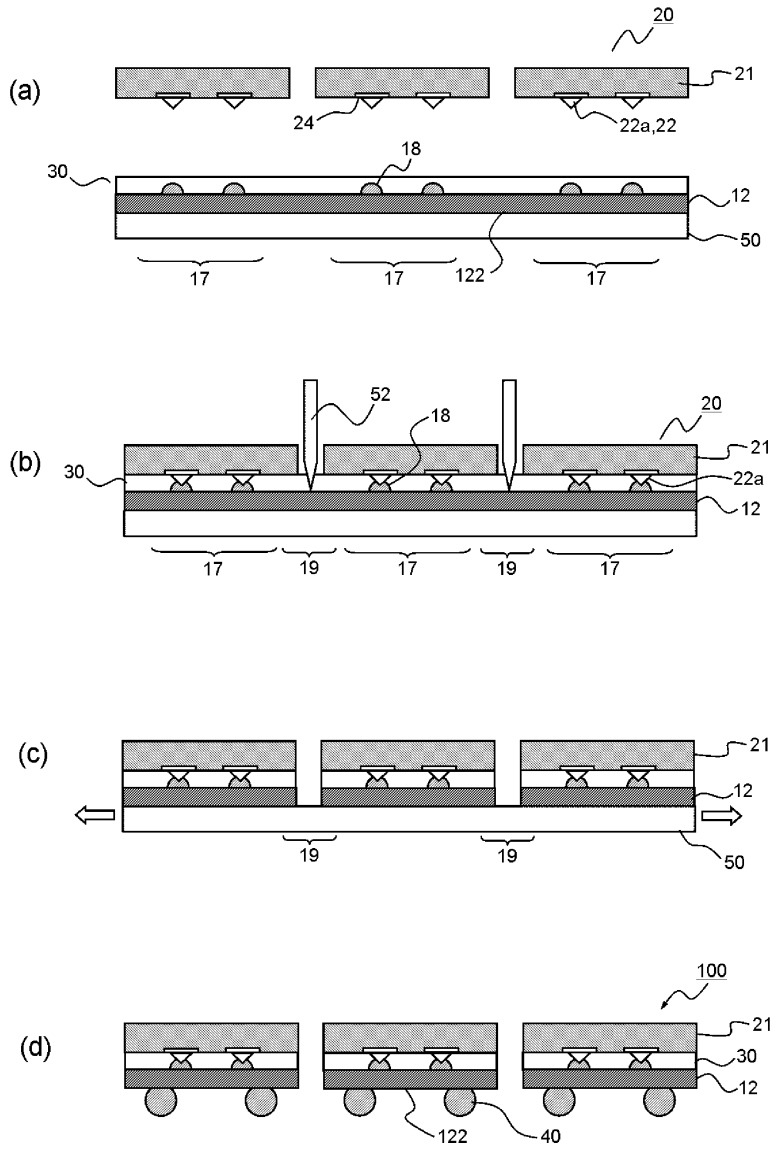
도면5



도면6



도면7



도면8

