



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월07일
 (11) 등록번호 10-1755356
 (24) 등록일자 2017년07월03일

- (51) 국제특허분류(Int. Cl.)
 G06F 1/14 (2006.01) G01R 19/165 (2006.01)
- (21) 출원번호 10-2012-7019922
- (22) 출원일자(국제) 2011년03월24일
 심사청구일자 2016년03월23일
- (85) 번역문제출일자 2012년07월27일
- (65) 공개번호 10-2013-0020652
- (43) 공개일자 2013년02월27일
- (86) 국제출원번호 PCT/US2011/029719
- (87) 국제공개번호 WO 2011/119790
 국제공개일자 2011년09월29일
- (30) 우선권주장
 12/732,595 2010년03월26일 미국(US)
- (56) 선행기술조사문헌
 JP2003172762 A
 KR1020070112373 A
 US07493505 B2
 US07844837 B2

- (73) 특허권자
 마이크로칩 테크놀로지 인코포레이티드
 미국 85224-6199 아리조나 챌들러 웨스트 챌들러
 블러바드 2355
- (72) 발명자
 알레만 엔리퀘
 미국, 85234 아리조나, 길버트, 이스트 헤더 에이
 브이이. 1214
 딜런 조나단
 미국, 85281 아리조나, 템피, #236, 이스트 레먼
 에스터. 1215
 (뒷면에 계속)
- (74) 대리인
 특허법인세신

전체 청구항 수 : 총 18 항

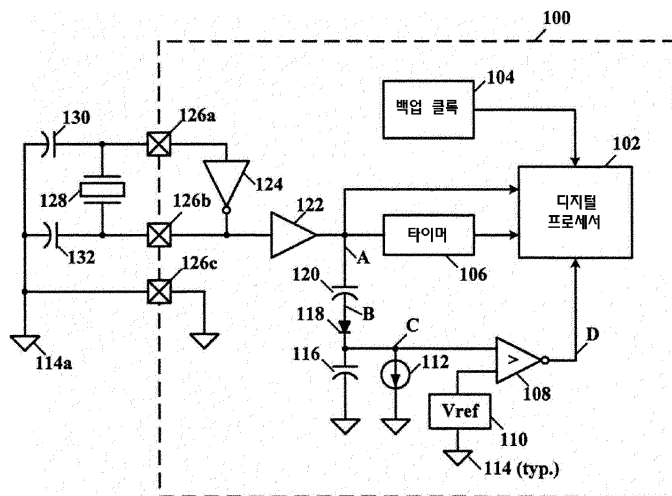
심사관 : 손경완

(54) 발명의 명칭 자동 안전 오실레이터 감시 및 경고 장치

(57) 요약

자동 안전 오실레이터 감시 및 경고 회로는 외부 오실레이터로부터 클록 펄스들을 수신하는데, 외부 오실레이터에 동작 실패가 발생하면, 자동 안전 오실레이터 감시 및 경고 회로는 외부 오실레이터의 동작 실패를 디지털 프로세서에 알린다. 자동 안전 오실레이터 감시 및 경고 회로는 매우 저 전력을 사용하는 회로로, 외부 오실레이터가 정상적으로 동작하면 외부 오실레이터로부터의 클록 펄스들을 이용하여 저장 커패시터를 충전하고, 외부 오실레이터가 기능을 정지하면, 저장 커패시터를 일정 전류 싱크로 방전한다. 저장 커패시터의 충전 전압이 기준 전압 이하가 되면, 동작 실패된 외부 오실레이터의 예외 또는 에러 처리를 위해, 경고 신호가 디지털 프로세서로 송신된다.

대표도



(72) 발명자

델포트 비비엔

미국, 85249 아리조나, 찬들러, 사우스 커비 4240

줄리처 조셉

미국, 85138 아리조나, 마리코파, 웨스트 엘리자베스 에이브이이. 43534

명세서

청구범위

청구항 1

주 클록 오실레이터 감시 및 경고 기능을 갖는 디지털 디바이스로서,

동작 모드와 저 전력 슬립 모드를 갖는 프로세서;

외부 주파수 결정 요소에 결합하고, 복수의 클록 펄스를 상기 외부 주파수 결정 요소에 의해 결정된 주파수로 발생시키는 주 클록 오실레이터;

상기 주 클록 오실레이터에 결합한 직류(DC) 블로킹 커패시터;

상기 DC 블로킹 커패시터에 연결된 다이오드;

상기 다이오드에 연결되고, 상기 다이오드를 통해 그리고 상기 복수의 클록 펄스로부터 하나의 전압으로 충전되는 전압 저장 커패시터;

상기 전압 저장 커패시터에 연결된 정전류 싱크 - 상기 정전류 싱크는 상기 복수의 클록 펄스로부터 충전되지 않을 때에는 방전 시간이 상기 복수의 클록 펄스의 하나의 클록 주기보다 더 크게 상기 전압 저장 커패시터 전압을 방전시킴 -; 및

상기 프로세서의 입력부에 연결된 출력부, 상기 전압 저장 커패시터에 연결된 제1 입력부, 및 기준 전압에 연결된 제2 입력부를 구비한 전압 비교기를 포함하고,

상기 전압 저장 커패시터 전압이 상기 기준 전압보다 클 때에는, 상기 전압 비교기의 출력이 제1 로직 레벨에 있고,

상기 전압 저장 커패시터 전압이 상기 기준 전압 이하일 때에는, 상기 전압 비교기의 출력이 제2 로직 레벨에 있는, 디지털 디바이스.

청구항 2

제1항에 있어서,

상기 프로세서가 상기 저 전력 슬립 모드에 있고 그리고 상기 전압 비교기의 출력이 상기 제2 로직 레벨에 있을 때에는, 상기 프로세서가 상기 동작 모드로 리턴하는, 디지털 디바이스.

청구항 3

제1항에 있어서,

백업 클록부를 더 포함하고,

상기 프로세서가 상기 동작 모드로 리턴할 때에나, 또는 상기 프로세서가 동작 모드에 있고 그리고 상기 전압 비교기의 출력이 상기 제2 로직 레벨로 스위칭할 때에는, 상기 프로세서는 그것의 동작을 위해 상기 백업 클록부를 사용하도록 동작시키는, 디지털 디바이스.

청구항 4

제1항에 있어서,

상기 전압 비교기의 출력이 상기 제2 로직 레벨로 스위칭할 때에는, 상기 프로세서는 주 클록 오실레이터 동작 실패 프로그램 루틴을 실행하도록 프로그램되는, 디지털 디바이스.

청구항 5

제1항에 있어서,

상기 프로세서의 입력부에 결합한 출력부 및 상기 주 클록 오실레이터와 결합한 입력부를 구비한 타이머 카운터

를 더 포함하는, 디지털 디바이스.

청구항 6

제1항에 있어서,
상기 외부 주파수 결정 요소는 크리스털인, 디지털 디바이스.

청구항 7

제1항에 있어서,
상기 외부 주파수 결정 요소는 세라믹 공진기인, 디지털 디바이스.

청구항 8

제1항에 있어서,
상기 기준 전압은 전압 기준부에 의해 공급되는, 디지털 디바이스

청구항 9

제8항에 있어서,
상기 전압 기준부는 밴드갭 전압 기준부인, 디지털 디바이스.

청구항 10

제1항에 있어서,
상기 기준 전압은 공급 전압부와 공급 공통부 사이에 결합한 저항 네트워크 전압 분배기로부터 공급되는, 디지털 디바이스.

청구항 11

제1항에 있어서,
상기 정전류 싱크는 상기 전압 저장 커패시터를 시간에 따라 선형적으로 방전시키는, 디지털 디바이스.

청구항 12

제1항에 있어서,
스타트업 시에는 상기 전압 저장 커패시터가 상기 복수의 클록 펄스로부터 충전될 때까지 상기 전압 비교기의 출력을 무시하는, 디지털 디바이스.

청구항 13

디지털 디바이스의 주 클록 오실레이터를 감시하고 그리고 상기 주 클록 오실레이터가 동작하지 않을 시에는 경고를 발생시키는 방법으로서,
주 클록 오실레이터에 결합한 DC 블로킹 커패시터와 상기 DC 블로킹 커패시터에 연결된 다이오드에 의해, 상기 주 클록 오실레이터로부터의 복수의 펄스로 전압 저장 커패시터를 하나의 전압으로 충전시키는 것;
방전 시간이 상기 복수의 펄스의 하나의 클록 주기보다 더 크게, 정전류 싱크에 의해 상기 전압 저장 커패시터 전압을 방전시키는 것; 및
전압 비교기로 상기 전압 저장 커패시터 전압을 감시하는 것을 포함하고,
상기 전압 저장 커패시터 전압이 기준 전압보다 클 때에는, 어떤 경고도 상기 전압 비교기의 출력으로부터 발행되지 않고, 그리고
상기 전압 저장 커패시터 전압이 상기 기준 전압 이하일 때에는, 상기 경고가 상기 전압 비교기의 출력으로 발행되는, 주 클록 오실레이터 감시 및 경고 발생 방법.

청구항 14

제13항에 있어서,

상기 디지털 디바이스는 상기 펄스들을 동작 클록으로 수신하는 프로세서, 및 백업 클록부를 더 포함하고,

상기 경고의 발행시에는 상기 프로세서가 상기 백업 클록부에 의해 동작하는, 주 클록 오실레이터 감시 및 경고 발생 방법.

청구항 15

제13항에 있어서,

상기 디지털 디바이스는 백업 클록부 및 백업 클록 펄스들을 동작 클록으로 수신하는 프로세서를 포함하는, 주 클록 오실레이터 감시 및 경고 발생 방법.

청구항 16

제14항 또는 제15항에 있어서,

상기 프로세서는 동작 모드와 저 전력 슬립 모드를 갖고,

상기 방법은, 상기 경고가 상기 전압 비교기로부터 발행될 때에는 상기 프로세서를 상기 저 전력 슬립 모드로부터 상기 동작 모드로 웨이크하는 단계를 더 포함하는, 주 클록 오실레이터 감시 및 경고 발생 방법.

청구항 17

제13항에 있어서,

상기 경고가 상기 전압 비교기로부터 발행될 때에는, 프로세서는 초기화되는 클록 동작 실패 예외 프로그램 루틴을 갖는, 주 클록 오실레이터 감시 및 경고 발생 방법.

청구항 18

제13항에 있어서,

상기 디지털 디바이스의 스타트업 시에는, 상기 전압 저장 커패시터가 상기 복수의 펄스로부터 충전될 때까지 상기 전압 비교기에 의해 발행된 상기 경고가 무시되는, 주 클록 오실레이터 감시 및 경고 발생 방법.

청구항 19

삭제

발명의 설명

기술 분야

[0001] 본 발명은 외부 클록 오실레이터를 이용하는 집적 회로 디바이스들에 관한 것으로, 특히 외부 클록 오실레이터를 감시하고 및 외부 클록 오실레이터가 동작하지 않으면 경고하는 장치에 관한 것이다.

배경 기술

[0002] 프로세서를 갖는 디지털 디바이스를 구비하는 전자 응용기기들은, 저 전력 모드(예를 들면 스탠바이 또는 슬립)로부터 주기적인 웨이크-업(wake-up)을 결정하기 위한 안정한 시간 축(time base)을 구축하도록 종종 외부 주파수 결정 요소(들) 및/또는 외부 오실레이터(예를 들면 크리스털 또는 세라믹 공진기 및/또는 전자 회로)를 사용한다. 이 외부 주파수 결정 요소(들)/오실레이터가 어떤 이유로 정지된다면, 디지털 디바이스의 프로세서는 또 다른 트리거 이벤트에 의해 동작 모드로 웨이크업되지 않는다면, 슬립 상태를 계속 유지할 것이다. 이 문제를 해결하는 방법은 디지털 디바이스 내에 워치도그(watchdog) 타이머를 인에이블하고, 외부 오실레이터가 동작하지 않으면 워치도그 타이머를 자동 안전 장치로서 이용하는 것이다. 하지만, 디지털 디바이스에 워치도그 타이머의 사용은 디지털 디바이스 및 다른 매우 밀접한 디바이스 응용기기들의 슬립(스탠바이) 전류 소비를 지나치게 증가시킬 수 있다. 따라서 디지털 디바이스의 전력 소비를 줄이기 위해, 워치도그 타이머는 전형적으로 디

스에이블된다. 워치도그 타이머로부터 디지털 디바이스의 프로세서로의 웨이크업 트리거 신호가 없다면, 프로세서가 저 전력 모드에 있을 때 외부 오실레이터가 동작하지 않는다면, 프로세서는 슬립 상태를 계속 유지할 것이다. (동작 모드에서) 대안적으로, 프로세서는 외부 주파수 결정 요소(들)/오실레이터가 동작 중이라는 것을 증명할 수 있을 정도로 충분히 오랫동안 동작 상태를 유지해야 한다. 동작 모드에서 소비되는 이 추가적인 시간은, 디지털 디바이스의 전력 소비를 증가시킬 것이다.

발명의 내용

해결하려는 과제

[0003] 외부 주파수 결정 요소(들)/오실레이터가 발진 중인 경우에는 제1 로직 레벨로 충전되고, 외부 주파수 결정 요소(들)/오실레이터가 동작하지 않는 경우에는 제2 로직 레벨로 방전(타입아웃)하는 간단한 지연 및 감시 회로를 이용함으로써, 상술한 문제점은 해결되고 다른 장점들을 얻을 수 있다.

과제의 해결 수단

[0004] 본 발명의 특정 실시예에 따른 주 클록 오실레이터 감시 및 경고를 갖는 디지털 디바이스는, 동작 모드와 저 전력 슬립 모드를 갖는 프로세서; 상기 프로세서의 입력단에 연결된 출력단과 복수의 클록 펄스들을 받아들이는 입력단을 구비한 타이머 카운터; 상기 타이머 카운터의 상기 입력단과 외부 주파수 결정 요소에 연결되고, 상기 외부 주파수 결정 요소에 의해 결정된 주파수로 상기 복수의 클록 펄스들을 생성하는 주 클록 오실레이터; 상기 주 클록 오실레이터에 연결된 직류(DC) 블로킹 커패시터; 상기 DC 블로킹 커패시터에 연결된 다이오드; 상기 다이오드에 연결되고, 상기 다이오드를 통해 상기 복수의 클록 펄스들로부터의 전압으로 충전되는 전압 저장 커패시터; 상기 전압 저장 커패시터에 연결되어, 상기 전압 저장 커패시터가 상기 복수의 클록 펄스들로부터 충전되지 않는 경우 상기 전압 저장 커패시터의 전압을 방전하는 전류 싱크; 및 상기 프로세서의 입력단에 연결된 출력단, 상기 전압 저장 커패시터에 연결된 제1 입력단, 및 기준 전압에 연결된 제2 입력단을 구비한 전압 비교기를 포함하고, 상기 전압 저장 커패시터의 전압이 상기 기준 전압보다 크면, 상기 전압 비교기의 출력이 제1 로직 레벨에 있고, 상기 전압 저장 커패시터의 전압이 상기 기준 전압 이하이면, 상기 전압 비교기의 출력이 제2 로직 레벨에 있다.

[0005] 본 발명의 또 하나의 특정 실시예에 따른 디지털 디바이스의 주 클록 오실레이터를 감시하고 및 상기 주 클록 오실레이터가 동작하지 않으면 경고 신호를 발생하는 방법은, 상기 주 클록 오실레이터로부터의 복수의 펄스들을 이용하여 전압 저장 커패시터를 충전하는 단계; 및 전압 비교기를 이용하여 상기 전압 저장 커패시터의 전압을 감시하는 단계를 포함하고, 상기 전압 저장 커패시터의 전압이 기준 전압보다 크면, 어떤 경고 신호도 상기 전압 비교기의 출력으로부터 발행되지 않고, 상기 전압 저장 커패시터의 전압이 상기 기준 전압 이하이면, 경고 신호가 상기 전압 비교기의 출력으로 발행되고, 및 상기 경고 신호가 상기 전압 비교기로부터 발행된 이후에 백업 클록으로 스위칭한다. 여기서 프로세서는 동작 모드와 저 전력 슬립 모드를 갖고, 상기 프로세서는 상기 경고가 상기 전압 비교기로부터 발행되면, 상기 저 전력 슬립 모드로부터 상기 동작 모드로 웨이크한다.

발명의 효과

[0006] 본 발명이 바람직한 실시예를 참조하여 특별히 도시되고 설명되었지만, 이러한 참조는 본 발명의 한정을 내포하지 않고 이러한 한정을 의미하지도 않는다. 개시된 본 발명은 이 기술분야의 당업자에 의해 형태와 기능에 있어서 수정물, 대체물, 및 등가물이 고려될 수 있다. 본 발명의 도시되고 설명된 실시예들은 단지 예로서, 본 발명의 범위를 한정하지 않는다.

도면의 간단한 설명

[0007] 첨부한 도면과 관련된 다음의 설명을 참조하면, 본 발명을 보다 완전하게 이해할 수 있다.

도 1은 본 발명의 특정 실시예에 따라, 외부 주파수 결정 요소(들)/오실레이터의 동작을 감시하고, 외부 주파수 결정 요소(들)/오실레이터가 동작하지 않으면 디지털 디바이스의 프로세서에 신호를 보내는 회로를 구비한 디지털 디바이스의 다이어그램을 도시한 도면이다.

도 2는 도 1에 도시된 디지털 디바이스에서의 다양한 신호 점들에 대한 전압-시간 파형들을 도시한 도면이다.

본 발명은 다양한 수정물 및 대체 형태가 가능하지만, 바람직한 실시예들이 도면에 도시되고 여기에 상세히 설명되었다. 하지만, 바람직한 실시예들의 설명은 본 발명을 여기에 개시된 바람직한 형태로 한정하려는 것이 아

니며, 오히려 반대로, 본 발명은 첨부한 청구범위에 의해 한정된 모든 수정물 및 등가물을 포함하려 한다.

발명을 실시하기 위한 구체적인 내용

- [0008] 이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 도면에서 동일한 구성요소는 동일한 번호로 나타내고, 유사한 구성요소는 소문자를 달리하여 동일한 번호로 나타낸다.
- [0009] 도 1은 본 발명의 특정 실시예에 따라, 외부 주파수 결정 요소(들)/오실레이터의 동작을 감시하고, 외부 주파수 결정 요소(들)/오실레이터가 동작하지 않으면 디지털 디바이스의 프로세서에 신호를 보내는 회로를 구비한 디지털 디바이스의 다이어그램을 도시한 도면이다. 디지털 디바이스(100)는 프로세서(102), 백업 클록(104), 타이머 카운터(106), 전압 비교기(108), 전압 기준부(110), 전류 싱크(112), 전압 저장 커패시터(116), 다이오드(118), 직류(DC) 블로킹 커패시터(120), 버퍼(122) 및 오실레이터 인버터(124)를 포함한다. 오실레이터 인버터(124)는 외부 주파수 결정 요소(128)(예를 들면 크리스탈, 세라믹 공진기 등)와 부하 커패시터들(130, 132)에 연결된다. 하나 이상의 부하 커패시터들(130, 132)은 오실레이터 인버터(124)와 주파수 결정 요소(128)에 의해 형성되는 주 클록 오실레이터를 위한 피드백 및/또는 주파수 조절 부품들로서 사용될 수 있다. 다이오드(118) 및/또는 전압 저장 커패시터(116) 및 블로킹 커패시터(120)는 디지털 디바이스(100)의 내부 또는 외부 배치될 수 있는데, 예를 들면, 디지털 디바이스(100)를 포함하는 집적 회로 다이 및/또는 집적 회로 패키지(미도시됨)의 일부가 아니라 외부에 연결되는 것도 본 발명의 범위 내이다.
- [0010] 정상적으로, 오실레이터 인버터(124)와 주파수 결정 요소(128)를 포함하는 주 클록 오실레이터는, 프로세서(102)와 타이머 카운터(106)에 클록 펄스들의 펄스 열(pulse train), 예를 들면 (도 2의 타이밍 다이어그램 A) 복수의 클록 펄스들을 제공한다. 타이머 카운터(106)는 주 클록 오실레이터로부터의 정해진 수의 펄스들을 카운트하고, 정해진 수의 펄스들이 카운트되면 프로세서(102)를 웨이크업할 것이다. 하지만, 주 클록 오실레이터의 어떤 부품이 어떤 이유로 인해 동작하지 않는다면, 예를 들면 외부 부품(주파수 결정 요소(128) 및/또는 하나 이상의 부하 커패시터들(130, 132))이 동작하지 않거나 다이 또는 패키지의 연결이 실패하면, 타이머 카운터(106)는 결코 주 클록 오실레이터로부터 정해진 수의 펄스들을 카운트할 수 없어, 프로세서(102)를 주기적으로 웨이크업할 수 없다.
- [0011] 본 발명의 개시에 따르면, 지연 및 감시 회로는 주 클록 오실레이터가 동작 중이면(적절하게 발진하면) 제1 로직 레벨로 충전되고, 주 클록 오실레이터가 동작하지 않으면 제2 로직 레벨로 방전(타입아웃)된다. 이 지연 회로로부터의 출력이 제2 로직 레벨에 있는 경우 주 클록 오실레이터 동작 실패 에러 루틴이 프로세서에 의해 초기화될 수 있도록 프로세서(102)에 경고(인터럽트)하는데 사용된다. 클록 오실레이터가 동작하지 않으면, 디지털 디바이스(100)는 내부 백업 클록 오실레이터(104)를 사용할 수 있다. 지연 및 감시 회로는 프로세서(102)가 슬립 모드에 있는 경우에는 웨이크업하는 것을 보증하며, 동작 모드에 있는 경우에는 백업 클록(104)을 사용하도록 경고 신호를 보낸다. 백업 클록 오실레이터(104)는 또한 프로세서가 그 동작을 위해 정상적으로 이용하는 내부 클록일 수 있으며, 또한 (고 안정 주파수 결정 요소(128)를 갖는) 주 클록 오실레이터가 프로세서 내부 오실레이터(예를 들면, 백업 클록 오실레이터(104))와 연동하여 정밀한 타이머로서 이용될 수 있다.
- [0012] 도 2는 도 1에 도시된 디지털 디바이스에서의 다양한 신호 점들에 대한 전압-시간 파형들을 도시한 도면이다. 주 클록 오실레이터로부터의 복수의 클록 펄스들(파형 A)은 블로킹 커패시터(120)를 통해 다이오드(118)에 연결된다. 다이오드(118)는 복수의 클록 펄스들을 정류하여(포지티브(positive) 전압 요소들만을 통과 - 파형 B), 전압 저장 커패시터(116)에 공급하며, 이에 의해 전압 저장 커패시터(116)가 복수의 펄스들의 전압 값에 실질적으로 동등한 포지티브 전압으로 충전된다(파형 C). 블로킹 커패시터(120)는 또한 버퍼(122)의 출력이 일정한 상태 로직 하이(1)로 강제된다면, DC를 차단하기 위해 사용된다. 전류 싱크(112)는 전압 저장 커패시터(116)로부터 일정 전류를 연속적으로 인출하지만, 이 일정 전류는 주 클록 오실레이터로부터의 복수의 펄스들이 동작 중일 때 다이오드(118)로부터 공급된 충전 전류보다 실질적으로 작다. 하지만, 주 클록 오실레이터가 동작을 정지하면, 예를 들면 전압 저장 커패시터(116)에 충전되는 복수의 펄스들이 없다면, 전류 싱크(112)는 전압 저장 커패시터(116)의 충전 전압을 선형적으로 인출할 것이다(파형 C).
- [0013] 전압 비교기(108)는 주 클록 오실레이터가 동작 중인지 아닌지를 나타내는 신호를 생성하여 프로세서(102)에 공급한다. 전압 비교기(108)의 출력은 인터럽트 또는 웨이크업을 위한 입력으로 프로세서(102)에 연결될 수 있는데, 여기서 전압 비교기(108)의 출력이 제1 로직 레벨, 예를 들면 로직 로우(0)에 있는 경우, 프로세서(102)는 정상 상태(주 클록 오실레이터가 동작함)로 역할을 수행하며, 전압 비교기(108)의 출력이 제2 로직 레벨, 예를 들면 로직 하이(1)에 있는 경우, 프로세서(102)에 주 클록 오실레이터가 역할 수행을 멈추었음이 경고된다(파형 D). 전압 비교기(108)로부터의 출력 로직 레벨들은 전압 저장 커패시터(116)의 전압과 전압 기준부(110)로부터

의 기준 전압 V_{ref} 를 비교함으로써 결정된다. 전압 저장 커패시터(116)의 충전 전압이 V_{ref} 보다 크면, 전압 비교기(108)의 출력은 제1 로직 레벨에 있고, 전압 저장 커패시터(116)의 충전 전압이 V_{ref} 이하이면, 전압 비교기(108)의 출력은 제2 로직 레벨에 있다. 최초 파워-온-리셋(POR) 또는 브라운아웃-온-리셋(BOR) 동안에는, 주 클록 오실레이터로부터 최초 약간의 클록 펄스들을 수신하여 전압 저장 커패시터(116)가 최대 정상 동작 전압(외부 클록 동작)까지 충전될 때까지 비교기(108)의 출력이 무시된다. 전압 기준부(110)는 공급 전압과 공급 공통단 사이에 연결된 저항 네트워크 전압 분배기 또는 밴드갭 전압 기준부 등일 수 있다.

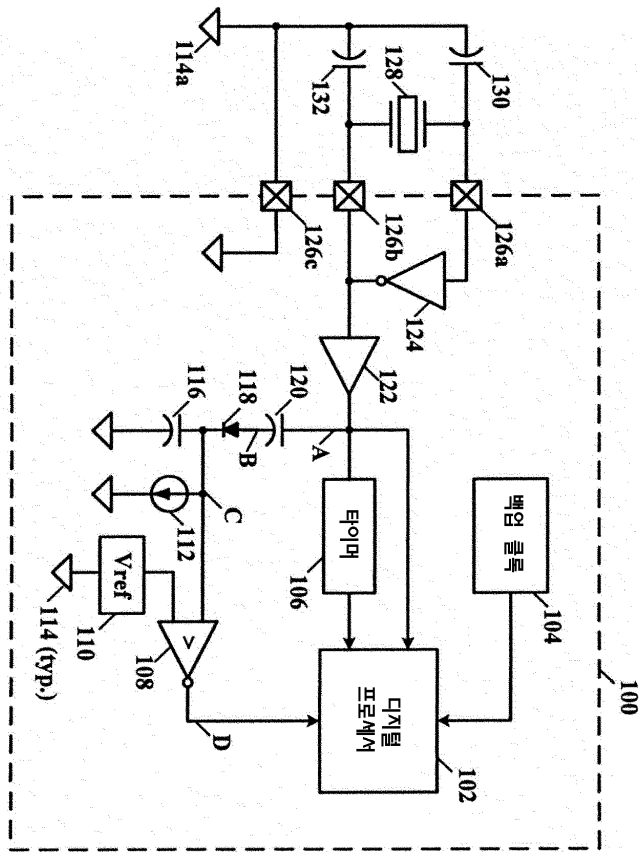
[0014] 전압 비교기(108)의 출력이 제2 로직 레벨이면, 그 출력은 저 전력 슬립 상태(모드)로부터 프로세서(102)를 웨이크업할 수 있는 인터럽트를 생성하거나, 대안적으로 프로세서(102)의 정규 동작을 인터럽트하고 주 클록 오실레이터 동작 실패 플래그를 설정하도록 이용될 수 있다.

[0015] 정상 동작으로부터 단지 총 편차만이 비교기(108)의 출력을 제2 로직 레벨로 스위칭하도록 요구되므로, 비교기(108)와 전압 기준부는 정밀할 필요가 없다. 전류 싱크(112)는 외부 오실레이터 동작 실패를 위해 전압 저장 커패시터(116)의 정전용량 값 및 그 충전 전압과 연동하여 타임아웃 시간 주기를 결정하며, 또한 전압 저장 커패시터(116)의 충전 전압을 선형적으로 감소하게 한다. 전압 저장 커패시터(116)가 주 클록 오실레이터의 복수의 클록 펄스들로부터 충전할 수 있도록, 전류 싱크(112)는 이들 클록 펄스들로부터 이용할 수 있는 전류보다 더 작은 전류일 것이다. 전압 저장 커패시터(116)의 전압이 기준 전압 이하가 되게 하는 방전 시간은 복수의 클록 펄스들의 하나의 클록 주기보다 크다. 주 클록 오실레이터의 동작 실패 후 기준 전압까지의 방전 시간은 한정하는 것은 아니지만, 예를 들면 100ms일 수 있다.

[0016] 다이오드(118)로의 입력 신호가 로직 하이(예를 들면 약 V_{dd})로 고정되면, 전압 저장 커패시터(116)는 전류 싱크(112)에 의해 방전될 수 없기 때문에, 외부 클록 신호(복수의 클록 펄스들)는 전압 저장 커패시터(116)를 직접 충전하기 위해 사용될 수 없다. 따라서 블로킹 커패시터(120)가 주 클록 오실레이터로부터의 펄스들을 다이오드(118)에 교류(AC)적으로 연결하기 위해 사용되는데, 이 다이오드(118)는 단지 포지티브 전압이 블로킹 커패시터(120)를 통과하게 하여, 효과적으로 일부 네거티브 전압을 차단한다. 블로킹 커패시터(120)를 사용한 결과로서, 전압 저장 커패시터(116)는 주 클록 오실레이터로부터의 펄스들이 온 및 오프로 토글하는 경우(복수의 클록 펄스들이 존재하는 경우)에만 충전될 수 있다.

도면

도면1



도면2

