(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H03L 7/08 (2006.01)

(11) 공개번호 10-2006-0040966
(43) 공개일자 2006년05월11일

(21) 출원번호 10-2004-0090255
(22) 출원일자 2004년11월08일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김시홍
경기도 용인시 죽전2동 1003-4 이지뷰 1동 102호

(74) 대리인 신영무

심사청구 : 없음

(54) 지연 동기 루프

요약

외부 클럭을 버퍼링하기 위한 입력 버퍼; 상기 입력 버퍼를 통과한 클럭을 지연시키기 위한 가변 딜레이 라인; 상기 가변 딜레이 라인을 통과한 클럭의 주파수를 분주하기 위한 주파수 분주기;

상기 주파수 분주기의 출력을 지연시키기 위한 리플리카 딜레이; 상기 리플리카 딜레이의 출력과 외부 클럭의 위상을 비교하기 위한 위상 검출기; 및 상기 위상 검출기의 출력에 따라 상기 가변 딜레이 라인의 지연량을 조절하기 위한 제어 신호를 출력하는 콘트롤 회로를 포함하는 지연 동기 루프가 개시된다.

대표도

도 2

색인어

지연동기루프, 주파수 분주기

명세서

도면의 간단한 설명

도 1 은 종래 기술에 따른 지연 동기 루프의 블록도이다.

도 2 는 도 1의 동작 설명을 위한 파형도이다.

도 3 은 본 발명에 따른 지연 동기 루프의 블록도이다.

도 4 는 도 3의 동작 설명을 위한 파형도이다.

* 도면의 주요 부분에 대한 부호의 설명

101, 201: 입력 버퍼 102, 202: 가변 딜레이 라인

103, 203: 위상 검출기 104, 204: 콘트롤 회로

105, 205: 리플리카 딜레이 106, 206: 출력 버퍼

207: 주파수 분주기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 지연 동기 루프(Delay Locked Loop; DLL)에 관한 것으로, 특히 지연 라인을 통과한 주파수를 반으로 줄인 후 위상 검출기의 기준 클럭으로 사용하여 입력 클럭의 위상을 검출하므로써 높은 주파수(High frequency)가 리플리카(Replica)를 통과하면서 발생되는 클럭의 왜곡을 줄일 수 있는 지연 동기 루프에 관한 것이다.

일반적으로, 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error) 없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다. 외부로부터 입력되는 클럭이 내부에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스큐(clock skew))이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭과 동일한 위상을 갖도록 하기 위해 DLL이 사용되고 있다.

DLL이 갖춰야 하는 중요한 요소로는 작은 면적과 작은 지터 그리고 빠른 록킹 시간(locking time)등이 있다. 이는 저 전압화 되어가고, 고속 동작화 되어가는 향후의 반도체 기억장치에서도 여전히 요구되는 성능이다. 그러나, 종래기술들은 이들 가운데 일부 요소만을 충족시키거나, 저전압 고속동작에 제한이 되는 단점들을 갖고 있다.

한편, DLL은 기존의 위상고정루프(PLL: Phase Locked Loop)에 비하여 잡음(noise)의 영향을 덜 받는 장점이 있어 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 동기식 반도체 메모리에서 널리 사용되고 있으며, 그 중에서도 레지스터 제어형 DLL(register controlled DLL)이 가장 널리 사용되는 바, 이를 예로 들어 종래기술의 문제점을 구체적으로 살피도록 한다.

도 1 은 종래 기술에 따른 레지스터 제어형 지연 동기 루프의 블록도이다.

입력 버퍼(101)는 외부 클럭(clk)을 버퍼링 한다. 가변 딜레이 라인(102)은 버퍼링된 외부 클럭(clk)을 지연시킨다. 리플리카 딜레이(105)는 tAC(Access Time)경로와 동일한 지연 시간을 갖도록 모델링한 것이다. 위상 검출기(103)는 입력 버퍼(101)로부터의 기준 클럭(clk)과 리플리카 딜레이(105)를 경유한 피드벡 클럭(oclk)의 위상차를 감지한다. 콘트롤 회로(104)는 위상 검출기(103)의 출력에 따라 가변 딜레이 라인(102)의 지연량을 결정한다. 출력 버퍼(106)는 가변 딜레이 라인(102)의 출력을 버퍼링하여 내부 클럭(dclk)을 생성한다.

상술한 구조에서 클럭(clk) 혹은 버퍼링된 클럭과 리플리카 딜레이의 출력(oclk)이 위상 검출기(103)에서 비교되는데 도 2에 도시된 바와 같이 입력 클럭(CLK)의 위상보다 리플리카 딜레이(103)의 출력(oclk)의 위상이 늦으므로 이 때에는 가변 딜레이 라인(102)을 줄여 당긴다. 그런데 클럭(clk)이 높은 주파수로 가게 되면 입력 클럭(clk)과 가변 딜레이 라인의 출력(mclk) 그리고 내부 클럭(dclk)에 비해서 리플리카를 통과한 클럭(oclk)은 많은 왜곡을 받을 수 있다. 왜냐하면 리플리카 딜레이의 딜레이 모델은 규격화된 딜레이 라인이 아니라 입출력 버퍼 등을 모델링 한 것이기 때문에 높은 주파수의 신호가 지나가는데 제약이 따르게 된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 리플리카 딜레이 앞단에서 주파수를 분주시켜 높은 주파수가 리플리카를 통과하는 것을 방지하는데 그 목적이 있다.

본 발명의 다른 목적은 리플리카를 통과한 주파수 분주된 클럭을 위상 검출기의 기준 클럭으로 하여 입력 클럭과 위상 비교하므로써 위상 검출 시 하모닉 로킹(harmonic locking) 혹은 검출 에러를 제거하는데 있다.

발명의 구성 및 작용

상술한 목적들을 달성하기 위한 본 발명에 따른 지연동기 루프는 외부 클럭을 버퍼링하기 위한 입력 버퍼;

상기 입력 버퍼를 통과한 클럭을 지연시키기 위한 가변 딜레이 라인;

상기 가변 딜레이 라인을 통과한 클럭의 주파수를 분주하기 위한 주파수 분주기;

상기 주파수 분주기의 출력을 지연시키기 위한 리플리카 딜레이;

상기 리플리카 딜레이의 출력과 외부 클럭의 위상을 비교하기 위한 위상 검출기; 및

상기 위상 검출기의 출력에 따라 상기 가변 딜레이 라인의 지연량을 조절하기 위한 제어 신호를 출력하는 콘트롤 회로를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하기로 한다.

도 3 은 본 발명에 따른 지연동기 루프의 블록도이다.

입력 버퍼(201)는 외부 클럭(clk)을 버퍼링 한다. 가변 딜레이 라인(102)은 버퍼링된 외부 클럭(clk)을 지연시킨다. 가변 딜레이 라인(202)을 통과한 클럭(mclk)은 주파수 분배기(Frequency divider)에 의해 2배 또는 4배 등으로 분주된다. 주파수 분주기(207)의 출력(hclk)은 리플리카 딜레이(205)에 제공된다. 리플리카딜레이(205)는 tAC(Access Time)경로와 동일한 지연 시간을 갖도록 모델링한 것이다. 디플리카 딜레이(205)에서 지연되어 얻어진 출력(oclk)은 위상 검출기(203)에 입력된다. 위상 검출기(103)는 입력 버퍼(101)로부터의 기준 클럭(clk)과 리플리카 딜레이(105)를 경유한 피드벡 클럭(oclk)의 위상차를 감지한다. 콘트롤 회로(204)는 위상 검출기(203)의 출력에 따라 가변 딜레이 라인(202)의 지연량을 결정한다. 출력 버퍼(206)는 가변 딜레이 라인(202)의 출력을 버퍼링하여 내부 클럭(dclk)을 생성한다.

위상 검출기(203)은 외부 클럭(clk)을 기준 클럭으로 하여 리플리카 딜레이(205)의 출력(oclk)을 비교하여 그 결과를 콘트롤 회로(204)에 제공할 수도 있으나 도 4에 도시된 바와 같이 본 발명에서는 하모닉 로킹 혹은 검출 에러를 줄이기 위해 리플리카 딜레이(205)의 출력(oclk)을 기준클럭으로 하여 외부 클럭(clk)을 비교하게 된다. 예를 들어 도 4에 도시된 바와 같이 리플리카 딜레이(205)의 출력(oclk)의 위상보다 외부 클럭(clk)의 위상이 앞선 경우 가변 딜레이 라인(202)을 줄여 당긴다.

즉, 본 발명에서는 리플리카 딜레이를 통과하는 신호의 왜곡을 줄이기 위해서 가변 딜레이 라인(202)의 출력(mclk: 높은 주파수)을 리플리카 딜레이(205)에 직접 입력 시키는 것이 아니라 주파수 분주기(207)에 의해 분주 한 다음 리플리카 딜레이(205)에 제공하는 것이다. 리플리카 딜레이(205)에서 지연된 클럭(oclk)은 위상 검출기(203)의 기준 클럭으로 사용되고 외부 클럭(clk)혹은 버퍼링된 외부 클럭의 위상을 검출하여 그 결과를 콘트롤 회로(204)에 제공하게 된다.

본 발명에 의하면 외부 클럭의 주파수가 높아지더라도 리플리카 딜레이(205)에 제공되는 주파수는 외부 클럭의 주파수보다 낮아지게 되므로 높은 주파수의 신호가 리플리카 딜레이를 통과하면서 발생되었던 주파수 왜곡 현상을 제거할 수 있게 된다.

본 발명은 주파수 분주기의 지연 시간을 보상하기 위해 외부 클럭을 지연시켜 상기 위상 검출기에 제공하기 위한 지연회로를 포함할 수도 있다. 주파수 분주기의 지연 시간을 보상하기 위한 다른 방법으로는 리플리카 딜레이(205)의 모델링시 모델링한 지연량에서 주파수 분주기(207)의 지연량 만큼 지연량을 감소시키는 방법이 있다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 외부 클럭의 주파수가 높아지더라도 주파수 왜곡이나 신호의 끊어짐 없이 내부 클럭을 생성할 수 있으므로 높은 주파수에서의 디바이스의 안정적 동작을 보장할 수 있다.

(57) 청구의 범위

청구항 1.

외부 클럭을 버퍼링하기 위한 입력 버퍼;

상기 입력 버퍼를 통과한 클럭을 지연시키기 위한 가변 딜레이 라인;

상기 가변 딜레이 라인을 통과한 클럭의 주파수를 분주하기 위한 주파수 분주기;

상기 주파수 분주기의 출력을 지연시키기 위한 리플리카 딜레이;

상기 리플리카 딜레이의 출력과 외부 클럭의 위상을 비교하기 위한 위상 검출기; 및

상기 위상 검출기의 출력에 따라 상기 가변 딜레이 라인의 지연량을 조절하기 위한 제어 신호를 출력하는 콘트롤 회로를 포함하는 지연 동기 루프.

청구항 2.

제 1 항에 있어서,

상기 위상 검출기는 상기 리플리카 딜레이의 출력을 기준 클럭으로 하여 상기 외부 클럭의 위상을 비교하는 지연 동기 루프.

청구항 3.

제 1 항에 있어서,

상기 주파수 분주기의 출력 신호의 주파수는 상기 주파수 분주기의 입력 주파수보다 낮은 주파수를 출력하는 지연 동기 루프.

청구항 4.

제 1 항에 있어서,

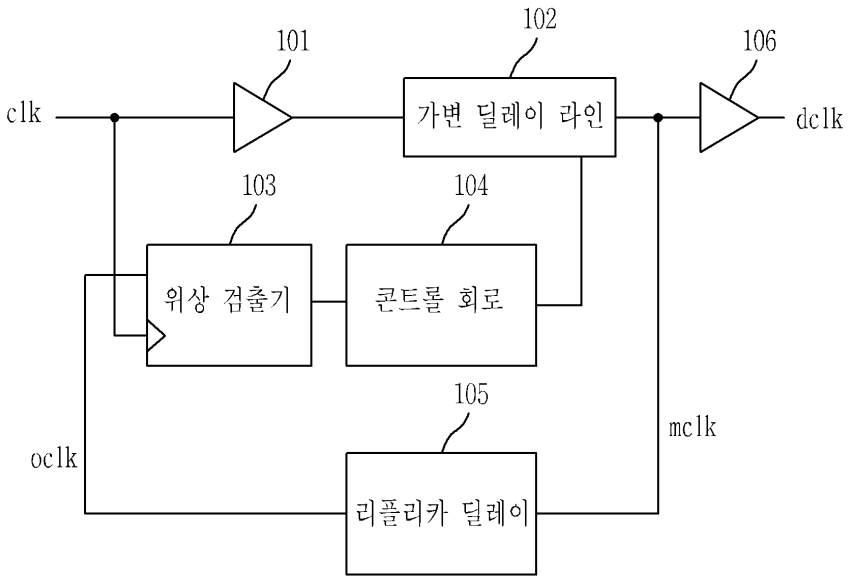
상기 주파수 분주기의 지연 시간을 보상하기 위해 상기 외부 클럭을 지연시켜 상기 위상 검출기에 제공하기 위한 지연회로를 더 포함하는 지연 동기 루프.

청구항 5.

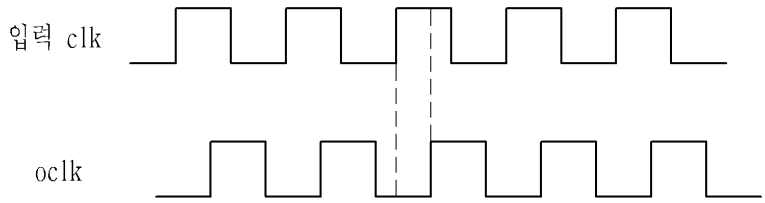
제 1 항에 있어서, 상기 리플리카 딜레이의 지연량은 모델링한 지연량에서 상기 주파수 분주기의 지연량만큼 감소시켜 설정하는 지연동기 루프.

도면

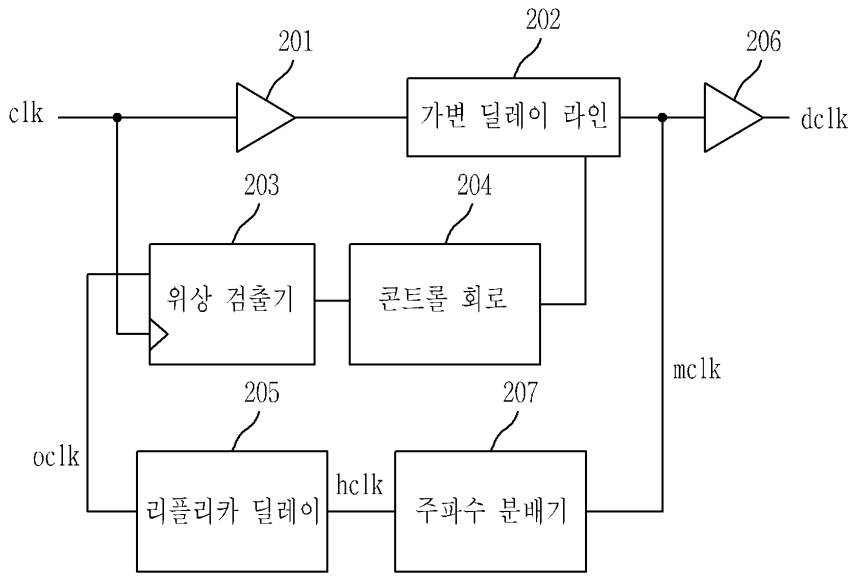
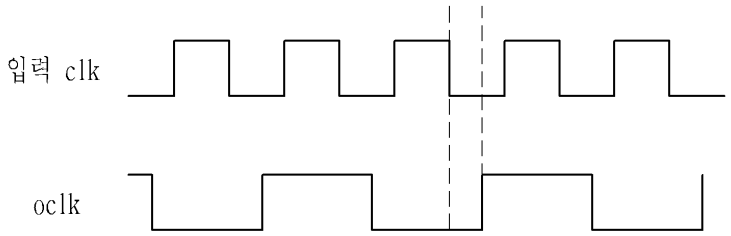
도면1


101
102
106
clk
가변 딜레이 라인
dclk
103
104
위상 검출기
콘트롤 회로
105
mclk
oclk
리플리카 딜레이

도면2


입력 clk
oclk

도면3


201
202
206
clk
가변 딜레이 라인
dclk
203
204
위상 검출기
콘트롤 회로
mclk
205
207
oclk
hclk
리플리카 딜레이
주파수 분배기

도면4