

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H04L 12/00  
H04Q 11/04

(45) 공고일자 1992년08월24일  
(11) 공고번호 92-007096

|             |                  |             |                |
|-------------|------------------|-------------|----------------|
| (21) 출원번호   | 특 1985-0700152   | (65) 공개번호   | 특 1985-7000200 |
| (22) 출원일자   | 1985년08월03일      | (43) 공개일자   | 1985년10월25일    |
| (86) 국제출원번호 | PCT/US 84/001972 | (87) 국제공개번호 | WO 85/02736    |
| (86) 국제출원일자 | 1984년12월03일      | (87) 국제공개일자 | 1985년06월20일    |

(30) 우선권주장 558,630 1983년12월06일 미국(US)  
(71) 출원인 아메리칸 텔리폰 앤드 텔레그라프 캠페니 엠.제이.코헨  
미합중국, 뉴욕 10022, 뉴욕, 매디슨 애비뉴 550

(72) 발명자 밀로 오식  
미합중국, 일리노이 60646, 링컨우드, 리로이 스트리트 6545  
(74) 대리인 이병호, 최달용

심사관 : 조용환 (특자공보 제2912호)

(54) 회로 스위칭 시스템

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

회로 스위칭 시스템

[도면의 간단한 설명]

제1도는 긴 셋업시간과 공지된 회로 스위칭 시스템의 중앙제어 개입이 없이 유리하게 회로를 확립하는 본 발명에 따른 신속한 회로 셋업 시스템을 도시한 블록 다이어그램이다.

제2도는 제1도 시스템의 일부인 회로망에 포함된 타임 슬롯 교환기의 블록 다이어그램이다.

제3도는 제1도의 시스템에 포함된 통신 모듈의 블록 다이어그램이다.

제4도 내지 제9도는 목적지 가용성을 한정하는 다수의 상태워드 각각을 각 포트 제어기에 반복적으로 순환시켜 신속한 회로 셋업을 이룩하는 본 발명에 따른 메타니즘을 도시하는 제1도의 시스템에서 포함된 포트 제어기가 제23도에 따라 장치되었을 때의 상세한 블록 다이어그램이다.

제10도는 제1도의 시스템에 포함된 회로망 블록 다이어그램이다.

제11도 내지 제16도는 제2도의 타임 슬롯 교환기가 제24도에 따라 장치되었을 때의 상세한 블록 다이어그램이다.

제17도 내지 제18도는 제1도의 시스템에 포함된 고속 통신 연결에서 사용된 디지털 워드 포맷을 나타낸다.

제19도는 제4도 내지 제9도의 포트제어기에 연관된 타이밍 다이어그램이다.

제20도는 제11도 내지 제16도의 타임 슬롯 교환기에 연관된 타이밍 다이어그램이다.

제21도는 제3도의 통신모듈에 포함된 회로를 위한 상태 다이어그램이다.

제22도는 제11도 내지 제16도의 타임슬롯 교환기에 포함된 논리회로를 위한 진리표이다.

[발명의 상세한 설명]

[기술의 분야]

본 발명은 회로 스위칭 시스템에 관한 것으로 특히, 상당히 짧은 회로 셋업을 가지며 종래 시스템과

달리 중앙제어의 개입이 적고 복잡한 흐름제어 프로토콜이 없이 신뢰성 있는 데이터 전달을 하는 시스템에 관한 것이다.

#### [발명의 배경]

회로 스위칭은 전용회로, 예를들어 전송기와 수신기간의 물리적 통로 또는 상기와 같은 물리적 통로에서 특정 타임 슬롯이 사전에 설정되어 각각을 통해 통신이 되고 있는 회로망 스위칭의 방법이다. 회로 스위칭은 음성 통신을 위해 오랫동안 사용되어 왔다. 그러나 긴 회로 셋업 시간과 공지 회로 스위칭 회로망에 연관된 호출시간 동안 스위칭원의 전용 때문에, 통상적으로 패킷 스위칭이 데이터 통신을 위해 사용된다. 왜냐하면 상기 통신은 일반적으로 버프트와 버스트 사이의 긴 시간의 정지 상태를 갖는 높은 비율의 버스트가 짧은 시간동안에 일어나기 때문이다. 패킷 스위칭 회로망 메시지가 회로망을 통해 개별적으로 전달되는 표준크기 패킷으로 바뀌며, 고도의 소프트웨어 패키지를 사용하는 컴퓨터가 회로망내의 노드에서 패킷 스위칭 기능을 수행하기 위해 사용된 것을 특징으로한다. 흐름 제어 프로토콜은 회로망내에서 발생할 수 있는 혼잡을 경감시키기 위해 자주 사용된다. 1977년 11월호 "컴퓨터"지에 더블유 그린과 유.더블유 푸치가 쓴 "컴퓨터 통신회로망을 위한 세부적인 계통의 고찰"이란 논문에 논의된 공지 흐름 제어 프로토콜에서와 같이 버퍼 저장 위치를 할당하여 데이터 전송기는 메시지를 전송하기 전에 목적 데이터 수신기에서 메시지 재조립 공간의 할당을 요구한다. 이와 같은 것은 수신기 버퍼가 채워져 있을 때, 회로망에서 패킷이 누적되는 것을 방지한다. 수신된 패킷이 없어져야 할 때 수신기가 전송기에 알려주는 제2방법은 상기와 같은 각 패킷이 최소한 두번 전송되어 떠야 한다. 상기 두 프로토콜은 비교적 복잡한 소프트웨어 수행을 필요로 한다.

회로 스위칭 회로망에 유용한 기술의 진보와 공지 패킷 스위칭 시스템의 복잡성 때문에, 회로 스위칭은 많은 데이터 통신 응용에서 때때로 양호한 방법이다. 그러나, 공지된 전화스위칭 시스템과 연관된 장시간의 회로 셋업시간은 상기와 같은 시스템이 각 패킷크기의 데이터 통신을 위해 회로가 설정되어야 하는 응용에서는 비실용적이다. 상기 시스템에서, 회로는 큰 중앙 집중식 데이터 베이스를 검색하여 사용가능한 회로망 통로가 발견된 후, 중앙제어 단에 의해 통상적으로 확립된다. 이는 통로 검색이 느릴뿐만 아니라 많은 부가적인 통신은 여러 회로를 필요로하고 모든 회로망의 상태 변화를 중앙 집중식 데이터 베이스가 계속 알려주어야 한다.

상기의 관점에서 볼때, 상기 기술에서 두가지 문제점은 공지 회로 스위칭 시스템에서 바람직하지 못한 장 시간의 회로셋업시간과 회로셋업을 위해서 상당한 정도의 중앙제어 개입은 중앙집중식 데이터 베이스의 사용을 필요로하는 것이다. 또 다른 문제는 공지된 데이터 통신 시스템에서 사용된 흐름제어 메카니즘의 복잡성이다.

#### [발명의 요약]

상술된 문제점은 데이터 전송기에 여러개의 제어기가 연결되어 반복적으로 사용할 수 있도록하여 신속한 회로셋업을 확립하는 특정 실시예 장치와 소부분으로 분산된 데이터 베이스에서 상태 워드는 데이터 수신기와 통신 채널의 가용성을 한정하는 것을 포함한 기술과는 다른 신속한 회로 스위칭 시스템인 본 발명의 원리와 도시된 실시예에 따라 해결되고 기술적인 진보가 이루어진다. 소정의 데이터 전송기는 하나 이상의 회로 셋업요청 신호가 제어기에 전달된 후, 그리고 그 응답으로 회로가 확립되었다고 알려진 후에만 데이터를 전송하기 시작한다.

유리하게 상기와 같은 회로는 제어기가 요청된 목적 수신기와 요청된 목적 채널이 사용가능한 것으로 한정하여 상태워드가 가용상태로되면 확립이 된다. 그래서, 회로셋업시간은 상태워드가 제어기에 사용가능한 주기적인 비율에 의해서만 제한이 되며, 복잡한 흐름제어 프로토콜이 필요없다. 왜냐하면, 데이터는 목적 데이터 수신기까지의 전송이 신뢰성있게 이루어질때까지 데이터 전송기에 의해 정렬이되기 때문이다.

본 발명에 따른 장치는 목적지를 한정하는 회로셋업신호를 전송하며, 또한 데이터를 전송하는 여러개의 통신 모듈을 갖는다. 여러 제어기 각각은 목적지의 가용성을 한정하는 여러상태 워드를 저장하며, 각 상태 워드는 각 제어기에 순환된다. 각 제어기는 연관된 통신 모듈로 부터 정보를 수신한다. 제어기는 회로셋업 요청신호에 의해 한정되고 연관된 통신 모듈에 회로 셋업응답 신호를 전송하여 한정된 목적지를 사용가능한 것으로 규정하는 제어기에 상태워드 중의 하나가 순환되었을 때, 회로 셋업 요청신호 중의 하나에 응답한다. 통신 모듈은 회로셋업 요청신호의 전송과 데이터 전송을 중지하여 회로셋업 응답신호에 응답한다. 본 발명에 따른 장치에 있어서, 제어기는 상기 제어기에 순환된 상태 워드 중의 하나가 회로셋업 요청신호에 의해 규정된 목적지가 사용불가능한 것으로 규정되었을 때 연관된 통신 모듈에 목적지 통화중 응답신호를 전송하여 회로셋업 요청신호에 응답한다. 통신 모듈은 회로셋업 요청신호를 계속적으로 전송하여 목적지 통화중 응답신호에 응답한다.

본 발명에 다른 통신 시스템에 있어서, 정보는 소스 채널에 있는 여러개의 통신모듈로 부터 다수의 제어기와 회로망에 전달된다. 정보는 회로망으로부터 목적지 채널에 전달된다. 각 통신 모듈은 연관된 소스채널에서 목적지 채널을 규정하는 회로셋업 요청신호와 또한 데이터를 전송하는 전송기를 포함한다. 각 제어기는 목적지 채널의 가용성을 규정하는 많은 상태워드 중 하나를 저장하며, 상기 상태워드 각각은 가 제어기에 순환된다. 제어기는 제어기에 순환된 상태워드 중의 하나가 회로셋업 요청신호에 의해 규정된 목적지 채널이 사용가능하다고 결정되었을 때 회로셋업 요청신호와 연속적인 데이터를 회로망에 전송하여 회로셋업 요청신호 중의 하나와 연속적인 데이터에 응답한다. 회로망은 제어기로 부터 수신된 데이터를 회로셋업 요청신호에 의해 규정된 목적지 채널에 전송하여 제어기로 부터 수신된 회로셋업 요청신호에 응답한다.

본 발명의 제2특징에 따른 통신 시스템에 있어서, 정보는 다시 소스 채널에 있는 다수의 통신채널로부터 다수의 제어기와 회로망에 전달된다. 정보는 회로망으로부터 통신 모듈에 포함된 수신기에 전달된다. 각 통신 모듈은 또한 연관된 소스채널에서 통신모듈을 규정하는 회로셋업 요청신호를 전송하며 또한 데이터를 전송하는 전송기를 포함한다. 각 제어기는 통신모듈 수신기의 가용성을 규정하는 다수의 상태워드 중 하나를 저장하며, 상기 상태 워드의 각각은 각 제어기에 순환된다. 제어기는

제어기에 순환된 상태워드 중의 하나가 회로셋업 요청신호에 의해 규정된 통신 모듈에 포함되어 있는 수신기를 사용가능한 상태로 규정할 때, 회로셋업 요청신호와 연속적인 데이터를 회로망에 전달하여 회로셋업 요청신호중의 하나와 연속적인 데이터에 응답한다. 회로망은 제어기로부터 상기 회로셋업 요청신호에 의해 규정된 통신 모듈의 수신기에 데이터를 전송하여 제어기로부터 수신된 회로셋업 요청신호에 응답한다.

본 발명에 따른 통신 시스템의 도시된 실시예에서, 상태워드는 통신 모듈 수신기의 가용성과 목적지 채널의 가용성을 모두 규정한다. 제어기는 제어기에 순환된 상태워드 중의 하나가 회로셋업 요청신호에 의해 규정된 통신 모듈의 수신기와 상기 통신 모듈과 연관된 목적지 채널이 사용가능한 것으로 규정할 때 회로셋업 요청신호와 연속적인 데이터를 회로망에 전송하여 회로셋업 요청신호와 연속적인 데이터에 응답한다. 제어기는 또한 상태워드를 수정하며, 회로셋업 요청신호에 응답하여 목적지 통과 응답신호와 회로셋업 신호를 전송한다. 제어기는 제어기에 순환된 상태워드 중의 하나가 회로셋업 요청신호에 의해 규정된 통신모듈의 수신기를 사용가능한 것으로 규정하며, 상기 통신 모듈과 연관된 목적지 채널을 사용가능한 것으로 규정할 때 목적지 채널과 통신모듈의 수신기를 사용가능하지 않은 것으로 규정하는 상태워드를 변형하고, 목적지 채널에서 회로셋업 응답 신호를 소정의 통신 모듈에 전송하여 소정의 통신 모듈로부터 수신된 회로셋업 요청 신호에 응답한다.

통신 모듈은 회로 셋업 요청 신호의 전송을 방지하며 데이터의 전송을 방지하여 회로셋업 응답신호에 응답한다. 제어기는 제어기에 순환된 상태 워드 중의 하나가 회로셋업 요청신호에 의해 규정된 통신모듈의 수신기를 사용가능하지 않은 것으로 규정할 때. 그리고, 제어기에 순환된 상태워드 중의 하나가 연관된 목적지 채널을 사용가능하지 않은 것으로 규정할 때, 목적지 채널에서 목적지 통화중 응답 신호를 소정의 통신 모듈에 전송하여 소정 통신 모듈로부터 수신된 회로셋업 요청신호에 응답한다. 통신 모듈은 회로셋업 요청신호의 연속적인 전송에 의해 목적지 통화응답 신호에 응답한다 통신모듈 전송기는 또한 연관된 소스채널에서 목적지 채널을 극정하는 회로 연결 요청 신호를 전송한다. 제어기는 제어기에 순환된 상태워드 중의 하나가 회로차단 요청신호에 의해 규정된 목적지 채널이 사용불가능한 것으로 규정할 때, 목적지 채널을 규정하는 상태워드를 사용가능하도록 수정하여 회로차단 요청 신호중의 하나에 응답한다.

통신 모듈 전송기는 연관된 소스채널에서 통신 모듈을 사용가능한 것으로 규정하는 수신기 가용신호를 전송한다. 제어기는 제어기에 순환된 상태워드 중의 하나가 소스채널에 연관된 통신 모듈의 수신기를 사용불가능한 것으로 규정할 때 통신 모듈의 수신기를 사용가능한 것으로 규정하는 상태워드를 변형하여 소스채널 중의 하나에서 수신된 수신기 사용가능신호에 응답한다.

#### [일반적인 설명]

제1도는 텔레미날, 프린터, 컴퓨터 및 데이터 베이스를 포함하는 다양한 사용자 장치중 어느 것을 나타내는 256개의 사용자 장치(1000-0 내지 1000-255) 중에서 데이터 통신을 위해 사용되는 신속한 회로 스위칭 시스템을 도시한 블록 다이어그램이다. 각 사용자 장치(1000-0 내지 1000-255)는 256개의 통신 모듈(2000-0 내지 2000-255) 중의 연관된 하나를 통해 시스템과 인터페이스 된다. 8개의 통신 모듈(2000-0 내지 2000-7)에 의해 전송된 정보는 포트제어기(4000-0)에 전송되기 위해 예를들어 광섬유 연결과 같이 고속통신 링크(3001-0)의 8개의 시분할 소스채널(0 내지 7) 상에 멀티플렉서/디멀티플렉서(3000-0)에 의해 다중화 된다. 유사하게, 다른 통신 모듈(2000-8 내지 2000-255)에 의해 전송된 정보는 포트 제어기 (4000-1 내지 4000-31)에 전달되기 위해 고속 통신링크(3001-1 내지 3001-31)의 시분할 소스채널(0 내 지 7) 상에 멀티플렉서 디멀티플렉서(3000-1 내지 3000-31)에 의해 다중화 된다.

정보는 스위칭 회로망(5000)에 의해 포트 제어기(4000-1 내지 4000-31) 중의 제어기에 전달된다. 포트 제어기(4000-0)는 고속통신링크(3002-0)상의 8개의 시분할 목적지채널(0 내지 7)에서 회로망(5000)으로부터 수신된 정보를 멀티 플렉서/디멀티플렉서(3000-0)에 전송하여 상기 정보가 8개의 통신모듈(2000-0 내지 2000-7)에 전달되기 위해 다중분리 된다. 유사하게 포트제어기(4000-1 내지 4000-31)는 회로망(5000)으로부터 수신된 정보를 고속통신링크(3002-1 내지 3002-31) 상의 시분할 목적지 채널(0 내지 7)에서 멀티플렉서/디멀티플렉서 (3000-1 내지 3000-31)로 전송하여 상기 정보를 통신모듈(2000-8 내지 2000-255)에 전송하기 위해 다중 분할된다. 그래서, 각 통신모듈(2000-0 내지 2000-255)은 32개의 8채널 링크(3001-0 내지 3001-31) 중의 하나에 있는 하나의 소스채널과 32개의 8개 채널 링크(3002-0 내지 3002-31) 중의 하나상의 한개의 목적지 채널과 영구히 연결되어 있다.

멀티플렉서/디멀티플렉서(3000-0)는 링크(3001-0) 상에서 각 소스채널의 발생동안 하나의 19비트 디지털 워드를 전송한다. 링크(3001-0 내지 3001-31)상에 전송된 디지털 워드의 포맷은 제17도에 도시되어 있다. 상기 포맷은 연관된 채널에서 데이터를 수신하기 위한 통신 모듈의 가용성을 규정하는데 사용된 수신기 상태 비트와 휴지워드, 회로셋업 요청워드 또는 회로차단 요청워드와 같이 디지털 워드를 한정하는데 사용된 2비트 제어-필드와 16비트 데이터 필드를 포함한다. 또한 회로셋업 요청워드 및 회로차단 요청신호를 위해 데이터 필드의 5개 비트는 32개 링크(3002-0 내지 3002-31)의 요청된 목적지 링크를 규정하는데 사용된다. 그리고 데이터 필드의 3비트는 요청된 목적지 링크상의 8채널의 요청된 목적지 채널을 한정하는데 사용된다. 동일하게 상기 8개 데이터 필드 비트는 256개의 통신 모듈(2000-0 내지 2000-255)의 요청된 목적지 통신 모듈을 한정한다.

포트 제어기(4000-0)는 링크(3002-0) 상에서 목적지 채널이 생기는 동안 하나의 19비트 디지털 워드를 전송한다. 링크(3002-0 내지 3002-31)상을 통해 전송된 디지털 워드의 포맷은 제18도에 나타나있다. 상기 포맷은 회로셋업 요청워드 또는 소정의 통신 모듈에 의해 전송된 회로차단 요청신호에 응답을 전송하기 위해 사용된 2비트 응답 필드를 포함한다. 회로셋업 요청워드에 대한 응답은 회로셋업 응답또는 목적지 통화중 응답이며, 회로차단 요청워드에 대한 응답은 회로차단 응답이다. 상기 포맷은 또한 명령어 워드 또는 데이터워드로서 디지털 워드를 한정하는 제어비트를 가지며, 또한 16비트 데이터 필드를 포함한다. 명령어 워드를 위해서 데이터 필드의 2비트는 2개의 가능한 명령을 전달하기 위해 사용되며, "데이터 수신 개시"명령 은 통신 모듈이 연관된 목적지 채널에서 수신된

데이터 워드를 기억하기 시작하게 하는 명령으로 사용되며, "데이터 수신 정지"명령은 연관된 채널에서 수신된 데이터워드를 통신 모듈이 기억하는 것을 정지시키는 명령이다.

포트 제어기(4000-0 내지 4000-31)와 회로망(5000)사의 링크 상에서와 마찬가지로 링크(3001-0 내지 3001-3과 3002-0 내지 3002-31)상의 디지털 워드는 에러를 검출하고 시스템의 동기화를 유지하기 위해 각각 페리티 비트와 동기화 비트(도시하지 않았음)을 포함한다. 상기 비트의 용도는 잘 공지되어 있으므로 더 이상 설명하지 않기로 한다.

정보는 8개의 타임슬롯 또는 채널을 각각 구비하는 프레임 형태로 링크(3001-0 내지 3001-31과 3002-0 내지 3002-31)상에서 전달된다. 통상적으로 125마이크로초 프레임으로 작동하는 음성 스위칭 시스템과는 달리, 본 실시예 시스템은 62.5마이크로초 프레임으로 작동한다. 왜냐하면, 각 통신 모듈은 프레임당 16데이터 비트를 전송하기 때문에 각 통신 모듈의 실효 데이터 전송율은 초당 256킬로 비트이다.

소정의 통신 모듈, 예를들어 2000-0이 특정 목적지 통신 모듈, 예를들어 2000-248과 통신을 하려고 할 때, 통신모듈(2000-0)은 통신모듈(2000-248) 예를들어 링크(3002-31)의 채널 0과 연관된 목적지 채널을 규정하는 회로셋업 요청워드를 링크(3001-0)상의 연관된 소스채널 0에서 전송한다. 포트제어기(4000-0 내지 4000-31)는 목적지 채널의 가용성과 데이터를 수신하기 위한 목적지 통신 모듈의 가용성을 한정하는 32 개의 17비트 상태워드를 구사하는 데이터 베이스를 공동적으로 유지한다. 본 실시예에 있어서, 포트제어기(4000-0 내지 4000-31)의 각각은 상태 워드 중의 하나를 기억한다. 상태 워드는 전송통로(4001-0 내지 4001-31)를 통해 포트제어기(4000-0 내지 4000-31)의 각각을 통해 반복적으로 순환된다. 각 상태워드는 링크(3002-0 내지 3002-31)상의 하나에 있는 8개 목적지 채널의 가용성을 규정하는 8개 비트와 데이바를 수신하기 위해 상기 목적지 채널과 연관된 통신 모듈의 가용성을 극정하는 8개 비트를 포함한다.

하나의 상태워드 비트는 연속적인 32개의 상태워드(0 내지 31) 중에서 상태워드(0)를 극정하는데 사용된다. 본 실시예에서, 포트제어기는 단지, 8개의 연속적인 프레임 중 하나의 프레임 동안 주어진 하나의 통신 모듈(2000-0 내지 2000-7)로 부터 수신된 회로셋업 요청 또는 회로차단 요청워드에만 응답한다. 포트제어기는 데이터를 수신하기 위해 링크(3002-31)상의 목적지 채널 가용성과 통신모듈(2000-248 내지 2000-255)의 가용성을 규정하는 상태워드(31)가 포트제어기(4000-0)에 순환되어 기억될때까지 상기 회로셋업 요청워드를 기억하여 링크(3002-21)의 목적지 채널(0)을 규정하는 회로셋업 요청워드 중의 하나에 응답한다. 만약 상기 상태워드가 링크(3002-31)의 목적지 채널(0)이 사용할 수 없거나 또는 통신모듈(2000-248)이 현재 데이터 수신을 위해 사용불가능 하다는 것을 표시할 때, 포트제어기(4000-0)는 통신모듈(2000-248)과 통신을 확립하기 위해 회로셋업 요청워드를 계속적으로 전송하는 통신모듈(2000-0)에 목적지 통화중 응답을 전송한다.

그러나, 만약 상태워드가 링크(3002-31)의 목적지 채널(0)이 사용가능하고 상기 통신 모듈(2000-48)이 데이터 수신가능하다고 할때, 포트제어기(4000-0)는 통신모듈(2000-0)에 회로셋업 응답을 전송하며 기억된 회로셋업 요청워드를 회로망(5000)의 입력포트 IP0에 전송한다. 포트제어기(4000-0)는 또한 링크 (3002-31)의 목적지 채널(0)을 사용불가능한 것으로 규정하고 통신 모듈(2000-248)을 데이터 수신 불가능한 것으로 규정하기 위해 상태워드(31)를 변형 시킨다. 통신모듈(2000-0)은 회로셋업 응답을 수신하며 링크(3001-0)의 연관된 소스채널(0)에서 상태워드를 포트제어기(4000-0)로 전송한다. 포트 제어기(4000-0)는 상기 연속적인 데이터 워드를 회로망(5000) 입력포트 IP0에 전송한다. 8개의 타임 슬롯 교환기 (5100-0 내지 5100-7) (제10도)를 구비하는 회로망(5000)은 회로망(5000)을 출력포트 OP 31과 포트 제어기(4000-31)를 통해 링크(3002-31)의 목적지 채널(9)에 통신을 확립하여 회로셋업 요청워드에 응답한다. 포트제어기(4000-31)는 "데이터 수신 개시"명령 다음에 연속적인 데이터 워드를 링크(3002-31)의 목적지 채널(0)을 통해 통신모듈(2000-248)에 전달하여 회로셋업 요청워드에 응답한다. 통신 모듈(2000-248)은 사용자 장치(1000-248)에 연속적인 전송을 위해 링크(1000-248)의 목적지 채널(0)에서 수신된 각 데이터 워드를 기억하여 데이터 수신 개시 명령에 응답한다.

32상태 워드의 분산된 데이터 베이스와 관련하여 포트제어기(4000-0 내지 4000-31)의 작동 때문에, 회로망(5000)은 사용가능한 목적지 채널을 규정하는 회로셋업 요청 신호만을 수신한다. 유리하게도, 회로망(5000)은 회로셋업 요청신호와 연속적인 각 데이터 워드가 통로확립에서의 지연으로 인해 하나의 워드도 손실없이 전달되도록 하는 형태의 통로를 확립한다. 또한 다른 작업 예를들어 인터럽트 처리 또는 에러 이전에 수신된 데이터의 에러검색 코드를 검색하는 등의 작업으로 이용되고 있는 통신모듈에는 회로망 통로가 확립되지 않는다. 그래서 데이터 수신에 사용될수 없다. 그래서 흐름제어 프로토콜은 송신된 데이터가 수신 되는가를 확인하는데 필요치 않다. 왜냐하면 목적지 채널의 가용성과 목적지 모듈의 가용성이 확인될때까지 어떤 데이터도 전송되지 않는다.

통신모듈(2000-0)이 통신모듈(2000-48)에 데이터 전송을 마친후, 통신모듈(2000-0)이 링크(3002-31)의 목적지 채널을 규정하는 회로차단 요청워드를 포트제어기(4000-0)에 전송하기 시작한다. 포트제어기(4060-0)는 링크(3002-31)의 목적지 채널(0)과 통신모듈(2000-248)과 연관된 상태워드(31)가 기억을 위해 포트제어기(4000-0)에 다시 순환될때까지 상기 회로 차단 요청신호를 기억하여 회로차단 요청워드 중의 하나에 응답한다. 다음 포트제어기(4000-0)는 링크(3002-31)의 목적지 채널(0)을 사용할 수 있는 것으로 규정하기 위해 상태워드(31)를 변형시킨다. 그러나 포트제어기(4600-C)는 데이터를 수신하기 위해 통신 모듈(2000-248)을 사용할 수 있는 것으로 규정하기 위해 상태워드(31)를 변화시키지 않는다. 통신모듈(2000-248)은 그대로 남겨 놓는다. 다음 포트제어기(4000-0)는 회로차단 응답을 통신모듈(2000-0)에 전송하며 기억된 회로차단 요청워드를 회로망(5000)의 입력포트 IP0에 전송한다. 회로망(500)은 회로차단 요청워드가 포트제어기(4000-31)에 전달된 후에 링크(3002-31)의 목적지 채널에 통로 할당하지 않으므로서 응답한다. 포트 제어기(4000-31)는 "데이터 수신 정지"명령을 통신 모듈(2000-248)에 전달하여 회로차단 요청신호에 응답한다.

상기 명령에 응답하여, 통신모듈(2000-248)은 링크(3002-31)의 목적지 채널에서 수신된 데이터워드를 기억을 중지하며, 통신모듈(2000-0)로 부터 전송되어 기억된 데이터를 사용자 장치(1000-248)에 전

송한다. 통신모듈(2000-248)이 다른 작업을 마친 후, 포트제어기(4000-31)는 데이터 수신을 위해 사용가능 하다는 것을 통보한다. 통신모듈(2000-248)은 수신기 사용가능 신호로서 링크(3002-31)의 소스채널(0)에서 전송된 디지털 워드인 논리 1수신기 상태 비트를 전송한다. 데이터를 수신하기 위해 통신 모듈(2000-248)의 가용성을 규정하는 다음 시간 상태워드(31)는 포트제어기(4000-31)에 순환되며, 상기 상태워드(31)는 데이터 수신이 가능한 것으로 통신 모듈(2000-248)을 규정하기 위해 변형된다. 다음, 소정의 통신모듈은 통신모듈 (2000-248)을 한정하는 회로셋업 워드를 전송하여 링크(3002-31)의 목적지 채널에 회로망(5000) 통로가 양호하게 설정되게 할 것이다.

회로망(500)은 8개의 타임슬롯 교환기(5100-0 내지 5100-7) (제10도)를 구비한다. 각 타임 슬롯 교환기는 모든 32개의 회로망(5000)입력포트(IP0 내지 IP 31)로 부터 정보를 수신한다. 그러나 회로망(5000)출력 포트(OP0 내지 OP 31) 중 단 4개에만 정보를 전송한다. 그래서, 소정의 타임슬롯 교환기(예 5100-0)는 소정의 프레임(각 포트 제어기(4000-0 내지 4000-31)의 각각으로 부터 8개의 디지털 워드) 동안 256개의 디지털 워드를 수신한다. 그러나, 단지 32개의 워드(포트 제어기(4000-0 내지 4000-3)의 각각에 대해 8개의 디지털워드)만을 송신한다. 타임 슬롯 교환기(5100-0)의 블록 다이어그램이 제2도에 도시되어 있다(제24도와 같이 장치되었을 때의 보다 상세한 타임 슬롯 교환기의 다이어그램이 제11도에 도시되어 있다). 포트 제어기(4000-0 내지 4000-31)에 의해 전송된 디지털 워드는 3중 버퍼된 메모리 장치를 포함하는 TSI 입력 회로(5200)에 의해 수신된다. 디지털 워드는 하나의 프레임 동안에 TSI입력회로(5200)에 기억이 되며, 프레임 동안, 회로셋업 요청워드 또는 회로 차단 요청 신호인 상기 디지털워드 중의 어느 하나가 제어 메모리(5445)의 내용을 적당히 변경시키기 위해 사용되며, 다음 제3프레임 동안 상기 디지털 워드의 32까지는 TSI입력회로(5200)로 부터 판독이 되며, 레지스터(5290)를 통해 전송되어 TSI출력회로(5600)에 기록이 된다.

TSI 입력회로(5200)의 판독과 TSI 출력회로(5600)의 기록은 통로(5487, 5488)각각을 통해 제어 메모리(5445)로 부터 전송된 목적지 어드레스와 소스 어드레스에 따라 이루어진다. TSI 출력회로(5600)는 2중 버퍼된 메모리장치를 포함한다. 그래서 한 프레임동안 TSI 출력회로(5600)에 기록된 디지털 워드는 다음 프레임동안 포트제어기(4000-0 내지 4000-3)에 전송된다.

본 실시예에서, 소정의 포트제어기는 기껏해야 하나의 회로 셋업 요청워드 또는 회로 차단 요청워드를 소정의 프레임동안 회로망(5000)에 전송한다. TSI 입력회로(5200)는 포트제어기(4060-0 내지 4000-31)의 모든 것으로 부터 정보를 수신하기 때문에, TSI 입력회로(5200)는 한 프레임동안 기껏해야 32회로 셋업 요청 또는 회로 차단 요청워드를 수신한다. 소정의 프레임동안 수신된 통신모듈(2000-0 내지 2000-31)중의 하나에 회로를 각 회로 셋업 요청워드가 규정을 하기 때문에, 새로운 연결워드는 새로운 연결워드 기억장치(5410)에 기억된다(타임 슬롯 교환기(5100-0)가 정보를 단지 32개의 통신모듈(2000-0 내지 2000-31)에 전송한다는 것을 알 수 있다). 기억된 새로운 연결워드는 회로 셋업 요청이 이루어진 256개 통신모듈 중의 하나를 한정하는 소스 어드레스와 목적지가 요청된 가능한 32개의 통신모듈 중의 하나를 규정하는 목적지 어드레스를 포함한다. 각 회로 차단 요청워드가 소정의 프레임동안 수신된 통신모듈(2000-0 내지 2000-31) 중의 하나에 회로를 규정하기 때문에, 차단 워드는 차단워드 기억장치(5460)에 기억된다. 각 차단 워드는 차단될 가능한 32개의 목적지 통신모듈(2000-0 내지 2000-31)중의 하나를 규정한다. 다음 프레임동안, 장치(5460)에 기억된 차단 워드는 각 32개의 통신모듈(2000-0 내지 2000-31)과 연관된 위치를 가진 차단 메모리장치(5490)를 어드레스 하기 위해 사용된다. 논리 1신호는 연관된 통신모듈까지의 통로가 차단되는것을 표시하는 각 어드레스된 위치에서 기억된다.

제어 메모리(5445)는 32개의 16비트 연결워드 기억레지스터와 입력레지스터 (5446-0), 30개의 중간 레지스터(5446-1 내지 5446-31)과 출력레지스터(5446-31)를 포함한다. 각 프레임동안 32번씩, 레지스터(5445- 0 내지 5446-31)의 내용은 클럭신호 X<sub>1</sub>(제20도)에 응답하여 하나의 레지스터에 의해 변이된다. 각 레지스터 (5446-0 내지 5446-31)은 16비트의 목적지 어드레스와(비트 0 내지 5) 9비트 소스 어드레스(비트 6 내지 14)를 포함하는 하나의 디지털 워드를 기억한다. 만약, 제어 메모리(5445)에 기억된 디지털 워드가 비트 0과 6에서 논리 1을 갖는다면, 연결워드이며, 즉 회로의 확립을 나타낸다. 한편으로 0워드이면 회로 확립이 되지 않는다. 연결워드에서 비트 1 내지 5는 32개의 목적지 통신모듈(2000-0 내지 2000-31)과 연관된 751 출력회로(5600)의 32개 위치중 하나를 규정하며, 비트 7 내지 14는 256개의 소스 통신모듈(2000-0 내지 2000-255)와 연관된 TSI 입력회로(5200)의 256개 위치중 하나를 규정한다. 소정의 연결워드가 클럭 신호 X<sub>1</sub>상의 레지스터 (5446-30)에 기억될때, 연결워드의 소스 어드레스는 통로(5487)를 통해 TSI 입력회로(5200)에 전송이 되고, 소스 어드레스에 의해 규정된 TSI 입력회로(5200)위치에서 기억된 디지털 워드는 판독이 되어 클럭신호 X<sub>2</sub>(제20도)상의 레지스터 (5290)에 기억된다. 다음 소정의 연결워드가 다음 클럭신호 X<sub>1</sub>상의 출력레지스터(5446-31)에 변이되었을때, 상기 연결워드의 목적지 어드레스는 통로(5488)를 통해 TSI 출력회로(5600)내에 전송이되며, 레지스터(5290)에 기억된 디지털 워드는 목적지 어드레스에 의해 규정된 위치에서 TSI 출력회로(5600)내에 기록이 된다. TSI 출력회로(5600)는 2중 버퍼된 메모리 장치를 포함하기 때문에 한 프레임동안 TSI 출력회로(5600)에 기록된 디지털 워드는 다음 프레임까지 전송되지 않으며 TSI 입력회로(5200)로 부터 TSI 출력회로(5600)에 전달되는 순서는 중요하지 않다. 그래서, 연결워드는 제어 메모리(5445)에서 순서에 관계없이 기억이 될 수 있다.

소정의 연결워드가 레지스터(5446-30)에 기억이 될 때, 상기 연결워드의 목적지 어드레스는 차단 메모리 장치(5490)에 전달이되고 그래서 어드레스되어 상기 위치에 기억된 비트는 판독이되고 클럭신호 X<sub>2</sub>상의 1 비트 차단레지스터(5495)에 기억이 된다. 그래서, 소정의 연결워드가 다음 클럭 신호 X<sub>1</sub>상의 출력레지스터 (5446-3)에 변이될때, 레지스터(5495)에 나타난 비트는 다음 프레임동안 소정의 연결워드에 의해 나타난 비트가 연결 상태를 유지하는가 또는 차단 상태를 유지하는가를 표시한다. 출력레지스터(5446-31)에 있는 디지털 워드의 비트 0및 새로운 연결워드 기억장치(5410)로 부터 버스(5440)상에서 사용가능한 새로운 연결 워드의 비트 0과 함께 레지스터 (5495)에 기억된 비트는 논리 회로(5496)을 선택하기 위한 3개의 입력 신호이다. 출력레지스터(5446-31)의 비트 0에 있는 논리 1은 상기 레지스터에 기억된 디지털 워드가 널워드라기 보다는 연결워드인 것을 표시한다. 레지스터 (5495)에 기억된 논리 1비트는 레지스터(5446-31)에 기억된 연결워드에 의해 표시된 연결은 다음 프

레이프동안 차단되는 것을 표시한다. 버스(5440)의 비트 0상의 논리 1은 제어 메모리(5445)에 기억될 수 있는 새로운 연결워드가 있다는 것을 표시한다. 선택 논리회로(5496)은 제22도에 표시된 진리표에 따라 3개의 인에이블 게이트(5443, 5441, 5444)를 제어하기 위해 신호를 전송한다.

널워드가 출력레지스터(5446-31)에서 제공되고, 버스(5440)의 비트 0이 제어 메모리(5445)에 기억될 수 있는 새로운 연결워드가 있다는 것을 표시할때, 즉 새로운 연결이 확립되어야 한다는 것을 표시할때, 선택 논리회로(5496)는 논리 1신호를 전송하여 게이트(5441)을 인에이블시키고 새로운 연결워드는 인에이블 게이트(5441)와 제어 메모리 통로(5447)를 통해 전송되며, 다음 클럭신호  $X_1$ 에서 입력레지스터(5446-0)에 의해 기억이 된다. 버스(5440)의 비트 0이 사용 가능한 새로운 연결워드가 없다는 것을 표시할때, 선택 논리회로(5496)은 인에이블 게이트에 논리 1신호를 전송하며 모든 논리 0비트를 구비하는 널워드는 0레지스터(5442)로부터 인에이블 게이트(5443)를 통해 전송된다. 그리고 다음 클럭신호  $X_1$ 에서 입력레지스터(5446-0)에 의해 기억이 된다.

널워드 보다는 연결워드가 출력레지스터(5446-31)에서 제공되고, 레지스터 (5495)에 있는 비트가 연결이 차단될 것이라는 것을 표시할때, 선택 논리회로(5496)는 논리 1신호를 인에이블 게이트(5444)에 전송하며 출력레지스터(5446-31)에 기억된 연결워드는 다음 클럭신호  $X_1$ 에서 인에이블 게이트(5444)를 통해 입력레지스터 (5446-0)로 변이된다. 그러나, 레지스터(5495)에 있는 비트가 연결이 차단될 것이라는 것을 나타내며, 버스(5440)의 비트 0이 제어 메모리(544)에 기억될 새로운 연결워드가 있다는 것, 즉 연결이 이루어져야 한다는 것을 표시할때, 선택 논리회로(5496)은 논리 1신호를 인에이블 게이트에 전송하며 새로운 연결워드가 인에이블 게이트(5441)를 통해 전송되며, 다음 클럭신호  $X_1$ 에서 입력레지스터(5446-0)에 의해 기억된다. 레지스터 (5495)에 있는 비트가 연결이 차단되는 것을 표시하고 그러나 버스(5440)의 비트 0이 제어 메모리(5445)에 기억된 새로운 연결워드가 없다는 것을 표시할때, 선택 논리회로(5496)은 논리 1신호를 인에이블 게이트(5443)에 전송하며, 모든 논리 0비트를 구비하는 널워드는 0레지스터(5442)로부터 인에이블 게이트(5443)를 통해 전송된다. 그리고 다음 클럭신호  $X_1$ 에서 입력 레지스터(5446-0)에 의해 기억이 된다.

제어 메모리(5445)는 랜덤 액세스 메모리라기 보다는 순차적인 액세스 메모리이며, 순환식, 다중비트 쉬프트 레지스터가 효과적이다. 따라서, 제어 메모리 입력통로(5447)를 통해 입력레지스터(5446-0)에 전송될 정보는 선택 논리회로(5496)에 의해 선택된다. 본 발명의 실시예에서, 제어 메모리 입력통로(5447)상에서 수신된 각 연결워드(또는 널워드)는 하사의 프레임동안 제어 메모리(5445)에 기억이 된다. TSI 입력회로(5200)로부터 TSI 출력회로(5600)사이에서 디지털 워드의 전달을 제어하기 위해 제어 메모리(5445)로부터 소스 및 목적지 어드레스의 전달이 입력레지스터(5446-0)에서 기억을 위한 연결워드(또는 널워드)의 전달과 동시에 일어나기 때문에, 디지털 워드는 랜덤 액세스 제어 메모리 장치의 기술을 이용하여 판독 및 기록 액세스를 차례로 행하는 라임 슬롯 교환기보다 비교적 높은 전송률의 타임 슬롯 교환기(5100-0)에서 전달이 된다. 제어 메모리(5445)는 32개의 능동 연결을 차단시킬 수 있고 어떤 소정의 프레임내에서 32개의 새로운 연결을 확립할 수 있다.

[상세한 설명]

제1도의 신속한 회로스위칭 시스템의 소자에 대해서 보다 상세히 설명하기로 한다.

[통신모듈 (2000-0)]

통신모듈(2000-0) (제 3도)은 사용자 장치와 통신을 위한 데이터를 기억하는 사용자 버퍼(2003)와 프로세서(2004) 및 버스(2001)에 의해 상호연결된 메모리 (2002)를 구비한다. 메모리(2002)의 정보는 직접 메모리 액세스장치(2005)와 DMA전송제어회로(2006)를 통해 멀티플렉서/디멀티플렉서(3000-0)에 전달이 된다. 멀티플렉서/디멀티플렉서(3000-0)로부터의 정보는 DMA수신제어 회로(2007)와 직접메모리 액세스장치(2005)를 통해 메모리(2002)에 전달된다.

예를들어 프로세서(2004)는 소정블럭의 데이터, 예를들어 사용자 버퍼(2003)를 통해 사용자장치 (1000-0)로부터 수신되어 메모리(2002)에 기억된 100개의 8비트 바이트가 사용자장치(1000-248)에 전송될 것을 결정한다고 가정한다. 프로세서 (2004)는 개시명령을 버스(2001)를 통해 DMA전송제어회로(2006)에 전송한다. 상기 명령은 데이터가 통신모듈(2000-248)을 통해 통신을 위해 링크(3002-31)의 목적지 채널에 전송될 것을 사용자장치(1000-248)에 표시한다. 프로세서(2004)는 또한 DMA전송제어회로에 데이터블럭의 크기를 알려준다. 회로(2006)는 제21도의 상태 다이어그램에서 도시된 바와같이 4개의 작동상태를 갖는다. 회로(2006)가 준비상태 즉, 빠른 데이터를 전송하지 않는 상태에 있다고 가정하면, 개시명령에 응답하여 셋업 상태로 바뀌며, 요청된 목적지와 같이 링크(3002-31)의 채널 0을 한정하는 소정의 회로 셋업 요청워드를 전송한다. 소정의 회로 셋업 요청워드는 링크(3001-0)의 소스 채널 0에서 멀티플렉서/디멀티플렉서(3000-0)에 의해 전송된다. DMA수신제어회로(2007)가 링크(3002-0)의 목적지 채널 0의 포트제어기(4000-0)로부터 회로 셋업 응답을 수신하여, 상기 응답을 통로(2008)를 통해 회로(2006)에 알려줄 때까지, 회로는 셋업상태에 유지된다. 바꾸어 말하자면, DMA수신제어회로(2007)가 링크(3002-0)의 목적지 채널 0에서 응답 또는 목적지 통화중 응답을 수신하지 않았을 때, DMA전송제어회로(2007)는 셋업상태에 유지되어 소정의 회로 셋업 요청워드를 링크(3001-0)의 소스 채널 0에서 전송한다 통로(2008)를 통한 회로(2007)에 의해 회로 셋업 응답의 수신이 통보됨과 동시에, 회로(2006)는 전달상태로 바뀌며 통로(2009)를 통해 직접메모리 액세스장치(2005)에 신호를 전송하며, 신호에 응답하여 상기 장치(2005)는 메모리(2002)의 데이터블럭 판독을 시작하며, 상기 데이터를 링크(3001-0)를 통해 2바이트의 전송을 즉, 프레임당 16비트로 전송한다.

프로세서(2004)는 메모리(2002)에 있는 데이터블럭의 길이를 회로(2006)에 알려주는 것을 알 수 있다. 블럭전체가 전송되었을때, 회로(2006)은 차단상태로 바뀌며 링크(3002-31)의 목적지 채널 0을 한정하는 회로 차단 요청워드를 다시 전송한다. 회로 차단 요청워드는 링크(3001-0)의 소스 채널 0에서 포트제어기(4000-0)에 전송된다. 회로(2007)가 링크(3002-0)의 목적지 채널 0에서 회로 차단 응답을 수신하고, 통로(2008)를 통해 회로(2006)에 알려줄때, 회로(2006)는 다른 데이터 블럭을 전

송할 수 있는 준비상태로 돌아간다.

DMA전송제어회로(2006)는 또한 통신모듈(2000-0)이 링크(3002-0)의 목적지 채널 0상에서 데이터를 수신할 수 있다는 것을 포트제어기(4000-0)에 알려주기 위해 사용된다. 프로세서 (2004)는 회로 (2007) 및 직접 메모리억세스장치(2005)가 기억을 위해 메모리(2002)에 링크(3002-0)로부터의 일력 데이터를 전달하기 위한 준비가 되어 있다고 결정할 때, 프로세서(2004)는 링크(3002-0)의 소스 채널 0에서 논리 1수신기 상태 비트(비트0, 제17도)를 전송하는 회로에 알려주며, 그리하여 포트제어기(4000-0)에 통신모듈(2000-0)이 링크(3002-0)의 목적지 채널 0로부터 데이터를 수신할 준비가 되어 있다는 것을 알려준다. 그 응답으로 포트제어기(4000-0)는 데이터를 수신하기 위해 통신모듈(2000-0)의 가용성을 규정하는 상태워드 0을 변형시킨다. 다음 상기 상태워드는 포트제어기(4000-0)에 순환된다.

회로셋트, 회로차단, 링크(3002-0)의 목적지 채널 0에서 목적지 통화중을 검출하여 상술한 바와같이 통로(2008)를 통해 상기 검출을 회로(2006)에 알려주는 DMA수신제어회로(2007)는 다음 시스템의 통신모듈로부터 통신모듈(2000-0)간의 데이터 전송에 따라 "데이터 수신개시 및 데이터 수신정지"를 검출한다 회로(2007)가 링크(3002-0)의 목적지 채널 0으로부터 "데이터 수신정지"명령을 검출할때, 회로(2007)는 통로(2010)를 통해 직접메모리 억세스장치(2005)에 알려준다. 다음 회로(2007)는 상기 목적지 채널에서 연속적으로 수신된 각 데이터 워드의 16비트 데이터 필드를 메모리(2002)에 기억하기 직접메모리 억세스장치(2005)에 전달하기 시작한다. 회로(2007)가 상기 채널에서 데이터수신정지 명령을 검출하였을때, 회로(2007)는 메모리(2002)에 기억을 위한 데이터전달을 정지한다. 그리고 프로세서(2004)와 직접메모리 억세스장치(2005)에 완전한 데이터블럭이 수신되어 메모리(2002)에 기억되었다는 것을 알려준다. 그 응답으로 프로세서(2004)는 사용자 장치(1000-0)와 통신을 위해 사용자 버퍼(2003)에 데이터 블럭의 전달을 시작한다.

[포트제어기(4000-0)]

제23도에 따라 장치된 제4도 내지 제9도에 도시된 포트제어기(4000-0)는 포트 입력회로(4100), 포트 제어회로(4300) 및 포트출력회로(4500)를 포함한다. 포트제어기(4000-0)의 기능은 링크(3001-0)의 소스 채널에서 수신된 회로차단 요청신호와 회로 셋업 요청신호를 검출하여, 요청된 목적지 채널의 가용성과 데이터를 수신하기 위한 목적지 통신모듈의 가용성을 규정하는 상태워드가 포트제어기(4000-0)에 순환된 후, 상기 상태워드가 상기 요청된 목적지 채널이 사용 가능하고 목적지 통신모듈이 데이터 수신을 위해 사용가능하다고 표시된 후에만 수신된 회로 셋업 요청워드와, 연속적인 데이터 워드를 회로망(5000)입력포트 IP0에 송신한다. 포트제어기(4000-0)는 회로 셋트 또는 링크(3002-0)상의 목적지 채널에서 목적지 통화중 응답을 링크(3001-0)상의 소스 채널에서 수신된 회로 셋업 요청워드에 응답하여 전송한다. 포트제어기(4000-0)는 링크(3002-0)상의 목적지 채널에서 회로 차단 응답을 전송하며, 링크(3001-0)상의 소스 채널에서 수신된 회로 차단 요청워드에 응답하여 상태워드를 변형시킨다. 포트제어기(4000-0)는 수신된 회로 차단 요청신호를 회로망(5000) 입력포트 IP0에 전송한다. 포트제어기 (4000-0)는 링크(3001-0)상의 소스 채널에서 수신된 수신기 사용가능 신호의 응답에 응답하여 상기 소스 채널과 연관된 통신모듈이 데이터를 수신할 수 있다는 것을 나타내는 상태워드를 변형시킨다. 포트제어기(4000-0)는 링크(3002-0)상의 목적지 채널에 있는 멀티플렉서/디멀티플렉서(3000-0)에 각각 데이터 수신개시와 데이터 수신정지 명령을 전송하여 회로망(5000)출력포트 OP0로부터 수신된 회로 셋업 요청워드와 회로 차단 요청워드에 응답한다.

포트제어기(4000-0)는 8내 채널 또는 타임슬롯 각각의 프레임에서 작동한다. 타임목적을 위해 포트제어기(4000-0)내에서 사용되는 6개 클럭신호(C<sub>0</sub> 내지 C<sub>5</sub>) (제19) 모두는 타임슬롯당 한개 펄스의 주파수로 되어있다. 각 타임슬롯동안 10비트 디지털 워드(제17도)는 직렬-병렬 레지스터(4101)에 의해 링크(3001-0)상에서 직렬로 수신된다. 상기 디지털 워드는 클럭신호 C<sub>0</sub> 상에서 19비트 레지스터(4103)에 기억된다. 클럭신호 C<sub>0</sub>는 3비트 타임슬롯 카운터(4115)와 모듈로-9 카운터(4129)의 증가를 위해 사용된다. 타임슬롯 카운터(4115)는 레지스터(4103)에 기억된 디지털워드가 수신된 링크(3001-0)의 채널(0 내지 7)을 나타내는 3비트 타임슬롯표시(000 내지 111)를 발생시킨다. 모듈로-9카운터(4129)는 매 9번째 타임 슬롯동안 도전체 (4130)상에서 논리 1신호를 발생시킨다. 도전체(4130)상의 논리 1신호는 도전체(4131)상의 논리 1신호 이후 한번 타임슬롯을 발생시킨다. 포트제어기 (4000-0)와 회로망(5000)의 실행을 간단히 하기위해, 링크 (3001-0)상의 하나정도의 회로 셋업 요청 또는 회로차단요청워드는 카프레임 동안 포트제어기에 의해 처리될 것이다. 모듈로-9카운터(4129)는 주어진 프레임의 채널 0에서 수신된 회로 셋업요청 또는 회로 차단요청워드가 포트제어기(4000-0)에 의해 처리될 때, 다음 프레임의 채널 1에서 수신된 회로 셋업요청 또는 회로 차단요청워드가 처리되는 것과같은 스트로보스코프와 비슷한 방식으로 사용된다. 그래서, 소정의 통신모듈은 회로 셋업요청 또는 회로차단요청워드중 하나가 포트제어기(4000-0)에 의해 처리되기 전데 최상위 8개 연속적인 프레임에서 회로 셋업 또는 회로 차단 요청신호를 전송할 수 있다.

예로서, 링크(3002-31)의 목적지 채널을 한정하는 소정의 회로셋업요청워드는 모듈로-9카운터(4129)가 타임슬롯 0동안 도전체(4130)상에서 논리 1신호를 전송할때의 한 프레임 동안 링크(3001-0)의 소스채널 0에서 수신된다고 가정한다. 레지스터(4130)에 기억된 각 디지털 워드의 비트 1과 2를 수신하는 디코더(4105)는 레지스터(4130)에 현재 기억된 워드가 회로셋업 요청신호인가를 결정하여, 도전체(4106)를 통해 논리 1신호를 AND게이트(4111)에 전송한다. 도전체(4130)상의 모듈로-9카운터(4129)에 의해 발생된 논리 1신호는 다른 입력단자에서 클럭신호 C<sub>1</sub>를 수신하는 AND게이트(4113)에 전송된다. 클럭신호 C<sub>1</sub> 상에서 AND게이트(4113)는 논리 1인호를 AND게이트(4111)에 전달하며, 상기 AND게이트(4111)는 논리 1신호를 18비트 레지스터(4109)와 3비트 레지스터(4117)에 전송한다. 왜냐하면, 다른 입력상에서는 디코더(4105)로부터 도전체(4106)상의 논리 1신호를 수신하고 있기 때문이다. AND게이트(4111)로부터의 논리 1신호에 응답하여, 레지스터(4109)는 레지스터 (4103)에서 제공된 소정의 회로셋업요청워드의 비트 1 내지 비트 18을 기억하며 레지스터(4117)는 타임슬롯 계수기(4115)에 의해 발생된 타임슬롯 0인 것을 나타내는 타임슬롯표시 000를 기억한다. 레지스터(4109, 4117)에 기억된 워드는 모듈로-9계수기(4129)가 다시 도전체(4130)상에서 논리 1신호를 발생시킬때

까지 9개의 타임슬롯에 유지된다. 도전체(4130)상의 논리 1신호는 다른쪽 단자에서 클럭신호  $C_0$ 를 수신하는 AND게이트(4151)에 전송된다. 클럭신호  $C_0$  상에서 9개의 타임슬롯만큼 후에, AND게이트(4151)는 논리 1신호를 레지스터(4109, 4117)에 전달한다.

클럭신호  $C_1$  상에서 레지스터(4109, 4117)에 기억된 워드는 포트제어회로(4300)에 전달된다. 다음에서 상세히 설명되는 바와같이, 다음 7개 타임슬롯동안, 목적지 채널의 가용성과 데이터를 수신하기 위한 목적지 통신모듈의 가용성을 규정하는 32개의 상태워드(0 내지 31)의 각각은 최소한 한번씩 포트제어기(4000-0)에 순환된다. 목적지 통신모듈(2000-248)과 연관된 상태워드(31)가 포트제어기(4000-0)에 순환되었을때, 플립-플롭(4371-S) 또는 플립-플롭(4372B)가 셋트된다. 플립-플롭(4371-S)는 상태워드(31)가 링크(3002-31)의 목적지 채널 0이 사용가능하고 통신모듈(2000-248)이 데이터를 수신을 위해 사용가능하다는 것을 표시하면 셋트된다. 그렇지 않으면 플립-플롭(4372-B)가 셋트된다. 플립-플롭(4371-S)에 의해 발생된 출력신호가 AND게이트(4381-S)에 전송된다. AND게이트(4381-S)의 다른 입력단자는 AND게이트(4375)에 연결되어 있다. AND게이트(4375)는 2개의 입력단자에서 클럭신호를 수신하며, 모듈로-9카운터(4129)에 의해 도전체(4131)상에서 전송된 논리신호를 수신한다.

그래서, 만약 플립-플롭(4371-S5) 레지스터(4109)에서 소정의 회로셋업요청워드를 기억한 다음 8번째 타임슬롯의 클럭신호( $C_3$ )상에서 요청된 회로가 확립되었다는 것을 표시하면서 셋트되면, AND게이트(4318-S)는 OR게이트(4385)를 통해 논리 1신호를 데이터 선택기(4119)와 어드레스 선택기(4123)에 전송하며, 추가적인 OR게이트(4125)를 통해  $8 \times 8$ (각 18비트의 8개 위치) 랜덤억세스 메모리(4127)의 기록 입력단자에 전송한다.

본원에서 기술된 다른 데이터 선택기 및 어드레스 선택기와 마찬가지로 데이터 선택기(4119) 및 어드레스 선택기(4123)의 작동은 다음과 같다. 논리 1신호가 데이터 선택기(4119)의 왼쪽에 있는 상부 입력단자에 전송되었을 때, 데이터 선택기(4119)의 상부 왼쪽 입력단자에서 제공된 데이터는 메모리(4127)의 데이터-인단자에 전송된바 논리 1신호가 데이터 선택기(4119)의 왼쪽의 하부입력단자에 전송되었을 때, 데이터 선택기(4119)의 상부측의 오른쪽 입력단자상에서 제공된 데이터는 메모리(4127)의 데이터인 메모리에 전송된다. 유사하게 논리 1신호가 어드레스 선택기(4123)의 왼쪽의 상부 입력단자에 전송될때, 어드레스 선택기의 상부의 좌측 입력 단자에서 제공된 어드레스는 메모리(4127)의 어드레스 단자에 전송된다. 논리 1신호가 어드레스 선택기(4123)의 좌측 하부 입력단자에 전송되었을 때, 선택기(4123)의 상부 우측 입력단자에 제공된 어드레스는 메모리(4127)의 어드레스 단자에 전송된다. 그래서 AND게이트(4381-S)가 요청된 회로의 설정이 되었다는 것을 표시하는 논리 1신호를 전송할 때, 레지스터(4109)에 제공된 소정의 회로셋업요청워드는 레지스터(4117)에 기억된 타임슬롯 목적지에 의해 규정된 위치 000에서 메모리(4127)에 기억된다.

포트제어회로(4300)에 포함된  $8 \times 1$  랜덤억세스 상태 메모리(4303)는 회로망(5000)을 통해 링크(3001-0) 상의 8개 소스채널로부터 목적지 채널까지 회로가 확립되었는가를 표시하는 8개 위치 각각에서 비트를 기억 한다. 논리 1비트는 회로가 확립되었다는 것을 나타낸다. AND게이트(4381-S)가 소정의 회로셋업요청 워드에 응답하여 논리 1신호를 발생할때, 상기 논리 1신호는 게이트(4385)를 통해 상태메모리(4303)의 기록단자와 어드레스선택기(4301)의 입력단자에 전달이 된다. 논리 1신호는 또한 상태메모리(4303)의 데이터 인단자에 전달이 된다. 그래서 링크(3001-0)의 소스채널로부터 회로가 확립되었다는 것을 표시하는 논리 1비트는 레지스터(4117)에 기억된 타임슬롯 목적지에 의해 규정된 바와 같이 상태 메모리 (4303) 000위치에 기억 된다.

만약 소정의 회로차단요청워드가 타임슬롯 0동안 소정의 회로셋업요청워드보다 먼저 레지스터(4103)에 기억되어 있다면, 디코더(4105)는 다시 논리 1신호를 도전체(4106)을 통해 전달하고, 소정의 회로차단요청워드와 타임슬롯목적지 000은 레지스터(4109, 4117)에 기억된다. 통신모듈(2000-248)과 연관된 상태 워드 231가 포트제어기(4000-0)에 순환되었을 때, 플립-플롭(4373-D)은 셋트되고, AND 게이트(4383-D)는 논리 1신호를 OR게이트(4385)를 통해 데이터 선택기(4119)와 어드레스 선택기(4123)에 전송하며, OR게이트를 통해 메모리(4127)의 기록단자에 전송한다. 그래서 소정의 회로차단 워드는 메모리(4127)의 위치 000에 기억 된다. 또한 AND게이트(4383-D)에 의해 발생된 논리 1신호는 OR게이트(4385)를 통해 어드레스 선택기(4301)와 상태 메모리(4303)의 기록단자에 전송된다. 그러나 상기의 경우, 플립-플롭(4371-S)은 셋트되지 않고 AND게이트(4381-S)는 논리 0신호를 상태메모리(4303)의 데이터 인단자에 전송한다. 그래서 논리 0비트는 링크(3001-0)의 소스채널로부터 회로가 현재 확립되어 있지 않다는 것을 나타내는 상태메모리 (4303)의 위치 000에 기억된다.

각 타임슬롯동안 클럭신호  $C_1$  상에서 타임슬롯 카운터(4115)에 의해 전송된 타임슬롯 목적지에 의해 규정된 바와같이 상기 타임슬롯과 연관된 상태메모리 (4303)의 위치에 기억된 비트는 판독이 되어 플립-플롭(4305)에 기억된다. 소정의 타임슬롯동안, 예를들어 타임슬롯 3동안 링크(3001-0)의 소스 채널로부터 회로가 현재 확립되어 있다는 것을 표시하는 플립-플롭(4305)에 기억된 논리 1비트가 AND게이트(4108)에 전송되었을때, 디코더는 현재 레지스터(4103)에 기억된 워드가 회로 셋업 요청 또는 회로차단요청워드가 아닌 데이터 워드라는 것을 나타내는 논리 1신호를 도체(4107)를 통해 전송하며, AND게이트(4108)는 클럭신호  $C_2$  상에서 데이터 선택기(4119)의 입력단자에 논리 1신호를 전송하며, OR게이트(4121)를 통해 어드레스 선택기(4123)의 입력단자에 전송하며, OR게이트(4125)를 통해 메모리(4127)의 기록단자에 전송된다. 그 응답으로 레지스터(4103)에 제공된 데이터 워드는 타임슬롯 3동안 타임슬롯 카운터(4115)에 의해 발생된 타임슬롯 목적지 011에 의해 규정된 메모리(4127)의 위치 011에 기록된다.

각 타임슬롯동안 클럭신호  $C_4$  상에서, 타임슬롯에 의해 규정된 메모리(4127)위치에 기억된 18비트 워드는 판독이 되고 클럭신호  $C_6$ 를 통해 평행-직렬 레지스터 (4128)에 기억이 된다. 기억된 18비트 워드는 다음 직렬로 회로망(5000) 입력포트 IPO에 전달된다. 메모리(4127)는 파괴성 판독메모리이다. 그래서 각 메모리(4127)위치가 판독된 다음, 18개의 논리 0비트가 상기 메모리(4127)위치에 기억된



다. 또한, 각 타임슬롯의 클럭신호  $C_0$  상에서 플립-플롭(4305)가 다시 셋트된다. 상태메모리(4303)는 파괴성 판독 메모리가 아니다. 그래서 한번 논리 1비트가 회로의 확립을 나타내는 상태메모리(4303)에 기억되면, 논리 1비트는 회로 차단을 표시하는 논리 0비트가 중복기록될 때까지 유지된다.

소정의 회로셋업요청 또는 회로차단요청위드와 연관된 타임슬롯 목적지가 한번 레지스터(4109, 4117)에 기억이 되면, 9개의 타임슬롯동안 유지된다는 것을 알 수 있다. 링크(3002-31)의 목적지 채널을 규정하는 소정의 회로셋업요청위드가 링크(3001-0)의 소스채널 0에서 수신되면, 상기 소정의 회로셋업요청위드와 소스 채널 타임슬롯 목적지 000는 레지스터(4109, 4117)에 기억이 된다. 포트제어기(4000-0)의 포트제어회로(4300)는 포트제어기(4000-31)로부터 수신된 상태위드를 기억하는 17비트 상태 위드 수신레지스터(4341)와 포트제어기(4000-1)로 송신될 변형된 상태 위드를 기억하는 17비트 상태 위드 전송레지스터(4342)를 포함한다. 포트제어기(4000-31)의 상태 위드 전송레지스터(4342)에서 제공된 상태 위드는 클럭신호  $K_0$ 의 발생동안 포트제어기(4000-0)의 상태 위드 수신레지스터(4341)에서 기억된다. 포트제어기(4000-0)의 상태 위드 수신 레지스터(4341)에 제공된 상태 위드는 클럭신호  $K_0$ 의 발생동안 포트제어기(4000-0)의 상태 위드 송신레지스터(4342)에서 변형이 되어 기억된다. 본 실시예에서, 클럭신호  $K_0$ 와  $K_1$ 는 링크(3001-0) 타임슬롯 당 5개 펄스의 주파수이다(제19도). 그래서 32개의 상태 위드의 각각은 7개 타임슬롯 이하의 주기로 한번씩 포트제어기(4000-0)에 순환된다.

상태 위드순환을 위한 메카니즘은 다음에 기술되는 것과 동일한 것으로 될 수 있다.  $j$ ,  $k$ 와 1은 정수  $j$ 에 1을 더한 모듈로-32로부터 얻어진 정수인  $k$ 와 같은 정수로 정의하고, 정수  $k$ 에 1을 더한 모듈로-32로부터 얻어진 정수인  $l$ 로 정의한다. 0 내지 31중의 어느 정수인  $j$ 에 대해서  $k$ 번째 포트제어기(4000- $k$ )의 상태 위드 전송레지스터(4342)는  $k$ 번째 포트제어기(4000- $k$ )의 상태 위드 수신레지스터(4341)에 의해 기억된 각 상태 위드를  $l$ 번째 포트제어기(4000-1)에 전송한다. 또한,  $k$ 번째 포트제어기(4000- $k$ )의 상태 위드 수신레지스터(4341)는  $j$ 번째 포트제어기(4000- $j$ )의 상태 위드 전송레지스터(4342)에 의해 전송된 각 상태 위드 기억을 위해 수신한다.

소정의 상태 위드의 비트 16에서 논리 1은 상태 위드 0으로 상태 위드를 규정한다. 즉 링크(3002-0)와 통신 모듈(2000-0 내지 2000-7)과 연관된 상태 위드를 상태 위드 0으로 정의한다. 상기 상태 위드의 비트(0 내지 7)은 링크(3002-0)의 각 목적지 채널(0 내지 7)의 가용성을 규정한다. 상기 상태 위드의 비트(8 내지 15)는 데이터 수신을 위해 통신모듈(2000-0 캐지 2000-7)의 각각의 가용성을 규정한다. 상기 두 경우에서 논리 1비트는 가용성을 나타낸다. 다른 31개의 상태 위드의 비트(0 내지 15)는 유사하게 연관된 목적지 채널의 가용성과 데이터를 수신하기 위해 연관된 통신모듈의 가용성을 규정한다.

비트 16은 다른 31개의 상태 위드에서 논리 0비트이다. 각 클럭신호  $K_0$ 마다 증가가 되는 루프카운터(4329)는 000에서 1111 사이의 5개 비트 상태 위드 지정을 한다. 루프카운터(4329)는 상태 위드 0의 비트 16에 있는 논리 1비트에 의해 리셋트가 된다. 그래서 상태 위드 0가 상태 위드 수신레지스터(4341)에서 제공이 될 때, 루프카운터(4329)는 상태 위드 지정 0000을 발생하며, 상태 위드 10이 레지스터(4341)에서 제공이 될 때, 루프카운터(4329)는 상태 위드 지정 0000을 만든다. 상태 위드 31이 레지스터(4341)에서 제공될 때, 루프 카운터(4329)는 상태 위드 지정 1111을 만든다. 본 실시예에서, 소정의 회로 셋업요청위드의 비트(11 내지 15)는 요청된 목적지 링크로서 링크(3002-31)를 규정하는 비트 1111이다. 레지스터(4109)에 기억된 디지털 위드의 비트 1과 2를 수신하는 디코더(4311)는 기억된 디지털 위드가 회로 셋업요청위드인가를 결정하여 논리 1신호가 도전체(4310)와 OR게이트(4317)를 통해 AND게이트(4319)에 전송된다. 소정의 회로셋업요청 위드가 클럭신호  $C_1$ 와 함께 레지스터(4109)에 기억된 같은 타임슬롯동안, 모듈로-9카운터(4129)에 의해 발생된 논리 1신호는 도전체(4310)를 통해 게이트(4319)에 전송이 된다. AND게이트(4319)는 제3입력단자에서 클럭신호  $C_2$ 를 수신한다.

그래서, 상기 같은 타임슬롯의 클럭신호  $C_2$ 를 통해 AND게이트(4319)는 비교기(4323)를 인에이블시키는 플립-플롭(4321)을 셋트시키기 위해 논리 1신호를 송신한다. 비교기(4323)는 루프카운터(4329)에 의해 발생된 상태 위드지정을 레지스터(4109)에 기억된 소정의 회로셋업요청위드의 비트(11 내지 15)와 비교한다. 상태 위드 31이 지정위치 1111을 발생하는 루프카운터(4329)에 의해 표시된 바와같이 상태 위드수신 레지스터(4341)에 순환이 되었을 때, 비교기(4323)는 회로셋업요청위드와 연관된 상태 위드가 처리된 것이 상태 위드 수신레지스터(4341)에 현재 제공되었다는 것을 표시하는 논리 1신호를 발생한다.

비교기(4323)에 의해 발생된 논리 1신호는 논리회로(4350-0)의 3개 AND게이트(4351, 4353, 4355)와 7개의 다른 논리회로(4350-1 내지 4350-7)에 포함된 유사한 AND게이트에 전송이 된다. 레지스터(4109)에 기억된 회로셋업요청위드의 비트(16 내지 18)는 상기 비트에 의해 규정된 8개의 도전체(SEL 0 내지 SEL 7)중의 하나를 통해 논리 1신호를 전송하는 8개 선택기(4331)중의 하나에 전송된다. 본 실시예에서, 요청된 목적지 채널이 채널 0이기 때문에, 논리 1신호는 도전체(SEL 0)를 통해 논리회로(4350-0)의 3개 AND게이트(4351, 4353, 4355)에 전송된다. 소정의 회로셋업요청위드가 레지스터(4109)에 기억되는 같은 타임슬롯동안 즉, 타임슬롯 0동안, 상태메모리(4303)위치 000에서 기억된 비트는 판독이 되어 플립-플롭(4309)에 기억된다. 플립-플롭(4305)와는 달리, 플립-플롭(4309)은 매 타임슬롯마다 리셋트되지는 않는다. 링크(3001-0)의 소스채널로부터 회로가 사전에 확립되어 있지 않다고 가정하면, 플립-플롭(4309)은 "0"출력단자로 논리 1신호를 AND게이트(4313-CR)에 전송한다. 레지스터(4109)에 기억된 디지털 위드가 회로 셋업요청위드라는 것을 나타내는 도전체(4310)상의 디코더(4311)에 의해 발생된 논리 1신호는 AND게이트 313-CR의 다른 입력단자에 전송된다. 그 응답으로, AND게이트(4313-CR)는 논리회로(4350-0)에 있는 AND게이트(4351, 4353)과 논리회로(4350-1 내지 4350-7)에 있는 유사한 AND게이트에 전송한다. AND게이트(4313-CR)는 레지스터(4109)에 기억된 디지털 위드가 회로셋업요청위드이고, 상기 회로셋업요청위드를 전송하는 소스채널

로부터 아무런 회로가 사전에 확립되지 않았을 때만 논리 1신호를 발생한다.

만약, 상태워드 수신레지스터(4341)에 현재 기억된 상태워드 31의 비트 0과 8은 링크(3002-31)의 목적지 채널이 사용가능하고, 통신모듈(2000-248)이 데이터 수신을 위해 사용가능하다는 것을 표시하는 논리 1이 라면, 논리회로(4350-0)의 AND게이트(4351)는 8개 입력 OR게이트(4361-5)를 통해 논리 1신호를 전송하여 플립-플롭(4371-5)를 셋트시킨다. 플립-플롭(4371-5)를 셋트하면 소정의 회로셋업 요청워드가 메모리(4127)의 위치 0000에 기억되게 하며, 링크(3001-0)의 소스채널 0로부터 회로가 녹입되었다는 것을 표시하는 논리 1비트가 상태 메모리 (4303)의 위치 000에 기억되게 하는 것을 알 수 있다.

OR게이트(4361-5)는 8개의 입력단자에서 논리회로(4350-0)의 AND게이트(4351)과 다른 7개 논리회로(4350-1 내지 4350-7)의 AND게이트에 의해 전송된 논리신호를 수신한다. 만약 상태워드 31의 비트 0 또는 비트 8이 링크(3002-31)의 목적지 채널 0 또는 통신모듈(2000-248)이 데이터 수신을 위해 사용가능하지 않다는 것을 표시논리 0이라면, NAND게이트(4352)는 논리 1신호를 논리회로(4350-0)의 AND게이트(4353)에 전송하며 AND게이트(4353)은 8개의 입력 OR게이트(4362-8)를 통해 논리 1신호를 전송하여 플립-플롭(4372-8)를 셋트시킨다. 다음에서 설명되는 바와같이, 플립-플롭(4372-8)를 셋트시키면 링크(3002-0)의 목적지 채널 0에서 통신모듈(2000-0)에 전달되는 목적지 통화중 응답을 발생시킨다. OR게이트(4362-8)는 8개 입력단자에서 논리회로(4350-0)의 AND게이트(4353)과 다른 7개 논리회로(4350-1 내지 4350-7)의 유사한 AND게이트에 의해 전송된 논리신호를 수신한다.

레지스터(4109)에 기억된 디지털 워드가 회로차단요청신호가 아니고 회로셋업요청신호라면, 디코더(4311)는 도전체(4312)를 통해 논리 0신호를 AND게이트(4315-DR)에 전송하고 따라서 AND게이트(4315-DR)는 논리 0신호를 논리회로(4350-0)의 AND게이트와 논리회로(4350-1 내지 4350-7)의 유사한 AND게이트에 전송한다. 그 응답으로, AND게이트(4355)는 논리 0신호를 OR게이트(4356)에 전송한다. 비교기(4327)는 루프 카운터(4329)에 의해 발생된 상태워드지정은 32개의 포트제어기(4000-0 내지 4000-31)중의 하나가 포함되어 있는가를 규정하는 5비트 ID 레지스터의 내용과 비교를 한다. 현재 기술되고 있는 포트제어기(4000-0)에서 ID 레지스터는 비트 00000을 포함한다. 그래서, 상태워드 31가 상태워드지정 11111을 발생하는 루프카운터(4329)에 의해 표시된 바와같이 레지스터(4341)에 제공되어 있을때, 비교기(4327)는 논리회로(4350-0)의 AND게이트(4357)과 논리회로(4350-1 내지 4350-7)의 AND게이트에 논리 0신호를 전송한다. 그 응답으로 AND게이트(4357)는 논리 0신호를 OR게이트(4359)에 전송한다. 상태워드 수신레지스터(4341)에 있는 비트 0과 8이 모두 1일때, AND게이트(4351)는 논리 1신호를 OR게이트(4356, 4359)에 각각 전달한다.

두개의 OR게이트(4356, 4359)는 또한 다른 입력에서 논리 0신호를 수신하기 때문에, 상기 두 게이트는 클럭신호  $K_1$  상에서 상태워드 전송레지스터(4342)의 비트 0과 8을 기억하기 위해 논리 0신호를 전송한다. 그래서, AND게이트(4351)가 요청된 연결의 확립을 표시하는 논리 1을 발생할때마다, 레지스터(4341)에서의 상태워드의 비트 0과 8은 레지스터(4342)에서 기억될때 논리 1로 된다. 레지스터(4341)에서 제공된 상태 워드 31의 비트 0과 8이 둘다 논리 1이 아닌 경우, AND게이트(4351)는 논리 1신호를 AND게이트(4354)의 반전 입력단자에 전송하며, 따라서 레지스터 (4341)의 비트 0과 8은 AND 게이트(4354)와 OR게이트(4356) 및 AND게이트(4358)과 OR게이트(4359)를 통해 변형없이 전달되어 클럭신호  $K_1$ 를 통해 레지스터(4342)의 비트 0과 8에서 기억된다.

링크(3001-0)의 소스채널에서 수신되어 레지스터(4109)에 기억된 디지털 워드가 링크(3002-31)의 목적지 채널을 규정하는 회로차단요청워드일때, 디코더 (4311)는 도전체(4312)상에서 OR게이트(4317)에 전달되는 논리 1신호를 전송하며, 상기 신호는 플립-플롭(4321)을 셋트시키고 비교기(4323)를 인에이블 시킨다. 상기의 경우, 링크(3001-0)의 소스채널 0으로부터 회로가 현재 확립되었다는 것을 표시하는 논리 1비트가 상태메모리(4303) 위치 000에 제공되어 있다는 것을 가정할 수 있다. 상기 위치의 비트가 판독되고 플립-플롭(4309)에 기억될 때, 플립-플롭(4309)는 "1"출력단자로부터의 논리 1신호를 AND게이트(4315-DR)에 전송한다. AND게이트(4315-DR)는 입력단자에서 도전체(4312)를 통해 디코더(4311)에 의해 전송된 논리 1신호를 수신한다. 그 응답으로 AND게이트(4315-DR)는 논리 1신호를 논리회로(4350-0)에 있는 AND게이트(4355)와 다른 논리신호(4350-1 내지 4350-7)에 있는 유사한 AND게이트에 전송한다. 논리회로(4350-0)에서 게이트(4355)는 8개 입력을 가진 OR게이트(4363-D)를 통해 논리 1신호를 전송하여 플립-플롭(4373-D)를 통해 논리 1신호를 전송하여 플립-플롭(4373-B)을 셋트시킨다. 플립-플롭(4373-D)의 셋트는 레지스터(4109)에 제공된 회로차단요청워드가 메모리(4127)의 위치 000에 기록되게 하고, 논리 0 비트는 링크(3001-0)의 소스채널 0으로부터의 회로가 차단되었다는 것을 표시하는 상태메모리(4303)의 위치 000에서 기억되게 한다. OR게이트(4363-D)는 8개의 입력단자에서 논리회로(4350-0)의 AND게이트(4355)와 논리회로(4350-1 내지 4350-7)에 있는 유사한 AND게이트에 의해 전송된 논리신호를 수신한다. OR게이트(4361-5, 4362-8, 4363-0)중의 하나에 의해 발생된 논리 1신호는 OR게이트(4365)에 의한 논리 1신호의 전달에 영향을 미쳐 플립-플롭(4321)을 리셋트시켜 비교기(4323)을 디스에이블 시킨다.

AND게이트(4355)는 요청된 회로차단이 실행되었다는 것을 표시하는 논리 1신호를 전송할때, 상기 논리 1신호는 OR게이트(4356)를 통해 전달이 되어 클럭신호  $K_1$ 를 통해 레지스터(4342)의 비트 0에 기억이 된다.

비트 0에 있는 논리 1은 링크(3002-0)의 목적지 채널 0이 다시 사용가능하다는 것을 표시한다.

소정의 통신모듈(예, 2000-0)은 링크(3001-0)의 소스채널 0에서 논리 1수신기 상태비트(비트 0, 제 17도)를 전송하여 데이터를 수신할 수 있게 다시 되어 있다는 것을 포트제어기(4000-0)에 알려주는 것을 알 수 있다. 직렬-병렬 레지스터 (4101)에 의해 직렬로 수신되어 레지스터(4103)에 기억된 각 디지털 워드의 비트 0은 8개의 AND게이트(4335-0 내지 4335-7)에 전송된다. 타임슬롯카운터(4115)에 의해 발생된 타임 슬롯 지정은 상기에 의해 규정된 8개의 도전체( $S_0$  내지  $S_7$ )중의 하나를 통해 논리 1신호를 전송한다. 논리 1수신기 상태비트가 링크(3001-0)상의 타임슬롯 0에서 수신되었을 때, 도전

체( $S_0$ )상에서 선택기(4333)에 의해 발생된 논리 1비트와 논리 1신호는 둘다 AND게이트(4335-0)에 전달되어 AND게이트(4335-0)는 논리 1신호를 전송하여 플립-플롭(4337-0)을 셋트시킨다. 유사하게, 논리 1수신기 상태비트가 링크(3001-0)를 통해 타임슬롯(1 내지 7)내에 수신되었을때 플립-플롭(4337-1 내지 4337-7)은 셋트된다.

소정의 플립-플롭(예, 4337-0)은 선택기(4333)가 논리 1신호를 도전체( $S_7$ )상에서 전송하여 플립-플롭(4337-0)을 리셋트시킬때 이후의 8개 타임슬롯까지 리셋트되지 않는다. 유사하게, 플립-플롭(4337-7)은 선택기(4333)가 논리 1신호를 도전체( $S_6$ )상에서 전송할때 리셋트된다. 그래서, 플립-플롭(4337-0 내지 4337-7)에 의해 기억된 신호는 가장 최근에 수신된 수신기 상태 비트에 의해 표시된 바와같이 통신모듈(2000-0 내지 2000-7)의 가용성을 규정한다.

ID 레지스터(4325)는 내부에 포함된 32개의 포트제어기(4000-0 내지 4000-31)중 하나를 규정하는 것을 알수 있다. 포트제어기(4000-0)에서 비교기(4327)는 상태워드 0이 상태워드 수신레지스터(4341)에 제공되었을 때만 논리 1신호를 발생한다. 상기 논리 1신호는 논리회로(4350-0)의 AND게이트(4357)와 논리회로(4350-1 내지 4350-7)의 AND에 전달된다. 플립-플롭(4337-0)에 기억된 비트는 도전체( $A_0$ )를 통해 논리회로(4350-0)의 AND게이트(4357)에 전달된다. 다른 플립-플롭(4337-1 내지 4337-7)에 기억된 비트는 도전체( $A_1$  내지  $A_7$ )를 통해 논리회로(4350-1 내지 4350-7)의 유사한 AND게이트에 전달이 된다. 상태워드 수신레지스터(4341)에 제공된 상태워드의 비트 0은 논리회로(4350-0)에 있는 AND게이트(4357)에 전송된다. 레지스터(4341)에 제공된 상태워드 0의 비트 0이 링크(3002-0)의 목적지 채널 0의 사용가능상태를 나타내는 논리 1이며 플립-플롭(4337-0)에 기억된 비트가 데이터를 수신하기위한 통신모듈(2000-0)이 사용가능하다는 것을 표시할 때, AND게이트(4357)는 OR게이트(4359)를 통해 클럭신호  $K_1$ 을 통해 상태워드 전송레지스터(4342)의 비트 8에 기억하기 위한 논리 1신호를 전송한다. 그래서 상태워드 0은 통신모듈(2000-0)이 데이터 수신을 위해 사용될 수 있다는 것을 나타내기 위해 논리1을 비트 8에 기억하여 변형시킨다.

레지스터(4109)에 기억된 각 회로셋업요청 또는 회로차단워드를 위해 플립-플롭(4371-5, 4373-D, 4372-B)중의 하나는 다음 7개 타임슬롯동안 어떤 타임슬롯에 응답하여 셋트되는 것을 알수 있다. 모듈로-9카운터(4129)는 도전체(4131)를 통해 8개의 연속된 타임슬롯동안 AND게이트(4375, 4371)에 논리 1신호를 전송한다. AND게이트(4375)는 다른 입력단자에서 클럭신호  $C_3$ 를 수신한다. 그래서, 8번째 연속된 타임슬롯의 클럭신호  $C_3$  상에서, AND게이트(4375)는 다른 입력단자가 플립-플롭(4371-5, 4373-D, 4372-B)의 "1"출력단자에서 기억된 신호를 수신하는 3개의 AND게이트(4381-5, 4383-D, 4382-B)에 논리 1신호를 전송한다. 따라서 셋트된 플립-플롭(4371-5, 4373-D, 4372-B)중의 하나를 위해, AND게이트(4381-5, 4383-D, 4382-B) 및 포트출력회로(4500)의 OR게이트(4515)에 논리 1신호를 전송한다. AND게이트(4371)는 다른 입력단자에서 클럭신호  $C_4$ 를 수신한다. 8번째 타임슬롯의 클럭신호  $C_4$  상에서 AND게이트(4371)는 논리 1신호를 전송하여 플립-플롭(4309, 4371-5, 4373-D, 4372-B)를 리셋트 시킨다. AND게이트(4381-5, 4383-D, 4382-B)중의 하나가 논리 1신호를 OR게이트(4515)에 전송할 때, OR게이트(4515)는 논리 1신호를  $8 \times 2$  랜덤 액세스 메모리(4509)의 기록단자와 어드레스 선택기(4517)에 전송한다. 어드레스된 메모리(4509) 위치는 레지스터(4117)에 기억된 타임슬롯지정에 의해 극정된다. 레지스터(4109)에 기억된 회로셋업요청 또는 회로요청워드가 링크(3001-0)의 소스채널에서 수신됨과 동시에 타임슬롯지정 000은 레지스터(4117)에 기억이 되고 메모리(4509)의 위치 000은 어드레스된다. AND게이트(4381-5)가 논리 1신호를 인코더(4513)에 전송할때, 인코더(4513)는 메모리(4509) 위치 000에 기억을 위해 회로 셋트응답비트 01(제18)를 전송한다. AND게이트(4383-D)가 논리 1신호를 인코더(4513)에 전송할때, 인코더(4513)는 메모리(4509) 위치 000에 기억을 위해 회로차단응답비트 10(제18)를 전송한다. AND게이트(4382-B)가 논리 1신호를 인코더(4513)에 전송할때, 인코더(4513)는 메모리(4509) 위치 000에 기억을 위해 목적지 통화중 응답비트 11(제18)를 전송한다. 그래서 메모리(4509)는 소정의 회로셋업요청 또는 회로차단 요청워드가 레지스터(4109)에 기억이된 후 8번째 타임슬롯의 클럭신호  $C_3$ 상에서 응답비트로 기록이 된다.

18비트 디지털 워드는 직렬-병렬 레지스터(4501)에 의해 회로망(5000)출력포트 OP0로부터 직렬로 수신이 된다. 직렬-병렬 레지스터(4501)에 의해 수신된 소정의 디지털 워드가 회로망(5000)을 통해 전달된 회로셋업요청워드일때, 인코더(4503)는 데이터 수신개시 명령(제18도)을 나타내는 비트를 레지스터(4505)에 전송한다. 만약 레지스터(4501)에 의해 수신된 디지털 워드가 회로차단요청워드라면, 인코더(4503)는 데이터 수신장치(제18)라는 명령을 나타내는 비트를 레지스터(4505)에 전송한다. 만약, 레지스터(4501)에 의해 수신된 디지털워드가 데이터워드라면, 인코더는 명령이 아닌 18비트 데이터 필드를 가진 데이터를 나타내는 비트 2에서 논리 1을 레지스터(4505)에 전송한다. 인코더(4503)에 의해 전송된 정보는 클럭신호  $C_3$  상에서 레지스터(4503)에 기억된다. 클럭신호  $C_2$ 에 따라 증가하는 타임슬롯 카운터(4511)는 링크(3002-0)상의 목적지 채널을 나타내는 타임슬롯지정(000 내지 111)을 반복적으로 발생한다. 레지스터(4505)의 내용은 각 타임슬롯의 클럭신호  $C_4$  상에 타임슬롯 카운터(4511)에 의해 규정된  $8 \times 7$  랜덤 액세스 메모리 위치에 기억 된다. 타임슬롯카운터(4511)에 의해 규정된 메모리(4509, 4507)의 내용은 각 타임슬롯의 클럭신호  $C_1$  상에서 판독이 되어 클럭신호  $C_2$ 를 통해 병렬-직렬 레지스터(4519)에 비트(0 내지 18)로 기억이 된다. 상기와 같이 기억된 각 19비트 워드는 링크(3002-0)를 통해 거의 직렬로 멀티플렉서/디멀티플렉서(3000-0)에 전달이 된다.

#### [회로망(5000)]

회로망(5000)은 8개의 타임슬롯교환기(5100-0 내지 5100-7)을 구비한다(제10도). 각 타임슬롯교환기는 32개의 모든 회로망 입력포트(IP0 내지 IP31)로부터 정보를 수신하지만 정보를 32개 회로망(500) 출력포트(OP0 내지 OP31)중의 4개에만 전달한다. 그래서 소정의 타임슬롯교환기(예 5100-0)은 소정의 프레임(각 포트제어기(4000-0 내지 4000-31)로부터 8개 디지털워드)동안 256개의 디지털워드를

수신하지만 32개의 디지털워드(포트제어기 (4000-0 내지 4000-3)에 대해 8개 디지털워드)만을 전송하는 것이 필요하다. 또한 회로망(5000)은 타임슬롯교환기(5100-0 내지 5100-7)중의 하나와 연관된 8개 3비트 ID 레지스터(5900-0 내지 5900-7)를 포함한다. ID 레지스터(5900-0)는 정보를 출력포트(OP0 내지 OP3)에 전송하는 타임슬롯으로 타임슬롯교환기(5100-0)를 규정하는 비트 000를 포함한다. ID 레지스터 (5900-1)는 정보를 출력포트(OP4 내지 OP7)에 전송하는 타임슬롯으로 타임슬롯교환기(5100-1)를 규정하는 비트 001을 포함한다.

제20도는 회로망(5000)내에서 필요한 다양한 클럭신호를 도시하는 타이밍 다이어그램이다. 타임슬롯교환기(5100-0 내지 5100-7)에는 파이버라인형 메모리장치가 포함되어 있기 때문에 다수의 클럭신호는 프레임 정의를 위해 사용된다. 클럭신호( $S_0$ ,  $S_1$ ,  $S_0$ ,  $S_1$ )는 프레임을 교대로 정의하는데

사용된다. 클럭신호( $T_0$ ,  $T_1$ ,  $T_2$ )는 제1, 제2, 제3프레임을 규정한다. 디지털워드는 링크(3001-0 내지 3001-31)의 각각에서 8개 소스채널에 대응하는 프레임당 8개 디지털워드의 전송비율로 소정의 입력 포트에서 수신된다. 그러나, 소정의 타임 슬롯교환기내에서 32개의 디지털워드 전송은 각 프레임에서 이루어진다. 그래서 각 프레임은 8개 링크 타임 슬롯으로 나누어지게 되며, 또한 32개의 TSI 타임슬롯으로 나누어진다. 클럭신호( $Y_0$ ,  $Y_1$ )의 각각은 링크 타임슬롯당의 1개펄스의 주파수이다. 클럭 펄스( $X_0$ ,  $X_1$ ,  $X_2$ )의 각각은 TSI 타임슬롯당 한개펄스의 주파수 또는 그와 동등한 링크 타임슬롯당 4개 펄스의 주파수이다. 클럭신호( $S_0$ ,  $S_1$ )의 변이는 클럭신호( $S_0$ ,  $S_1$ )의 변이로부터 하나의 TSI 타임슬롯에 의해 지연되며, 그 이유는 다음에서 기술하기로 한다. 클럭신호(FP0, FP1)는 클럭신호( $S_0$ ,  $S_1$ )의 정변이에 따라 생기는 지속시간이 짧은 펄스이다.

#### [타임슬롯교환기(5100-0)]

타임슬롯교환기의 상세한 다이어그램은 제24도에 따라 장치된 제11도 내지 제16도에 도시되어 있다. 포트 제어기(4000-0 내지 4000-31)에의 전송된 디지털워드는 TSI 입력회로(5200)에 의해 수신된다. 포트제어기(4000-0 내지 4000-3)에 전달된 디지털워드는 TSI 출력회로(5600)에 의해 전송된다. 워드는 소스와 목적지 어드레스 및 TSI 제어회로(5400)에 의해 전송된 판독 및 기록신호에 따라 TSI 입력회로(5200)로부터 레지스터(5290)를 통해 TSI 출력회로(5600)에 전달이 된다.

TSI 입력회로(5200)는 96개의  $8 \times 18$  랜덤 액세스 메모리(5206-0 내지 5206-31, 5216-0 내지 5216-31, 5226-0 내지 5226-31)를 포함하며, 제11도에 도시된 입력포트 IP0는 단지 3개의 메모리(5206-0, 5216-0, 5226-0)와 연관이 된다. 디지털워드는 클럭신호  $T_0$ 에 의해 규정된 프레임동안 메모리(5260-0)내에 기록이 되지만 클럭신호  $T_0$ 에 의해 규정된 프레임인 2개의 프레임후에 상기 메모리로부터 판독이 된다. 디지털워드는 클럭신호  $T_0$ 에 의해 규정된 프레임동안 메모리(5216-0)내에 기록되지만 2개의 프레임이 후의 클럭신호  $T_2$ 에 의해 규정된 프레임동안 메모리로부터 판독이 된다. 디지털워드는 클럭신호  $T_2$ 에 의해 규정된 프레임동안 메모리 (5226-0)내에 기록이 되지만 2개의 프레임후 클럭신호  $T_1$ 에 의해 규정된 프레임 동안 메모리로부터 판독이 된다. 18비트 디지털워드는 32개의 직렬-병렬 레지스터 (5240-0 내지 5240-31)에 의해 입력포트(IP0 내지 IP31)로부터 직렬로 수신이 되며 클럭신호  $Y_0$ 를 통해 18비트 레지스터(5241-0 내지 5241-31)에 기억이 된다. 직렬-병렬 레지스터 (5240-0, 5240-31, 5241-0, 5241-31)만이 제11도에 도시되어 있다. TSI 입력회로(5200)메모리의 각각(예, 5206-0)은 단지 8개 위치를 가지며, 상기 위치는 9비트 어드레스이다. 어드레스의 제1비트는 항상 논리 1비트이다. 다음 5개 비트는 상기 메모리와 연관된 32개의 입력포트(IP0 내지 IP31)중의 하나를 규정한다. ID 레지스터(5202-0)는 입력포트 IP0와 연관된 메모리(5206-0, 5226-0)을 위한 첫번째 6개 어드레스 비트인 6비트(100000)를 포함한다. 31개의 다른 ID 레지스터(5202-1 내지 5202-31) (도시하지 않았음)는 다른 TSI 입력회로(5200)메모리를 위한 첫번째 6개 어드레스 비트를 포함한다. 클럭신호  $Y_0$ 에 따라 증가하는 타임슬롯카운터(5201)는 채널(0 내지 7)을 나타내는 링크 타임 슬롯 지정 000을 입력포트(IP0 내지 IP31)에서 반복적으로 발생한다. 타임슬롯카운터(5201)에 의해 발생된 링크 타임슬롯은 TSI 입력회로(5200)메모리에 기록하기 위한 최종적인 3개의 어드레스 비트로 사용이 된다. 입력포트와 연관된 3개의 메모리(예를들어 메모리 5206-0, 5216-0, 5226-0)의 위치는 동일한 어드레스를 갖지만, 3개 메모리중의 단 하나만 어떤 소정의 프레임동안 기록이 된다. 예를들어, 클럭신호  $T_0$ 에 의해 규정된 프레임동안 레지스터(5241-0)에 기억된 각 18비트 디지털워드는 클럭신호  $Y_1$ 에 의해 ID 레지스터(5202-2)와 타임슬롯카운터(5201)에 의해서 규정된 메모리 (5206-0)위치에 기록이 된다. 이와 비슷하게, 3개의 메모리(5206-0, 5216-0, 5226-0)중의 하나만 TSI 제어회로(5400)로부터 전송된 소스 어드레스에 의해 규정된 위치에서 각 프레임동안 판독이 된다. 어드레스 선택기(5205-0, 5215-0, 5225-0) 및 AND 게이트(5207-0, 5208-0, 5217-0, 5218-0, 5227-0, 5228-0)는 제11도에 도시된 바와 같이 클럭신호  $T_0$ ,  $T_1$ ,  $T_2$ 와 연관하여 사용되어 상술된 메모리 (5206-0, 5216-0, 5226-0)의 파이프라인형 작동을 하게 된다.

V TSI 입력회로(5200)메모리는 3중 버퍼형 메모리 장치를 구비한다. 256개의 디지털워드는 하나의 프레임동안 TSI 입력회로(5200)에서 기억되고, 다음 프레임동안 회로셋업요청워드 또는 회로차단 요청워드인 상기 디지털워드중의 하나는 다음에서 기술되는 바와 같이 제어메모리(5445)의 내용을 적당히 변형시키는데 사용되고, 다음 3번째 프레임동안 상기 디지털워드의 32개정도가 TSI 입력회로(5200)로부터 판독이 되고, 레지스터(5290)를 통해 전송이 되어 TSI 출력회로(5600)에 기록이 된다.

레지스터(5241-0 내지 5241-31)의 내용은 또한 새로운 연결워드 기억장치 (5410)와 차단워드기억장치(5460)를 이용가능하게 한다. 입력포트로부터 레지스터 (5241-0)에 기억된 회로셋업요청워드에 응답하여 새로운 연결워드를 기억하기 위해 사용된 새로운 연결워드 기억장치(5410)의 부분이 제15도에 명하게 도시 되어 있다. 포트제어기(4000-0)는 각 프레임에서 하나정도의 회로셋업요청워드를 회로망(5000) 입력포트 IP0에 전송한다. 만약 소정의 프레임동안 레지스터 (5241-0)에 기억된 8개 디지털워드중 하나가 링크(3002-0 내지 3002-3)중의 하나가 목적지 채널을 규정하는 회로셋업요청워드

라면, 상기 회로셋업요청워드의 15비트는 새로운 연결워드로서 2개의 15비트 레지스터(5401-0, 5402-0)중의 하나에 기억된다(선택기(5410-0)와 거의 동일한 31개의 선택기(5410-1 내지 5410-31)는 입력포트(IP1 내지 IP31)와 연관된다. 그러나 제15도에 도시하지 않았다). 선택기(5410-0)는 비교기(5406-0)와 디코더(5405-0)를 포함한다. 디코더(5405-0)는 휴지워드, 데이터워드, 회로셋업요청워드 또는 회로차단요청워드로서 디지털워드를 규정하는 레지스터(5241-0)에 기억된 각 디지털워드의 비트 1과 2를 수신한다. 디코더(5405-0)는 디지털워드가 회로셋업요청워드라고 판단할때, 디코더(5404-0)는 논리 1신호를 AND 게이트(5407-0)에 전송한다. 비교기(5406-0)는 ID 레지스터(5900-0)에 기억된 비트를 수신하며, 상기 비트를 레지스터(5241-0)에 기억된 디지털워드의 비트(11 내지 13)와 비교한다. 타임슬롯교환기(5100-0)과 연관된 ID 레지스터(5900-0)는 비트 000를 포함한다. 레지스터(5241-0)에 기억된 소정의 회로셋업요청워드의 비트(11 내지 13)은 요청된 목적지 링크가 타임슬롯교환기(5100-0)에 의해 제공된 4개의 링크(3002-0)중의 하나인 것을 표시하는 비트 000일때, 비교기(5406-0)는 논리 1신호를 AND 게이트(5407-0)의 다른 입력단자에 전달한다. 그 응답으로 AND 게이트(5407-0)는 레지스터(5401-1, 5402-0)와 각각 연관된 2개의 AND 게이트(5411-0, 5412-0)에 논리 1신호를 전달한다. AND 게이트(5411-0)는 다른 입력단자에서 클럭신호( $S_0$ ,  $Y_1$ )를 수신한다. AND 게이트(5412-0)는 다른 입력에서 클럭신호( $S_0$ ,  $Y_1$ )를 수신한다. 그래서, 소정의 회로셋업요청 신호가  $S_0$ 에 의해 규정된 프레임 동안 레지스터(5241-0)에서 제공되는지 또는  $S_1$ 에 의해 규정된 프레임 동안 제공되는가에 따라서 15비트의 회로셋업요청워드가 레지스터(5401-0) 또는 레지스터(5402-0)에 클럭신호  $Y_1$ 에 의해 새로운 연결워드로서 기억된다. 클럭신호  $S_0$ 에 의해 규정된 프레임 동안 레지스터(5401-0 내지 5241-31)에 제공된 32개의 회로셋업요청워드가 32개의 레지스터(5401-0 내지 5401-31)에 새로운 연결워드의 기억에 영향을 줄 수 있다. 이와 유사하게 클럭신호  $S_1$ 에 의해 규정된 프레임동안 레지스터(5241-0 내지 5241-31)에 제공된 32개의 회로셋업요청워드는 32개의 레지스터(5402-0 내지 5402-31)에 새로운 연결워드의 기억에 영향을 미칠 수 있다. 단지 레지스터(5401-0, 5402-2)만이 제15도에 도시되어 있다. 링크(3002-0 내지 3002-3)중의 하나를 규정하는 회로셋업요청워드만이 타임슬롯교환기(5100-0)의 새로운 연결워드 기억장치(5410)의 기억에 영향을 미칠 수 있다는 것을 알 수 있다. 레지스터(5401-0, 5402-0)에 기억된 15비트의 새로운 연결워드는 6비트 목적지 어드레스와 9비트 소스 어드레스를 구비한다. 목적지 어드레스(비트 0 내지 5)는 레지스터(5241-0)에 기억된 회로셋업요청워드의 비트 1과 14 내지 18을 구비한다. 각 회로셋업요청워드의 비트 1은 항상 논리 1비트이며 비트 14 내지 18은 링크(3002-0 내지 3002-3)의 목적지 채널 0과 같이 32개의 가능한 목적지 채널중 하나를 규정한다(제17도). 9비트 소스 어드레스(비트 6 내지 14)는 ID 레지스터(5202-0)의 내용과 타임슬롯카운터(5201)에 의해 발생된 링크 타임슬롯 지정도를 포함한다. 레지스터(5401-0과 5402-0)에 기억된 소스 어드레스는 100000000 내지 100000111 정도의 범위이다.

링크(3002-0 내지 3002-3)중의 하나를 규정하는 레지스터(5241-0)에 기억된 회로차단요청워드는 32개의 6비트 레지스터(5451-0 내지 5451-31)와 32개의 6비트 레지스터(5452-0 내지 5452-31)에 차단워드를 기억하는데 영향을 미친다. 레지스터(5451-0, 5452-0)만이 제13도의 차단워드 기억장치(5460)에 도시되어 있다. 선택기(5410-0)의 리코더(5405-0)는 레지스터(5241-0)에 기억된 소정의 디지털워드가 회로차단요청워드라는 것을 판단할때, 디코더(5405-0)는 논리 1신호를 AND 게이트(5408-0)에 전달한다. 회로차단 요청워드가 타임슬롯교환기(5100-0)에 의해 제공된 링크(3002-0 내지 3002-3)중의 하나를 규정할때, 비교기(5406-0)는 논리 1신호를 AND 게이트(5408-0)의 다른 입력단자에 전달한다. 그 응답으로 AND 게이트(5408-0)는 레지스터(5451-0, 5452-0) 각각과 연관된 2개의 AND 게이트에 논리 1신호를 전송한다. AND 게이트(5461-0)는 다른 2개의 입력단자에서 클럭신호  $S_0$ 와  $Y_1$ 를 수신한다. 그래서 소정의 회로차단 워드가  $S_0$ 에 의해 규정된 프레임 또는  $S_0$ 에 의해 규정된 프레임동안 레지스터(5241-0)에 제공되는가에 따라 상기 회로차단요청워드의 6비트는 클럭신호  $S_1$ 에 의해 2개의 레지스터(5451 또는 5452-0)중의 하나에 차단워드로 기억된다. 클럭신호  $Y_1$ 에 의해 규정된 프레임동안 레지스터(5241-0 내지 5241-31)에 제공된 32개의 회로차단요청워드는 레지스터(5451-0 내지 5451-31)에서 차단워드의 기억에 영향을 미칠 수 있다. 유사하게 클럭신호  $S_1$ 에 의해 규정된 프레임동안 레지스터(5241-0 내지 5241-31)에서 제공된 32개의 회로차단요청워드는 레지스터(5452-0 내지 5452-31)에 차단워드의 기억에 영향을 미칠 수 있다. 그러나 타임슬롯교환기(5100-0)에 의해 제공된 링크(3002-0 내지 3002-3)중의 하나를 규정하는 회로차단요청워드는 타임슬롯교환기(5100-0)의 차단워드 기억장치(5460)에서 차단워드를 기억시키는데 영향을 미친다. 레지스터(5451-0, 5452-0)에 기억된 6비트 차단워드는 레지스터(5241-0)에 제공된 비트 1과 14 내지 18의 회로차단요청워드로 구성되어 있다. 비트 1의 회로차단워드는 항상 논리 1비트이며, 비트 14 내지 18은 차단될 32개의 목적지 채널 즉, 링크(3002-0 내지 3002-3)의 목적지채널(0 내지 7)중의 하나를 규정한다(제17도).

새로운 연결워드 기억장치(5410)와 차단워드 기억장치중의 레지스터에 새로운 연결워드와 차단워드의 기억은 워드의 기억장치(5410)에서 클럭신호( $S_0$ ,  $S_1$ ) 또는 클럭신호( $S_0$ ,  $S_1$ )에 의해 제어되는 것에 관계가 없다. 왜냐하면  $S_0$ ,  $S_0$  변이후에 클럭신호  $Y_1$ 가 발생되기 때문이다. 편이된 클럭신호( $S_0$ ,  $S_1$ )의 필요성은 다음에서 기술하기로 한다.

소정의 프레임동안 레지스터(5451-0 내지 5451-31)에 기억된 내용은 32개의 인에이블 게이트(5471-0 내지 5471-31)와 버스(5482)를 통해 다음 프레임동안 전송되어 차단메모리장치(5490)에 있는  $32 \times 1$  랜덤 어드레스 메모리(5494)의 어드레스가 논리 1비트로 기록되도록 한다(동시에 상기 다음 프레임동안 차단워드는 레지스터(5452-0 내지 5452-31)에 기억된다). 유사하게 상기 다음 프레임동안 레지스터(5452-0, 5452-31)에 기억된 내용은 32개의 인에이블 게이트(5472-0 내지 5472-31) 및 버스(5482)를 통해 그 다음 프레임동안 전송이 되어 차단메모리장치(5490)에 있는 제2  $32 \times 1$  랜덤 액세스 메모리(5493)의 어드레스에 논리 1비트가 기록되게 한다.

TS1 출력 카운터(5600)에 포함된 타임슬롯카운터(56eB)는 클럭신호 X0에 따라 증가되어 TS1 타임슬

롯(0 내지 31)을 나타내는 5비트 타임슬롯지정(00000 내지 11111)을 반복적으로 발생한다. 타임슬롯 카운터(5602)에 의해 발생된 TSI 타임슬롯지정은 상기와 같이 극정된 32개의 도전체(SL0 내지 SL31)중의 하나상에서 논리 1신호를 발생하는 32개의 선택기(5470)중의 하나에 전송한다. TSI 타임슬롯 0동안 도전체 SLG 상에 발생된 논리 1신호는 인에이블 게이트(5471-0, 5472-0)에 각각 연관된 2개의 AND 게이트(5481-0, 5482-0)에 전송된다. 도전체(SL1 내지 SL31)상에서 발생된 논리 1신호는 유사하게 AND 게이트(5481-1 내지 5481-31)과 AND게이트(5482-1 내지 5482-31)에 전달한다. AND 게이트(5481-0)는 다른 입력단자에서 클럭신호  $S_1$ 을 수신한다 그래서, 클럭신호  $S_0$ 에 의해 규정된 프레임동안 레지스터(5451-0)에 기억된 내용은 버스(5482)상의 인에이블 게이트(5472-0)를 통해 클럭신호  $S_1$ 에 의해 규정된 다음 프레임중의 TSI 타임슬롯 0동안 전송된다. 이와 유사하게, 클럭신호  $S_1$ 에 의해 규정된 프레임동안 레지스터(5452-0)에 기억된 내용은 클럭신호  $S_0$ 에 의해 규정된 다음 프레임중의 TSI 타임슬롯 0동안 버스(5482)상의 인에이 블 게이트(5472-0)를 통해 전송된다.

레지스터 (5451-0 내지 5451-31)은 클럭신호  $S_0$  (제20도)의 정변이 발생에 따라 짧은 지속시간의 펄스신호 FP0에 의해 내용이 삭제된다. 레지스터(5452-0 내지 5452-31)는 클럭신호  $S_1$ 의 정변이에 따라 짧은 지속시간 펄스신호 FP1에 의해 내용이 삭제된다.

버스(5482)상에 전송된 차단워드는 2개의 어드레스선택기(5491, 5492)를 통해 차단메모리장치(5490)의 메모리(5493, 5494)에 전송된다. 메모리(5493, 5494)는 각각 단하나의 위치를 갖지만, 상기 위치는 100000 내지 11111 사이의 6비트 어드레스에 의해 규정된다. 메모리(5493, 5494)의 각각에 있는 32개 위치의 각각은 차 단될 32개 목적지 채널중의 하나와 연관된다. 클럭신호  $S_0$ ,  $S_1$ ,  $X_1$ 은 제14도에 표시된 바와 같이 AND 게이트(5483, 5484, 5485, 5486)에 전송되어 메모리(5493, 5494)의 판독과 기록을 제어한다. 클럭신호  $S_0$ 에 의해 규정된 프레임동안 버스(5482) 상에서 전송된 각 차단워드(비트0에서 논리 1을 가지어 구별됨)는 논리1 비트의 클럭신호에 의해 상기 차단워드로 규정된 메모리(5493) 위치에서 기억을 시키는데 영향을 미친다. 소정의 메모리(5493)에 기억된 논리 1비트는 상기 위치와 연관된 목적지 채널에 대한 회로는 다음 프레임동안 차단되는 것을 표시한다. 이와 비슷하게 클럭신호  $S_1$ 에 의해 규정된 프레임동안 버스(5482) 상에서 전송된 차단워드는 차단워드에 의해 규정된 메모리(5494) 위치에 논리 1비트의 클럭신호를 이용한 기억에 영향을 미친다. 메모리(5493, 5494)는 상기 메모리에 기억된 논리 1비트가 한번 판독이 되고 레지스터(5495)에 기억이 되어 제어 메모리(5445)를 통해 차단에 영향을 미치며, 상기 논리 1비트는 논리 0비트로 대체가 되는 파괴성 판독 메모리이다.

32개의 순환상태워드와 연관된 포트제어기(4000-0 내지 4000-31)의 작동에 의해 타임슬롯교환기(5100-0)에 의해 제공된 32개의 목적지 채널을 규정하는 32개의 회로차단요청워드는 하나의 프레임 동안 타임슬롯 교환기(5100-0)에 전송이 되며 타임슬롯교환기(5100-0)에 의해 제공된 32개의 목적지 채널을 규정하는 32개의 회로셋업요청신호가 다음의 프레임동안 타임슬롯교환기(5100-0)에 전송되는 것을 알 수 있다. 그래서, 소정의 프레임, 즉 클럭신호  $S_0$ 에 의해 극정된 프레임동안 논리 1비트는 메모리(5493)의 모든 32개 위치에 기록되고 새로운 연결워드는 새로운 연결워드 기억장치(5410)의 모든 32개의 레지스터(5401-0 내지 5401-31)에 기억되는 것이 가능하다.

제어메모리(5445)의 입력레지스터(5446-0)에 기억을 위해 버스(5440)와 인에이블 게이트(5441)를 통해 레지스터(5401-0 내지 5402-0 및 5402-0 내지 5401-31)로부터 새로운 연결워드의 전송은 제15도에서 단지 개략적으로 표시된 게이트의 다이제-체인장치를 이용하여 이루어진다. 클럭신호  $S_0$ '에 의해 규정된 프레임은 새로운 연결워드 레지스터(5401-0 내지 5401-31)중의 하나에 기억되도록 발생된다고 가정한다. 클럭신호  $S_1$ 에 의해 규정된 바와같이 다음 프레임동안 레지스터(5401-0 내지 5401-31)의 내용은 32개의 인에이블 게이트(5401 내지 5401-31)를 통해 32개의 인에이블 게이트(5431-0 내지 5431-31)의 입력단자에서 이용가능하도록 된다. 레지스터 (5401-0)의 디지털워드의 비트0은 상기 워드가 논리 1일때 새로운 워드로 규정을 한다.

레지스터(5401-0)내의 워드의 비트0은 인에이블 게이트(5421-0)를 통해 AND게이트(5428-0)에 전송이 된다. AND게이트(5428-0)는 반전입력에 연결되어 논리 0을 갖는다. 그래서, 만약 레지스터(5401-0)에 존재하는 워드가 새로운 연결워드라면, AND게이트(5428-0)는 논리 1신호를 인에이블 게이트(5431-0)에 전송하며, 상기 새로운 연결워드는 버스(5440) 상에서 사용가능하게 된다. 논리 1신호는 OR게이트 (5427-0)를 통해 AND게이트(5428-1)의 반전입력단자에 전송된다. 그 응답으로 AND게이트(5428-1)는 논리 0신호를 인에이블 게이트(5431-1, 도시하지 않았음)을 디스에이블시켜 레지스터(5401-1)의 내용이 버스(5440) 상에 전송되는 것을 방지한다. AND게이트(5427-0)에 의해 전송된 논리 1신호는 연속된 OR게이트(5427-1 내지 5427-30)을 통해 연속된 AND게이트(5428-2 내지 5428-1)에 전달되어 레지스터 (5402-2 내지 5402-31)의 내용이 버스(5440) 상에 전달되는 것을 방지한다.

레지스터 (5401-0)로부터 새로운 연결워드 선택논리회로(5496)가 논리 1신호를 인에이블 게이트에 송신하고 상기 새로운 연결워드가 메모리(5445)의 입력 레지스터(5446-0)에 전달되어 기억될때까지 버스(5440) 상에 유지된다. 게이트(5441)를 인에이블 시키기 위해 선택논리회로(5496)에 의해 전송된 논리 1신호는 또한 AND게이트(5439)에 전달된다.

AND게이트(5439)의 다른 입력단자는 클럭신호  $X_2$ 를 수신한다. 그래서 AND게이트(5439)는 지속시간이 짧은 펄스(클럭신호  $X_2$ 의 폭에 의해 규정된)를 레지스터 (5401-0 내지 5402-31)와 연관된 32개의 AND게이트(5413-0 내지 5413-31)의 입력단자와 레지스터(5402-0 내지 5402-31)와 연관된 32개의 AND 게이트(5414-0)의 입력단자에 전송한다. AND게이트(5413-0)는 다른 입력단자에서 클럭신호  $S_0$ '와 AND게이트 (5428-0)에 의해 발생된 논리신호를 수신한다. 그래서 AND게이트(5413-0)는 논리 1신호를 전송하여 레지스터(5401-0)의 내용을 삭제시킨다. 따라서, 인에이블 게이트(5421-0)를 통해 AND게이트(5428-0)에 전송된 레지스터(5401-0)의 비트0은 논리 0으로 되고 인에이블 게이트(5431-0)를 디스에이블 시킨다. 그러나 레지스터 (5401-1)이 또한 새로운 연결워드를 포함한다고 가정하면, 레지스터(5401-1)의 비트0에 있는 논리 1은 인에이블 게이트(5421-1)를 통해 AND게이트(5428-1)에 전달된

다. OR게이트(5427-0) 논리 0신호를 AND게이트(5428-1)의 반전입력에 전달한다.

그 응답으로 AND게이트(5428-1)는 논리 1신호를 전달하여 게이트(5431-1)를 인에이블 시키고 레지스터(5401-1)에 존재하는 새로운 연결워드는 버스(5440) 상에서 사용가능하다. AND게이트(5428-1)에 의해 전송된 논리 1신호는 OR게이트(5427-1)와 연속된 OR게이트(5427-2 내지 5427-30)와 연속된 AND게이트(5428-2 내지 5428-31)에 전송되어 레지스터(5401-2 내지 5401-31)의 내용이 버스(5440) 상에 전송되는 것을 방지한다. AND게이트(5439)에 의해 발생된 펄스의 지속시간은 새로운 연결워드가 제어메모리(5445)의 입력 레지스터(5446-0)에 기억된 것으로 부터 레지스터(5401-0 내지 5401-30)중의 하나는 상기 펄스에 의해 삭제될 수 있을 정도로 충분히 짧다. 클럭신호 S0'에 의해 규정된 프레임동안 레지스터 (5402- 0 내지 5402-31)로부터 새로운 연결워드를 버스(5440)에 전달하는 새로운 연결워드 기억장치(5410)내의 작동은 클럭신호 S1'에 의해 규정된 프레임에 대해 설명된 것과 동일하다.

제어메모리(5445)의 작동과, 상기 메모리의 작동에 의해 새로운 연결워드 기억장치(5410)에 기억된 새로 총 연결워드와 차단메모리장치(5490)에 기억된 논리 1비트는 일반적인 설명부분에서 기술된 제어메모리(5445)의 내용을 변화시키는데 영향을 준다. 레지스터(5446-30)로부터 통로(5487)를 통해 TSI입력회로 (5200)에 소정의 연결워드의 소스 어드레스 전송은 출력 레지스터(5446-31)로부터 통로(5488)를 통해 TSI 출력회로에 소정연결워드의 목적지 어드레스 전송보다 하나의 타임슬롯도로 선행한다. 그래서 TSI출력회로(5600)와 새로운 연결워드 기억장치 (5410)내의 프레임당 클럭신호 S0', S1'는 TSI입력회로(5200)내의 프레임당 클럭신호 T0, T1, T2 및 차단워드 기억장치(5460)내의 프레임당 클럭신호 S0, S1에 대해 하나의 TSI타임슬롯만큼 지연되며, 프레임 경계를 보정하는 차단메모리장치(5490)는 상기 경계범위내에서 유지된다. 만약 제어메모리(5445)가 32개의 연결워드 즉 차단을 나타내는 널워드에 대해 능동연결을 나타내는 워드를 포함하며, TSI입력회로(5200) 메모리에 기억된 32개의 디지털워드는 소정의 프레임동안 판독이된 다음 레지스터 (5290)에 기억된다.

TSI출력회로(5600)는 B개의 32×18 랜덤 액세스 메모리(5606, 5616)을 구비하는 2중 버퍼형 메모리 장치를 포함한다. 2개의 어드레스 선택기(5605, 5615)는 메모리(5606, 5616)과 연관된다. 메모리(5606, 5616)의 위치는 100000 내지 111111 사이의 6비트 어드레스로 규정된다. 클럭신호 S0'에 의해 규정된 소정의 프레임동안, 각 TSI타임슬롯의 클럭신호 X2에 의해 기억된 워드는 제어메모리(5445)의 출력 레지스터(5446-31)으로부터 전송된 목적지 어드레스에 의해 규정된 위치에서 다음 타임슬롯의 클럭신호 X1에 의해 메모리(5616)에 기억된다. 클럭신호 S1'에 의해 규정된 바와같이 다음 프레임동안 레지스터(5290)로부터의 워드는 메모리(5606)에 기록되기 때문에. 메모리(5616)의 32개 위치는 타임슬롯카운터(5602)에 의해 규정된 순서로 판독이 된다.

타임슬롯카운터(5602)에 의해 발생된 2개의 최하위비트(비트3과 4)는 4개의 선택기(5620)중 하나에 전송되며, 그 응답으로 4개 도전체(L0 내지 L3)중의 하나를 통해 논리 1신호를 4개의 AND게이트(5631, 5641, 5651, 5661)중의 하나에 전송한다. AND게이트(5631, 5641, 5651, 5661)의 각 다른 입력단자는 클럭신호 X2가 공급된다. 메모리(5616)는 연관된 AND게이트(5617, 5618)를 가지며, 메모리(5606)은 연관된 ANB게이트(5607, 5608)를 가지어 상기 메모리의 판독과 기록을 제어한다. 클럭신호 S1'에 의해 규정된 프레임동안 메모리(5616)의 위치는 클럭신호 X1를 통해 판독되어 다음 단계의 클럭신호 X2에 의해 4개의 병렬-직렬 레지스터(5632, 5642, 5652, 5662)중의 하나에 기억된다. 메모리(5616) 위치(100000)로부터의 워드 판독은 레지스터(5632)에 기억되며, 메모리(5616) 위치(100001)로부터의 워드판독은 레지스터(5642)에 기억되며, 메모리(5616) 위치(100010)로부터의 판독은 레지스터 (5652)에 기억되며, 메모리(5616) 위치(100011)으로부터의 판독은 레지스터 (5662)에 기억된다. 그리고 메모리(5616) 위치(100100)로부터의 판독은 레지스터 (5632)에 기억된다. 상기 순서는 어드레스 선택기(5615)에 제공된 타임슬롯카운터 (5602)에 의해 전송된 TSI타임슬롯 지정의 비트 순서를 바꾸어서 이루어진다. 병렬-직렬 레지스터 (5632, 5642, 5652, 5662)에 기억된 디지털 워드는 프레임당 8개 디지털워드의 전송율로 회로망(5000) 출력포트(CP0 내지 CP3)에 직렬로 전송된다.

상술된 실시예는 본 발명의 원리를 설명하는 것에 지나지 않으며, 본 발명의 사상과 범주를 벗어나지 않고도 본 기술에 숙련된 사람에게 의해 다른 장치로 변형가능하다는 것을 알 수 있다. 예를들어 상기 실시예인 신속한 회로스위칭시스템은 데이터통신 응용에 연관하여 기술되고 있지만, 상기 시스템은 또한 음성을 디지털형태로 코드화 하는체대 응용될 수 있다 또한 순차적인 액세스, 순환제어메모리(5445)는 본 실시예에서와 같이 입력 레지스터에 다시 연결된 출력 레지스터를 가진 다수의 직렬 연결 레지스터로 이루어져 있지만, 상기 제어 메모리는 또한 출력이 입력에 다시 연결되는 선입 선출 메모리 또는 각 메모리의 출력이 다른 메모리의 입력에 연결된 2개의 선입 선출 메모리를 사용하여 구성될 수도 있다.

## (57) 청구의 범위

### 청구항 1

정보전송을 위한 다수의 소스채널과, 정보전송을 위한 다수의 목적지 채널과, 상기 소스채널의 최소한 하나와 연관된 다수의 통신 모듈을 구비하며, 최소한 하나의 연관된 소스채널상에서 회로셋업요청신호 및 데이터를 전송하는 전송기를 구비하고, 상기 회로셋업요청신호는 상기 목적지 채널중의 최소한 하나를 규정 하며, 상기 목적지 채널중의 최소한 하나의 가용성을 규정하는 다수의 상태워드 중 하나를 기억하는 기억수단을 각각 구비하는 다수의 제어기와, 상기 각각의 상태워드를 각각의 제어기의 기억수단과 회로망에 순환 시키는 수단을 구비한 통신시스템에 있어서, 상기 제어기의 각각은 상기 소스채널의 최소한 하나와 연관되며, 상기 제어기는 또한 최소한 하나의 연관된 소스채널상에서 정보를 수신하는 수단과 상기 회로셋업요청 신호중의 하나와 연속적인 데이터에 응답하는 수단을 구비하며, 상기 제어기의 기억수단에 순환된 상기 상태워드중의 하나가 상기 회로셋업요청신호에 의해 규정된 상기 목적지 채널중의 하나가 사용가능한 것으로 규정되었을때 회로셋업요청신호와 상기 연속적인 데이터를 회로망에 전송하는 수단을 구비하며, 상기 회로 망은 상기 제어기로부터 수신

된 데이터를 상기 회로셋업요청신호에 의해 규정된 상기 목적지 채널에 전송하기 위해 상기 제어기로부터 수신된 회로셋업요청신호에 응답하는 수단을 구비하는 것을 특징으로 하는 회로스위칭시스템.

**청구항 2**

제1항의 시스템에 있어서, 상기 제어기 각각은 상기 회로셋업요청신호에 응답하는 수단을 구비하여 상기 제어기의 기억수단에 순환된 상기 상태워드중의 하나가 상기 회로셋업요청신호에 의해 규정된 상기 목적지 채널중의 하나를 사용가능한 것으로 규정할때, 상기 목적지 채널을 사용불가능한 것으로 규정하기 위해 상기 상태워드를 변형시키는 것을 특징으로 하는 회로스위칭시스템.

**청구항 3**

제1항의 시스템에 있어서, 상기 제어기는 상기 통신모듈중의 하나로부터 수신된 회로셋업요청신호중의 하나에 응답하는 수단을 구비하여, 상기 제어기의 기억수단에 순환된 상기 상태워드중의 하나가 상기 회로셋업요청신호에 의해 규정된 상기 목적지 채널중의 하나를 사용가능한 것으로 규정할때, 상기 목적지 채널중의 하나에서 회로셋업요청신호를 상기 소정의 통신모듈에 전송하며, 상기 통신모듈의 각각은 상기 목적지 채널중의 하나에서 상기 제어기중의 하나에 의해 전송된 회로셋업요청신호에 응답하는 수단을 구비하여 회로셋업요청신호의 전송을 방지하며, 상기 통신모듈에 의해 데이터의 전송을 시작하는 것을 특징으로 하는 회로스위칭시스템.

**청구항 4**

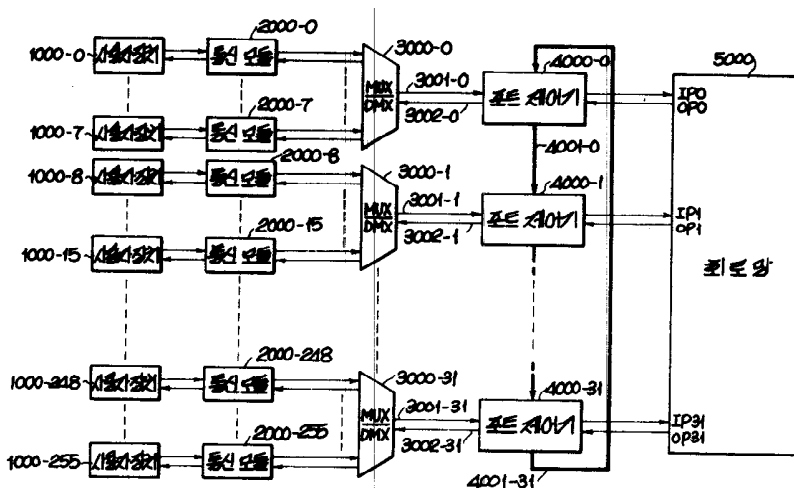
제 1항의 시스템에 있어서, 상기 제어기는 상기 통신모듈중의 하나로부터 수신된 상기 회로셋업요청신호중의 하나에 응답하는 수단을 구비하여 상기 제어기의 기억수단에 순환된 상태워드중의 하나가 상기 회로 셋업요청신호에 의해 규정된 상기 목적지 채널중의 하나를 사용불가능한 것으로 규정할때, 상기 소정의 통신모듈에 상기 목적지 채널중의 하나에서 목적지 통화중 응답신호를 전송하며, 상기 통신모듈 각각은 상기 목적지 채널중의 하나에 있는 상기 제어기중 하나에 의해 송신된 목적지 통화중 응답신호에 응답하여, 상기 통신모듈에 의해 회로셋업요청신호를 계속적으로 전송하는 것을 특징으로 하는 회로스위칭시스템.

**청구항 5**

제1항의 시스템에 있어서, 상기 통신모듈 각각의 전송기수단은 상기 목적지 채널중의 최소한 하나를 규정하는 회로차단요청신호를 상기 통신모듈과 연관된 최소한 하나의 소스채널을 통해 전송하는 수단을 구비하며, 상기 제어기 수단은 상기 회로차단요청신호중의 하나에 응답하는 수단을 구비하여, 상기 제어기의 기억수단에 순환된 상기 상태워드중의 하나가 상기 회로차단요청신호에 의해 규정된 상기 목적지 채널중의 하나를 사용불가능한 것으로 규정할때 상기 목적지 채널을 사용가능한 것으로 규정하는 상태워드를 변형시키는 것을 특징으로 하는 회로스위칭시스템.

**도면**

도면1

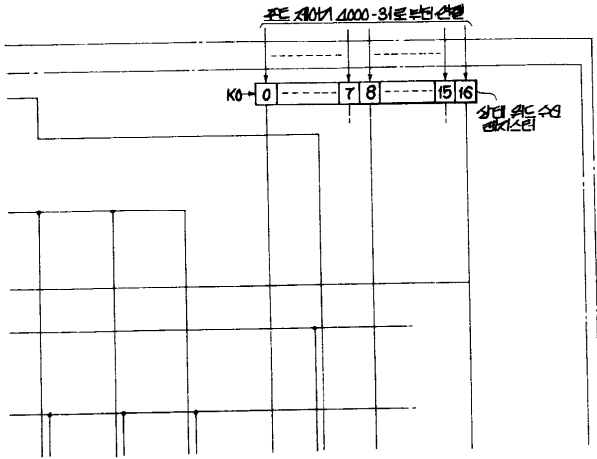




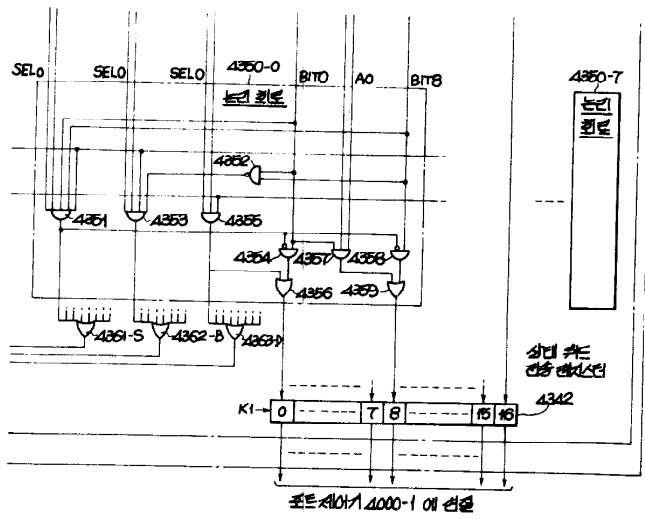




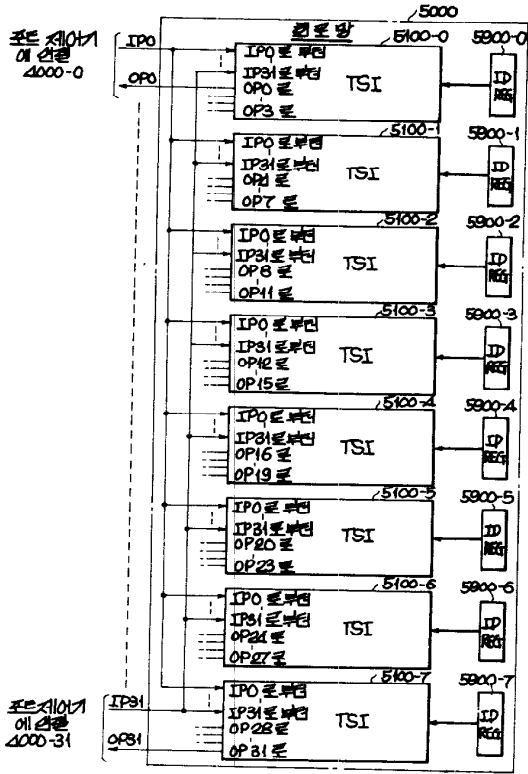
도면8



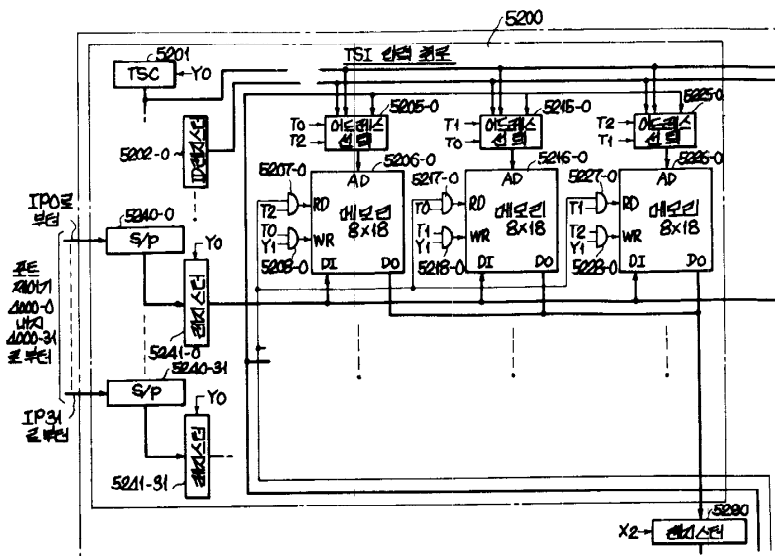
도면9



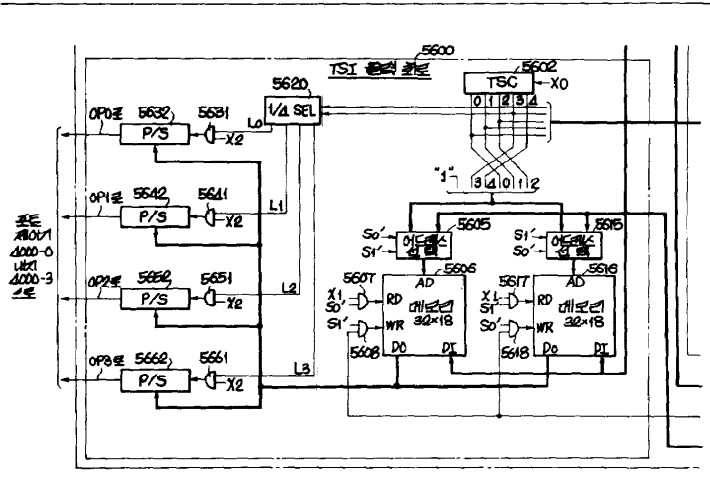
도면 10



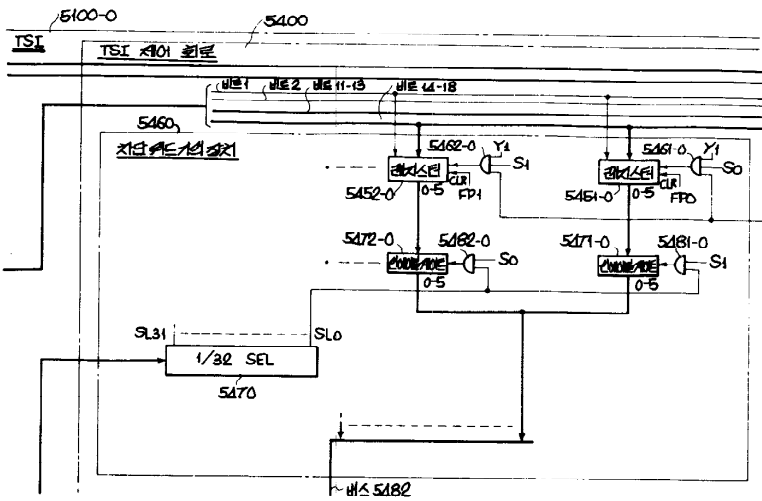
도면 11



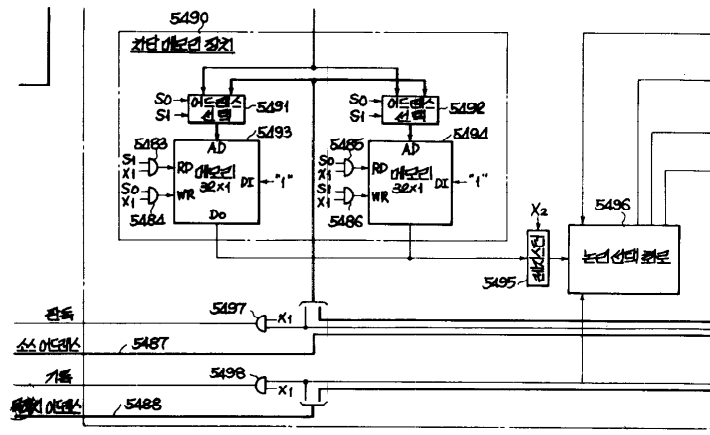
도면 12



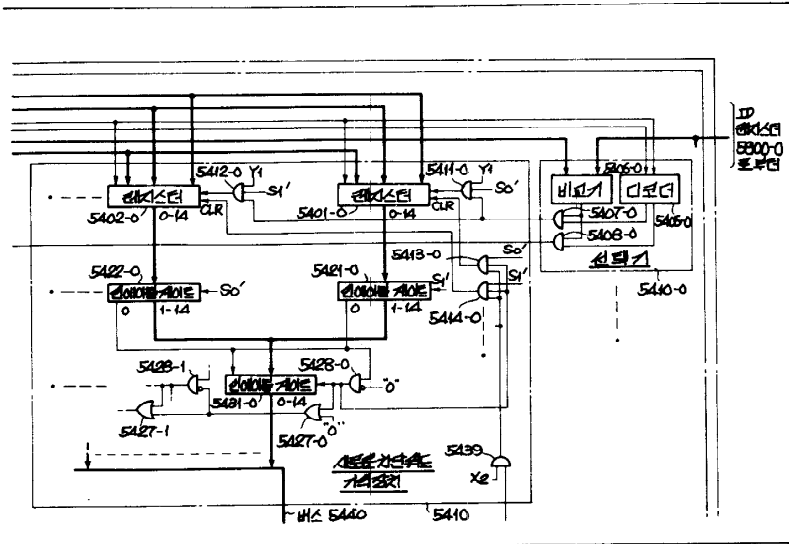
도면 13



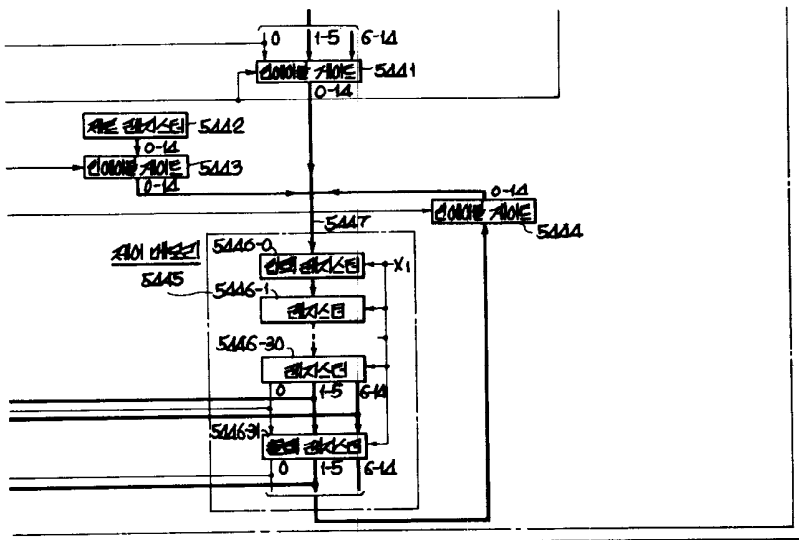
도면 14



도면 15



도면 16



도면 17

고속 클럭 3001-0 부터 3001-31 까지  
19 비트 디지털 출력 포맷

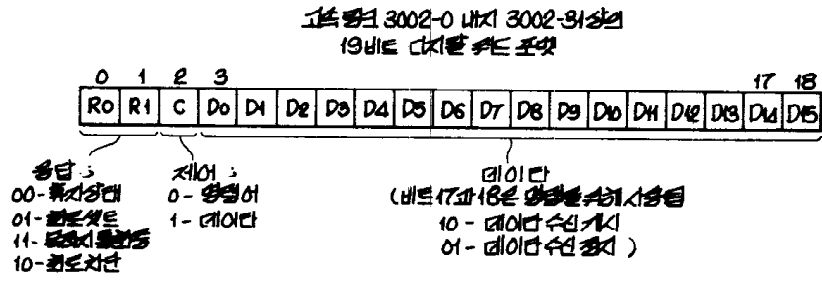
|    |    |    |    |    |    |    |    |    |    |    |    |    |     |     |     |     |     |     |
|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|-----|-----|-----|-----|-----|
| 0  | 1  | 2  | 3  |    |    |    |    |    |    | 11 |    |    | 15  | 16  | 18  |     |     |     |
| RS | CO | C1 | D0 | D1 | D2 | D3 | D4 | D5 | D6 | D7 | D8 | D9 | D10 | D11 | D12 | D13 | D14 | D15 |

수단상대  
0 - 시작비트  
1 - 시작비트

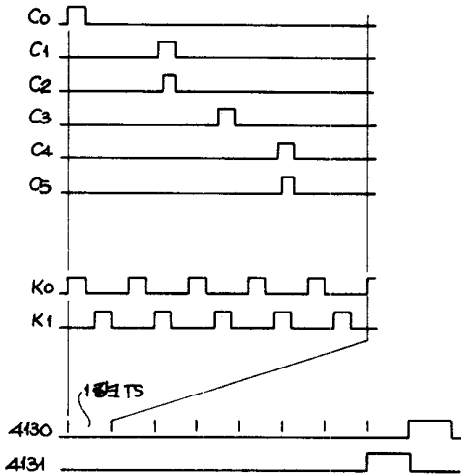
제어 :  
00 - 클럭신호  
01 - 데이터  
10 - 클럭신호  
11 - 클럭신호

데이터  
(클럭 신호 및 클럭 신호 0까지)  
비트 11-15는 클럭 신호  
클럭 신호 클럭신호 클럭신호  
비트 16-18은 클럭 신호  
클럭 신호 클럭신호 클럭신호

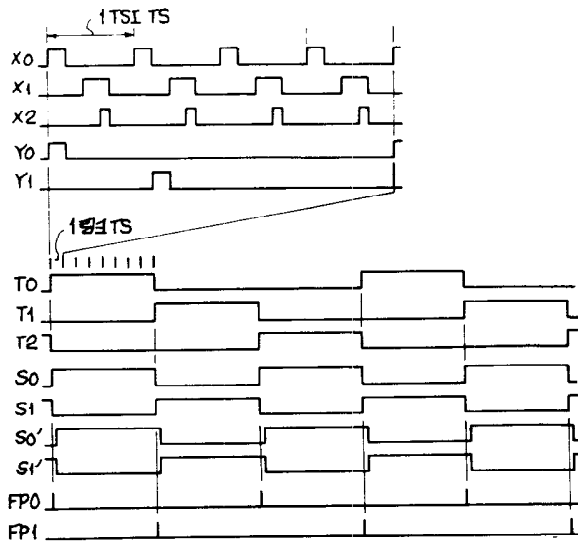
도면 18



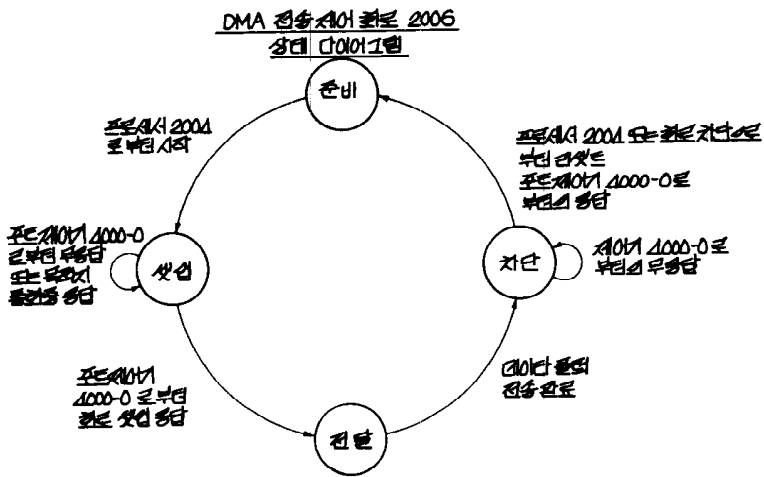
도면 19



도면 20



도면21



도면22

선택 논리 회로 5196 을 위한 진리표

| 출력<br>선택지스터<br>5116-3의<br>비트 0 | 선택지스터<br>5195 | 비스<br>5110<br>비트 0 | 인어블<br>지스터 5113<br>에 전달된<br>논리 신호 | 인어블<br>지스터 5114<br>에 전달된<br>논리 신호 | 인어블<br>지스터 5111<br>에 전달된<br>논리 신호 |
|--------------------------------|---------------|--------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| 0                              | 0             | 0                  | 1                                 | 0                                 | 0                                 |
| 0                              | 0             | 1                  | 0                                 | 1                                 | 0                                 |
| 0                              | 1             | 0                  | X                                 | X                                 | X                                 |
| 0                              | 1             | 1                  | X                                 | X                                 | X                                 |
| 1                              | 0             | 0                  | 0                                 | 0                                 | 1                                 |
| 1                              | 0             | 1                  | 0                                 | 0                                 | 1                                 |
| 1                              | 1             | 0                  | 1                                 | 0                                 | 0                                 |
| 1                              | 1             | 1                  | 0                                 | 1                                 | 0                                 |

X - 무관

도면23

포인트 1000-0

|     |     |     |
|-----|-----|-----|
| 제1도 | 제6도 | 제8도 |
| 제5도 | 제7도 | 제9도 |

도면24

TSI  
5100-0

|      |      |      |
|------|------|------|
| 제11도 | 제13도 | 제15도 |
| 제12도 | 제14도 | 제16도 |