

88年12月30日 修正  
充

申請日期	87.9.19
案 號	87115640
類 別	H01L 7/16

A4  
C4

393724

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	一種淺溝渠隔離的製造方法
	英 文	
二、發明 創作人	姓 名	1 高境鴻 2 黃修文
	國 籍	中華民國
	住、居所	1 南投縣草屯鎮太平路一段 427 號 2 高雄市永年街 103 號 4 樓
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 名 姓	曹興誠

經濟部中央標準局員工消費合作社印製

裝 訂 線

88年12月30日 修正  
充

申請日期	87.9.19
案 號	87115640
類 別	H01L 7/16

A4  
C4

393724

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	一種淺溝渠隔離的製造方法
	英 文	
二、發明 創作人	姓 名	1 高境鴻 2 黃修文
	國 籍	中華民國
	住、居所	1 南投縣草屯鎮太平路一段 427 號 2 高雄市永年街 103 號 4 樓
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 名 姓	曹興誠

經濟部中央標準局員工消費合作社印製

裝 訂 線

## 五、發明說明 ( | )

本發明是有關於一種積體電路的製造方法，且特別是有關於一種淺溝渠隔離的製造方法。

在積體電路蓬勃發展的今日，元件縮小化與積集化是必然之趨勢，也是各界積極發展的重要課題。當元件尺寸逐漸縮小，積集度(integration)逐漸提高，元件間的隔離結構也必須縮小，因此元件隔離技術困難度也逐漸增高。元件隔離有利用區域氧化法(local oxidation, LOCOS)來形成的場氧化層(field oxide)，由於場氧化層受限於其外型之鳥嘴(bird's beak)特性，要縮小其尺寸實有困難。有鑒於此，已有其他元件隔離方法持續被發展出來，其中以淺溝渠隔離(Shallow Trench Isolation, STI)最被廣泛應用，尤其應用於次半微米(sub-half micron)的積體電路製程中。

淺溝渠隔離的製造，一般使用氮化矽作為硬罩幕，以非等向性(anisotropy)蝕刻法在半導體基底上定義陡峭的溝渠。之後再將溝渠填滿氧化物，以提供為元件隔離結構。

第 1A 圖至第 1G 圖係繪示習知一種淺溝渠隔離之製造流程剖面圖。

請參照第 1A 圖，在矽基底 10 上形成墊氧化層 20，用於保護基底 10 的表面，於後續開極氧化層形成之前移去。之後沈積氮化矽層 30，然後在氮化矽層 30 上塗佈光阻層 40 用以定義溝渠。接著經微影蝕刻製程形成罩幕 40，再依序蝕刻氮化矽層 30、墊氧化層 20 以及矽基底 10，形成溝渠 50，再移除光阻層 40。

請參照第 1B 圖，使用熱氧化法，在溝渠 50 中形成一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( > )

襯氧化層 60 (Linear Oxide)。接著，使用常壓化學氣相沈積法 (Atmospheric Pressure Chemical Vapor Deposition, APCVD) 將溝渠 50 填滿氧化矽層 70。再經密實化 (Densification) 步驟，條件為在溫度約 1000 °C 下，時間約 10~30 分鐘，使沈積的氧化矽 70 收縮之後結構更為密實。

請參照第 1C 圖，在密實化之後，以氮化矽層 30 為研磨終點，使用化學機械研磨法 (Chemical Mechanical Polishing, CMP) 去除氮化矽層 30 上之氧化矽層 70，而留下溝渠區中的氧化插塞 80。然而，進行化學機械研磨法時，由於氧化插塞 80 較氮化矽層 30 為軟，因此氧化插塞 80 的表面會有輕微的凹陷 (dishing) 90 現象。

請參照第 1D 圖，接著再移去氮化矽層 30，留下墊氧化層 20，以及比墊氧化層 20 表面略高之氧化插塞 80。而移去氮化矽層 30 的方法包括使用熱磷酸溶液。

請參照第 1E 圖，隨後以氫氟酸 (HF) 浸蝕移除墊氧化層 20。由於氧化插塞 80 的蝕刻速率較由熱氧化法所形成之墊氧化層 20 快速許多，使得氧化插塞 80 表面凹入而低於基底 10 的表面。而若過度蝕刻會使得氧化插塞邊緣的表面產生低於基底表面之凹陷部份 100。

上述習知的方法會造成以下的缺點：

- 一、利用 CVD 將氧化矽填入淺溝渠時，因為其結構不紮實，必須再經過約 1000 °C 的密實化步驟。但是晶圓上各種材質的熱膨脹係數大小並不相同，造成各層不同材質體積增大的程度也大小不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 3 )

- 一、造成彼此受力的現象。而熱膨脹係數為氮化矽( $3.5 \times 10^{-6}/^{\circ}\text{C}$ ) > 矽( $2.6 \times 10^{-6}/^{\circ}\text{C}$ ) > 氧化矽( $0.5 \times 10^{-6}/^{\circ}\text{C}$ )，因此晶圓會受到較多來自氮化矽層的膨脹應力，若熱製程控制不當，甚至會造成晶圓表面發生彎曲(warping)的現象，使得基底產生缺陷，導致漏電。
- 二、在密實化步驟後所施行的 CMP 步驟，常會因為在同一步驟只能有一組研磨參數的情況之下，氮化矽層和氧化插塞若同時研磨時，氧化插塞會有輕微的凹入現象。另外氮化矽的硬度又大，容易在進行化學機械研磨的步驟時，會對氧化插塞的表面造成嚴重刮傷。如此在後續形成多晶矽化金屬的步驟時，容易在刮痕中殘留多晶矽化金屬，而導致橋接(bridge)的現象。
- 三、氧化矽插塞邊緣表面的凹陷部份，將會造成電晶體通道開啓頸結效應(Kink Effect)中不正常的次臨限電流(Subthreshold Current)，使得電晶體無法正常運作。

因此本發明的主要目的就是在提供一種淺溝渠隔離結構之製造方法，以解決習知之缺點。

根據本發明的目的，提出一種淺溝渠隔離結構之製造方法。此方法包括在基底上依序形成黏著層、硬罩幕層以及去除終止層。去除部份的去除終止層、硬罩幕層以及黏著層，形成大小不一的溝渠，而且在溝渠的底部仍保留一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綑

## 五、發明說明(4)

薄層的黏著層。在溝渠中填滿介電層，再回蝕介電層，暴露出去除終止層和大溝渠底部之基底的表面，在溝渠的側壁形成間隙壁，但是小溝渠底部仍覆蓋有介電層。熱氧化暴露出的基底，形成場氧化層於大溝渠之底部。去除小溝渠底部的介電層、黏著層以及基底，形成淺溝渠。熱氧化暴露出的基底，將淺溝渠填滿。最後移除去除終止層以及硬罩幕層。

依本發明所述的方法，其解決上述習知問題的方法是將黏著層的厚度加大，如此可解決部份因熱膨脹所造成的應力問題。再來因為淺溝渠隔離是利用熱氧化法所形成的，結構較緻密，所以用 HF 溶液來移除墊氧化層時，其蝕刻速率比會差不多，則不會有因過蝕刻而使邊緣產生凹洞的問題。另外因為不用 CMP 來進行平坦化製程，所以氧化插塞的表面也不會有微小刮痕出現。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1E 圖係繪示習知一種淺溝渠隔離區之製造流程剖面圖；以及

第 2A ~ 2G 圖，其繪示依照本發明一較佳實施例的一種淺溝渠隔離的製造流程剖面圖。

圖式之標記說明：

10、110：基底

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( ㄟ )

- 20：墊氧化層
- 30：氮化矽層
- 40：光阻層
- 50、150a、150b、150c：溝渠
- 60：襯氧化層
- 70：氧化矽層
- 80：氧化插塞
- 90、100：凹洞
- 120、120a、120b：黏著層
- 130：硬罩幕層
- 140：氧化矽層
- 160a：介電層
- 160b：間隙壁
- 170：場氧化層
- 180：淺溝渠隔離

### 實施例

請參照第 2A ~ 2G 圖，其繪示依照本發明一較佳實施例的一種淺溝渠隔離的製造流程剖面圖。

請參照第 2A 圖，在基底 110 之上依序形成黏著層 120、硬罩幕層 130 以及去除終止層 140。其中黏著層 120 是用來提高硬罩幕層 130 對基底 110 的附著力，其形成的方法和材質比如使用熱氧化法，在約 900 °C 下長出厚約 200 ~ 400 Å 的墊氧化層，比習知約 100 Å 略厚一些，以降低熱製程中基底 110 和硬罩幕層 130 之間的應力。而硬罩幕層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

130 是用來保護主動區的基底 110，其材質例如包括氮化矽，其形成的方法例如包括以  $\text{Si}_2\text{Cl}_2$  和  $\text{NH}_3$  為氣源的低壓化學氣相沈積法(Low Pressure Chemical Vapor Deposition, LPCVD)，在溫度  $700 \sim 800 \text{ }^\circ\text{C}$  以及壓力  $0.1 \sim 1 \text{ torr}$  下來沈積之。至於去除終止層 130 的材質例如包括氧化矽，形成的方法例如使用以矽酸四乙酯(tetraethyl orthosilicate, TEOS,  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) 為氣源的常壓化學氣相沈積法(Atmospheric Pressure Chemical Vapor Deposition, APCVD)，在溫度  $650 \sim 750 \text{ }^\circ\text{C}$  以及壓力  $1 \sim 10 \text{ torr}$  下來沈積之。

請參照第 2B 圖，去除部份的去除終止層 140、硬罩幕層 130 以及黏著層 120，形成複數個淺溝渠 150a、150b，但是淺溝渠 150a、150b 的底部仍保留厚約  $100 \text{ \AA}$  的黏著層 120a、120b，以降低後續形成的間隙壁和基底 110 之間在熱製程中所產生的應力。其方法比如利用微影技術定義主動區，在去除終止層 140 表面形成一光阻層(圖上未示出)，覆蓋住將來欲作為元件(比如 MOS)的主動區；蝕刻暴露出之去除終止層 140，並依序蝕刻其下方的硬罩幕層 130 以及黏著層 120，形成複數個淺溝渠 150a、150b。其中淺溝渠 150a 面積較大，例如位於周邊區域。而淺溝渠 150b 面積較小，例如位於記憶細胞區。

請參照第 2C 圖，形成一層介電層 160(圖上未示出)在去除中止層 140 的上方以及淺溝渠 150a、150b 之中，再以去除終止層 140 為去除終點，回蝕至暴露出去除終止層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(7)

140 的表面，並同時在淺溝渠 150a、150b 的側壁上形成間隙壁 160a。間隙壁 160a 的材質例如為氮化矽，而因為面積較大的溝渠其蝕刻速率較快，所以當暴露出較大淺溝渠 150a 底部基底 110 的表面時，較小淺溝渠 150b 底部仍覆蓋有薄薄一層的介電層 160b。

請參照第 2D 圖，進行區域氧化 (local oxidation, LOCOS) 製程，讓較大淺溝渠 150a 底部基底 110 的表面氧化成場氧化層 (field oxide, FOX) 170，完成周邊區域的元件隔離結構。

接著，請繼續參照第 2E 圖，去除較小淺溝渠 150b 底部殘餘的介電層 160b、黏著層 120b 以及部份的基底 110，形成淺溝渠 150c。然後進行熱氧化法，在約 900 °C 下，將淺溝渠 150c 的矽基底 110 表面氧化成二氧化矽，將淺溝渠 150c 的基底部份填滿，形成如第 2F 圖所示的淺溝渠隔離 180 的構造，完成記憶細胞區元件隔離結構的製造。其中淺溝渠 150c 的寬度最好小於 0.1  $\mu\text{m}$ ，如此熱氧化法所形成的二氧化矽，才可將其填滿。

最後，請參照第 2G 圖，去除剩下的去除終止層 140、硬罩幕層 130 以及黏著層 120，在基底 110 中只留下場氧化層 170 和淺溝渠隔離 180 兩種元件隔離結構。

由上述本發明較佳實施例可知，應用本發明具有下列優點：

- 一、省去一般淺溝渠隔離製程中的 CMP 的步驟，因此不會於 CMP 步驟中，在晶圓表面造成微小刮

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

傷。這些微小刮傷，在後續形成多晶矽化金屬的步驟時，容易在其中殘留多晶矽化金屬，而導致橋接的現象。

二、淺溝渠隔離中的氧化矽，是用熱氧化法來形成的。而和利用化學氣相沈積法所形成的氧化矽來填入淺溝渠隔離內的方法來比較，本發明可省去密實化的步驟。如此可避免晶圓各種材料因熱膨脹係數大小不同，在此步驟的高溫下，使體積膨脹比例不一，產生應力，造成晶圓缺陷的生成。

三、黏著層的厚度較厚，又一般硬罩幕層的材質為氮化矽，黏著層的材質為氧化矽。而熱膨脹係數為氮化矽( $3.5 \times 10^{-6}/^{\circ}\text{C}$ ) > 矽( $2.6 \times 10^{-6}/^{\circ}\text{C}$ ) > 氧化矽( $0.5 \times 10^{-6}/^{\circ}\text{C}$ )，而氧化矽層夾在中間，且其質地較軟。若其厚度較厚，則可吸收雙方於熱製程中因熱膨脹所製造出來的應力。

四、本發明之淺溝渠隔離因為是靠熱氧化法所製造的，所以在其邊緣地帶會有輕微的鳥嘴(結構，使得其邊緣地帶的結構為圓滑且較高出基底的面，如第 2G 圖 80 所示。因此在後續於基底上形成閘氧化層(gate oxide)時，就不會因為在和淺溝渠隔離的接線地帶所長出的閘氧化層厚度太薄，造成頸結效應。

五、本發明之淺溝渠隔離的寬度約  $0.1 \mu\text{m}$ ，和習知的寬度大於  $0.2 \mu\text{m}$  來相較，面積減小不少，連帶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綑

### 五、發明說明(9)

的也可使記憶細胞區的單位面積減少，提高元件的積集度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要 (發明之名稱：一種淺溝渠隔離的製造方法)

一種淺溝渠隔離結構之製造方法。此方法將黏著層的厚度加大，如此可解決因熱膨脹所造成的應力問題。再來因為淺溝渠隔離是利用熱氧化法所形成的，結構較緻密，所以用氫氟酸溶液來移除墊氧化層時，其蝕刻速率比會差不多，則不會有因過蝕刻而使邊緣產生凹洞的問題。另外因為不用化學機械研磨法來進行平坦化製程，所以氧化插塞的表面也不會有微小刮痕出現。

## 英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種隔離結構的製造方法，該方法包括：

提供一基底；

形成一黏著層於該基底上；

形成一硬罩幕層於該黏著層上；

形成一去除終止層於該硬罩幕層上；

去除部份的該去除終止層、該硬罩幕層以及該黏著層，形成大面積的複數個第一溝渠以及小面積的複數個第二溝渠，該些第一溝渠以及該些第二溝渠的底部仍保留部份厚度的該黏著層；

形成一介電層，填滿該些第一溝渠以及該些第二溝渠；

回蝕該介電層，暴露出該去除終止層和該些第一溝渠底部之基底表面，在該些第一溝渠的側壁形成複數個第一間隙壁，但是該些第二溝渠底部仍覆蓋有該介電層；

熱氧化暴露出的該基底，形成一場氧化層於該些第一溝渠之底部；

去除該些第二溝渠底部的該介電層、黏著層以及該基底，形成複數個第三溝渠；

熱氧化暴露出的該基底，將該些第三溝渠填滿，形成一淺溝渠隔離；

去除該去除終止層；以及

去除該硬罩幕層。

2. 如申請專利範圍第 1 項所述之隔離結構的製造方法，其中該黏著層包括墊氧化層。

## 六、申請專利範圍

3. 如申請專利範圍第 1 項所述之隔離結構的製造方法，其中該黏著層的厚度約 200 ~ 400 Å。

4. 如申請專利範圍第 1 項所述之隔離結構的製造方法，其中該硬罩幕層的材質包括氮化矽。

5. 如申請專利範圍第 1 項所述之隔離結構的製造方法，其中該些第一溝渠以及該些第二溝渠的底部所保留部份厚度的該墊氧化層，其厚度約 100 Å。

6. 如申請專利範圍第 1 項所述之隔離結構的製造方法，其中該些第三溝渠的寬度約 0.05 ~ 0.1 μm。

7. 一種隔離結構的製造方法，該方法包括：

提供一基底；

形成一黏著層於該基底上；

形成一硬罩幕層於該黏著層上；

形成一去除終止層於該硬罩幕層上；

去除部份的該去除終止層、該硬罩幕層以及該黏著層，形成一第一溝渠，該第一溝渠的底部仍保留部份厚度的該黏著層；

形成複數個間隙壁在該第一溝渠的側壁；

去除該第一溝渠底部的該介電層、黏著層以及該基底，形成一第二溝渠；以及

熱氧化暴露出的該基底，填滿該第二溝渠，形成一隔離結構。

8. 如申請專利範圍第 7 項所述之隔離結構的製造方法，其中該黏著層包括墊氧化層。

## 六、申請專利範圍

9. 如申請專利範圍第 7 項所述之隔離結構的製造方法，其中該黏著層的厚度約 200 ~ 400 Å。

10. 如申請專利範圍第 7 項所述之隔離結構的製造方法，其中該去除終止層的材質包括氧化矽。

11. 如申請專利範圍第 7 項所述之隔離結構的製造方法，其中該些第一溝渠以及該些第二溝渠的底部所保留部份厚度的該墊氧化層，其厚度約 100 Å。

12. 如申請專利範圍第 7 項所述之隔離結構的製造方法，其中該些第三溝渠的寬度約 0.05 ~ 0.1 μm。

13. 一種場氧化層的製造方法，該方法包括：

一種隔離結構的製造方法，該方法包括：

提供一基底；

形成一黏著層於該基底上；

形成一硬罩幕層於該黏著層上；

形成一去除終止層於該硬罩幕層上；

去除部份的該去除終止層、該硬罩幕層以及該黏著層，形成一第一溝渠，該第一溝渠的底部仍保留一薄層的黏著層；

形成複數個間隙壁在該第一溝渠的側壁，暴露出該基底的面；以及

熱氧化暴露出的該基底，填滿該第二溝渠，形成一隔離結構。

14. 如申請專利範圍第 13 項所述之隔離結構的製造方法，其中該黏著層包括墊氧化層。

## 六、申請專利範圍

15. 如申請專利範圍第 13 項所述之隔離結構的製造方法，其中該黏著層的厚度約 200 ~ 400 Å。

16. 如申請專利範圍第 13 項所述之隔離結構的製造方法，其中該去除終止層的材質包括氧化矽。

17. 如申請專利範圍第 13 項所述之隔離結構的製造方法，其中該些第一溝渠以及該些第二溝渠的底部所保留部份厚度的該墊氧化層，其厚度約 100 Å。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

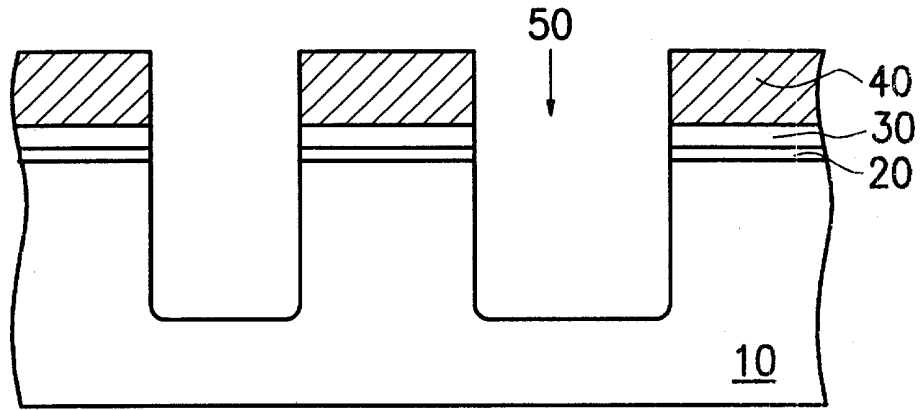
線



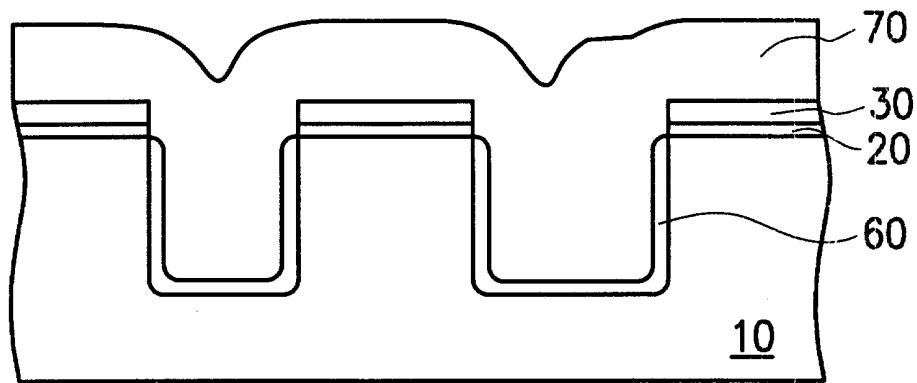
87115640

393724

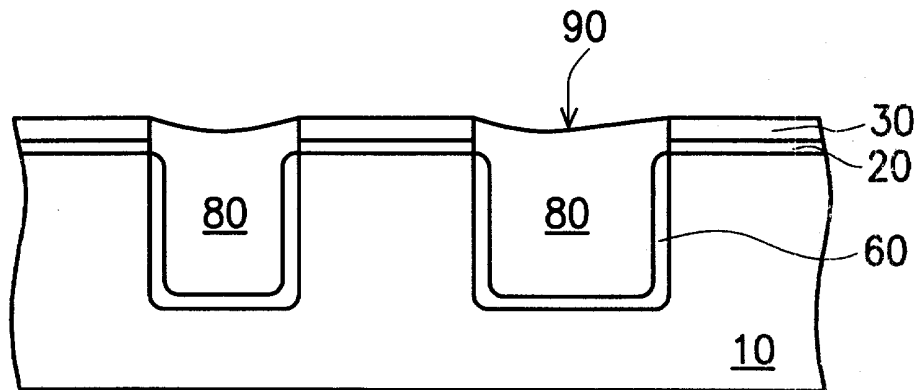
36841W



第 1A 圖



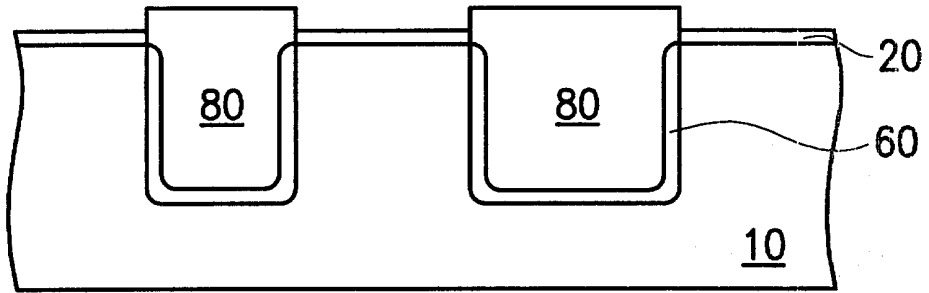
第 1B 圖



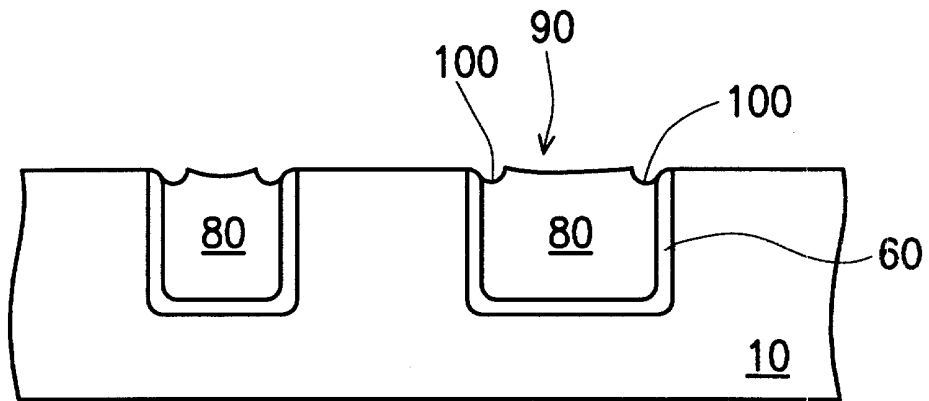
第 1C 圖

393724

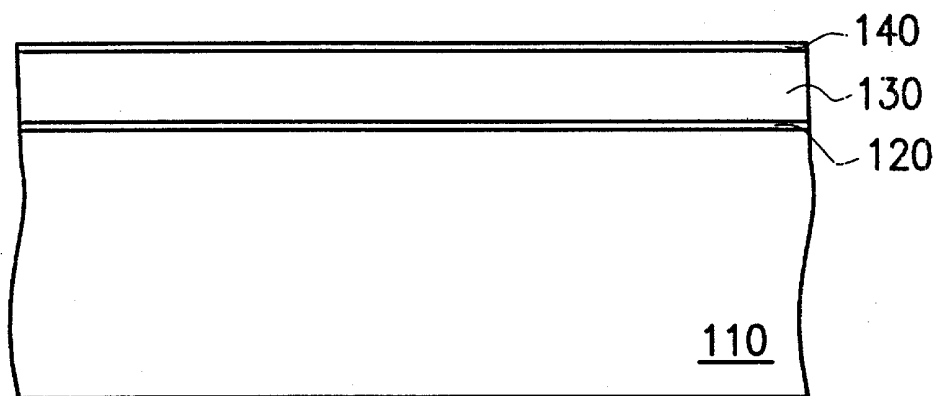
3684TW



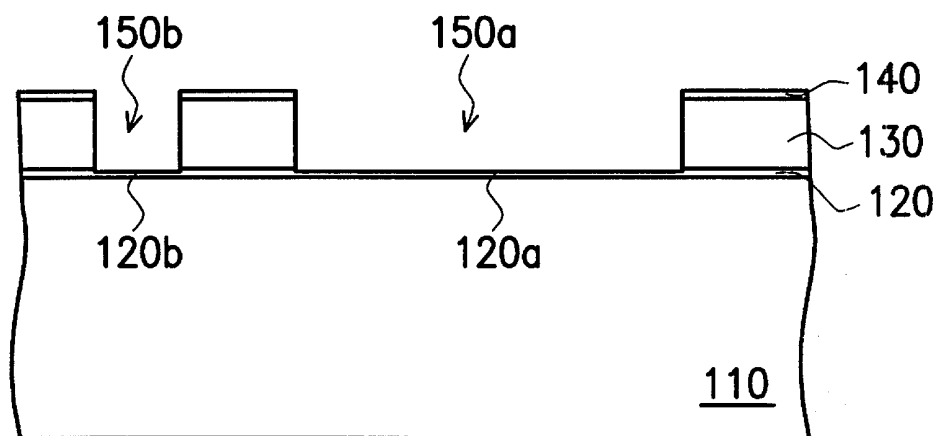
第1D圖



第1E圖

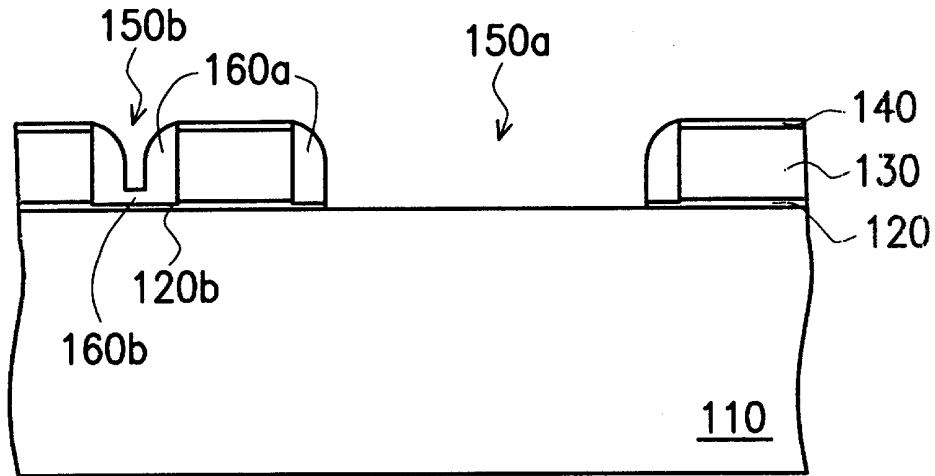


第 2A 圖

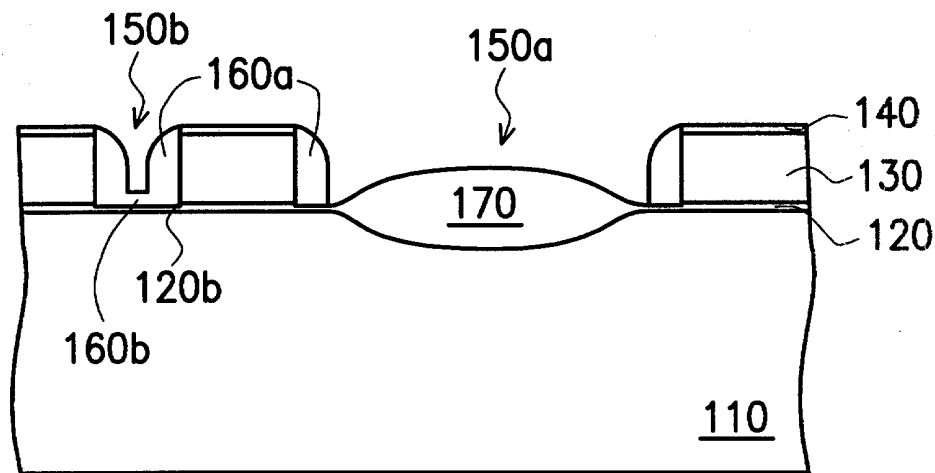


第 2B 圖

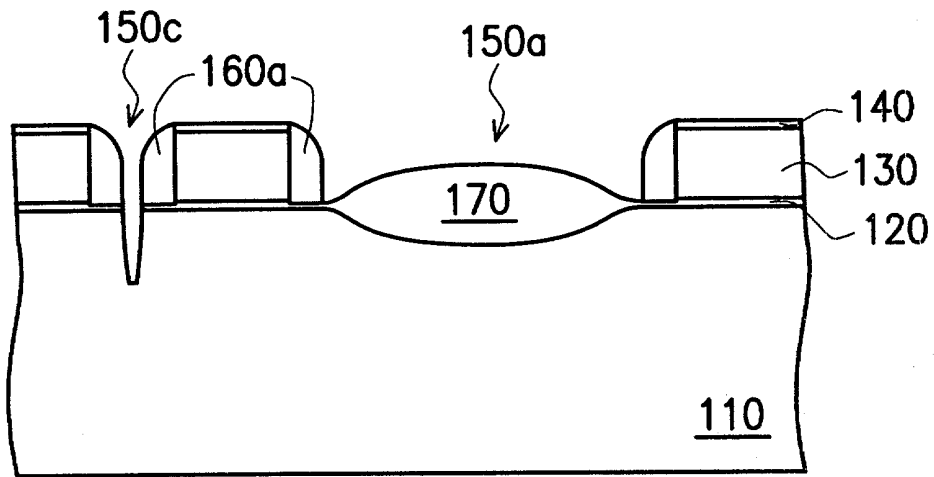
3684TW



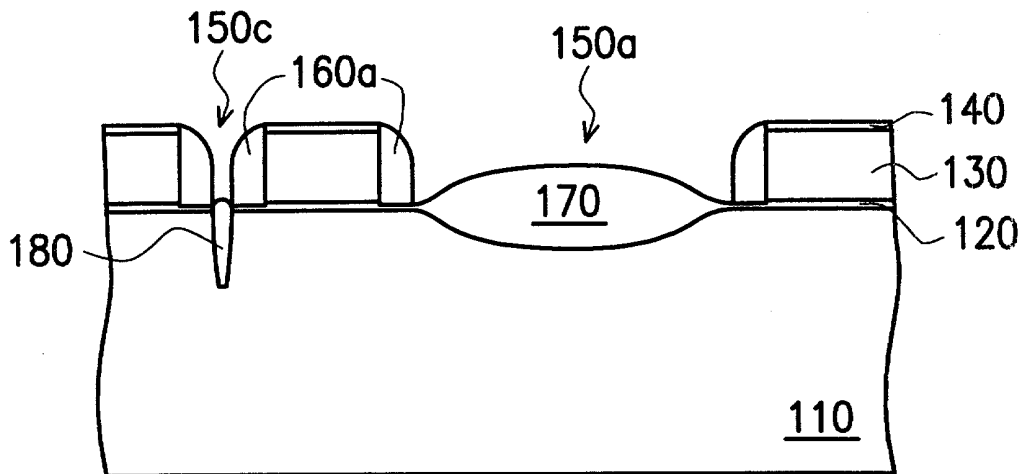
第 2C 圖



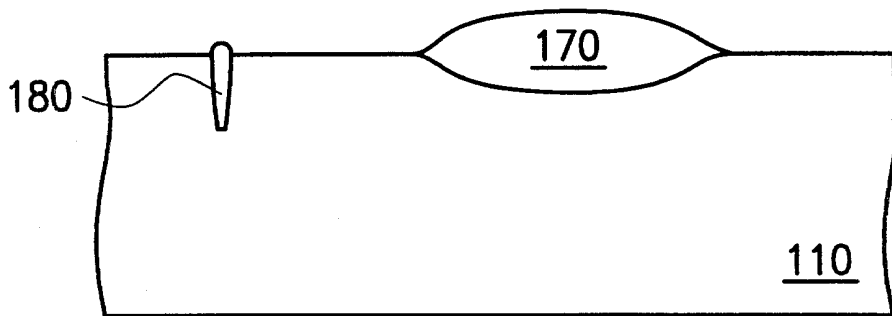
第 2D 圖



第 2E 圖



第 2F 圖



第 2G 圖