

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>5</sup> G11C 11/40	(11) 공개번호 (43) 공개일자	특 1992-0010621 1992년 06월 26일
(21) 출원번호	특 1991-0019378	
(22) 출원일자	1991년 11월 01일	
(30) 우선권주장	90-296587 1990년 11월 01일 일본(JP)	
(71) 출원인	니뽀 덴끼 가부시끼가이샤 세끼모또 다다히로 일본국 도오쿄도 미나또꾸 시바 5쥬메 7반 1고	
(72) 발명자	고바야시 쇼따로 일본국 도오쿄도 미나또꾸 시바 5쥬메 7반 1고 니뽀 덴끼 가부시끼가이샤 나이	
(74) 대리인	이병호, 최달용	

**심사청구 : 있음**

---

**(54) 데이터 레지스터 및 포인터와 감지 증폭기 유닛을 공유하는 반도체 메모리 장치**

---

**요약**

내용 없음.

**대표도**

**도3**

**명세서**

[발명의 명칭]  
데이터 레지스터 및 포인터와 감지 증폭기 유닛을 공유하는 반도체 메모리 장치

[도면의 간단한 설명]  
제3도는 본 발명에 따른 DRAM 장치의 배치를 보이는 개략도,  
제4도는 제3도의 DRAM장치의 일부 구성을 보이는 회로도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1**

a) 각각 데이터 비트를 저장하는 복수의 메모리셀(MA11 내지 MAm, MB11 내지 MBmm)을 구비하는 복수의 메모리셀 어레이 (13a, 13b, 13c, 13d)와, b)상기 복수의 메모리셀 어레이와 결합되어 데이터 비트를 나타내는 작은 전위차를 증가시키는 복수의 감지 증폭기 유닛(14a, 14b)와, c)상기 복수의 감지 증폭기를 유닛중의 하나와 데이터 버퍼 유닛간에 데이터 비트를 직렬 공급하는 데이터 레지스터(151 내지 15n) 및 포인터의 적어도 한 조합 유닛(15)을 구비하여 한 반도체 칩(11)상에 구성된 반도체 메모리 장치에 있어서, 상기 복수의 감지 증폭기 유닛(14a, 14b)이 각 기 상기 복수의 메모리셀 어레이로부터 선택된 메모리셀 어레이를 (13a 및 13b 또는 13c 및 13d)사이에 공유되며, 상기 적어도 한 직렬 데이터 전송 수단이 상기 복수의 감지 증폭기를 유닛으로부터 선택된 감지 증폭기 유닛들(14a, 14d)사이에 공유되어 상기 데이터 비트를 상기 대응감지 증폭기 유닛들 중의 하나와 데이터버퍼 유닛(19)간에 직렬 전송하는 것을 특징으로 하는 메모리 장치.

**청구항 2**

제1항에 있어서, 상기 적어도 한 직렬 데이터 전송 수단이, c-1)상기 데이터 비트들을 일시 저장하는 상기 데이터 레지스터 (151 내지 15n) 와 c-2)종족 접속되어 상기 포인터를 형성하여 상기 데이터 레지스터를 순차적으로 지정하는 복수의 플립플롭 회로(FF1 내지 FFn)와, c-3) 상기 데이터 레지스터와 상기 데이터 버퍼 유닛에 연결가능한 직렬 데이터 버스(SDB)사이에 접속되어, 상기 포인터의 출력신호에 따라 상기 데이터 비트를 상기 데이터 레지스터와 상기 직렬데이터 버스간에 직렬전송하는 전송게이트(151a 내지 15nb)를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항에 있어서, d) 상기 한 메모리셀 어레이 (13a)와 접속되어 상기 데이터 비트를 전송시키는 복수의 제1비트선짜(BLP1 내지 BLPn)과, e) 상기 다른 메모리셀 어레이(13b)와 접속되어 상기 데이터 비트를 전송시키는 복수의 제2비트선짜(BL01 내지 BL0n)과, f) 상기 복수의 제1비트선짜와 상기 한 감지 증폭기 유닛(14a) 사이에 접속되어, 제1게이트 제어 신호(TG1)에 따라 상기 복수의 제1비트선짜와 상기 한 감지 증폭기 유닛을 연결시키는 제1전송 게이트 유닛(16)과, g) 상기 복수의 제2비트선짜와 상기 한 감지 증폭기 유닛 사이에 접속되어, 제2게이트 제어 신호(TG2)에 따라 상기 복수의 제2비트선짜와 상기 한 감지 증폭기 유닛을 연결시키는 제2전송 게이트유닛(17)과, h)상기 복수의 제2비트선짜와 상기 적어도 한 직렬 데이터 전송수단사이에 접속되어, 제3게이트 제어신호(TG3)에 따라 상기 직렬 데이터 전송수단과 상기 복수의 제2비트선짜를 연결시키는 제3전송게이트유닛(18)과, i)상기 적어도 한 직렬 데이터 전송수단과 상기 다른 감지 증폭기 유닛에 연결되는 상기 다른 메모리 셀 어레이(13c, 13d)사이에 접속되는 상기 다른 메모리셀 어레이(13c, 13d)사이에 접속되는 제4전송 게이트 유닛(TG4)를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

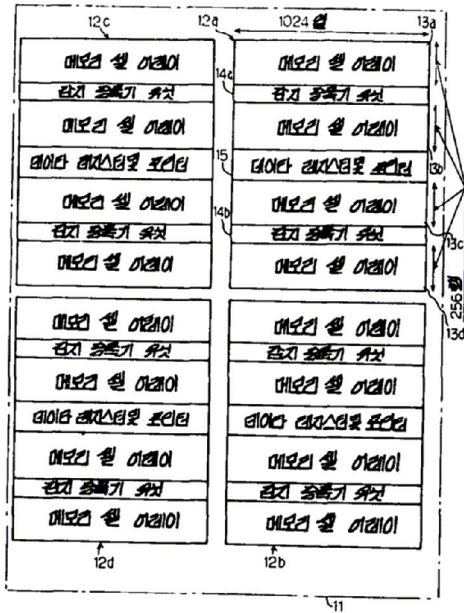
청구항 4

제3항에 있어서, 상기 메모리 셀이 동적랜덤 액세스 메모리(DRAM)셀인 것을 특징으로 하는 반도체 메모리 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3



도면4

