

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-191836
(P2014-191836A)

(43) 公開日 平成26年10月6日(2014.10.6)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 D	5 C 0 0 6
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00 K	5 C 0 8 0
G 0 9 G 3/20 (2006.01)	G 1 1 C 19/00 J	5 C 3 8 0
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/20 6 2 2 E	
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/36	

審査請求 未請求 請求項の数 9 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2013-64788 (P2013-64788)
(22) 出願日 平成25年3月26日 (2013. 3. 26)

(71) 出願人 000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町 6 番地
(74) 代理人 100089118
弁理士 酒井 宏明
(72) 発明者 市村 照彦
京都府京都市伏見区竹田鳥羽殿町 6 番地
京セラ株式会社内
F ターム (参考) 5C006 BF03 FA41
5C080 AA06 AA10 BB05 DD09 DD22
FF07 HH09 JJ02 JJ03 JJ04
JJ05
5C380 AA01 AB06 AB18 BA11 BA17
CC26 CC35 CC39 CC63 CD013
CE01 CF07 DA02 DA06

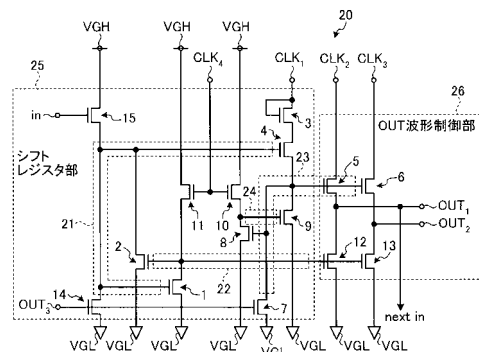
(54) 【発明の名称】 シフトレジスタ回路および画像表示装置

(57) 【要約】

【課題】シフトレジスタ回路を多段に接続したドライバ回路の回路規模を縮小させることを課題とする。

【解決手段】シフトレジスタ回路 20 は、ノード 21 の電位が上昇することに応じてノード 22 の電位を降下させるトランジスタ 1 と、ノード 22 の電位が上昇することに応じてノード 21 の電位を降下させるトランジスタ 2 とを有する。シフトレジスタ回路 20 は、「CLK₁」が入力された際にソースの電位を上昇させるトランジスタ 3 と、ノード 21 の電位が上昇することに応じてトランジスタ 3 のソースの電位をノード 23 に供給するトランジスタ 4 とを有する。シフトレジスタ回路 20 は、ノード 23 の電位が上昇することに応じて「OUT₁」を出力させるトランジスタ 5 と、「OUT₂」を出力させるトランジスタ 6 とを有する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

ゲートが第 1 の導電経路に接続されて、ドレインが第 2 の導電経路に接続されるとともにソースが低電位端子に接続された、前記第 1 の導電経路の電位が上昇することに応じて前記第 2 の導電経路の電位を低下させる第 1 のトランジスタと、
ゲートが前記第 2 の導電経路に接続されて、ドレインが前記第 1 の導電経路に接続されるとともにソースが低電位端子に接続された、前記第 2 の導電経路の電位が上昇することに応じて前記第 1 の導電経路の電位を低下させる第 2 のトランジスタと、
ゲートおよびドレインが第 1 のクロック信号の入力端子に接続された、前記第 1 のクロック信号が入力された際にソースの電位を上昇させる第 3 のトランジスタと、
ゲートが前記第 1 の導電経路に接続され、ドレインが前記第 3 のトランジスタのソースに接続されるとともにソースが第 3 の導電経路に接続された、前記第 1 の導電経路の電位が上昇することに応じて前記第 3 のトランジスタのソースの電位を前記第 3 の導電経路に供給する第 4 のトランジスタと、
ゲートが前記第 3 の導電経路に接続され、ドレインが前記第 1 のクロック信号を所定量遅延させた第 2 のクロック信号の入力端子に接続されるとともにソースが第 1 の出力端子に接続された、前記第 3 の導電経路の電位が上昇することに応じて前記第 2 のクロック信号を第 1 の出力信号として前記第 1 の出力端子から出力させる第 5 のトランジスタと、
ゲートが前記第 3 の導電経路に接続され、ドレインが前記第 2 のクロック信号を所定量遅延させた第 3 のクロック信号の入力端子に接続されるとともにソースが第 2 の出力端子に接続された、前記第 3 の導電経路の電位が上昇することに応じて前記第 3 のクロック信号を第 2 の出力信号として前記第 2 の出力端子から出力させる第 6 のトランジスタと
を有することを特徴とするシフトレジスタ回路。

10

20

【請求項 2】

ゲートが次段のシフトレジスタ回路が前記第 1 の出力信号に対応する信号を出力する出力端子に接続され、ドレインが前記第 3 の導電経路に接続されるとともにソースが低電位端子に接続された、前記次段のシフトレジスタ回路が出力した信号の電位に応じて前記第 3 の導電経路の電位を低下させる第 7 のトランジスタをさらに有することを特徴とする請求項 1 に記載のシフトレジスタ回路。

【請求項 3】

ゲートが前記第 3 の導電経路に接続されて、ドレインが第 4 の導電経路に接続されるとともにソースが低電位端子に接続された、前記第 3 の導電経路の電位が上昇することに応じて前記第 4 の導電経路の電位を低下させる第 8 のトランジスタと、
ゲートが前記第 4 の導電経路に接続され、ドレインが前記第 3 の導電経路に接続されるとともにソースが低電位端子に接続された、前記第 4 の導電経路の電位が上昇することに応じて前記第 3 の導電経路の電位を低下させる第 9 のトランジスタとをさらに有することを特徴とする請求項 1 または 2 に記載のシフトレジスタ回路。

30

【請求項 4】

ゲートが前記第 1 のクロック信号の位相をずらして前記第 3 のクロック信号と同じタイミングで立ち上がる第 4 のクロック信号の入力端子に接続されて、ドレインが高電位端子に接続されるとともにソースが前記第 4 の導電経路に接続された、前記第 4 のクロック信号の入力に応じて前記第 4 の導電経路の電位を上昇させる第 10 のトランジスタをさらに有することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 つに記載のシフトレジスタ回路。

40

【請求項 5】

ゲートが前記第 4 のクロック信号の入力端子に接続されて、ドレインが高電位端子に接続されるとともにソースが前記第 2 の導電経路に接続された、前記第 4 のクロック信号の入力に応じて前記第 2 の導電経路の電位を上昇させる第 11 のトランジスタをさらに有することを特徴とする請求項 4 に記載のシフトレジスタ回路。

【請求項 6】

50

ゲートが前記第 2 の導電経路に接続され、ドレインが前記第 1 の出力端子に接続されるとともにソースが低電位端子に接続された、前記第 2 の導電経路の電位が上昇することに応じて前記第 1 の出力端子の電位を降下させる第 1 2 のトランジスタと、ゲートが前記第 2 の導電経路に接続され、ドレインが前記第 2 の出力端子に接続されるとともにソースが低電位端子に接続された、前記第 2 の導電経路の電位が上昇することに応じて前記第 2 の出力端子の電位を降下させる第 1 3 のトランジスタとをさらに有することを特徴とする請求項 1 乃至請求項 5 のいずれか 1 つに記載のシフトレジスタ回路。

【請求項 7】

ゲートが入力信号の入力端子に接続され、ドレインが高電位端子に接続されるとともにソースが前記第 1 の導電経路に接続された、前記入力信号の電位に応じて前記第 1 の導電経路の電位を上昇させる第 1 5 のトランジスタをさらに有することを特徴とする請求項 1 乃至請求項 6 のいずれか 1 つに記載のシフトレジスタ回路。

10

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 つに記載のシフトレジスタ回路を有するドライバ回路と、前記ドライバ回路が出力する信号に従って発光する発光素子によって画像を表示する表示パネルとを備えたことを特徴とする画像表示装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか 1 つに記載のシフトレジスタ回路を有するドライバ回路と、前記ドライバ回路が出力する信号に従って画像を表示する液晶パネルとを備えたことを特徴とする画像表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シフトレジスタ回路および画像表示装置に関する。

【背景技術】

【0002】

従来、前段の回路が出力した信号を後段の回路へ伝達するシフトレジスタ回路が知られている。このようなシフトレジスタ回路は、LCD (Liquid Crystal Display) や有機 EL (Electro-Luminescence) ディスプレイ等の表示素子を順次操作するためのドライバ回路として用いられている。

30

【0003】

以下、図 1 4 を用いて、シフトレジスタ回路の動作について説明する。図 1 4 は、従来のシフトレジスタ回路を説明する回路図である。例えば、図 1 4 に示すシフトレジスタ回路 3 0 は、複数のトランジスタ 3 1 ~ 3 8、ノード 4 0、4 1 を有する。なお、図 1 4 に示す例では、トランジスタ 3 1、3 7 は、ゲート (ベース) およびドレイン (コレクタ) がダイオード接続されている。

【0004】

40

このようなシフトレジスタ回路 3 0 では、前段の回路から入力された信号を次段の回路に出力しない非選択時においては、ノード 4 0 の電位が Low 状態となり、ノード 4 1 の電位が High 状態となる。また、シフトレジスタ回路 3 0 では、前段の回路から入力された信号を次段の回路に出力する選択時においては、ノード 4 0 の電位が High 状態となり、ノード 4 1 の電位が Low 状態となる。

【0005】

ここで、シフトレジスタ回路 3 0 は、前段の回路から入力信号である「in」のパルスが入力されると、ダイオードとして動作するトランジスタ 3 1 を介し、パルスをノード 4 0 に入力する。このような場合には、ノード 4 0 の電位が High 状態となり、トランジスタ 3 5 がオン状態となる結果、シフトレジスタ回路 3 0 は、クロック信号である「CL

50

K」を出力信号である「OUT」として出力する。

【0006】

また、シフトレジスタ回路30は、「in」のパルスをトランジスタ34のゲート（ベース）に入力する。このような場合には、トランジスタ34がオン状態となり、ノード41の電位が「VGL（低電位）」へと低下する。また、シフトレジスタ回路30は、クロック信号のパルスをトランジスタ38のゲートに入力する。この結果、トランジスタ38がオン状態になり、ノード41の電位が「VGL」へと低下し、トランジスタ33がオフ状態となり、ノード40の電位がHigh状態となる。

【0007】

また、シフトレジスタ回路30は、次段の回路が出力した「OUT」を、トランジスタ32のゲートに入力する。すると、トランジスタ32がオン状態となるので、ノード40の電位が「VGL」へと低下する。また、シフトレジスタ回路30の動作終了後は、トランジスタ34、38がオフ状態となり、ノード41の電位がLow状態からHigh状態へと遷移し、トランジスタ33、36がオン状態となる結果、ノード40が安定してLow状態となる。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2003-046090号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0009】

しかしながら、上述したシフトレジスタ回路30では、1つの「in」に対して1つの「OUT」しか出力できないので、シフトレジスタ回路を多段に設置するドライバ回路の回路規模を増大させてしまうという問題がある。

【0010】

例えば、LCDや有機ELディスプレイ等の表示素子を操作するドライバ回路にシフトレジスタ回路30を適用する場合は、シフトレジスタ回路30を走査線の数だけ設置しなければならず、回路規模が増大する結果、狭額縁化を図ることができない。

【0011】

30

開示の技術は、上記に鑑みてなされたものであって、シフトレジスタ回路を多段に接続したドライバ回路の回路規模を縮小させることができるシフトレジスタ回路および画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明に係るシフトレジスタ回路および画像表示装置は、ゲートが第1の導電経路に接続されて、ドレインが第2の導電経路に接続されるとともにソースが低電位端子に接続された、前記第1の導電経路の電位が上昇することに応じて前記第2の導電経路の電位を低下させる第1のトランジスタと、ゲートが前記第2の導電経路に接続されて、ドレインが前記第1の導電経路に接続されるとともにソースが低電位端子に接続された、前記第2の導電経路の電位が上昇することに応じて前記第1の導電経路の電位を低下させる第2のトランジスタと、ゲートおよびドレインが第1のクロック信号の入力端子に接続された、前記第1のクロック信号が入力された際にソースの電位を上昇させる第3のトランジスタと、ゲートが前記第1の導電経路に接続され、ドレインが前記第3のトランジスタのソースに接続されるとともにソースが第3の導電経路に接続された、前記第1の導電経路の電位が上昇することに応じて前記第3のトランジスタのソースの電位を前記第3の導電経路に供給する第4のトランジスタと、ゲートが前記第3の導電経路に接続され、ドレインが前記第1のクロック信号を所定量遅延させた第2のクロック信号の入力端子に接続されるとともにソースが第1の出力端子に接続された、前記第3の導電経路の電位が上昇することに応じて前記第2のクロック信号を第1の出力信号として前記第1の出力端子から出力さ

40

50

せる第5のトランジスタと、ゲートが前記第3の導電経路に接続され、ドレインが前記第2のクロック信号を所定量遅延させた第3のクロック信号の入力端子に接続されるとともにソースが第2の出力端子に接続された、前記第3の導電経路の電位が上昇することに応じて前記第3のクロック信号を第2の出力信号として前記第2の出力端子から出力させる第6のトランジスタとを有する。

【発明の効果】

【0013】

本発明に係るシフトレジスタ回路および画像表示装置は、シフトレジスタ回路を多段に接続したドライバ回路の回路規模を縮小させることができる。

【図面の簡単な説明】

10

【0014】

【図1】第1形態のシフトレジスタ回路を示す回路図である。

【図2】トランジスタの電流特性を説明するグラフである。

【図3】シフトレジスタ回路に入力される信号波形を説明する図である。

【図4】シフトレジスタ回路の動作を説明する図である。

【図5】期間T0におけるシフトレジスタ回路の状態を説明する図である。

【図6】期間T1におけるシフトレジスタ回路の状態を説明する図である。

【図7】期間T3におけるシフトレジスタ回路の状態を説明する図である。

【図8】期間T5におけるシフトレジスタ回路の状態を説明する図である。

【図9】期間T7におけるシフトレジスタ回路の状態を説明する図である。

20

【図10】期間T9におけるシフトレジスタ回路の状態を説明する図である。

【図11】期間T15におけるシフトレジスタ回路の状態を説明する図である。

【図12】シフトレジスタ回路の適用例を説明する第1の図である。

【図13】シフトレジスタ回路の適用例を説明する第2の図である。

【図14】従来のシフトレジスタ回路を説明する回路図である。

【発明を実施するための形態】

【0015】

以下に、本発明に係るシフトレジスタ回路および画像表示装置の実施例を図面に基づいて詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。そして、以下に例示する実施形態は、形状を矛盾させない範囲で適宜変更、組み合わせることが可能である。

30

【0016】

[第1形態]

[シフトレジスタ回路の構造]

図1を用いて、シフトレジスタ回路の第1形態を説明する。図1は、第1形態のシフトレジスタ回路を示す回路図である。図1に示したように、シフトレジスタ回路20は、シフトレジスタ部25と、OUT波形制御部26とからなる。具体的には、シフトレジスタ回路20は、複数のトランジスタ1~15と、複数のノード21~24を有する。また、シフトレジスタ回路20は、前段のシフトレジスタ回路が出力した信号である「in」、クロック信号である「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」の入力端子を有する。

40

【0017】

また、シフトレジスタ回路20は、シフトレジスタ回路20の出力である「OUT₁」、「OUT₂」の出力端子を有する。すなわち、シフトレジスタ回路20は、1つの入力信号「in」に対して、2つの信号「OUT₁」、「OUT₂」を順に出力する。例えば、シフトレジスタ回路20は、画像表示装置のドライバ回路に適用される場合には、「OUT₁」、「OUT₂」の出力端子から、画像表示領域の連続する2つのゲート線に信号を順次出力する。

【0018】

また、シフトレジスタ回路20は、「OUT₁」および「OUT₂」の出力後に、待機

50

状態へと遷移するために、「OUT₃」が入力される入力端子を有する。「OUT₃」は、次段のシフトレジスタ回路において、上記シフトレジスタ回路20の「OUT₁」に対応する出力信号である。なお、次段のシフトレジスタ回路では、上記シフトレジスタ回路20の「CLK₁」が「CLK₄」に対応し、「CLK₂」が「CLK₂」に対応し、「CLK₃」が「CLK₃」に対応し「CLK₄」が「CLK₁」に対応する。

【0019】

また、シフトレジスタ回路20は、電位が所定の閾値よりも高い値「VGH」に保たれている高電位端子と、電位が所定の閾値よりも低い値「VGL」に保たれている低電位端子とを有する。なお、以下の説明では、「VGH」の値はGND（グランド）よりも高い値とし、例えば、8（V）～20（V）、「VGL」の値はGNDよりも低い値とし、例えば、-5（V）～-15（V）とする。

10

【0020】

また、各トランジスタ1～15は、例えば、nチャンネルのMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）であるが、本発明はこれに限定されるものではない。例えば、各トランジスタ1～15は、NPN型のトランジスタや、キャリアが電子であるタイプ（n型）のMIS（Metal Insulator Semiconductor）構造を採用した電界効果トランジスタ（FET:Field Effect Transistor）であってもよい。

【0021】

また、各トランジスタ1～15は、FETの一種である薄膜トランジスタ（TFT:Thin Film Transistor）、すなわちn-MISFETTFTであってもよい。また、PNP型のトランジスタやキャリアが正孔である（p型）のFET、又はTFT等を用いて、シフトレジスタ回路20と同等の機能を発揮する回路を構成してもよい。

20

【0022】

ここで、各トランジスタ1～15は、ゲート、ソース、ドレインの3つの電極が存在するが、ソース、およびドレインは、トランジスタの導電性及び相対的な電位関係によって定義される。このため、以下の説明では、各トランジスタ1～15がnチャンネルのMOSFETであるものとし、各トランジスタ1～15が有する端子のうち、高電位側の端子をドレイン、低電位側の端子をソースと記載する。

【0023】

[接続関係]

30

ここで、図1に示したシフトレジスタ回路20における各トランジスタ1～15、ノード21～24の接続関係について説明する。

【0024】

ノード21は、トランジスタ1、2、4、14、15を接続する導電経路である。詳細には、ノード21は、トランジスタ1のゲート、トランジスタ2のドレイン、トランジスタ4のゲート、トランジスタ14のドレイン、トランジスタ15のソースに接続される。

【0025】

ノード22は、トランジスタ1、2、11、12、13を接続する導電経路である。詳細には、ノード22は、トランジスタ1のドレイン、トランジスタ2のゲート、トランジスタ11のソース、トランジスタ12のゲート、トランジスタ13のゲートに接続される。

40

【0026】

ノード23は、トランジスタ4、5、6、7、8、9を接続する導電経路である。詳細には、ノード23は、トランジスタ4のソース、トランジスタ5のゲート、トランジスタ6のゲート、トランジスタ7のドレイン、トランジスタ8のゲート、トランジスタ9のドレインに接続される。

【0027】

ノード24は、トランジスタ8、9、10を接続する導電経路である。詳細には、ノード24は、トランジスタ8のドレイン、トランジスタ9のゲート、トランジスタ10のソースに接続される。

50

【0028】

トランジスタ1は、ゲートがノード21に接続されて、ドレインがノード22に接続されるとともにソースが低電位端子に接続される。そして、トランジスタ1は、ノード21の電位が所定の閾値よりも高い場合には、オン状態となる。この結果、ノード22の電位が「VGL」へ引き下げられる。

【0029】

トランジスタ2は、ゲートがノード22に接続されて、ドレインがノード21に接続されるとともにソースが低電位端子に接続される。そして、トランジスタ2は、ノード22の電位が所定の閾値よりも高い場合には、オン状態となる。この結果、ノード21の電位が「VGL」へ引き下げられる。

10

【0030】

トランジスタ3は、ゲートおよびドレインが「CLK₁」の入力端子に接続されて、ソースがトランジスタ4のドレインに接続される。そして、トランジスタ3は、「CLK₁」の電位が所定の閾値よりも高い場合には、オン状態となる。この結果、トランジスタ4に「VGH」が供給される。

【0031】

トランジスタ4は、ゲートがノード21に接続され、ドレインがトランジスタ3のソースに接続されるとともにソースがノード23に接続される。そして、トランジスタ4は、ノード21の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、「CLK₁」の電位が所定の閾値よりも高く、ノード21の電位が所定の閾値よりも高い場合に、トランジスタ3から供給される「VGH」がノード23へ供給され、ノード23の電位が上昇する。

20

【0032】

トランジスタ5は、ゲートがノード23に接続され、ドレインが「CLK₂」の入力端子に接続されるとともにソースが「OUT₁」に接続される。そして、トランジスタ5は、ノード23の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、「CLK₂」が「OUT₁」として出力される。

【0033】

トランジスタ6は、ゲートがノード23に接続され、ドレインが「CLK₃」の入力端子に接続されるとともにソースが「OUT₂」に接続される。そして、トランジスタ6は、ノード23の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、「CLK₃」が「OUT₂」として出力される。

30

【0034】

トランジスタ7は、ゲートが「OUT₃」の入力端子に接続され、ドレインがノード23に接続されるとともにソースが低電位端子に接続される。そして、トランジスタ7は、「OUT₃」の電位が所定の閾値よりも高い場合には、オン状態となる。この結果、ノード23の電位が「VGL」へと引き下げられる。

【0035】

トランジスタ8は、ゲートがノード23に接続されて、ドレインがノード24に接続されるとともにソースが低電位端子に接続される。そして、トランジスタ8は、ノード23の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、ノード24の電位が「VGL」へ引き下げられる。

40

【0036】

トランジスタ9は、ゲートがノード24に接続され、ドレインがノード23に接続されるとともにソースが低電位端子に接続される。そして、トランジスタ9は、ノード24の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、ノード23の電位が「VGL」へ引き下げられる。

【0037】

トランジスタ10は、ゲートが「CLK₄」の入力端子に接続されて、ドレインが高電位端子に接続されるとともにソースがノード24に接続される。そして、トランジスタ1

50

0は、「CLK₄」の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、ノード24に「VGH」が供給されて、ノード24の電位が上昇する。

【0038】

トランジスタ11は、ゲートが「CLK₄」の入力端子に接続されて、ドレインが高電位端子に接続されるとともにソースがノード22に接続される。そして、トランジスタ11は、「CLK₄」の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、ノード22に「VGH」が供給されて、ノード22の電位が上昇する。

【0039】

トランジスタ12は、ゲートがノード22に接続され、ドレインにトランジスタ5のソースおよび「OUT₁」の出力端子が接続され、ソースに低電位端子が接続される。そして、トランジスタ12は、ノード22の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、トランジスタ5のソース、すなわち「OUT₁」の出力端子における電位が「VGL」へ引き下げられる。

10

【0040】

トランジスタ13は、ゲートがノード22に接続され、ドレインにトランジスタ6のソースおよび「OUT₂」の出力端子が接続され、ソースに低電位端子が接続される。そして、トランジスタ13は、ノード22の電位が所定の閾値よりも高い場合に、オン状態となる。この結果、トランジスタ6のソース、すなわち「OUT₂」の出力端子における電位が「VGL」へ引き下げられる。

【0041】

トランジスタ14は、ゲートに「OUT₃」の入力端子が接続され、ドレインにノード21が接続され、ソースに低電位端子が接続されている。そして、トランジスタ14は、「OUT₃」の電位が所定の閾値よりも高い場合には、オン状態となる。この結果、ノード21の電位が「VGL」へと引き下げられる。

20

【0042】

トランジスタ15は、ゲートに信号「in」の入力端子が接続され、ドレインに高電位端子が接続され、ソースにノード21が接続される。そして、トランジスタ15は、信号「in」の電位が所定の閾値よりも高い場合には、オン状態となる。この結果、ノード21に「VGH」が供給され、ノード21の電位が上昇する。

【0043】

このように、シフトレジスタ回路20は、ノード21の電位の上昇に伴って、ノード22の電位を下降させるトランジスタ1と、ノード22の電位の上昇に伴って、ノード21の電位を下降させるトランジスタ2とを有する。また、シフトレジスタ回路20は、トランジスタ3とトランジスタ4により、「CLK₁」の電位が高く、ノード21の電位が高い場合に、「VGH」をノード23に供給する。このとき、ノード21の電位を降下させるトランジスタ2、14がオフ状態となり、さらに、トランジスタ15もオフ状態となることから、ブートストラップによりノード21の電位が上昇し、ノード23へ安定的に「VGH」が供給される。

30

【0044】

また、シフトレジスタ回路20は、ノード23の電位の上昇に伴って、「CLK₂」を「OUT₁」として出力するトランジスタ5と、「CLK₃」を「OUT₂」として出力するトランジスタ6とを有する。このとき、ノード23の電位を降下させるトランジスタ7、9がオフ状態となることから、さらに、トランジスタ3もオフ状態となることから、ブートストラップによりノード23の電位が上昇し、各OUTを安定的に出力することができる。

40

【0045】

ここで、各トランジスタ1～15のドレイン、ソース間に流れる電流は、ゲート、ソース間の電位に応じて変化する。このため、各トランジスタ1～15は、ゲートの電位が所定の閾値よりも十分に高い場合は、完全なオン状態となるが、所定の閾値よりも十分に高くない場合は、完全なオン状態とはならない。また、各トランジスタ1～15は、ゲート

50

の電位が所定の閾値よりも十分に低い場合は、完全なオフ状態となるが、ゲートの電位が所定の閾値よりも十分に低くない場合は、完全なオフ状態とはならない。

【0046】

例えば、図2は、トランジスタの電流特性を説明するグラフである。なお、図2に示すグラフは、横軸を各トランジスタ1～15のゲート、ソース間の電位 V_g (V:Volt)とし、縦軸にドレイン、ソース間の電流 I_d (A:Ampere)を対数表示した。図2に示すように、各トランジスタ1～15は、電位 V_g が十分に低い場合には、電流 I_d をほぼ流さないオフ状態となる。

【0047】

また、各トランジスタ1～15は、電位 V_g が十分に低くない場合には、電流 I_d が流れるオン(低)状態となる。また、各トランジスタ1～15は、電位 V_g が十分に高くない場合には、電流 I_d が十分に流れないオン(中)状態となる。また、各トランジスタ1～15は、電位 V_g が十分に高い場合には、電流 I_d が飽和し、完全なオン状態であるオン(高)状態となる。

10

【0048】

このため、図14に例示した従来シフトレジスタ回路30は、各トランジスタ31～38のゲートに印加される電位が所定の閾値よりも十分に高くない場合には、各トランジスタ31～38がオン(高)状態とはならず、動作不良を引き起こす場合がある。また、従来シフトレジスタ回路30は、各トランジスタ31～38のゲートに印加される電位が所定の閾値よりも十分に低くない場合には、オフ状態とはならず、動作不良を引き起こす場合がある。

20

【0049】

一方、本発明のシフトレジスタ回路20は、「 OUT_1 」の電位にではなく、ノード21の電位に応じてノード22の電位を下げる。この結果、シフトレジスタ回路20は、「 OUT_1 」および「 OUT_2 」を出力する際に、ノード22の電位を確実に下げることができる。さらに、シフトレジスタ回路20は、「 OUT_1 」および「 OUT_2 」を出力する際に、ブートストラップによるカップリングによって、ノード23の電位を「 V_{GH} 」以上にすることができる。この結果、ノード23の電位を十分高い状態に保てることで、信号出力の降下を防ぐことができる。

30

【0050】

[シフトレジスタ回路20の動作の流れ]

このようなシフトレジスタ回路20の動作の流れを説明する。まず、図3を用いて、シフトレジスタ回路20に入力する信号について説明する。図3は、シフトレジスタ回路に入力される信号波形を説明する図である。例えば、図3に示す例では、シフトレジスタ回路20には、「 in 」として、例えば「 VST 」(垂直走査開始信号:Vertical Start Technology)が入力されるとともに、複数のクロック信号「 CLK_1 」、「 CLK_2 」、「 CLK_3 」、「 CLK_4 」が入力される。

40

【0051】

ここで、「 VST 」とは、シフトレジスタ回路20の前段に他のシフトレジスタ回路が存在しない場合に、「 in 」としてシフトレジスタ回路20に入力される信号であり、複数のシフトレジスタが信号を伝達する処理の開始を示す信号である。

【0052】

また、「 CLK_1 」とは、電位が V_{GH} から V_{GL} まで周期的に変化する第1のクロック信号であり、シフトレジスタ回路20が「 OUT_1 」および「 OUT_2 」を出力する期間を示す信号である。この「 CLK_1 」は、特許請求の範囲の「第1のクロック信号」の一例である。

【0053】

また、「 CLK_2 」とは、電位が V_{GH} から V_{GL} まで周期的に変化し、「 CLK_1 」を所定量遅延させた信号であり、シフトレジスタ回路20が「 OUT_1 」を出力するタイミングを示すクロック信号である。この「 CLK_2 」は、特許請求の範囲に記載の「第2

50

のクロック信号」の一例である。

【0054】

また、「CLK₃」とは、電位がVGHからVGLまで周期的に変化し、「CLK₂」を所定量遅延させた信号であり、シフトレジスタ回路20が「OUT₂」を出力するタイミングを示すクロック信号である。この「CLK₃」は、特許請求の範囲に記載の「第3のクロック信号」の一例である。

【0055】

また、「CLK₄」とは、電位がVGHからVGLまで周期的に変化し、「CLK₁」の位相をずらして「CLK₃」と同じタイミングで立ち上がる信号である。この「CLK₄」は、特許請求の範囲に記載の「第4のクロック信号」の一例である。

10

【0056】

すなわち、「CLK₂」は、「in」と同期してシフトレジスタ回路20へ入力される。「CLK₁」と「CLK₄」は、「CLK₃」と同じタイミングで立ち上がる信号であるが、位相がずれており、「CLK₃」と同じタイミングで交互に立ち上がる。「CLK₂」は、「CLK₃」を反転させた信号であり、「CLK₃」が「VGH」のときに「VGL」となる。

【0057】

次に、図4を用いて、各信号が入力された際のシフトレジスタ回路20の動作について説明する。図4は、シフトレジスタ回路の動作を説明する図である。なお、図4には、シフトレジスタ回路20に入力される「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」および「in」の入力波形と、ノード21~24の電位変化、「OUT₁」、「OUT₂」、「OUT₃」、「OUT₄」の波形を示した。

20

【0058】

ここで、「OUT₃」は、次段の回路が「in」の入力後、最初に出力する信号であり、シフトレジスタ回路20が出力する「OUT₁」に対応する信号である。また「OUT₄」は、次段の回路が「in」の入力後、2番目に出力する信号であり、シフトレジスタ回路20が出力する「OUT₂」に対応する信号である。

【0059】

また、図4には、各トランジスタ1~15がオン(高)状態となる範囲を網かけで示し、オン(中)状態となる範囲を濃い点描で示し、オン(低)状態となる範囲を薄い点描で示す。また、各トランジスタ1~15がオフ状態となる範囲は、白抜きで示す。また、図4の期間T1よりも前の状態では、ノード21、23の電位が「VGL」であり、ノード22、24の電位が「VGH」付近の電位であるものとする。

30

【0060】

このような状態において、シフトレジスタ回路20が、周期的に変化する「CLK₂」と同期した「in」が入力されたことに応じて、「OUT₁」および「OUT₂」を順次出力し、後段のシフトレジスタ回路から入力される「OUT₃」によって出力を停止する一連の流れを示す。ここでは、図4のT1~T16に示した期間におけるトランジスタ1~15の状態を用いて、上記一連の流れを具体的に説明する。

【0061】

(期間T0) 期間T0は、「in」が入力される前の非選択期間である。具体的には、「in」、「CLK₁」、「CLK₂」、「CLK₄」の電位がそれぞれ「VGL」となり、「CLK₃」の電位が「VGH」となる期間である。

40

【0062】

図5は、期間T0におけるシフトレジスタ回路の状態を説明する図である。なお、図5-図11では、電位がVGLより高いノードを太線で表し、電位がVGLとなるノードを細線で表すこととする。図5に示すように、期間T0では、ノード22とノード24が「VGH」を保持しており、トランジスタ2と9がオン状態であることから、ノード21とノード23は「VGL」状態を維持している。このように、期間T0は、ノード22およびノード24の電位を「VGH」に維持することで、ノード21およびノード23の電位

50

を「VGL」に維持し、各OUTの出力を抑制する非選択期間の一例である。

【0063】

具体的には、図4に示すように、ノード22およびノード24の電位が「VGH」であることから、トランジスタ2、9、12、13がオン（高）状態となる。そして、ノード21は、「VGH」が供給されていない状態で、トランジスタ2がオン（高）状態であることから、「VGL」に引っ張られる。この結果、ノード21の電位は「VGL」となる。また、ノード23は、「CLK₁」も「VGH」も供給されていない状態で、トランジスタ9がオン（高）状態であることから、「VGL」に引っ張られる。この結果、ノード23の電位は「VGL」となる。

【0064】

すなわち、期間T0の状態では、トランジスタ2、9、12、13がオン（高）状態となり、その他のトランジスタがオフ状態となる。また、ノード21およびノード23の電位は、「VGL」となり、ノード22およびノード24の電位は、「VGH」付近の高電位となる。

【0065】

（期間T1）期間T1は、上段のシフトレジスタ回路から出力されたOUTが「in」に入力される、または、最上段の場合はスタートパルスが「in」に入力される期間である。具体的には、「in」の電位が「VGH」となり、「CLK₁」の電位が「VGL」となり、「CLK₂」の電位が「VGH」となり、「CLK₃」の電位が「VGH」から「VGL」へ遷移し、「CLK₄」の電位が「VGL」となる期間である。

【0066】

図6は、期間T1におけるシフトレジスタ回路の状態を説明する図である。図6に示すように、シフトレジスタ回路20の「in」が入力されると、ノード21に「VGH」が供給され、トランジスタ1がオン状態となるので、ノード22の保持されていた「VGH」が「VGL」に引っ張られる。したがって、ノード22の電位が下降し、ノード21の電位が上昇する。

【0067】

具体的には、図4に示すように、「in」の電位が「VGH」となることから、トランジスタ15がオン（高）状態となり、ノード21に「VGH」が供給されはじめる。そして、ノード21の電位が上昇することにより、ノード21の電位をゲートに入力するトランジスタ1およびトランジスタ4がオン（中）状態となる。

【0068】

また、トランジスタ1がオン（中）状態となることから、ノード22の電位が「VGL」へ引っ張られる。したがって、ノード22の電位は、「VGH」から降下し、「VGL」よりも高く「GND」よりも低い電位となる。また、トランジスタ2、12、13は、ゲートに入力されるノード22の電位が「VGH」よりも降下するので、オン（高）状態からオン（低）状態となる。したがって、ノード21は、トランジスタ2によって、若干「VGL」へ引っ張られる。この結果、ノード21の電位は、「VGH」よりも低く「GND」よりも高くなる。なお、ノード24の電位は、引き続き「VGH」を維持するので、トランジスタ9は、オン（高）状態を維持する。

【0069】

すなわち、期間T1の状態では、トランジスタ9および15がオン（高）状態となり、トランジスタ1および4がオン（中）状態となり、トランジスタ2、12、13がオン（低）状態となり、その他のトランジスタがオフ状態となる。また、ノード21の電位は、「VGH」よりも低く「GND」よりも高くなり、ノード22の電位は、「GND」よりも低い電位となり、ノード23の電位は、「VGL」となり、ノード24の電位は、期間T0から引き続き、「VGH」付近の高電位となる。

【0070】

（期間T2）期間T2は、「in」が「VGL」となる期間である。具体的には、「in」、「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」の各電位が「VGL」と

10

20

30

40

50

なる期間である。期間 T 2 は、期間 T 1 から「in」が「VGL」となる期間なので、トランジスタ 15 がオフ状態となる。しかし、ノード 2 1 は、いずれのトランジスタからも「VGL」へ引っ張られない。したがって、ノード 2 1 の電位は、T 1 期間の電位を保持する。

【0071】

(期間 T 3) 期間 T 3 は、「CLK₁」と「CLK₃」の電位が「VGH」となる期間である。具体的には、「in」の電位が「VGL」となり、「CLK₁」の電位が「VGH」となり、「CLK₂」の電位が「VGL」となり、「CLK₃」の電位が「VGH」となり、「CLK₄」の電位が「VGL」となる期間である。

【0072】

図 7 は、期間 T 3 におけるシフトレジスタ回路の状態を説明する図である。図 7 に示すように、「CLK₁」により、ノード 2 3 に「VGH」が供給されるので、トランジスタ 8 がオン状態となり、ノード 2 4 が「VGL」に引っ張られる。そして、トランジスタ 4 においてブートストラップが発生し、ノード 2 1 が「VGH」よりも高い電位となる。このため、トランジスタ 1 がよりオン状態となり、ノード 2 2 が「VGL」となる。また、ノード 2 3 が「VGH」であることから、「CLK₃」のパルスは、トランジスタ 6 を介して「OUT₂」へ出力される。この結果、前段の「OUT₂」と同じように表示エリアのゲートがオンし、前段の画素に書き込まれる電位がこの画素にも書き込まれる。しかし、これはプリチャージの役割を果たす。

【0073】

具体的には、図 4 に示すように、「CLK₁」の電位が「VGH」となることから、トランジスタ 3 がオン(高)状態となり、トランジスタ 4 のドレインに「VGH」が供給される。一方で、トランジスタ 2 および 1 4 がオフ状態であることから、ノード 2 1 は「VGL」へ引っ張られない。これらの結果、トランジスタ 4 を介してノード 2 1 でブートストラップが発生し、カップリングによってノード 2 1 の電位が「VGH」以上となる。例えば、ノード 2 1 の電位は、「VGH」に対して 1.3 ~ 1.5 倍程度に上昇する。

【0074】

そして、ノード 2 1 の電位上昇に伴って、トランジスタ 1 がオン(高)状態となり、ノード 2 2 の電位が「VGL」へ引っ張られる。このため、ノード 2 2 の電位は、完全に「VGL」へと引き下げられる。このようにノード 2 2 の電位が「VGL」となることから、トランジスタ 2、1 2、1 3 は、オフ状態となる。

【0075】

また、トランジスタ 3 および 4 がオン状態となるので、ノード 2 3 へ「VGH」が供給され、ノード 2 3 の電位が「VGH」となる。そして、ノード 2 3 の電位が「VGH」となることから、トランジスタ 8 がオン(中)状態となり、ノード 2 4 の電位が「VGL」へと引っ張られる。この結果、ノード 2 4 の電位は、「VGL」よりも高く「GND」よりも低くなる。このノード 2 4 の電位降下に伴ってトランジスタ 9 はオフ状態となる。

【0076】

そして、ノード 2 3 の電位が「VGH」となることから、トランジスタ 5 および 6 もオン(中)状態となる。また、「CLK₃」の電位が「VGH」であることから、「CLK₃」が、トランジスタ 6 を介して、「OUT₂」へ出力される。

【0077】

すなわち、期間 T 3 の状態では、トランジスタ 1、3、4 がオン(高)状態となり、トランジスタ 5、6、8 がオン(中)状態となり、その他のトランジスタがオフ状態となる。また、ノード 2 1 の電位が「VGH」以上となり、ノード 2 2 の電位が「VGL」となり、ノード 2 3 の電位が「VGH」となり、ノード 2 4 の電位が「VGL」よりも高く「GND」よりも低くなる。さらに、プリチャージとして「OUT₂」が出力される。

【0078】

(期間 T 4) 期間 T 4 は、「CLK₁」と「CLK₃」が「VGH」から「VGL」となる期間である。具体的には、「in」、「CLK₁」、「CLK₂」、「CLK₃」、「

10

20

30

40

50

「CLK₄」の各電位が「VGL」となる期間である。期間T₄は、「CLK₁」と「CLK₃」が「VGL」となるので、トランジスタ3がオフ状態となる。一方で、ノード21および23の電位は「VGH」を保持し、ノード22および24の電位は「VGL」を保持する。

【0079】

(期間T₅) 期間T₅は、「CLK₂」のパルスが「VGL」から「VGH」へ切り替る期間である。具体的には、「CLK₂」の電位が「VGH」となり、その他の「in」、「CLK₁」、「CLK₃」、「CLK₄」の各電位が「VGL」となる期間である。

【0080】

図8は、期間T₅におけるシフトレジスタ回路の状態を説明する図である。図8に示すように、「CLK₂」の電位が「VGH」となることから、トランジスタ5のドレイン-ゲート間容量によって、ブートストラップが発生し、ノード23が「VGH」よりも高い電位に持ち上げられる。これにより、「CLK₂」のパルスは電圧降下もなく「OUT₁」へ出力される。

10

【0081】

具体的には、図4に示すように、「CLK₁」が「VGL」であることから、トランジスタ3がオフ状態となり、トランジスタ4におけるブートストラップが終了し、ノード21の電位が「VGH」となる。また、ノード21の電位が「VGH」であることから、トランジスタ1は引き続きオン(高)状態を維持する。このため、ノード22は、「VGL」へ引き続き引っ張られるので、「VGL」を維持する。したがって、トランジスタ2、12、13は、オフ状態を維持する。

20

【0082】

そして、ノード23には、期間T₃からトランジスタ4を介して「VGH」が供給される。また、ノード23が高電位であることから、トランジスタ8がオン(高)状態となり、ノード24が「VGL」を維持するので、トランジスタ9もオフ状態を維持する。このように、ノード23の電位を降下させる各トランジスタおよびトランジスタ3がオフ状態のときに、「CLK₂」の電位が「VGH」となることから、ノード23においてブートストラップが発生する。この結果、ノード23の電位がカップリングによって「VGH」以上となる。したがって、トランジスタ5が完全にオン(高)状態となり、電圧降下もなく、「CLK₂」が「OUT₁」から出力される。なお、ノード23の電位は、例えば「VGH」に対して1.3~1.5倍程度に上昇する。

30

【0083】

すなわち、期間T₅の状態では、トランジスタ1、4、5、6、8がオン(高)状態となり、その他のトランジスタがオフ状態となる。また、ノード21の電位が「VGH」となり、ノード22の電位が「VGL」となり、ノード23の電位が「VGH」以上となり、ノード24の電位が「VGL」となる。さらに、「CLK₂」が「OUT₁」として出力される。

【0084】

(期間T₆) 期間T₆は、「CLK₂」のパルスが「VGH」から「VGL」に切り替る期間である。具体的には、「in」、「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」の各電位が「VGL」となる期間である。期間T₆では、「OUT₁」が「CLK₂」により「VGH」から「VGL」へ引かれる。また、ノード23もカップリングの影響を受けブートストラップ前の電位まで降下する。

40

【0085】

(期間T₇) 期間T₇は、「CLK₃」と「CLK₄」のパルスが「VGL」から「VGH」へと切り替る期間である。具体的には、「in」、「CLK₁」、「CLK₂」の電位が「VGL」となり、「CLK₃」および「CLK₄」の電位が「VGH」となる期間である。

【0086】

図9は、期間T₇におけるシフトレジスタ回路の状態を説明する図である。図9に示す

50

ように、「CLK₃」は、トランジスタ6を介して「OUT₂」へ出力される時にブートストラップ効果により、ノード23が「VGH」よりも高い電位に持ち上げられる。この結果、「CLK₃」のパルスが、「VGH」から電位の降下もなく「OUT₂」へ出力される。また、「CLK₄」も電位が「VGL」から「VGH」へと切り替り、トランジスタ10および11がオン状態となり、ノード22とノード24へ「VGH」が供給される。ところが、トランジスタ1およびトランジスタ8がオン状態であることから、ノード22とノード24の電位が「VGL」から変化することなく、そのままの電位を維持する。

【0087】

具体的には、図4に示すように、「CLK₄」の電位が「VGH」であることから、トランジスタ10および11がオン（高）状態となり、ノード22およびノード24へ「VGH」が供給される。一方で、ノード21の電位が「VGH」であることから、トランジスタ1がオン（高）状態となり、ノード22は「VGL」へ引っ張られる。したがって、ノード22の電位は「VGL」を維持する。また、ノード23の電位が「VGH」であることから、トランジスタ8がオン（高）状態となり、ノード24は「VGL」へ引っ張られる。したがって、ノード24の電位は「VGL」を維持する。

10

【0088】

ノード24が「VGL」を維持するので、トランジスタ9もオフ状態を維持する。このように、ノード23の電位を降下させる各トランジスタおよびトランジスタ3がオフ状態のときに、「CLK₃」の電位が「VGH」となることから、ノード23においてブートストラップが発生する。この結果、ノード23の電位がカップリングによって「VGH」以上となる。したがって、トランジスタ6が完全にオン（高）状態となり、電圧降下もなく、「CLK₃」が「OUT₂」から出力される。

20

【0089】

すなわち、期間T7の状態では、トランジスタ1、4、5、6、8、10、11がオン（高）状態となり、その他のトランジスタがオフ状態となる。また、ノード21の電位が「VGH」となり、ノード22の電位が「VGL」となり、ノード23の電位が「VGH」以上となり、ノード24の電位が「VGL」となる。さらに、「CLK₃」が「OUT₂」として出力される。なお、期間T7では、次段のシフトレジスタ回路において「OUT₄」が出力される。

【0090】

（期間T8）期間T8は、「CLK₄」と「CLK₃」のパルスが「VGH」から「VGL」となる期間である。具体的には、「in」、「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」の各電位が「VGL」となる期間である。期間T8では、「OUT₂」が「CLK₃」により「VGH」から「VGL」へ引っ張られる。また、ノード23もカップリングの影響を受けブートストラップ前の電位まで降下する。また、「CLK₄」の電位は「VGH」から「VGL」となるので、トランジスタ10および11がオン（高）状態からオフ状態となり、ノード22とノード24への「VGH」の供給が停止する。

30

【0091】

（期間T9）期間T9は、次段の「OUT₃」が出力される期間である。具体的には、期間T5と同様、「CLK₂」の電位が「VGH」となり、その他の「in」、「CLK₁」、「CLK₃」、「CLK₄」の各電位が「VGL」となるとともに、「OUT₃」の電位が「VGH」となる期間である。

40

【0092】

図10は、期間T9におけるシフトレジスタ回路の状態を説明する図である。図10に示すように、「OUT₃」のパルスによって、トランジスタ7および14がオン状態となり、ノード21とノード23が「VGL」へ引かれる。また、ノード21およびノード23の電位が降下することにより、トランジスタ1、4、5、6、8がオフ状態となる。

【0093】

具体的には、図4に示すように、「OUT₃」の電位が「VGH」となることから、ト

50

ランジスタ7および14がオン(高)状態となる。このため、ノード21の電位は、ランジスタ14のオンに伴って、「VGL」に引っ張られるので、完全な「VGL」となる。また、ノード23の電位も、ランジスタ7のオンに伴って、「VGL」に引っ張られるので、完全な「VGL」となる。

【0094】

そして、ノード21の電位が「VGL」になることから、ランジスタ1および4もオフ状態となる。同様に、ノード23の電位が「VGL」になることから、ランジスタ5、6、8もオフ状態となる。

【0095】

すなわち、期間T9の状態では、ランジスタ7および14がオン(高)状態となり、その他のランジスタがオフ状態となる。また、ノード21の電位は、「VGL」へ降下し、ノード22の電位は、「VGL」を維持し、ノード23の電位は、「VGL」へ降下し、ノード24の電位は、「VGL」を維持する。

10

【0096】

(期間T10) 期間T10は、期間T9から「CLK₂」が「VGL」に切り替り、「OUT₃」が「VGL」に切り替る期間である。具体的には、「in」、「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」、「OUT₃」の各電位が「VGL」となる期間である。

【0097】

この期間T10は、期間T9の状態から変化しない。

20

【0098】

(期間T11) 期間T11は、期間T10から「CLK₁」および「CLK₃」が「VGH」に切り替る期間であり、「OUT₄」が「VGH」に切り替る期間である。具体的には、「CLK₁」の電位が「VGH」となり、「CLK₂」の電位が「VGL」となり、「CLK₃」の電位が「VGH」となり、「CLK₄」の電位が「VGL」となる期間である。なお、この期間では、次段のシフトレジスタ回路において「OUT₄」が出力される。

【0099】

図4に示すように、期間T11では、「CLK₃」が「VGH」となるが、ランジスタの状態に影響を及ぼさない。一方、「CLK₁」が「VGH」となるので、ランジスタ3がオン(高)状態となる。

30

【0100】

(期間T12) 期間T12は、期間T11から「CLK₁」および「CLK₃」が「VGL」に切り替る期間である。具体的には、「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」の各電位が「VGL」となる期間である。したがって、ランジスタ3がオン(高)状態からオフ状態になる。

【0101】

(期間T13) 期間T13は、期間T12から「CLK₂」が「VGH」に切り替る期間である。具体的には、「CLK₁」の電位が「VGL」となり、「CLK₂」の電位が「VGH」となり、「CLK₃」の電位が「VGL」となり、「CLK₄」の電位が「VGL」となる期間である。図4に示すように、期間T13では、「CLK₂」が「VGH」となるが、ランジスタの状態に影響を及ぼさないので、期間T12の状態から各ランジスタの状態および各ノードの状態は変化しない。

40

【0102】

(期間T14) 期間T14は、期間T13から「CLK₂」が「VGL」に切り替る期間である。具体的には、「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」の各電位が「VGL」となる期間である。したがって、期間T13の状態から各ランジスタの状態および各ノードの状態は変化しない。

【0103】

(期間T15) 期間T15は、「CLK₄」が「VGL」から「VGH」へ切り替る期間

50

である。具体的には、「CLK₁」および「CLK₂」の電位が「VGL」となり、「CLK₃」および「CLK₄」の電位が「VGH」となる期間である。

【0104】

図11は、期間T15におけるシフトレジスタ回路の状態を説明する図である。図11に示すように、「CLK₄」が「VGH」となることから、トランジスタ10および11がオン状態となり、「VGH」がノード22とノード24へ供給される。このため、トランジスタ2、9、12、13がオン状態となり、ノード21とノード23が安定して「VGL」となる。したがって、「CLK₁」や「CLK₂」や「CLK₃」が「VGL」から「VGH」へ切り替っても影響を受けず誤動作することはない。この「CLK₄」は定期的に「VGL」から「VGH」へ切り替るので、電位供給も定期的に行われる。このため、ノード22とノード24は、安定して「VGH」を保つ。

10

【0105】

具体的には、「CLK₄」が「VGH」となることから、トランジスタ10および11がオン（高）状態となる。このため、ノード22へ「VGH」が供給されるとともに、ノード24へ「VGH」が供給され、ノード22およびノード24が「VGH」付近の高電位となる。ノード22の電位が高電位になるので、ノード22の電位をゲートに入力するトランジスタ2、12、13がオン（高）状態となる。この結果、ノード21の電位は、トランジスタ2を介して「VGL」へ引っ張られるので、安定して「VGL」を保つ。また、「OUT₁」および「OUT₂」についても、それぞれトランジスタ12およびトランジスタ13によって「VGL」へ引っ張られる。

20

【0106】

そして、ノード23が「VGL」であることから、トランジスタ8はオフ状態であるので、ノード24は、供給される「VGH」を維持する。このため、ノード24の電位をゲートに入力するトランジスタ9がオン（高）状態となり、ノード23は、安定して「VGL」を保つ。さらに、ノード23の電位が「VGL」で安定するので、トランジスタ5およびトランジスタ6もオフ状態を維持する。

【0107】

すなわち、期間T15の状態では、トランジスタ2、9、10、11、12、13がオン（高）状態となり、その他のトランジスタがオフ状態となる。また、ノード21およびノード23の電位が「VGL」となり、ノード22およびノード24の電位が「VGH」付近の高電位となる。

30

【0108】

（期間T16）期間T16は、期間T15の状態から、「CLK₃」および「CLK₄」が「VGH」から「VGL」へ切り替る期間である。具体的には、「CLK₁」、「CLK₂」、「CLK₃」、「CLK₄」の各電位が「VGL」となる期間である。

【0109】

図4に示すように、「CLK₄」が「VGL」となることから、トランジスタ10および11がオフ状態となる。このため、ノード22およびノード24への「VGH」の供給が抑制される。ところが、ノード22またはノード24を「VGL」へ降下させるトランジスタがいずれもオフ状態であることから、ノード22およびノード24の電位は、期間T15から引き続き「VGH」を維持する。

40

【0110】

[シフトレジスタ回路20の効果]

上述したように、シフトレジスタ回路20は、1つの「in」に対して、「OUT₁」および「OUT₂」を出力することができるので、シフトレジスタ回路20からなるドライバ回路の回路規模を縮小させることができる。例えば、シフトレジスタ回路20は、表示素子を操作するドライバ回路に適用した場合は、ドライバ回路の回路規模を縮小させる結果、狭額縁化を図ることができる。

【0111】

また、「CLK₁」が「VGH」のときにノード21を「VGL」へ引っ張るトランジ

50

スタがオフ状態となるので、ノード21にブートストラップが発生し、ノード23へ「VGH」を維持した「CLK₁」が安定的に出力することができる。また、「CLK₂」が「VGH」のときにノード23を「VGL」へ引っ張るトランジスタがオフ状態とすることができる。さらに、このときに、トランジスタ3が「CLK₁」によってオフ状態となることから、ノード23の「VGH」がノード23内に留まることができるので、ノード23にブートストラップを発生させることができる。したがって、「OUT₁」を安定的に出力することができる。

【0112】

同様に、「CLK₃」が「VGH」のときにノード23を「VGL」へ引っ張るトランジスタがオフ状態とすることができる。さらに、このときに、トランジスタ3が「CLK₁」によってオフ状態となることから、ノード23の「VGH」がノード23内に留めることができるので、ノード23にブートストラップを発生させることができる。したがって、「OUT₂」を安定的に出力することができる。

10

【0113】

また、シフトレジスタ回路20は、ゲートが「OUT₃」の入力端子に接続され、ドレインがノード23に接続されるとともにソースが低電位端子に接続された、「OUT₃」の電位に応じてノード23の電位を降下させるトランジスタ7を有する。このため、シフトレジスタ回路20の非選択期間では、ノード23の電位を降下させることができるので、信号の出力を正確に抑制できる。

【0114】

すなわち、「CLK₁」はノード23に「VGH」を出力した後は「VGL」となり、また、トランジスタ3はダイオード接続となっている。このため、「CLK₂」を「OUT₁」へ出力する時にはトランジスタ5のゲート-ドレイン間容量によってブートストラップを発生させることができ、「CLK₃」を「OUT₂」へ出力する時にはトランジスタ6のゲート-ドレイン間容量によってブートストラップを発生させることができる。この結果、ノード23の電位が「VGH」以上に高くなり、「OUT₁」は「CLK₂」と同じ電位を出力することができ、「OUT₂」は「CLK₃」と同じ電位を出力することができる。

20

【0115】

また、シフトレジスタ回路20は、ノード23の電位に応じてノード24の電位を降下させるトランジスタ8と、ノード24の電位に応じてノード23の電位を降下させるトランジスタ9を有する。このため、シフトレジスタ回路20が選択期間、すなわち、ノード23が「VGH」などの高電位の場合には、ノード24の電位を「VGL」へ降下させることができるので、ノード23を高電位に維持することができ、安定的に出力することができる。また、シフトレジスタ回路20が非選択期間、すなわち、ノード23が「VGL」などの低電位の場合には、ノード24の電位を「VGH」に維持することができるので、ノード23を低電位にすることができ、安定的に出力を抑制することができる。

30

【0116】

また、シフトレジスタ回路20は、ゲートが「CLK₁」と位相をずらして「CLK₃」と同じタイミングで立ち上がる「CLK₄」の入力に応じてノード24の電位を上昇させるトランジスタ10を有する。このため、ノード24へ安定的に「VGH」を供給することができる。

40

【0117】

また、シフトレジスタ回路20は、「CLK₄」の入力に応じてノード22の電位を上昇させるトランジスタ11を有する。このため、ノード22へ安定的に「VGH」を供給することができる。そして、ノード22の電位上昇に伴って、「OUT₁」または「OUT₂」の電位を「VGL」へ降下させるトランジスタ12および13を有する。このため、シフトレジスタ回路20は、オフ状態の際に、誤った「OUT₁」および「OUT₂」の出力を防ぐことができる。

【0118】

50

また、シフトレジスタ回路 20 は、次段の回路が出力した「OUT₃」の電位が上昇することに応じて、ノード 21 の電位を降下させるトランジスタ 14 を有する。このため、シフトレジスタ回路 20 は、後段の回路が信号を出力した際に、確実に非選択状態に遷移することができる。また、シフトレジスタ回路 20 は、「in」の電位が上昇することに応じて、ノード 21 の電位を上昇させるトランジスタ 15 を有する。このため、シフトレジスタ回路 20 は、「in」が入力された際にノード 21 の電位を上昇させ、選択状態に遷移することができる。

【0119】

[適用範囲]

例えば、上記の実施形態で例示したシフトレジスタ回路 20 は、液晶パネルや有機 EL (Electro-Luminescence) パネルを用いた画像表示装置を動作させるドライバ回路に好適に適用される。また、シフトレジスタ回路 20 は、上述したドライバ回路以外の回路にも適用することができる。また、シフトレジスタ回路 20 は、複数のトランジスタと、各素子を順次駆動するためのドライバ回路とを有するセンサ装置、発光素子アレイ、サーマルヘッド等、任意の装置に適用することができる。

10

【0120】

(液晶パネルへの適用)

以下の説明では、シフトレジスタ回路 20 の適用例として、液晶パネルを用いた画像表示装置を動作させるドライバ回路にシフトレジスタ回路 20 を適用する例について説明する。

20

【0121】

図 12 は、シフトレジスタ回路の適用例を説明する第 1 の図である。図 12 に示す例では、画像表示装置 50 は、制御回路 51 とパネル 52 とを有する。なお、画像表示装置 50 は、バックライト等の光源装置、カラーフィルタ基板、偏光方向が互いに異なる偏光板等を有するが、図 12 では、理解を容易にするため、それらの記載を省略した。

【0122】

制御回路 51 は、例えば、パネル 52 に配置される FPC (Flexible Printed Circuits) 上に設けられたり、または、パネル 52 の外部回路基板上に設けられており、パネル 52 を駆動させるための制御信号を駆動回路 55 に出力する。なお、図 12 では、FPC、または外部回路基板についての図示を省略した。

30

【0123】

また、パネル 52 には、液晶パネルが用いられており、一对の基板から構成されている。例えば、パネル 52 は、アクティブエリア 57 に薄膜トランジスタが形成されたアレイ基板とアレイ基板に対向するカラーフィルタ基板とからなる一对のガラス基板で構成されている。また、アクティブエリア 57 のアレイ基板の周辺には、周辺部 54 が形成されている。周辺部 54 には、駆動回路 55 および走査線駆動回路 56 が設けられており、走査線駆動回路 56 はアレイ基板のガラス上に形成されている。また、駆動回路 55 と走査線駆動回路 56 とは走査線制御線 53 で接続されている。

【0124】

駆動回路 55 は、駆動用の半導体素子からなり、アクティブエリア上に延在されたデータ線に画像信号を出力する信号線駆動回路、走査線制御回路および対向電位駆動回路等で構成されている。なお、駆動回路 55 は、アクティブエリア 57 の周辺部 54 に COG (Chip On Glass) 方式で実装されている。

40

【0125】

また、パネル 52 の周辺部 54 に設けられた走査線駆動回路 56 には、第 1 形態において説明したシフトレジスタ回路 20 と同じ機能を発揮する複数の回路が適用されている。具体的には、走査線駆動回路 56 には、シフトレジスタ部 25 と同様の機能を発揮するシフトレジスタ部 25 ~ 25b が多段に接続され、各シフトレジスタ部 25 ~ 25b には、OUT 波形制御部 26 と同様の機能を発揮する OUT 波形制御部 26 ~ 26b が接続されている。

50

【0126】

なお、シフトレジスタ部25～25bは、パネル52のレイ基板上に一体的に形成された走査線駆動回路56上に形成されている。また、走査線駆動回路56は、シフトレジスタ部25～25b、およびOUT波形制御部26～26b以外にも、複数のシフトレジスタ部、およびOUT波形制御部の組からなるシフトレジスタ回路を有するが、図12では、理解を容易にするため、記載を省略した。また、各OUT波形制御部26～26bのそれぞれには、アクティブエリア57上に延設された走査線が2つずつ接続されている。また、図12に示す例では、理解を容易にするため、「CLK₁」～「CLK₄」の入力線については、記載を省略した。

【0127】

駆動回路55は、走査線制御線53で走査線駆動回路56と接続されており、走査線制御線53を介して初段のシフトレジスタ部25に制御信号を出力する。

【0128】

アクティブエリア57は、マトリックス状に配置した画素58を複数有する。詳細には、アクティブエリア57には、複数のデータ線が列方向に延在され、複数の走査線が行方向に延在されている。そして、アクティブエリア57には、データ線と走査線との交差に対応して、それぞれ画素58が形成されている。

【0129】

ここで、画素58は、アクティブ素子として動作する薄膜トランジスタ59と、画素電極60とを有する。画像表示装置50は、レイ基板に設けられた画素電極60とカラーフィルタ基板に設けられた共通電極(図示せず)との間に印加された電圧によって液晶分子を制御して画像表示する。ここでは、パネル52は、レイ基板に画素電極60が設けられ、カラーフィルタ基板に共通電極が設けられた縦電界方式で説明しているが、これに限らず、例えば、レイ基板の画素58内に画素電極60および共通電極が設けられた横電界方式であってもよい。

【0130】

走査線駆動回路56は、第1形態に係わるシフトレジスタ部25と同様のシフトレジスタ部25～25bを多段に接続し、各シフトレジスタ部25～25bにOUT波形制御部26～26bを接続した回路により構成される。ここで、走査線駆動回路56は、上述したシフトレジスタ部25の動作によりOUT波形制御部26が出力する「OUT₁」および「OUT₂」をアクティブエリア57上に延在する走査線に順次入力する。

【0131】

また、シフトレジスタ部25が有する「OUT₁」の電位は、シフトレジスタ部25aに「in」として入力されているので、走査線駆動回路56は、シフトレジスタ部25aの動作によりOUT波形制御部26aが出力する「OUT₃」および「OUT₄」をアクティブエリア57上に延在する走査線に順次入力する。このように、多段に設置されたシフトレジスタ部25～25bが信号を順次シフトさせ、各OUT波形制御部26～26bが2つの信号を順次出力する。このため、走査線駆動回路56は、駆動回路55から走査線制御線53を介して、制御信号が入力された場合には、アクティブエリア57上の各走査線に対して上方向から順に電圧を印加する。

【0132】

例えば、走査線駆動回路56は、制御信号を受信すると、シフトレジスタ部25、およびOUT波形制御部26の動作により、「OUT₁」を1段目の走査線に出力し、次に「OUT₂」を2段目の走査線に出力する。次に、走査線駆動回路56は、シフトレジスタ部25aおよびOUT波形制御部26aの動作により、「OUT₃」を3段目の走査線に出力し、次に「OUT₄」を4段目の走査線に出力する。この結果、走査線駆動回路56は、アクティブエリア57上の各走査線に対して、順番に電圧を印加する。

【0133】

ここで、従来のシフトレジスタ回路を用いて、走査線駆動回路56を構成する場合には、アクティブエリア57上に延設された走査線と同数のシフトレジスタ回路を多段に接続

10

20

30

40

50

し、各シフトレジスタ回路から各走査線上に信号を出力する。しかしながら、シフトレジスタ部25とOUT波形制御部26からなるシフトレジスタ回路20を用いて、走査線駆動回路56を構成した場合には、1つのシフトレジスタ回路20から2つの走査線に対して信号を出力することができるので、走査線駆動回路56の回路規模を減少させ、画像表示装置50の狭額縁化を実現することができる。

【0134】

また、シフトレジスタ回路20は、ブートストラップ効果により、出力する信号の電位を下げることなく出力することができるので、走査線駆動回路56が各走査線に印加する電位の低下を防ぐことができる。この結果、画像表示装置50は、アクティブエリア57の大型化や画素58の細密化により走査線の数が増加した場合にも、各画素58に印加する電位の低下を防ぐことができるので、正常に動作することができる。

10

【0135】

薄膜トランジスタ59は、画素58が形成された位置に応じたデータ線とソースとが接続され、画素58が形成された位置に応じた走査線とゲートとが接続されている。そして、走査線駆動回路56から対応する走査線に電圧が印加されるとともに、駆動回路55から対応するデータ線に電圧が印加された場合に、データ線に印加された電圧が薄膜トランジスタ59を介して画素電極60に印加される。

【0136】

なお、図12では、液晶パネルを用いた画像表示装置にシフトレジスタ回路20を適用する例について説明した。しかしながら、実施の形態はこれに限定されるものではない。例えば、有機ELパネルを用いた画像表示装置にシフトレジスタ回路20を適用してもよい。例えば、図13は、シフトレジスタ回路20の適用例を説明する第2の図である。

20

【0137】

(有機ELへの適用)

図13に示す例では、シフトレジスタ部25、およびOUT波形制御部26を有する走査線駆動回路56を有し、有機ELパネルを用いた画像表示装置70について記載した。また、図13に示す例では、理解を容易にするため、シフトレジスタ部25、およびOUT波形制御部26からなるシフトレジスタ回路20を有する走査線駆動回路56に記載したが、走査線駆動回路56は、シフトレジスタ回路20と同様の回路を複数有するものとする。具体的には、走査線駆動回路56は、アクティブエリア57上に延設する走査線の数の中の半分の数だけシフトレジスタ回路20と同様の回路を多段に接続することで構成すればよい。なお、上述の液晶パネルを用いた画像表示装置50と同様に、シフトレジスタ回路20は、パネル52のレイ基板上の周辺部に一体的に形成されている。

30

【0138】

図13に示す例では、画素58は、アノードが定電位供給回路71と電気的に接続された発光素子80と、発光素子80のカソードに一方の電極が接続されたトランジスタ81とを有する。また、画素58は、n型の薄膜トランジスタによって形成され、ドレインがトランジスタ82のドレインに接続され、ソースが電源供給回路72と電気的に接続されたドライバ素子83とを有する。また、画素58は、ドライバ素子83を形成する薄膜トランジスタのゲート・ドレイン間の導通状態を制御するトランジスタ82と静電容量84とを有する。

40

【0139】

また、図13に示す例では、各画素58内に備わる発光素子80のアノードに対して一定のオン電位を供給する定電位供給回路71と、制御線を介して、画素58内に備わるトランジスタ81の駆動を制御する駆動制御回路73と、ドライバ素子83のソースにオン電位または0電位を供給する電源供給回路72とを有する。

【0140】

発光素子80は、電流注入によって発光する機構を有し、例えば有機EL素子によって形成される。有機EL素子は、Al、Cu、ITO(Indium Tin Oxide)等によって形成されたアノード層およびカソード層と、アノード層とカソード層との間にフタルシアニン

50

、トリスアルミニウム錯体、ベンゾキノリノラト、ベリリウム錯体等の有機系の材料によって形成された発光層とを少なくとも備えた構造を有し、発光層に注入された正孔と電子とが発光再結合することによって光を生じる機能を有する。

【0141】

トランジスタ81は、発光素子80とドライバ素子83との間の導通を制御する機能を有し、本実施形態1では、n型の薄膜トランジスタによって形成される。すなわち、薄膜トランジスタのドレインとソースとがそれぞれ発光素子80、ドライバ素子83に接続される一方で、ゲートが駆動制御回路73と電気的に接続された構成を有し、駆動制御回路73から供給される電位に基づいて、発光素子80とドライバ素子83との間の導通状態を制御している。

10

【0142】

ドライバ素子83は、発光素子80に流れる電流を制御するための機能を有する。具体的には、ドライバ素子83は、閾値以上の電位差に応じて発光素子80に流れる電流を制御する機能を有する。本実施形態1では、ドライバ素子83は、n型の薄膜トランジスタによって形成され、ゲートとソースとの間に印加される電位差に応じて発光素子80の発光輝度を制御している。

【0143】

このような画素58においては、駆動回路55が信号線に印加した電圧により静電容量84に電荷が蓄積される。そして、駆動制御回路73がトランジスタ81のゲートに電圧を印加している間、静電容量84に蓄積した電荷に応じた電流が発光素子80に流れ、発光素子80が発光する。

20

【0144】

このように、各画素58が発光素子80を有する場合であっても、走査線駆動回路56は、シフトレジスタ部25、およびOUT波形制御部26からなるシフトレジスタ回路20が、2つの走査線に各画素の出力信号を出力する。このため、画像表示装置70は、画素58が有機ELパネルを有する場合にも、走査線駆動回路56の回路規模を減少させ、狭額縁化を図ることができる。また、シフトレジスタ回路20は、走査線上に出力する信号の電位の低下を防ぐので、アクティブエリア57上の画素数に係わらず、画像表示装置70を正常に動作させることができる。

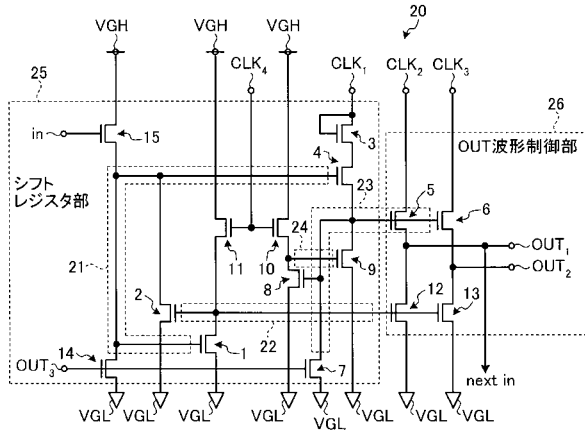
【符号の説明】

30

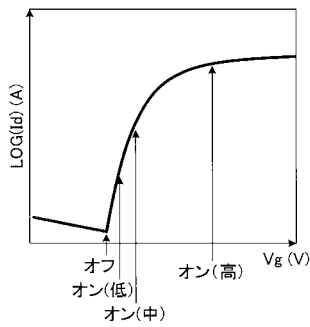
【0145】

1～15	トランジスタ
20	シフトレジスタ回路
21～24	ノード
25、25a、25b	シフトレジスタ部
26、26a、26b	OUT波形制御部

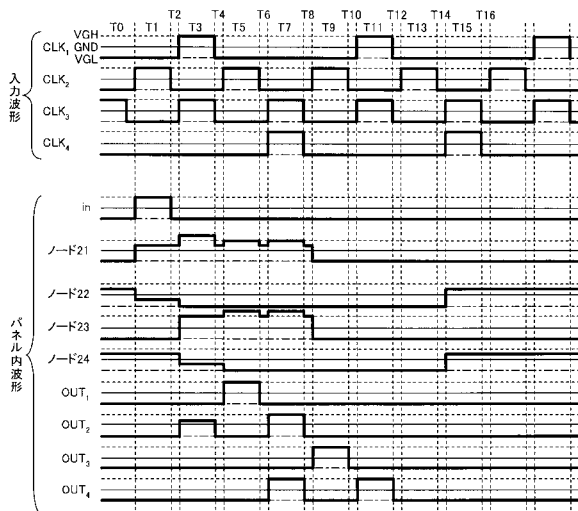
【 図 1 】



【 図 2 】



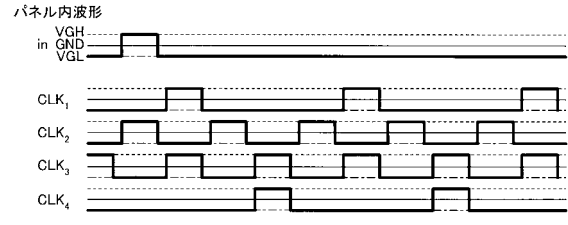
【 図 4 】



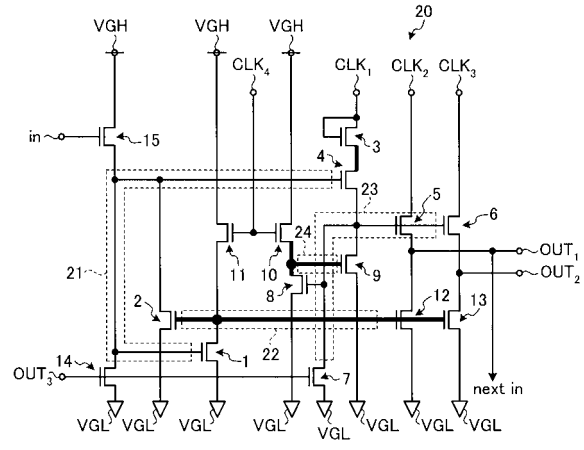
トランジスタ1																				
トランジスタ2																				
トランジスタ3																				
トランジスタ4																				
トランジスタ5																				
トランジスタ6																				
トランジスタ7																				
トランジスタ8																				
トランジスタ9																				
トランジスタ10																				
トランジスタ11																				
トランジスタ12																				
トランジスタ13																				
トランジスタ14																				
トランジスタ15																				

オフ
 オン(低)
 オン(中)
 オン(高)

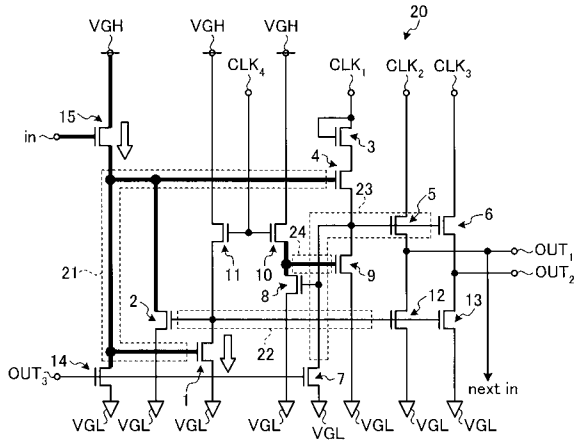
【 図 3 】



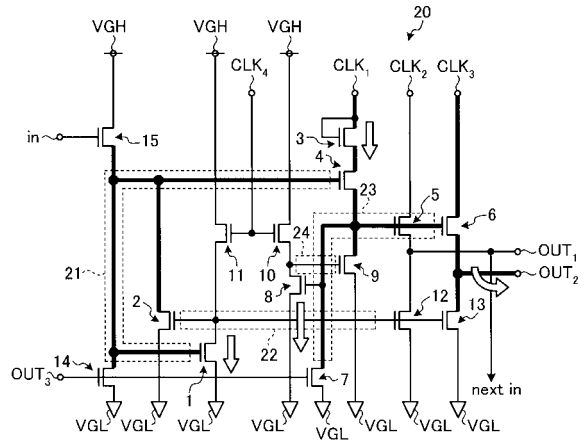
【 図 5 】



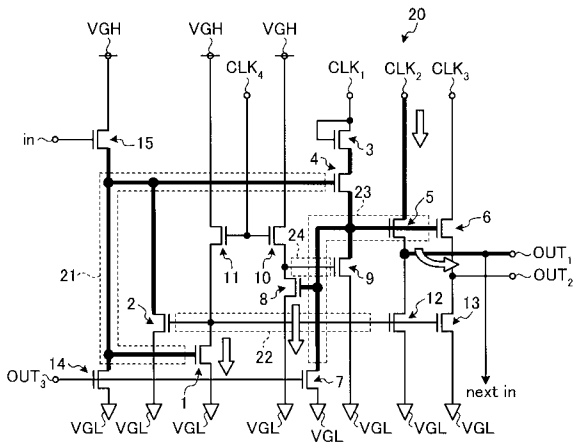
【 図 6 】



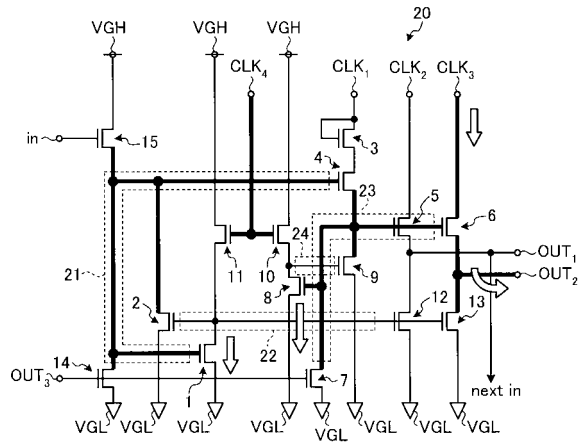
【 図 7 】



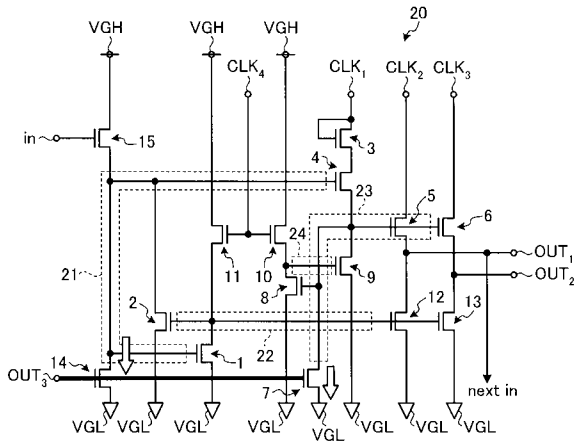
【 図 8 】



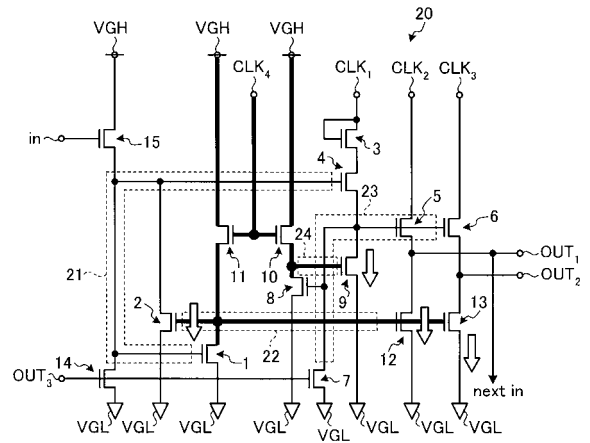
【 図 9 】



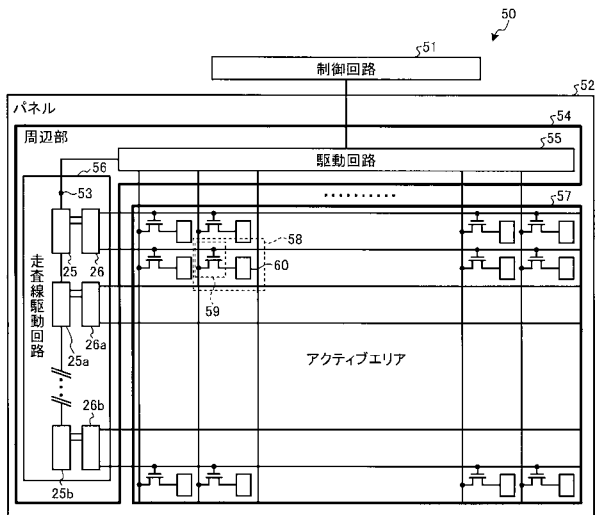
【図10】



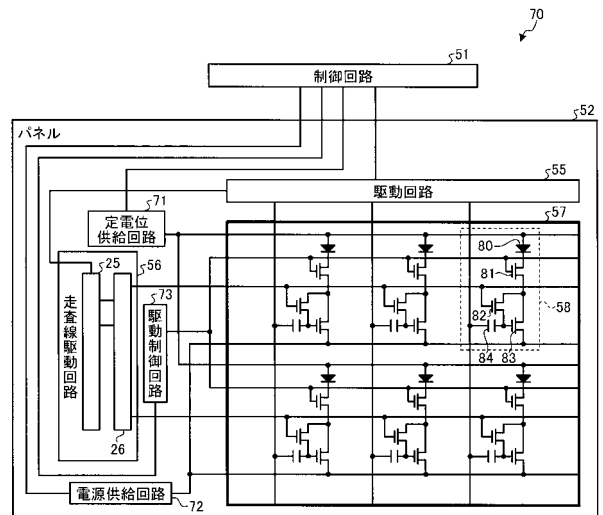
【図11】



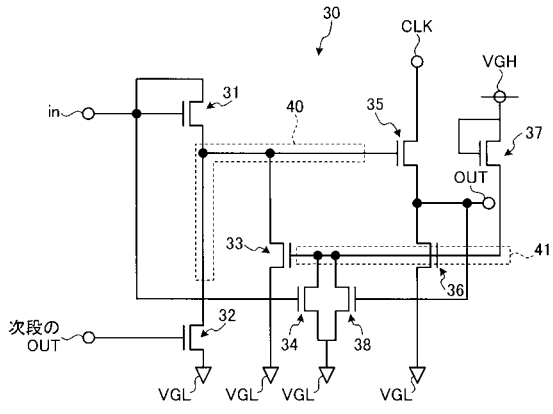
【図12】



【図13】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/30

J