

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93107110

※申請日期：93.3.17

※IPC 分類：

G11C13/00
H01L27/10

一、發明名稱：(中文/日文)

記憶元件及使用其之記憶裝置

記憶素子及びこれを用いた記憶裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

安藤 國威

ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO

JAPAN

國籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 荒谷 勝久

ARATANI, KATSUHISA

2. 河內山 彰

KOUCHIYAMA, AKIRA

3. 石田 實

ISHIDA, MINORU

住居所地址：(中文/英文)

1.-3.均日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU,

TOKYO, JAPAN

國 籍：(中文/英文)

1.-3.均日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年03月20日；特願2003-078447

2. 日本；2003年05月15日；特願2003-137651

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於可記錄資訊之記憶元件及使用此記憶元件之記憶裝置。

【先前技術】

在電腦等資訊機器中，作為隨機存取記憶體，廣泛使用動作高速、高密度之DRAM(動態隨機存取記憶體)。

但，DRAM與使用於電子機器之一般的邏輯電路LSI及信號處理電路相比，製程較為複雜，故製造成本偏高。

又，DRAM係切斷電源時，資訊即消失之揮發性記憶體，有必要頻繁地施行更新動作，即施行讀出寫入之資訊(資料)，重新放大而重新再度寫入之動作。

因此，作為即使切斷電源，資訊也不會消失之非揮發性記憶體，有人提出例如FeRAM(強介質記憶體)及MRAM(磁性記憶元件)等。

此等記憶體之情形，即使不供應電源，也可長時間繼續保持寫入之資訊。

又，在此等記憶體之情形，由於具有非揮發性，不需要更新動作，相對地可降低消耗之電力。

但，上述非揮發性記憶體隨著構成各記憶胞之記憶元件之縮小化，難以確保作為記憶元件之特性。

為此，難以將元件縮小化至設計法則之極限及製程上之極限。

因此，作為適合於縮小化之構成之記憶體，有人提出新

式之記憶元件。

此記憶元件採用在2個電極間夾著含有某種金屬之離子導電體之構造。

而，利用使2個電極中之一方含有含於離子導電體中之金屬，在將電壓施加至2個電極間時，使含於電極中之金屬以離子擴散於離子導電體中，藉以使離子導電體之電阻或電容器等之電的特性發生變化。

利用此特性，可構成記憶裝置(例如參照下述專利文獻1、下述非專利文獻1。)

具體而言，離子導電體係由硫屬與金屬之固溶體所構成，更具體而言，係由在AsS、GeS、GeSe中固溶Ag、Cu或Zn之材料所構成，在2個電極中之一方電極含有Ag、Cu或Zn(參照下述專利文獻1)。

又，作為此記憶元件之製造方法，有人提出使硫屬構成之離子導電體沉積於基板後，使含有金屬之電極沉積於離子導電體上，利用照射具有離子導電體之光學間隙以上之能量之光或加熱，使金屬在離子導電體中擴散而固溶之方法，以形成含有金屬之離子導電體之方法。

另外，也有人提出使用結晶氧化物材料之各種非揮發性記憶體，例如在利用SrRuO₃或Pt構成之下部電極與Au或Pt構成之上部電極挾持摻入Cr之SrZrO₃結晶材料之構造之元件中，藉施加極性相異之電壓，可逆轉地改變電阻之記憶體之研究報告(參照下述非專利文獻2)。

但，原理等之詳細內容不明。

專利文獻1：日本特表2002-536840號公報

非專利文獻1：日經電子雜誌 2003.1.20期(第104頁)

非專利文獻2：A.Beck等人著 Appl. Phys. Lett., 77, (2000), p 139

但，在上述構成之記憶元件中，由於利用硫屬與金屬之固溶體構成離子導電體，為了使金屬即例如Ag、Cu、Zn預先固溶而使金屬離子擴散以施行記錄，需要較多之電流。

又，記錄前後之電阻值之變化量較小。

因此，讀出所記錄之資訊時，資訊之內容難以判別。

另外，利用照射具有離子導電體之光學間隙以上之能量之光或加熱，使金屬在離子導電體中擴散而固溶之製造方法，其製造工序將變得極為繁雜。

又，在上述使上部電極或下部電極中之一方含有Ag或Cu，而在該等電極中夾入Ge-S、或Ge-Se非晶質硫屬材料之構造之記憶元件中，溫度上升時，硫屬薄膜會發生結晶化，在結晶化之同時，材料之特性會發生變化，而有原本以高電阻之狀態保持資料之部分在高溫環境下或長期保存時，會變化成低電阻之狀態等之問題。

在上部電極與下部電極間之記錄材料使用結晶材料之情形，與使用非晶質材料之情形相比，問題較多，以低價格量產較為困難。

首先，為執行結晶生長，其底層材料會受到限定，例如有必要使用單晶材料。

又，為獲得良質之結晶性，例如必須施行700°C之高溫處理。

另外，為了發揮結晶之性能，例如需要50 nm以上之膜厚，從微細加工時之縱橫比之觀點，例如在對50 nm以下之尺寸進行微細加工之際，會發生問題。

再者，由於用來改善特性之添加材料必須不能發生例如點陣常數之不搭配等缺點問題，故只能限定於使用特定之元素群，難以獲得所希望之特性。

為解決上述問題，在本發明中，提供可容易地施行資訊之記錄及讀出，且可利用較簡單之製造方法容易製造之記憶元件及使用該記憶元件之記憶裝置。

又，在本發明中，提供可容易地施行資訊之記錄及讀出，並穩定地保持在高溫環境下或長期保存時所記錄之內容，且可利用較簡單之製造方法容易製造之記憶元件及使用該記憶元件之記憶裝置。

【發明內容】

本發明之記憶元件係在第1電極及第2電極之間夾著非晶質薄膜所構成，第1電極及第2電極中至少一方電極包含Ag或Cu，非晶質薄膜由Ge與選自S、Se、Te、Sb之一種以上元素所構成者。

本發明之記憶裝置係包含記憶元件，其係在第1電極及第2電極之間夾著非晶質薄膜所構成，第1電極及第2電極中至少一方電極包含Ag或Cu，非晶質薄膜由選自Ge與S、Se、Te、Sb之一種以上元素所構成者；配線，其係連接於

第1電極側者；及配線，其係連接於第2電極側者；且配置多數記憶元件而構成者。

依據上述本發明之記憶元件之構成，由於在第1電極及第2電極之間夾著非晶質薄膜所構成，第1電極及第2電極中至少一方電極包含Ag或Cu，非晶質薄膜由Ge與選自S、Se、Te、Sb之一種以上元素所構成，故可利用使含於電極之Ag或Cu以離子擴散至非晶質薄膜中，以記憶資訊。

具體而言，將正電位施加至含Ag或Cu之一方電極側而將正電壓施加至元件時，含於電極之Ag或Cu會變化成離子而擴散至非晶質薄膜中，在非晶質薄膜內之他方電極側之部分與電子耦合而被析出，而使非晶質薄膜之電阻降低，且使元件之電阻降低，故可藉此施行資訊之記錄。而，由此狀態，將負電位施加至含Ag或Cu之一方電極側而將負電壓施加至元件時，原先析出於他方電極側之Ag或Cu會再度離子化而回到一方電極側，藉以使非晶質薄膜之電阻恢復原來之較高狀態，元件之電阻也升高，故可施行所記錄之資訊之消除。

而，由於將記錄前之非晶質薄膜構成不含離子化之Ag或Cu，故可減少記錄所需之電流，增大電阻變化，且可縮短記錄所需時間。

依據本發明之記憶裝置之構成，由於係包含上述本發明之記憶元件、連接於第1電極側之配線及連接於第2電極側之配線，且配置多數記憶元件所構成，故可由配線使電流通至記憶元件，以施行資訊之記錄及資訊之消除。

本發明之另一記憶元件係在第1電極及第2電極之間夾著非晶質薄膜所構成，第1電極及第2電極中至少一方電極包含Ag或Cu，非晶質薄膜由氧化物形成所構成者。

本發明之另一記憶裝置係包含記憶元件，其係在第1電極及第2電極之間夾著非晶質薄膜所構成，第1電極及第2電極中至少一方電極包含Ag或Cu，非晶質薄膜由氧化物形成所構成者；配線，其係連接於第1電極側者；及配線，其係連接於第2電極側者；且配置多數記憶元件而構成者。

依據上述本發明之另一記憶元件之構成，由於在第1電極及第2電極之間夾著非晶質薄膜所構成，第1電極及第2電極中至少一方電極包含Ag或Cu，非晶質薄膜由氧化物形成所構成，故與前述本發明之記憶元件之構成同樣地，可利用使含於電極之Ag或Cu以離子擴散至非晶質薄膜中，以記憶資訊。

依據本發明之另一記憶裝置之構成，由於係包含上述本發明之記憶元件、連接於第1電極側之配線及連接於第2電極側之配線，且配置多數記憶元件所構成，故可由配線使電流通至記憶元件，以施行資訊之記錄及資訊之消除。

依據上述之本發明，可減少記錄於記憶元件所需之電流，並增大記錄前後之元件之電阻變化。

因此，可降低資訊記錄於元件之際之耗電力，並容易施行資訊之讀出。

又，也可縮短記錄所需時間。

更由於係利用元件之電阻之變化，尤其利用非晶質薄膜之電阻之變化而施行資訊之記錄，故具有在使元件微細化時，也容易施行資訊之記錄及所記錄之資訊之保持之優點。

因此，依據本發明，可構成容易施行資訊之記錄及資訊之讀出，降低耗電力，且高速施行動作之記憶裝置。又，可謀求記憶裝置之積體化(高密度化)及小型化。

另外，本發明之記憶元件可利用通常之MOS邏輯電路之製程所使用之材料及製造方法加以製造，即製造時不需要例如高溫熱處理、光照射等特別之工序。

亦即，可利用較簡單之方法，容易製造記憶元件。

因此，本發明可利用低廉之成本製造記憶元件及記憶裝置，提供廉價之記憶裝置，且可謀求記憶裝置之製造良率之提高。

依據上述之本發明之另一記憶元件之記憶裝置，可降低記錄於記憶元件所需之電流，並充分確保記錄前後之元件之電阻變化。

因此，可降低資訊記錄於元件之際之耗電力，並容易施行資訊之讀出。

又，也可縮短記錄所需時間。

更由於係利用元件之電阻之變化，尤其利用非晶質薄膜之電阻之變化而施行資訊之記錄，故具有在使元件微細化時，也容易施行資訊之記錄及所記錄之資訊之保持之優點。

又，依據上述之本發明之另一記憶元件及記憶裝置，即使在高溫環境下使用或長期資料保存時，也可維持高電阻狀態，即維持所記錄之內容，故可提高可靠性。

因此，依據本發明之另一記憶元件及記憶裝置，可構成容易施行資訊之記錄及資訊之讀出，降低耗電力，且高速施行動作，對熱穩定而具有高可靠性之記憶裝置。又，可謀求記憶裝置之積體化(高密度化)及小型化。

另外，本發明之記憶元件可利用通常之MOS邏輯電路之製程所使用之材料及製造方法加以製造。

因此，依據本發明之另一記憶元件及記憶裝置，可利用低廉之成本製造對熱穩定之記憶元件及記憶裝置，提供廉價之記憶裝置，且可謀求記憶裝置之製造良率之提高。

【實施方式】

圖1係本發明之記憶元件之一實施形態之概略構成圖(剖面圖)。

此記憶元件10係在高電導度之基板1，例如摻入P型高濃度雜質(P^{++})之矽基板上形成下部電極2，並以通過形成於此下部電極2上之絕緣膜3之開口而連接於下部電極2之方式形成非晶質薄膜4、上部電極5、電極層6、導電層7之疊層膜所構成。

下部電極2例如可使用TiW、Ti、W。

此下部電極2例如使用TiW時，膜厚例如在20 nm~100 nm即可。

絕緣膜3例如可使用被硬熟化處理之光阻膜、一般使用

於半導體裝置之 SiO_2 或 Si_3N_4 、或其他材料例如 SiON 、 SiOF 、 Al_2O_3 、 Ta_2O_5 、 HfO_2 、 ZrO_2 等無機材料、氟系有機材料、芳香族有機材料等。

非晶質薄膜4係由選自 Ge (鍺)、 S (硫)、 Se (硒)、 Te (碲)、 Sb (銻)之一種以上元素所構成。其中， S 、 Se 、 Te 屬於硫屬。

例如可使用 GeSbTe 、 GeTe 、 GeSe 、 GeS 、 GeSbSe 、 GeSbS 等。此等材料對 Ag 或 Cu 之電的特性及化學的特性相同。

又，必要時，非晶質薄膜4也可包含 Si (矽)或其他元素，例如 Gd 等稀土類元素、 As 、 Bi 等。

此非晶質薄膜4例如使用 GeSbTe 時，只要將膜厚設定在例如 $10\text{ nm}\sim 50\text{ nm}$ 之範圍即可。

上部電極5係包含 Ag 或 Cu 所構成。

例如，可使用例如在非晶質薄膜4之組成中加入 Ag 或 Cu 後所組成之膜、 Ag 膜、 Ag 合金膜、 Cu 膜、 Cu 合金膜等構成上部電極5。

此上部電極5例如使用 GeSbTeAg 時，只要將膜厚設定在例如 $10\text{ nm}\sim 30\text{ nm}$ 之範圍即可。又，例如使用 Ag 時，只要將膜厚設定在例如 $3\text{ nm}\sim 20\text{ nm}$ 之範圍即可。

在連接於上部電極5之電極層6使用不含上部電極5所含之 Ag 或 Cu 之材料。

又，利用離子化時之價數大於上部電極5所含之 Ag 或 Cu 之元素(例如使用於下部電極2之 Ti 或 W 等)構成電極層6。

例如，也可將使用於下部電極2之TiW、Ti或W等使用於電極層6。

此電極層6使用TiW時，只要將膜厚設定在例如20 nm~100 nm之範圍即可。

導電層7係供良好地以低的接觸電阻連接未圖示之配線層與電極層6之用。

例如電極層6使用TiW時，導電層7可考慮使用AlSi。

此導電層7使用AlSi時，只要將膜厚設定在例如100 nm~200 nm之範圍即可。

又，也可採用導電層7兼用作為連接於記憶元件10之配線層而將配線層直接連接於電極層6之構成。

本實施形態之記憶元件10可利用如下之動作執行資訊之記憶。

首先，將正電位(+電位)施加至含Ag或Cu之上部電極5，而對記憶元件10施加正電壓，使上部電極5側成為正側。藉此，Ag或Cu由上部電極5變化成離子而在非晶質薄膜4內擴散，在下部電極2側與電子耦合而析出。

於是，在非晶質薄膜4內，Ag或Cu會增加，非晶質薄膜4之電阻會降低。由於非晶質薄膜4以外之各層原本電阻就很低，故非晶質薄膜4之電阻降低時，可使記憶元件10整體之電阻也降低。

其後，除去正電壓，失去施加於記憶元件10之電壓時，可保持電阻降低之狀態，故可藉此記錄資訊。

另一方面，欲消除記錄之資訊時，將負電位(-電位)施

加至含 Ag 或 Cu 之上部電極 5，而對記憶元件 10 施加負電壓，使上部電極 5 側成為負側。因此，在下部電極 2 側析出之 Ag 或 Cu 變化成離子而在非晶質薄膜 4 內移動，而在上部電極 5 側回復原狀。

於是，由非晶質薄膜 4 內，Ag 或 Cu 會減少，非晶質薄膜 4 之電阻會升高。由於非晶質薄膜 4 以外之各層原本電阻就很低，故非晶質薄膜 4 之電阻升高時，可使記憶元件 10 整體之電阻也升高。

其後，除去負電壓，失去施加於記憶元件 10 之電壓時，可保持電阻升高之狀態，故可藉此消除所記錄之資訊。

利用重複此種過程，可重複地在記憶元件 10 施行資訊之記錄(寫入)與記錄之資訊之消除。

而，使電阻較高之狀態對應於「0」資訊，使電阻較低之狀態對應於「1」資訊時，在正電壓施加之資訊之記錄過程中，可由「0」變成「1」，在負電壓施加之資訊之消除過程中，可由「1」變成「0」。

又，在上述資訊之記錄過程及資訊之消除過程中，非晶質薄膜 4 一直保持非晶質(amorphous)狀態不變，不會因相位變化而變成結晶質。

換言之，可在不使非晶質薄膜 4 發生相位變化之電壓條件下，施行資訊之記錄及消除。

依據上述實施形態之記憶元件 10 之構成，非晶質薄膜 4 由選自 Ge 與 S、Se、Te、Sb 之一種以上元素所構成，且上部電極 5 包含 Ag 或 Cu 時，可藉使 Ag 或 Cu 由上部電極 5 變化

成離子而擴散移動至非晶質薄膜4內，藉以施行資訊之記憶。

而，由於係利用記憶元件10之電阻之變化，尤其利用非晶質薄膜4之電阻之變化而施行資訊之記錄，故在使記憶元件10微細化時，也容易施行資訊之記錄及所記錄之資訊之保持。

又，由於非晶質薄膜4不含可變成離子之Ag或Cu，故在記錄資訊前之狀態與消除資訊後之狀態，Ag或Cu會集中於上部電極5與非晶質薄膜4之界面附近，Ag或Cu幾乎不會擴散至非晶質薄膜4之內部，故可提高非晶質薄膜4之電阻。

因此，在記錄資訊前之狀態與消除資訊後之狀態，可提高元件10之電阻，與記錄資訊之狀態之低電阻相比，可增大電阻之變化。

因此，記錄之資訊之讀出，判別較為容易。

另外，也可減少記錄所需之電流。此係由於非晶質薄膜4無多餘之Ag或Cu存在，故Ag或Cu之離子之移動可圓滑地進行之故。由於可減少記錄所需之電流，故可降低耗電力。

又，也可縮短記錄所需時間。

又，依據本實施形態之記憶元件10，下部電極2、非晶質薄膜4、上部電極5、電極層6、導電層7均可利用可濺射之材料構成，故只要利用由適應於各層材料之組成所構成之靶進行濺射即可。

因此，不需要高溫之熱處理、光照射等特別之工序(使金屬由電極擴散之工序)。

又，也可在同一濺射裝置內，藉更換靶而連續地成膜。

即，可利用通常之MOS邏輯電路之製程所使用之材料及製造方法(利用電極材料之濺射法之成膜、電漿或RIE(反應性離子蝕刻法)等之通常之蝕刻工序等)製造記憶元件。

因此可利用較簡單方法製造記憶元件10。

圖1之記憶元件10例如可利用以下方式製造。

首先，在高電導度之基板1，例如摻入高濃度之P型雜質之矽基板上沉積下部電極2，例如TiW膜。

其次，覆蓋下部電極2而形成絕緣膜3，其後，在下部電極2上之絕緣膜3形成開口。

其次，施行下部電極2之表面之氧化表面之蝕刻，除去薄的氧化膜皮膜而獲得電性良好之表面。

其後，例如利用磁控管濺射裝置形成非晶質薄膜4例如GeSbTe膜。

其次，例如利用磁控管濺射裝置形成上部電極5例如GeSbTeAg膜或Ag膜。

接著，例如利用磁控管濺射裝置形成電極層6例如TiW膜，再形成導電層7例如AlSi膜或Cu膜。

又，此等非晶質薄膜4、上部電極5、電極層6、導電層7也可在選定材料後，利用同一磁控管濺射裝置，在保持同一真空狀態不變狀態下，更換濺射之靶而連續形成薄膜。

其後，例如利用電漿蝕刻法等蝕刻此等非晶質薄膜4、

上部電極5、電極層6、導電層7。除電漿蝕刻法外，也可利用離子研磨、RIE(反應性離子蝕刻法)等進行蝕刻。

如此，即可製造圖1所示之記憶元件10。

又，在上述實施形態之記憶元件10中，雖係採用使Ag或Cu含於上部電極5，而不含於下部電極2之構成，但也可採用僅使下部電極含Ag或Cu之構成，或使下部電極及上部電極均含Ag或Cu之構成。

採用使下部電極含Ag或Cu之構成時，在下部電極與基板間最好設置相當於圖1之電極層6之電極層(由離子化時之價數大於Ag或Cu之元素所構成)。

將多數上述實施形態之記憶元件10配置成矩陣狀時，即可構成記憶裝置(記憶體裝置)。

對各記憶元件10，只要設置連接於其下部電極2側之配線、與連接於其上部電極5側之配線，例如在此等配線之交叉點附近配置記憶元件10即可。

而，在具體上，例如將下部電極2共通地形成於列方向之記憶胞，將連接於導電層7之配線共通地形成於行方向之記憶胞，藉選擇施加電位而使電流通過之下部電極2與配線，以選擇預期施行記錄之記憶胞時，即可使電流通過至此記憶胞之記憶元件10，而施行資訊之記錄及所記錄之資訊之消除。

上述實施形態之記憶元件10可容易地施行資訊之記錄及資訊之讀出，降低耗電力，縮短記錄所需時間。因此，利用此記憶元件10構成記憶裝置時，可構成容易施行資訊之

記錄及資訊之讀出，降低記憶裝置整體之耗電力，並執行高速度動作之記憶裝置。

又，上述實施形態之記憶元件10在微細化時，也容易施行資訊之記錄及記錄之資訊之保持，故可謀求記憶裝置之積體化(高密度化)及小型化。

另外，上述實施形態之記憶元件10可利用簡便之方法容易加以製造，故可謀求記憶裝置之製造成本之降低及製造良率之提高。

(實施例)

其次，實際製造上述實施形態之記憶元件10，以調查其特性。

<實驗1>

首先，在高電導度之基板1，例如摻入高濃度之P型雜質之矽基板上，利用濺射法沉積TiW膜100 nm之膜厚，以作為下部電極2。

其次，覆蓋下部電極2而形成光阻膜，其後，利用光微影法施行曝光及顯影而在下部電極2上之光阻膜形成開口(通孔)。開口(通孔)之大小為縱2 μm 、橫2 μm 。

其後，在真空中270°C下，施行退火，使光阻膜變質成為對溫度及蝕刻等穩定之硬熟化光阻膜，以形成絕緣膜3。絕緣膜3使用硬熟化光阻膜係由於實驗上可簡便地形成之故，但在製造製品時，以使用其他材料(矽氧化膜等)作為絕緣膜3較為理想。

其後，施行由通孔露出之下部電極2之表面之蝕刻，除

去薄的氧化膜皮膜，而獲得電性良好之表面。

接著，利用磁控管濺射裝置形成25 nm膜厚之GeSbTe膜，以作為非晶質薄膜4，此GeSbTe膜之組成為 $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ (下標表示原子%)。

另外，在同一磁控管濺射裝置中，在保持同一真空不變之狀態下，形成25 nm膜厚之GeSbTeAg膜，以作為上部電極5，此GeSbTeAg膜之組成為 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{41}\text{Ag}_{59}$ (下標表示原子%)。

另外，在同一磁控管濺射裝置中，在保持同一真空不變之狀態下，形成100 nm膜厚之TiW膜，以作為電極層6，接著，形成100 nm膜厚之AlSi膜，以作為導電層7。TiW膜及AlSi膜之組成分別為 $\text{Ti}_{50}\text{W}_{50}$ 及 $\text{Al}_{97}\text{Si}_3$ (下標表示原子%)。

其後，以光微影法，利用電漿蝕刻裝置，將沉積於硬熟化光阻膜構成之絕緣膜3上之非晶質薄膜4、上部電極5、電極層6、導電層7之各層圖案化成為 $50\ \mu\text{m}\times 50\ \mu\text{m}$ 之大小。

如此，將圖1所示之構造之記憶元件10製作成試樣1之記憶元件10。

對此試樣1之記憶元件10，將正電位(+電位)施加至上部電極5側之導電層7，將基板1之背面側連接於接地電位(GND電位)。

使施加至導電層7之正電位由0 V增加，以測定電流之變化。但，預先設定為在電流達到0.5 mA時，啟動電流限制

器，並設定在該值以上施加至導電層7之正電位即施加至記憶元件10之電壓不會再增加。

又，由電流達到0.5 mA，而啟動電流限制器之狀態，將施加至導電層7之正電位減少至0 V，以測定電流之變化。

所得之I-V特性之曲線如圖2A所示。

由圖2A可知：初期之電阻較高，記憶元件10處於斷電狀態，當電壓增加，達到某臨限值電壓 V_{th} 以上時，電流會急遽增加，即電阻會降低而轉移成通電狀態。由此可知資訊已被記錄。

另一方面，其後，使電壓減少時，電流雖也會減少，但電流減少的幅度較大，雖電阻微量地逐漸升高，但最後仍為充分低於初期之電阻值之電阻值，可知仍保持通電狀態，保持著所記錄之資訊。

在本試樣1之情形，在電壓 $V=0.1$ V處之電阻值在斷電狀態約為2 M Ω ，在通電狀態約為1 k Ω 。

又，有一點在圖2A之特性圖中並未予以顯示，即：將反極性之電壓 V ，即負電位(-電位)施加至上部電極5側之導電層7，將基板1之背面側連接於接地電位(GND電位)，而在 $V=-1$ V負電位施加至導電層7後，使導電層7之電位成為0 V時，確認電阻回到初期之斷電狀態之高電阻狀態。即，記錄於記憶元件10之資訊可藉負電壓之施加而加以消除。

<實驗2>

在非晶質薄膜4之GeSbTe中添加Ag，以調查其特性。

首先，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{81}\text{Ag}_{19}$ (下標表示原子%，以下同)之組成之GeSbTeAg膜，其他與試樣1同樣方式製作記憶元件，以作為試樣2。

其次，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{70}\text{Ag}_{30}$ 之組成之GeSbTeAg膜，其他與試樣1同樣方式製作記憶元件，以作為試樣3。

其次，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{58}\text{Ag}_{42}$ 之組成之GeSbTeAg膜，其他與試樣1同樣方式製作記憶元件，以作為試樣4。

測定此等試樣2~試樣4之各記憶元件之I-V特性。試樣2之測定結果如圖2B所示，試樣3之測定結果如圖3A所示，試樣4之測定結果如圖3B所示。

如圖2B、圖3A、圖3B所示，可知隨著銀Ag之含量之增加，電壓增加時之臨限值電壓 V_{th} 會增大，且超過臨限值電壓 V_{th} 後之I-V之斜度 dI/dV ，即電阻之變化比率會變得緩和。

此係由於電阻變化之機理例如在上部電極5所含之Ag離子之電場中，假設隨著向負電壓側之移動Ag濃度會局部地升高而形成電阻較低之細電流路徑時，將Ag添加至GeSbTe後會使形成電流路徑之電壓稍微升高，且使電流路徑之形成速度減緩或使形成多數條電流路徑之電壓之偏差變大之故。

又，在圖3A及圖3B，即試樣3及試樣4中，將電流限制器設定為0.5 mA時，使電流恢復成0 V時，電阻值也會復

原，而有導致不能保持記錄之結果，故將電流限制器設定為1 mA，以顯示測定之結果。

另外，記錄前後之電阻變化之比率在圖2A之試樣1中為400倍，相對地，在圖2B之試樣2中為80倍，在圖3A之試樣3及圖3B之試樣4中為7倍。

即，可知在記錄時施加臨限值電壓以上之電壓時，任何試樣均呈現較小之電阻，但隨著減少施加之電壓，電阻再增加之比率會變大，因而會減少電阻變化之比率。

也就是說，推測由於Ag含量之增加，而變得難以保持記錄之通電狀態。

由以上之結果，可以獲悉：使非晶質薄膜4之GeSbTe事先含有Ag時，會增大記錄電壓及記錄電流，因而發生記錄電壓之偏差或記錄速度降低中之一種問題，甚至於導致電阻變化量之比率之減少，即讀出記錄資訊時之信號位準之減少，並發生減弱記錄資料之保持特性之問題。

因此，以採用使非晶質薄膜4不含上部電極5所含之Ag或Cu而製造記憶元件10較為理想。

<實驗3>

其次，改變非晶質薄膜4之GeSbTe膜之Ge含量，以調查其特性。

首先，作為下部電極2及電極層6，以Ti膜取代TiW膜而以膜厚100 nm形成薄膜，其他與試樣1同樣方式製作記憶元件，以作為試樣5。

其次，作為非晶質薄膜4，形成 $\text{Ge}_{31}\text{Sb}_{19}\text{Te}_{50}$ (下標表示原

子%，以下同)之組成之GeSbTe膜，其他與試樣5同樣方式製作記憶元件，以作為試樣6。

其次，作為非晶質薄膜4，形成 $\text{Ge}_{38}\text{Sb}_{17}\text{Te}_{45}$ 之組成之GeSbTe膜，其他與試樣5同樣方式製作記憶元件，以作為試樣7。

其次，作為非晶質薄膜4，形成 $\text{Ge}_{49}\text{Sb}_{15}\text{Te}_{37}$ 之組成之GeSbTe膜，其他與試樣5同樣方式製作記憶元件，以作為試樣8。

測定此等試樣5~試樣8之各記憶元件之I-V特性。試樣5之測定結果如圖4A所示，試樣6之測定結果如圖4B所示，試樣7之測定結果如圖5A所示，試樣8之測定結果如圖5B所示。

如圖4A~圖5B所示，確認在此等廣泛Ge組成範圍中，可正確地施行記錄與記錄之保持。

又，由圖5A及圖5B可知Ge含量之增加時，施加臨限值電壓以上之電壓時之 dI/dV 會變得較為緩和。從記憶體之記錄特性加以考慮時，Ge含量愈少愈容易記錄，但Ge含量增多時，也有提高記憶元件之熱的穩定性之優點。因此，只要依照需要之特性控制Ge含量即可。

<實驗4>

其次，改變下部電極2及電極層6之材料，以調查其特性。

作為下部電極2及電極層6，以W膜取代TiW膜而以膜厚100 nm形成薄膜，其他與試樣1同樣方式製作記憶元件，

以作為試樣9。

測定此試樣9之記憶元件之I-V特性。其測定結果如圖6所示。

由圖6可知與圖2A等同樣地，可獲得良好之I-V特性，容易地施行記錄。

另外，分別製作將下部電極2及電極層6變更為 $Ti_{50}W_{50}$ 以外之組成之TiW膜、Ti/TiW之疊層膜、TiW/Ti之疊層膜、TiW/W之疊層膜、W/TiW之疊層膜之試樣，並進行測定，但仍可獲得與試樣1等同樣良好之I-V特性。

另外，將導電層7換成Cu膜時，同樣製作試樣而進行測定之結果，也可獲得與試樣1等同樣良好之I-V特性。

<實驗5>

其次，作為含Ag之上部電極5，使用Ag膜取代GeSbTeAg膜，以調查其特性。

作為含Ag之上部電極5，取代GeSbTeAg膜而以膜厚6 nm形成Ag膜，其他與試樣1同樣方式製作記憶元件，以作為試樣10。

測定此試樣10之記憶元件之I-V特性。其測定結果如圖7所示。

由圖7可知與圖2A等同樣地，可獲得良好之I-V特性，容易地施行記錄。尤其可知與圖2A相比，記錄時之 dI/dV 非常陡峭。

而，考慮圖7之結果與圖2A~圖3B之結果時，獲悉上部電極5所含Ag或Cu之濃度、與非晶質薄膜4所含Ag或Cu之

濃度之差愈大時，記錄時之 dI/dV 愈陡峭，愈能獲得良好之記錄特性。

又，變更Ag膜之膜厚而製作試樣，施行同樣之測定之結果，只要膜厚在3 nm以上，均可獲得同樣之I-V特性。

<實驗6>

在非晶質薄膜4中添加異於作為離子媒介之Ag或Cu之雜質金屬，具體上添加稀土類金屬之Gd，以調查其特性。

首先，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{89}\text{Gd}_{11}$ (下標表示原子%，以下同)之組成之GeSbTeGd膜，其他與試樣1同樣方式製作記憶元件，以作為試樣11。

其次，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{82}\text{Gd}_{18}$ 之組成之GeSbTeGd膜，其他與試樣1同樣方式製作記憶元件，以作為試樣12。

測定此等試樣11及試樣12之各記憶元件之I-V特性。試樣11之測定結果如圖8A所示，試樣12之測定結果如圖8B所示。

如圖8A及圖8B所示，確認此時亦可正確地施行記錄與記錄之保持。

又，添加稀土類金屬Gd時，記錄前之電阻值會升高達到1 M Ω 以上，另外，並具有經過長時間處在高溫度下之後，電阻值仍然穩定之效果，試樣11及試樣12中任何一種試樣，對270 $^{\circ}\text{C}$ ·1小時之退火，其電阻值幾乎無變化。

即，推測在添加稀土類金屬時，結晶化溫度會上升，並可穩定地保持非晶質狀態。

又，因添加稀土類金屬時，臨限值電壓會增大，故例如對於希望將再生(讀出)時之電壓設定於較高值之情形等極為有效。

稀土類金屬由於最外殼電子構造相同，故不受元素影響，在電性上具有同等之特性，故不限於Gd，即使使用La、Ce、Pr、Nd、Sm、Eu、Tb、Dy、Ho、Er中之任一種元素，也可期待獲得同樣之效果。

<實驗7>

在非晶質薄膜4中添加雜質元素，具體上添加Si，以調查其特性。

首先，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{93}\text{Si}_7$ (下標表示原子%，以下同)之組成之GeSbTeSi膜，其他與試樣1同樣方式製作記憶元件，以作為試樣13。

其次，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{85}\text{Si}_{15}$ 之組成之GeSbTeSi膜，其他與試樣1同樣方式製作記憶元件，以作為試樣14。

其次，作為非晶質薄膜4，形成 $(\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56})_{77}\text{Si}_{23}$ 之組成之GeSbTeSi膜，其他與試樣1同樣方式製作記憶元件，以作為試樣15。

測定此等試樣13~試樣15之各記憶元件之I-V特性。試樣13之測定結果如圖9A所示，試樣14之測定結果如圖9B所示，試樣15之測定結果如圖9C所示。

由圖9A及圖9B可以確認：Si添加量在15原子%程度以下時，I-V特性幾乎無變化，可正確地施行記錄與記錄之保

持。

相對地，如圖9C所示，Si添加量在23原子%時，臨限值電壓會增大，難以利用0.5 mA施行記錄，而需要1 mA程度之電流。

又，在非晶質薄膜4之GeSbTe中添加Si時，可期待增加繞的穩定性。此係由於Si-Si具有之共價鍵能量較高，Si單體之熔點較高，Si-Ge合金組成中Si之組成愈高時，熔點愈會上升，故在GeSbTe中添加Si時，也同樣因Si之添加，使共價鍵性提高，而可期待熔點上升及結晶化溫度上升等所致。

<實驗8>

變更非晶質薄膜4之膜厚，以調查其特性。

首先，下部電極2使用膜厚20 nm之Ti膜，將非晶質薄膜4之GeSbTe膜之膜厚設定為14 nm，其他與試樣1同樣方式製作記憶元件，以作為試樣16。

其次，將非晶質薄膜4之GeSbTe膜之膜厚設定為25 nm，其他與試樣16同樣方式製作記憶元件，以作為試樣17。

又，此試樣17之非晶質薄膜4之GeSbTe膜之膜厚與試樣1相同。

其次，將非晶質薄膜4之GeSbTe膜之膜厚設定為38 nm，其他與試樣16同樣方式製作記憶元件，以作為試樣18。

其次，將非晶質薄膜4之GeSbTe膜之膜厚設定為51 nm，其他與試樣16同樣方式製作記憶元件，以作為試樣19。

測定此等試樣16~試樣19之各記憶元件之I-V特性。試樣

16之測定結果如圖10A所示，試樣17之測定結果如圖10B所示，試樣18之測定結果如圖11A所示，試樣19之測定結果如圖11B所示。

如圖10A~圖11B所示，確認在此等廣泛之膜厚範圍中，可正確地施行記錄與記錄之保持。

又，在膜厚最薄之試樣16(圖10A)中，臨限值電壓低約0.1 V，但其他試樣之臨限值電壓則幾乎不因膜厚而發生變化，均約為0.17。

又，在上述實施形態之記憶元件10中，雖在基板1使用導電率高之高雜質濃度之矽基板，而將接地電位(GND電位)施加至基板1之背面側，但施加電壓至下部電極側用之構成也可採用其他之構成。

例如，也可使用形成於基板表面，且與矽基板電性絕緣之電極。

又，作為基板，也可使用矽基板以外之半導體基板或絕緣基板例如玻璃基板或樹脂構成之基板。

其次，說明本發明之另一實施形態之記憶元件。

在本實施形態中，與前述實施形態同樣地，構成圖1所示之剖面構造之記憶元件10。

而，在本實施形態中，非晶質薄膜4係由過渡金屬之氧化物中選擇自熔點較高之鈦、釩、鐵、鈷、鈹、鋳、鋳、鋁、鉬、鉛、鉍、及鎢或鍺、矽之1種以上元素之氧化物所構成。

又，非晶質薄膜4含有上述過渡金屬及鍺、矽中多數元

素，或含有其他元素均無妨。

在此非晶質薄膜4中例如使用鎢氧化膜時，只要將膜厚設定於例如5 nm~50 nm之範圍即可，使用鍺氧化膜時，只要將膜厚設定於3 nm~40 nm即可。

上部電極5係含Ag或Cu所構成。

例如，可使用例如在非晶質薄膜4之組成中加入Ag或Cu後所組成之膜、Ag膜、Ag合金膜、Cu膜、Cu合金膜等構成上部電極5。

在此上部電極5中，例如使用銀鎢氧化膜時，只要將膜厚設定於例如10 nm~30 nm之範圍即可。又，例如使用Ag時，只要將膜厚設定於例如3 nm~20 nm即可。

在連接於上部電極5上之電極層6使用不含上部電極5所含之Ag或Cu之材料。

又，在下部電極2也與上部電極5同樣地，可在電極層使用含Ag或Cu之材料。

其他之構成與前述實施形態之記憶元件相同，故省略重複之說明。

本實施形態之記憶元件10可利用如下之動作執行資訊之記憶。

首先，例如將正電位(+電位)施加至含Ag或Cu之上部電極5，而對記憶元件10施加正電壓，使上部電極5側成為正側。藉此，Ag或Cu由上部電極5變化成離子而在非晶質薄膜4內擴散，在下部電極2側與電子耦合而析出。

於是，在非晶質薄膜4內，形成含多量之Ag或Cu之電流

路徑，而使非晶質薄膜4之電阻降低。由於非晶質薄膜4以外之各層原本電阻就很低，故非晶質薄膜4之電阻降低時，可使記憶元件10整體之電阻也降低。

其後，除去正電壓，失去施加於記憶元件10之電壓時，可保持電阻降低之狀態，故可藉此記錄資訊。

另一方面，欲消除記錄之資訊時，例如將負電位(一電位)施加至含Ag或Cu之上部電極5，而對記憶元件10施加負電壓，使上部電極5側成為負側。因此，構成形成於非晶質薄膜內之電流路徑之Ag或Cu變化成離子而在非晶質薄膜4內移動，而在上部電極5側回復原狀。

於是，由非晶質薄膜4內，Ag或Cu之電流路徑會消滅，而使非晶質薄膜4之電阻升高。由於非晶質薄膜4以外之各層原本電阻就很低，故非晶質薄膜4之電阻升高時，可使記憶元件10整體之電阻也升高。

其後，除去負電壓，失去施加於記憶元件10之電壓時，可保持電阻升高之狀態，故可藉此消除所記錄之資訊。

利用重複此種過程，可重複地在記憶元件10施行資訊之記錄(寫入)與記錄之資訊之消除。

而，例如使電阻較高之狀態對應於「0」資訊，使電阻較低之狀態對應於「1」資訊時，在正電壓施加之資訊之記錄過程中，可由「0」變成「1」，在負電壓施加之資訊之消除過程中，可由「1」變成「0」。

又，在上述資訊之記錄過程及資訊之消除過程中，非晶質薄膜4一直保持非晶質(amorphous)狀態不變，不會因相

位變化而變成結晶質。

換言之，可在不使非晶質薄膜4發生相位變化之電壓條件下，施行資訊之記錄及消除。

又，如前所述，非晶質薄膜4必須使用在記錄前之初期狀態及消除後之狀態中呈現高電阻之材料。

記錄後之電阻值依存於記錄脈衝寬及記錄時之電流等記錄條件之程度比依存於記錄元件之胞尺寸及非晶質薄膜4之材料組成為大，初期電阻在100 k Ω 以上時，約為50 Ω ~50 k Ω 之範圍。

為了解調記錄資料，初期之電阻值與記錄後之電阻值之比只要約2倍以上，即已充分，故只要記錄前之電阻值為100 Ω ，記錄後之電阻值為50 Ω ，或記錄前之電阻值為100 k Ω ，記錄後之電阻值為50 k Ω 之狀態，即已充分，非晶質薄膜4之初期之電阻值係以滿足該種條件方式設定。

電阻值之設定例如可藉氧濃度、膜厚、記憶元件面積、甚至於雜質材料之添加予以調整。

依據上述實施形態之記憶元件10之構成，非晶質薄膜4可藉前述氧化物(尤其最好含有過渡金屬之氧化物、鍺之氧化物)使Ag或Cu由上部電極5變化成離子而擴散移動至非晶質薄膜4內，以施行資訊之記憶。

而，由於係利用記憶元件10之電阻之變化，尤其利用非晶質薄膜4之電阻之變化而施行資訊之記錄，故在使記憶元件10微細化時，也容易施行資訊之記錄及所記錄之資訊之保持。

又，依據本實施形態之記憶元件10，下部電極2、非晶質薄膜4、上部電極5、電極層6、導電層7均可利用可濺射之材料構成，故只要利用由適應於各層材料之組成所構成之靶進行濺射即可。

又，也可在同一濺射裝置內，藉更換靶而連續地成膜。

又，為了形成氧化物之濺射薄膜，可使用利用氧化物之濺射靶之方法、使用金屬靶而在濺射中將氧與氫等不活性氣體共同導入作為導入氣體之方法、及所謂反應性濺射等方法。另外，除濺射法外，也可利用CVD法或蒸鍍法等方法施行膜之形成。

本實施形態之記憶元件10例如可利用以下方式製造。

首先，在高電導度之基板1，例如摻入高濃度之P型雜質之矽基板上沉積下部電極2，例如TiW膜。

其次，覆蓋下部電極2而形成絕緣膜3，其後，在下部電極2上之絕緣膜3形成開口。

其次，施行下部電極2之表面之氧化表面之蝕刻，除去薄的氧化膜皮膜而獲得電性良好之表面。

其後，例如利用磁控管濺射裝置形成非晶質薄膜4例如鎢氧化膜。

其次，例如利用磁控管濺射裝置形成上部電極5例如含銀之鎢氧化膜或Ag膜。

接著，例如利用磁控管濺射裝置形成電極層6例如TiW膜，再形成導電層7例如AlSi膜或Cu膜。

其後，例如利用電漿蝕刻法等蝕刻此等非晶質薄膜4、

上部電極5、電極層6、導電層7。除電漿蝕刻法外，也可利用離子研磨、RIE(反應性離子蝕刻法)等蝕刻法進行圖案化。

如此，即可製造圖1所示之記憶元件10。

又，在上述實施形態之記憶元件10中，雖係採用使上部電極5含Ag或Cu，並使下部電極2不含Ag或Cu之構成，但也可採用僅使下部電極2含Ag或Cu之構成，或使下部電極及上部電極均含Ag或Cu之構成。

將多數上述實施形態之記憶元件10配置成矩陣狀時，即可構成記憶裝置(記憶體裝置)。

對各記憶元件10，只要設置連接於其下部電極2側之配線、與連接於其上部電極5側之配線，例如在此等配線之交叉點附近配置記憶元件10即可。

而，在具體上，例如將下部電極2共通地形成於列方向之記憶胞，將連接於導電層7之配線共通地形成於行方向之記憶胞，藉選擇施加電位而使電流通過之下部電極2與配線，以選擇預期施行記錄之記憶胞時，即可使電流通過至此記憶胞之記憶元件10，而施行資訊之記錄及所記錄之資訊之消除。

上述實施形態之記憶元件10可容易地施行資訊之記錄及資訊之讀出，尤其在高溫環境下及長期之資料保持穩定性上具有優異之特性。

又，上述實施形態之記憶元件10在微細化時，也容易施行資訊之記錄及記錄之資訊之保持，故可謀求記憶裝置之

積體化(高密度化)及小型化。

(實施例)

其次，實際製造上述實施形態之記憶元件10，以調查其特性。

<實驗9>

首先，在高電導度之基板1，例如摻入高濃度之P型雜質之矽基板上，利用濺射法沉積TiW膜100 nm之膜厚，以作為下部電極2。

其次，覆蓋下部電極2而形成光阻膜，其後，利用光微影法施行曝光及顯影而在下部電極2上之光阻膜形成開口(通孔)。開口(通孔)之大小為縱2 μm 、橫2 μm 。

其後，在真空中270°C下，施行退火，使光阻膜變質成為對溫度及蝕刻等穩定之硬熟化光阻膜，以形成絕緣膜3。絕緣膜3使用硬熟化光阻膜係由於實驗上可簡便地形成之故，但在製造製品時，以使用其他材料(矽氧化膜等)作為絕緣膜3較為理想。

接著，利用磁控管濺射裝置，利用導入氧氣之反應性濺射法形成20 nm膜厚之鎢氧化膜，以作為非晶質薄膜4，此鎢氧化膜之組成為 $\text{W}_x\text{O}_{100-x}$ (下標表示原子%)，大致上 $x=24$ 。

另外，在同一磁控管濺射裝置中，在保持同一真空不變之狀態下，形成20 nm膜厚之銀鎢氧化膜，以作為上部電極5，此銀鎢氧化膜之Ag濃度約為50%。

另外，在同一磁控管濺射裝置中，在保持同一真空不變

之狀態下，形成100 nm膜厚之TiW膜，以作為電極層6，接著，形成100 nm膜厚之AlSi膜，以作為導電層7。TiW膜及AlSi膜之組成分別為 $Ti_{50}W_{50}$ 及 $Al_{97}Si_3$ (下標表示原子%)。

其後，以光微影法，利用電漿蝕刻裝置，將沉積於硬熟化光阻膜構成之絕緣膜3上之非晶質薄膜4、上部電極5、電極層6、導電層7之各層圖案化成為 $50\ \mu m \times 50\ \mu m$ 之大小。

如此，將圖1所示之構造之記憶元件10製作成試樣20之記憶元件10。

對此試樣20之記憶元件10，將正電位(+電位)施加至上部電極5側之導電層7，將基板1之背面側連接於接地電位(GND電位)。

而，使施加至導電層7之正電位由0 V增加，以測定電流之變化。但，預先設定為在電流達到0.5 mA時，啟動電流限制器，並設定在該值以上施加至導電層7之正電位即施加至記憶元件10之電壓不會再增加。

又，由電流達到0.5 mA，而啟動電流限制器之狀態，將施加至導電層7之正電位減少至0 V，以測定電流之變化。

所得之I-V特性之曲線如圖12A所示。

由圖12A可知：初期之電阻較高，記憶元件10處於斷電狀態，當電壓增加，達到某臨限值電壓 V_{th} 以上時，電流會急遽增加，即電阻會降低而轉移成通電狀態。由此可知資訊已被記錄。

另一方面，其後，使電壓減少時，電流雖也會減少，但電流減少的幅度較大，雖電阻微量地逐漸升高，但最後仍為充分低於初期之電阻值之電阻值，可知仍保持通電狀態，保持著所記錄之資訊。

在本試樣20之情形，在電壓 $V=0.1$ V處之電阻值在斷電狀態約為 $500\text{ k}\Omega$ ，在通電狀態約為 $500\ \Omega$ 。

又，如同圖所示，將反極性之電壓 V ，即負電位（一電位）施加至上部電極5側之導電層7，將基板1之背面側連接於接地電位（GND電位），而在 $V=-0.4$ V以下之負電位施加至導電層7後，使導電層7之電位成為 0 V時，確認電阻回到初期之斷電狀態之高電阻狀態。即，記錄於記憶元件10之資訊可藉負電壓之施加而加以消除。

<實驗10>

其次，調查非晶質薄膜4由鍺氧化物所構成之情形之特性。

首先，作為非晶質薄膜4，與鎢氧化物之情形同樣地，利用反應性濺射法形成 $\text{Ge}_x\text{O}_{100-x}$ 。在此，膜厚約為 5 nm ，於該膜上沉積 6 nm 之 Ag ，形成上部電極，其他與試樣20同樣方式製作記憶元件。

利用上述方法，改變反應性濺射時之氧氣之導入量而製成三種試樣，即試樣21~試樣23。

所得之各試樣之鍺及氧氣濃度如下。

<濃度(原子%)>

試樣序號	Ge	O
------	----	---

試樣 21	50.5	49.5
試樣 22	44.1	58.9
試樣 23	32.7	67.3

測定此等試樣 21~試樣 23 之各記憶元件之 I-V 特性。試樣 21 之測定結果如圖 13A 所示，試樣 22 之測定結果如圖 13B 所示，試樣 23 之測定結果如圖 13C 所示。

如圖 13A~圖 13C 所示，初期之電阻在試樣 21 為 300 k Ω ，在試樣 22 為 500 k Ω ，在試樣 23 為 500 k Ω ，均為高電阻。

而，電壓向正方向增大時，在某臨限值電壓 V_{th} ，電流會急遽增加，並迅速達到電流限制器之設定值 0.5 mA。

其後，使電壓降低至 0 V 附近時，獲悉電阻低於初期之電阻值。

又，各試樣之電阻均約為 500 Ω 程度，可知電阻值因記錄而降低 3 位數。

另一方面，電壓向負方向降低時，各試樣之電壓均約為 -0.2 V 程度，電流量會減少，電阻值會發生變化。

電壓進一步降低時，有直接維持電流不流動之狀態之試樣(試樣 21)、與在某臨限值電壓以下，電流會急遽增加，並達到 -0.5 mA 之電流限制器之設定值(試樣 22、試樣 23)，但由此等狀態，再使電壓恢復為 0 時，各試樣均會轉移至高電阻狀態。

而，試樣 21 回到記錄前之初期電阻值，試樣 22 及試樣 23 約為 10 k Ω 。

但，試樣 22 及試樣 23 在將負方向之電壓之最大值亦至於

臨限值電壓以下時，與試樣21同樣地，回到記錄前之初期電阻值。

如此，施加與記錄相反極性之電壓時，可使電阻值恢復記錄前之狀態，即可施行消除動作。

<實驗11>

其次，調查非晶質薄膜4由矽氧化物所構成之情形之特性。

首先，作為非晶質薄膜4，與鎢氧化物、鍺氧化物之情形同樣地，利用反應性濺射法形成 $\text{Si}_x\text{O}_{100-x}$ 。

矽之組成 x 大致等於 SiO_2 之組成， $x=33$ 。

而，分別製作氧化矽之膜厚為3 nm之試樣(試樣24)與膜厚為6 nm之試樣(試樣25)。

其次，對各試樣，在氧化矽膜上沉積6 nm之 SiO_2 與Ag之複合物構成之薄膜，形成上部電極。又，此 SiO_2 與Ag之複合物之 SiO_2 與Ag係含有大致相同比率之組成。

其他與試樣20同樣方式製作記憶元件。

測定此等氧化矽膜之膜厚不同之2種(試樣24及試樣25)之各記憶元件之I-V特性。試樣24之測定結果如圖14A所示，試樣25之測定結果如圖14B所示。

如圖14A及圖14B所示，初期之電阻均高達1 M Ω 以上，而，電壓向負方向增大時，在某臨限值電壓 V_{th} ，電流會急遽流入，並迅速達到電流限制器之設定值0.5 mA。

其後，使電壓降低至0 V附近時，獲悉電阻低於初期之電阻值，成為1 k Ω 。

即，可知電阻值因記錄而降低約3位數。

另外，電壓向正方向提高時，各試樣之電流量會減少，電阻值會再度變化至高的狀態。

如此，施加與記錄相反極性之電壓時，可使電阻值恢復記錄前之狀態，即可施行消除動作。

又，在上述實施形態之記憶元件10中，雖在基板1使用導電率高之高雜質濃度之矽基板，而將接地電位(GND電位)施加至基板1之背面側，但施加電壓至下部電極側用之構成也可採用其他之構成。

例如，也可使用形成於基板表面，且與矽基板電性絕緣之電極。

又，作為基板，也可使用矽基板以外之半導體基板或絕緣基板例如玻璃基板或樹脂構成之基板。

又，在上述之實驗中使用之氧化物之鎢氧化物之熔點在 1400°C 以上(結晶狀態之文獻值，以下同)，鉻氧化物之熔點在 1000°C 以上，矽氧化物之熔點在 1700°C 以上，故屬於熱的充分穩定材料，結晶化溫度亦高。

另外，記錄之機理係利用Ag或Cu之電場施加之離子傳導，故在使用上述實驗所用之鎢以外之過渡金屬之氧化物時，只要屬於其外殼電子構造與鎢之電子構造類似之過渡金屬，皆可與鎢同樣地施行記憶動作。

過渡金屬中，從氧化物之熔點較高及可容易形成氧化物薄膜之觀點而言，以鈦、釩、鐵、鈷、鈮、鋳、鈳、鉍、鉬、鉛、鉍之氧化物較為理想。

利用本發明之記憶元件，將多數記憶元件配置成例如行狀或矩陣狀時，即可構成記憶裝置(記憶體裝置)。

又，在各記憶元件，可依照需要連接元件之選擇用之MOS電晶體或二極體，以構成記憶胞。

另外，可經由配線連接於感測放大器、位址記錄器、記錄·消除·讀出電路等。

本發明之記憶元件可適用於各種記憶裝置。例如，僅可寫入一次之所謂PROM(可程式唯讀記憶體)、EEPROM(Electrically Erasable ROM：電可消除可程式化唯讀記憶體)或可高速紀錄·消除·再生之所謂RAM(隨機存取記憶體)等任何記憶體形態皆可適用。

本發明並不僅限定於上述各實施形態，在不脫離本發明之要旨之範圍內，可取得其他種種構成。

【圖式簡單說明】

圖1係本發明之記憶元件之一實施形態之概略構成圖(剖面圖)，圖2A係表示圖1記憶元件之試樣之I-V特性之測定結果之圖，圖2B係表示非晶質薄膜中添加Ag之試樣之I-V特性之測定結果之圖，圖3A及圖3B係表示非晶質薄膜中添加Ag之試樣之I-V特性之測定結果之圖，圖4A及圖4B係表示改變非晶質薄膜中之Ge含量之試樣之I-V特性之測定結果之圖，圖5A及圖5B係表示改變非晶質薄膜中之Ge含量之試樣之I-V特性之測定結果之圖，圖6係表示在下部電極及電極層使用W之試樣之I-V特性之測定結果之圖，圖7係表示非晶質薄膜使用Ag膜之試樣之I-V特性之測定結果

之圖，圖 8A 及圖 8B 係表示非晶質薄膜中添加 Gd 之試樣之 I-V 特性之測定結果之圖，圖 9A~圖 9C 係表示非晶質薄膜中添加 Si 之試樣之 I-V 特性之測定結果之圖，圖 10A 及圖 10B 係表示改變非晶質薄膜之 GeSbTe 膜之膜厚之試樣之 I-V 特性之測定結果之圖，圖 11A 及圖 11B 係表示改變非晶質薄膜之 GeSbTe 膜之膜厚之試樣之 I-V 特性之測定結果之圖，圖 12 係表示圖 1 之記憶元件之試樣之 I-V 特性之測定結果之圖，圖 13A~圖 13C 係表示非晶質薄膜使用鍺氧化物之試樣之 I-V 特性之測定結果之圖，圖 14A 及圖 14B 係表示非晶質薄膜使用矽氧化物之試樣之 I-V 特性之測定結果之圖。

【主要元件符號說明】

- 1 基板
- 2 下部電極
- 4 非晶質薄膜
- 5 上部電極
- 6 電極層
- 7 導電層
- 10 記憶元件

五、中文發明摘要：

本發明之目的在於提供可容易地施行資訊之記錄及讀出，並以較簡單之製造方法製造之記憶元件及使用其之記憶裝置。在第1電極2及第2電極5之間夾著非晶質薄膜4所構成，第1電極2及第2電極5中至少一方電極5包含Ag或Cu，非晶質薄膜4構成包含Ge與選自S、Se、Te、Sb之一種以上元素之記憶元件10。又，具有此記憶元件10、連接於第1電極2側之配線及連接於第2電極5側之配線，且配置多數記憶元件10而構成記憶裝置。

六、日文發明摘要：

情報の記録及び読み出しを容易に行うことができ、比較的簡単な製造方法で容易に製造することができる記憶素子及びこれを用いた記憶装置を提供する。

第1の電極2及び第2の電極5の間にアモルファス薄膜4が挟まれて構成され、第1の電極2及び第2の電極5の少なくとも一方の電極5がAg又はCuを含み、アモルファス薄膜4がGeとS、Se、Te、Sbから選ばれる1つ以上の元素とから成る記憶素子10を構成する。また、この記憶素子10と、第1の電極2側に接続された配線と、第2の電極5側に接続された配線とを有して、記憶素子10を多数配置して記憶装置を構成する。

十、申請專利範圍：

1. 一種記憶元件，其特徵在於：

在第1電極及第2電極之間夾著非晶質薄膜所構成：

前述第1電極及前述第2電極中至少一方電極係包含Ag或Cu；

前述非晶質薄膜係由Ge與選自S、Se、Te、Sb之一種以上元素所構成者。

2. 如請求項1之記憶元件，其中含Ag或Cu之電極係連接於包含離子化時之價數大於前述電極所含之Ag或Cu之元素之電極層者。

3. 如請求項1之記憶元件，其中前述第1電極或前述第2電極係連接於包含TiW、Ti、W中之任一種之電極層者。

4. 如請求項1之記憶元件，其中前述非晶質薄膜係包含Ge與選自S、Se、Te、Sb之一種以上元素、及Si者。

5. 一種記憶裝置，其特徵在於包含：

記憶元件，其係在第1電極及第2電極之間夾著非晶質薄膜所構成，前述第1電極及前述第2電極中至少一方電極係包含Ag或Cu，前述非晶質薄膜係包含Ge與選自S、Se、Te、Sb之一種以上元素者；

配線，其係連接於前述第1電極側者；及

配線，其係連接於前述第2電極側者；且

配置多數前述記憶元件而構成者。

6. 一種記憶元件，其特徵在於

在第1電極及第2電極之間夾著非晶質薄膜所構成；

前述第1電極及前述第2電極中至少一方或其雙方包含Ag或Cu；

前述非晶質薄膜係由氧化物形成者。

7. 如請求項6之記憶元件，其中前述氧化物係包含過渡金屬氧化物、鍺氧化物、矽氧化物中之一種者。
8. 一種記憶裝置，其特徵在於包含：

記憶元件，其係在第1電極及第2電極之間夾著非晶質薄膜所構成，前述第1電極及前述第2電極中至少一方電極包含Ag或Cu，前述非晶質薄膜由氧化物形成者；

配線，其係連接於前述第1電極側者；及

配線，其係連接於前述第2電極側者；且

配置多數前述記憶元件而構成者。

9. 如請求項8之記憶裝置，其中前述氧化物係包含過渡金屬氧化物、鍺氧化物、矽氧化物中之任一種者。

十一、圖式：

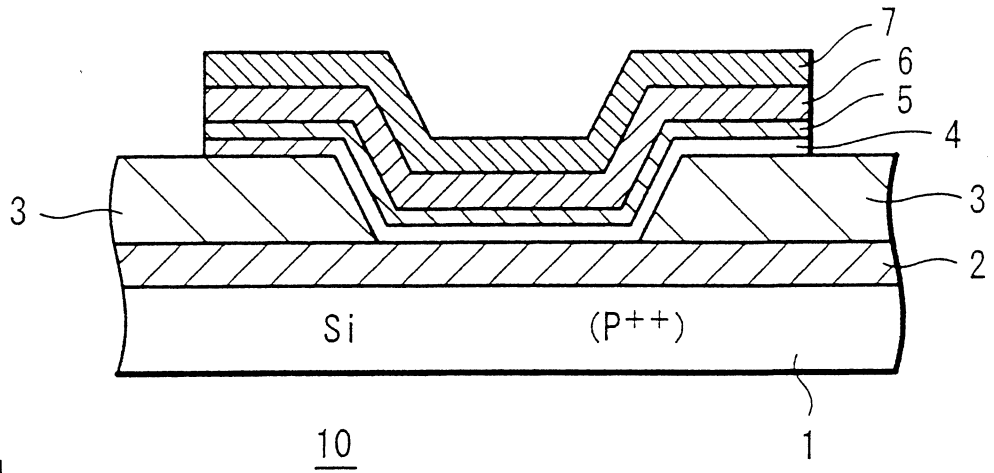


圖 1

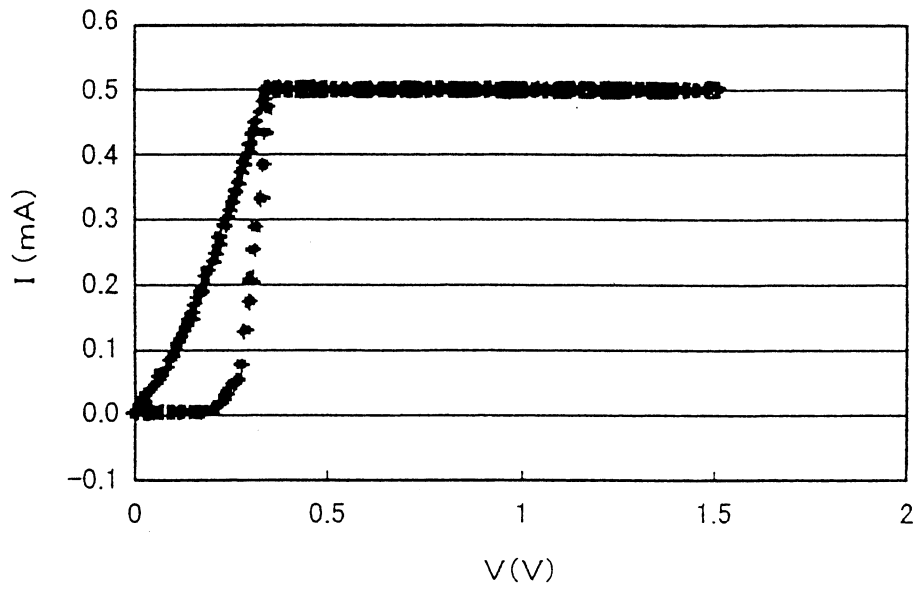


圖 2A

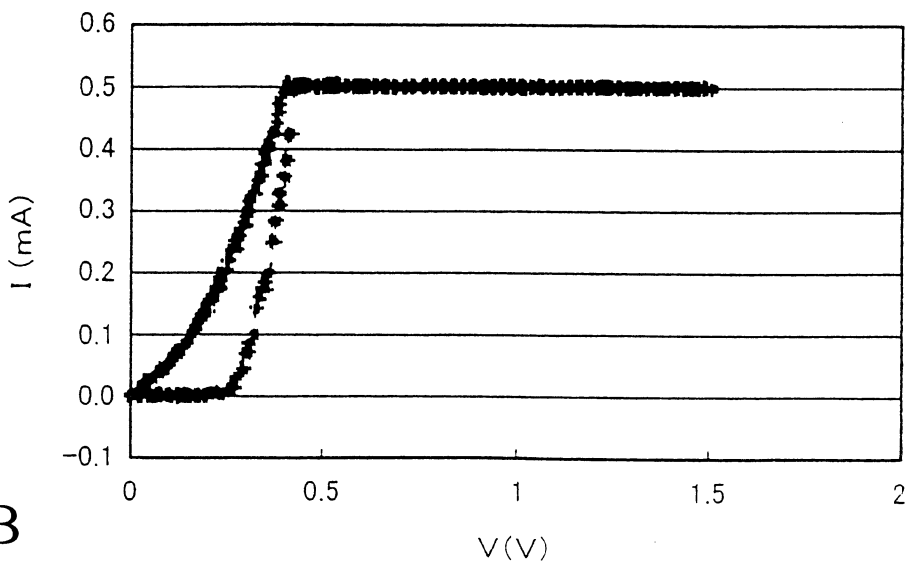


圖 2B

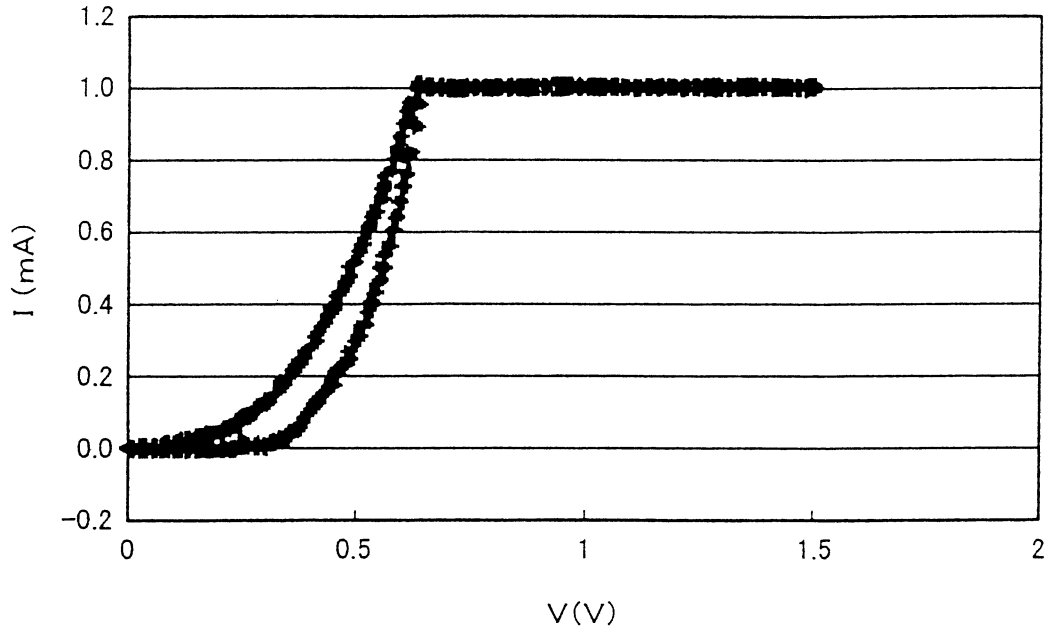


圖 3A

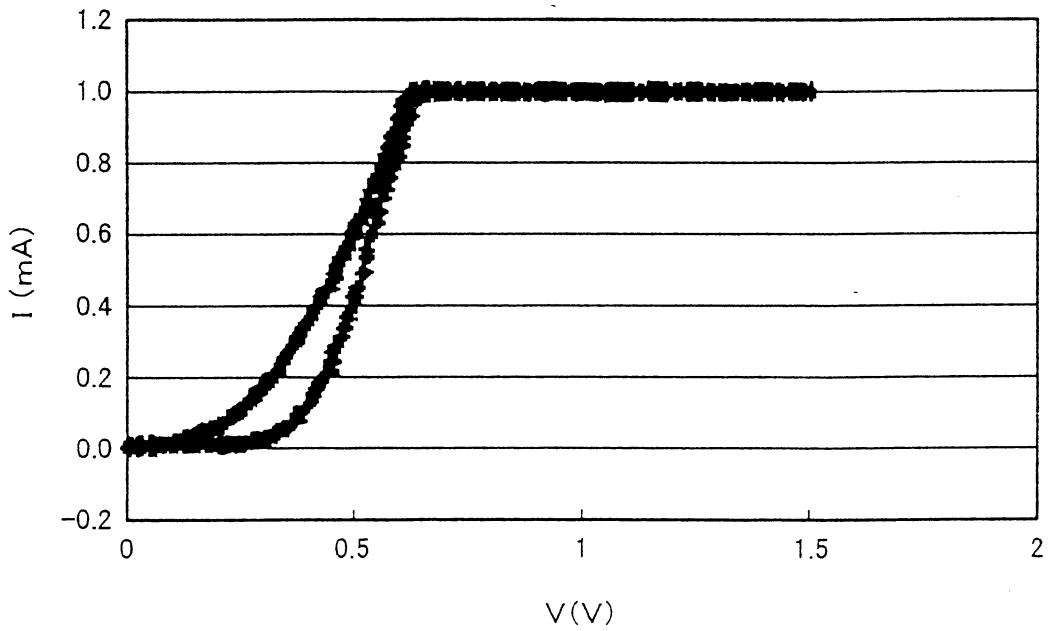


圖 3B

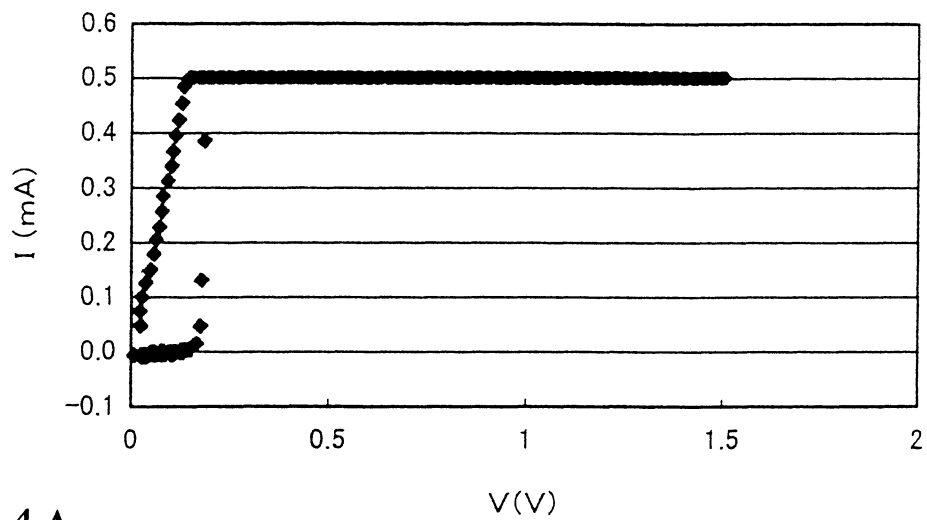


圖 4A

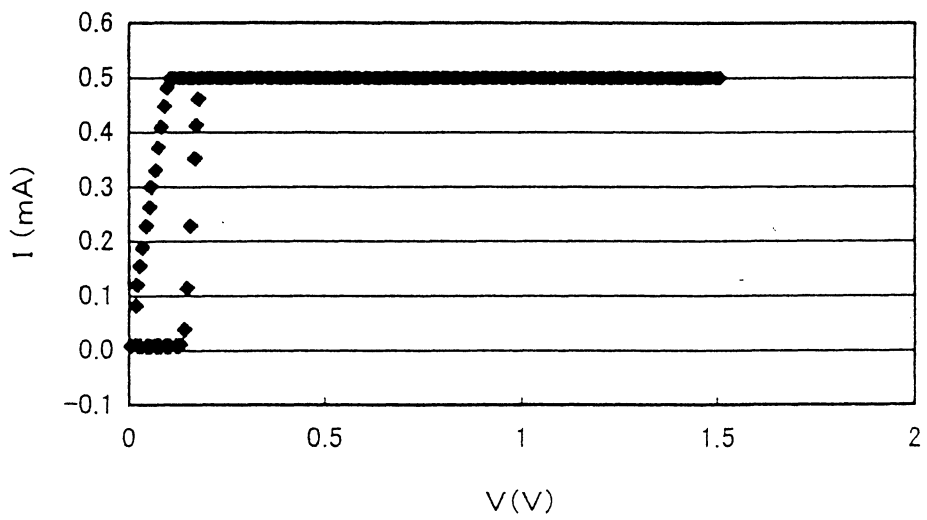


圖 4B

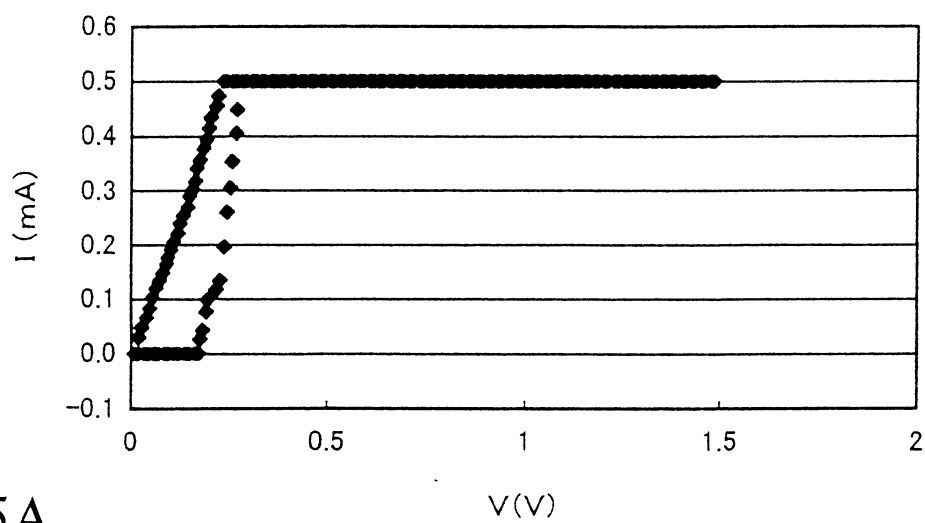


圖 5A

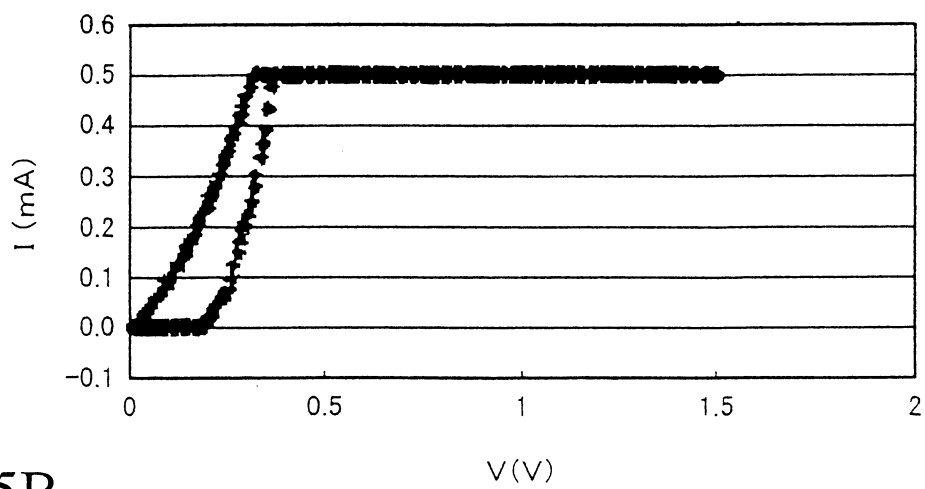


圖 5B

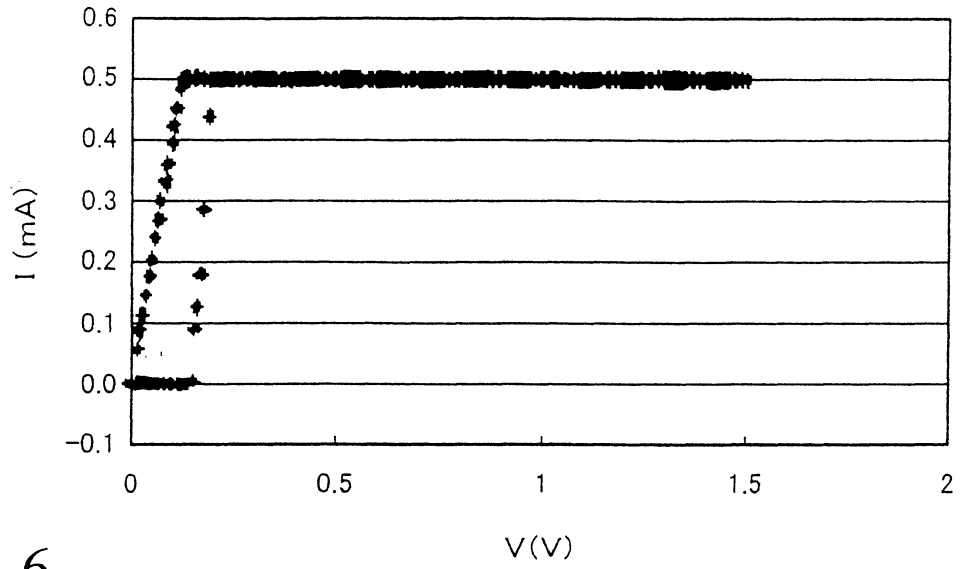


圖 6

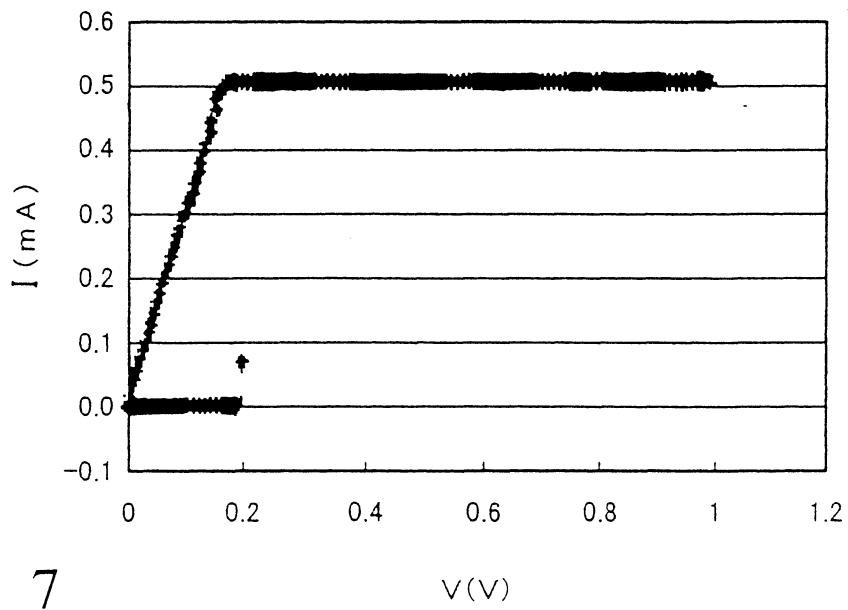


圖 7

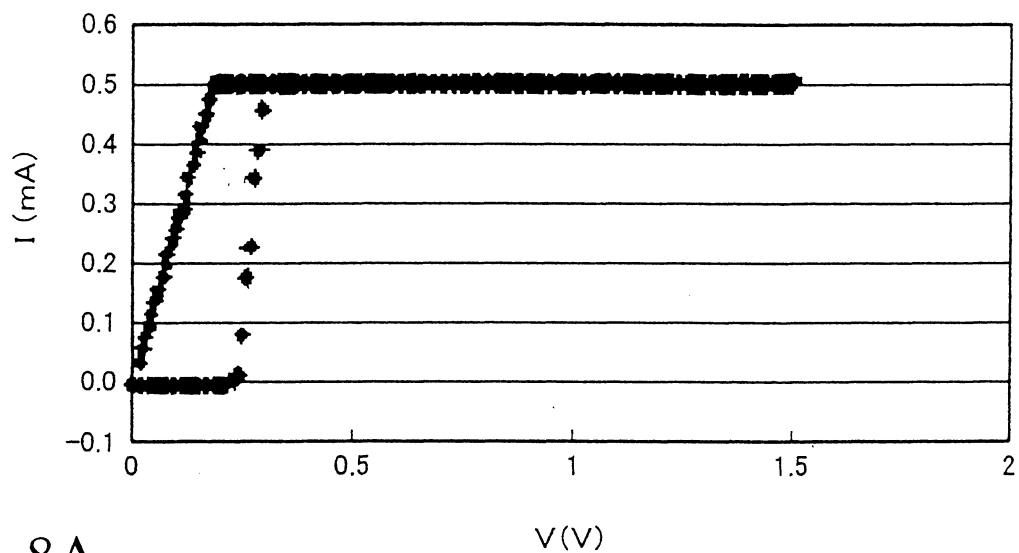


圖 8A

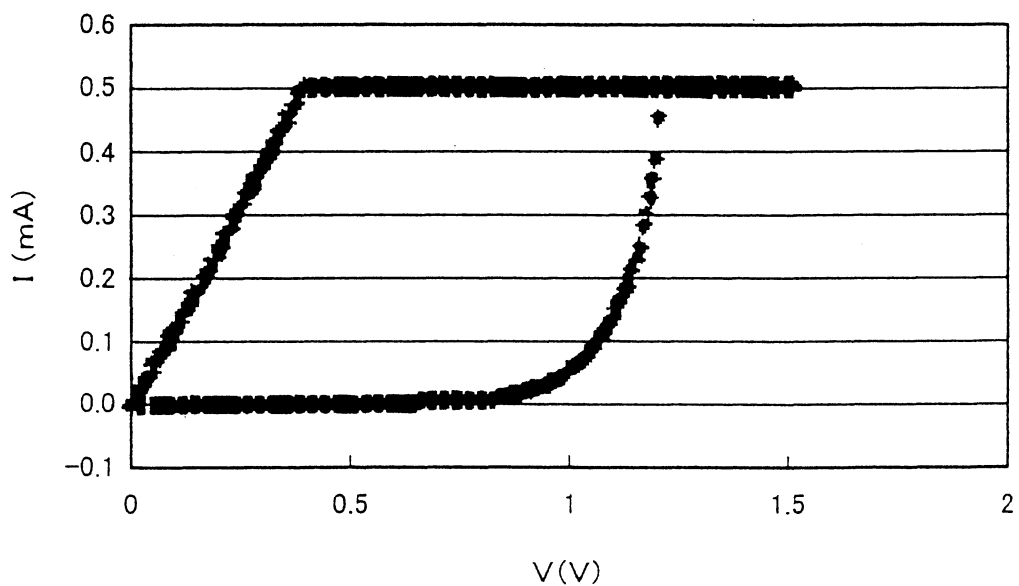


圖 8B

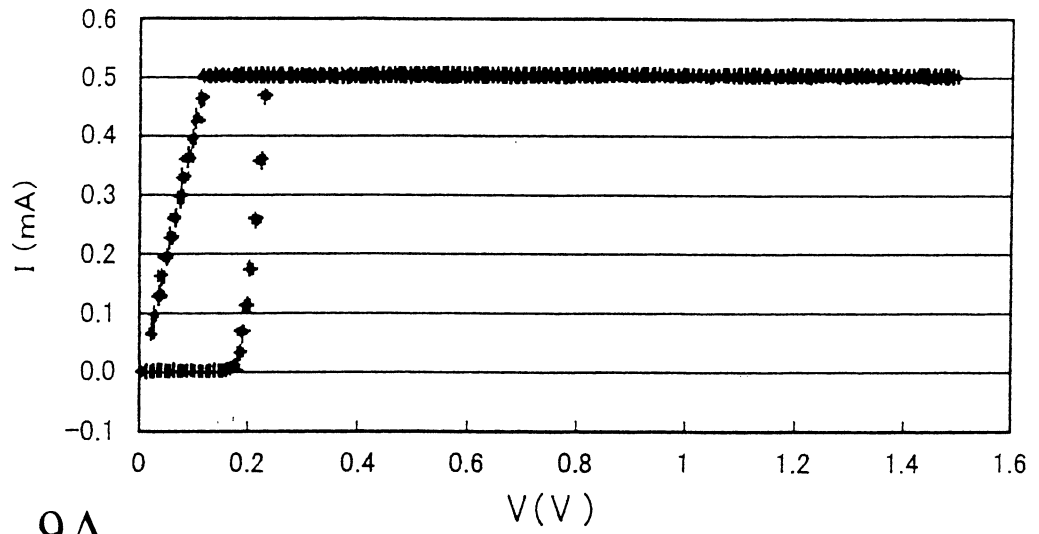


圖 9A

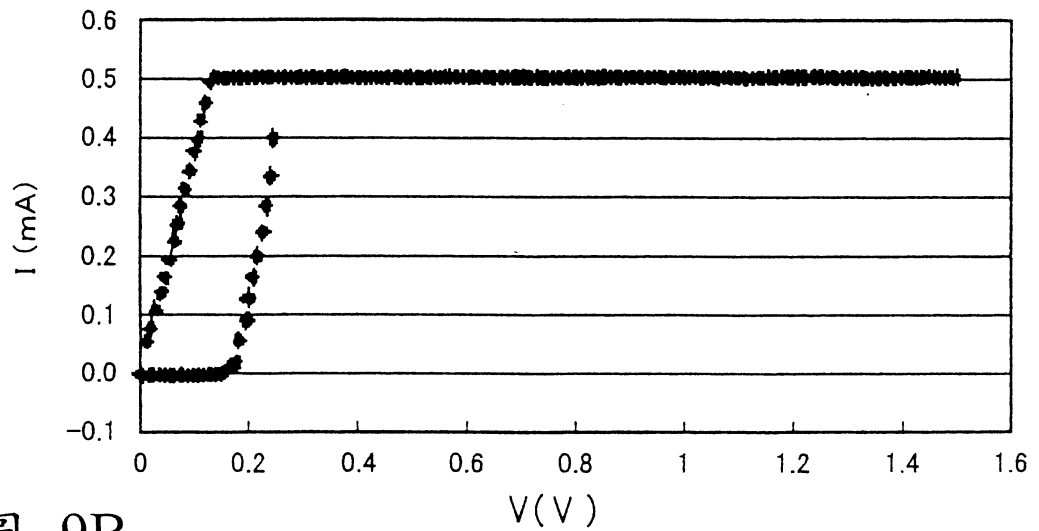


圖 9B

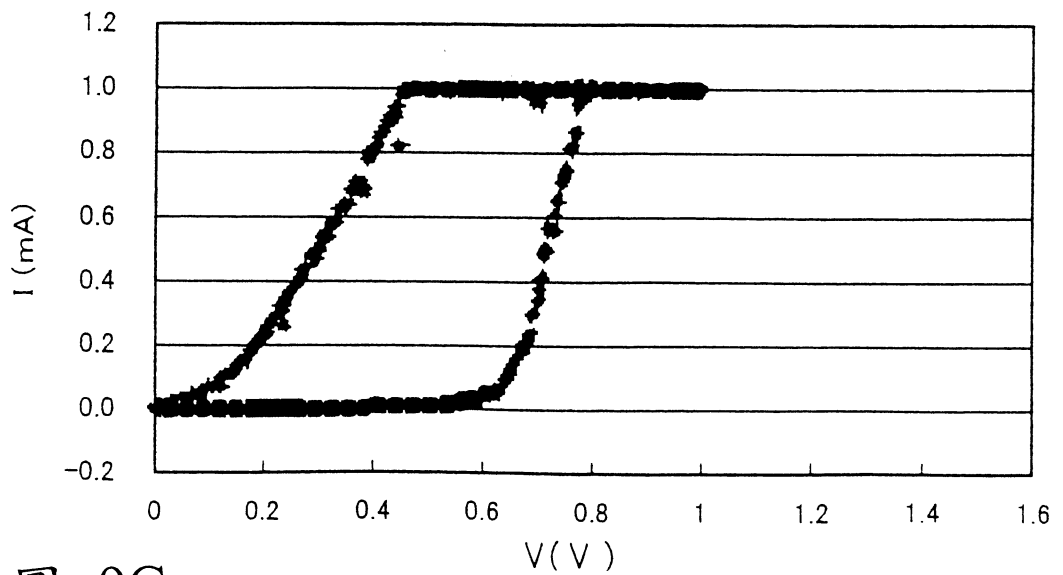


圖 9C

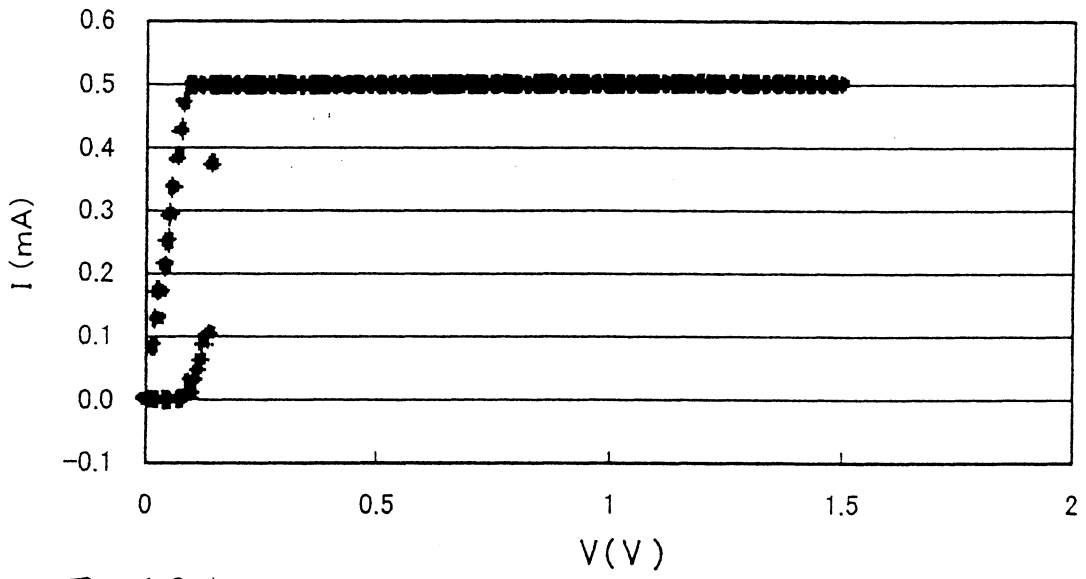


圖 10A

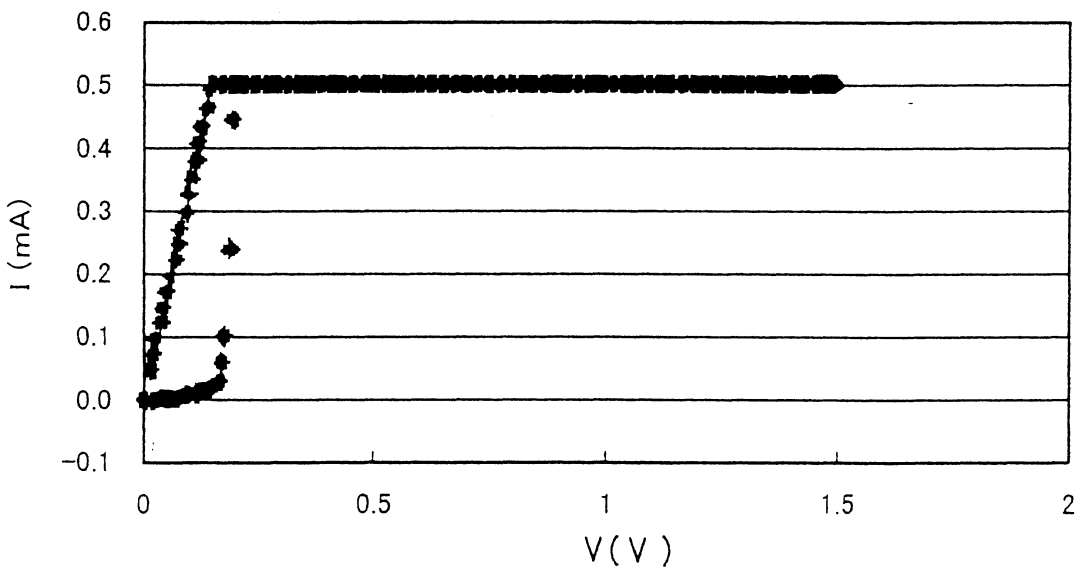


圖 10B

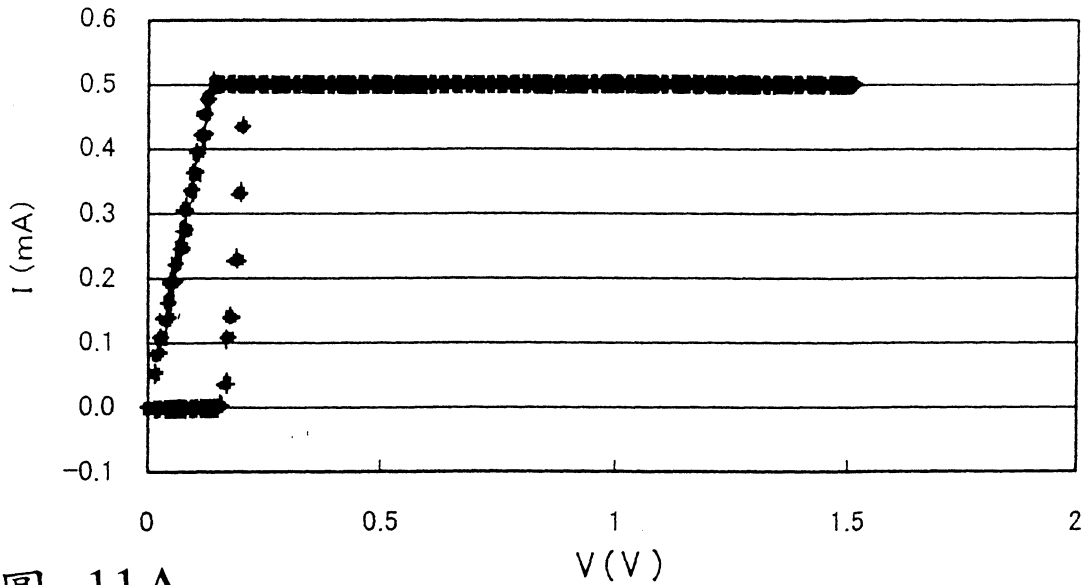


圖 11A

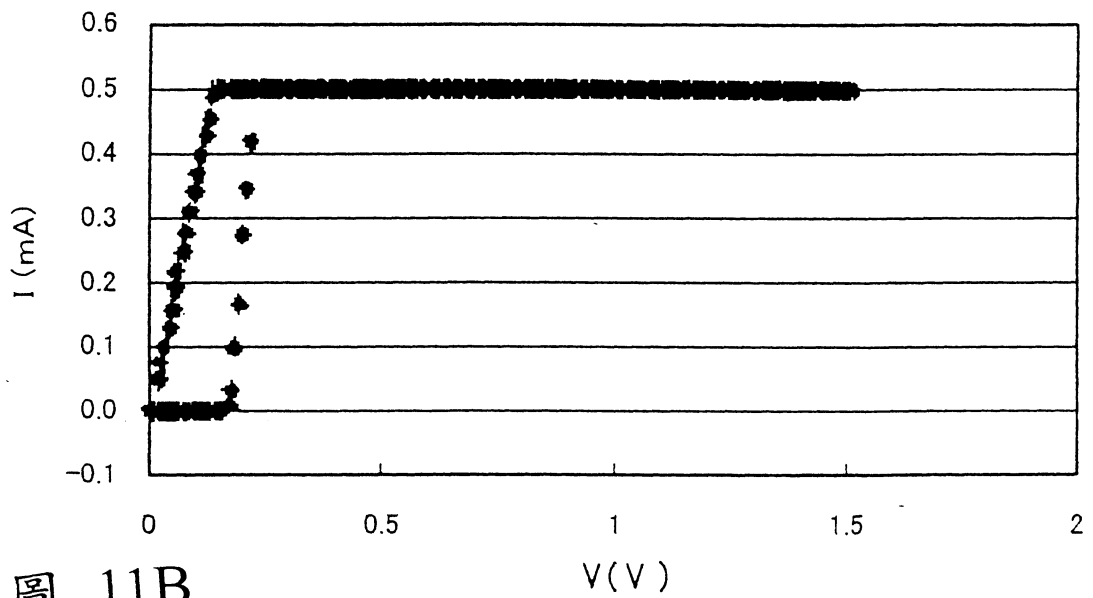


圖 11B

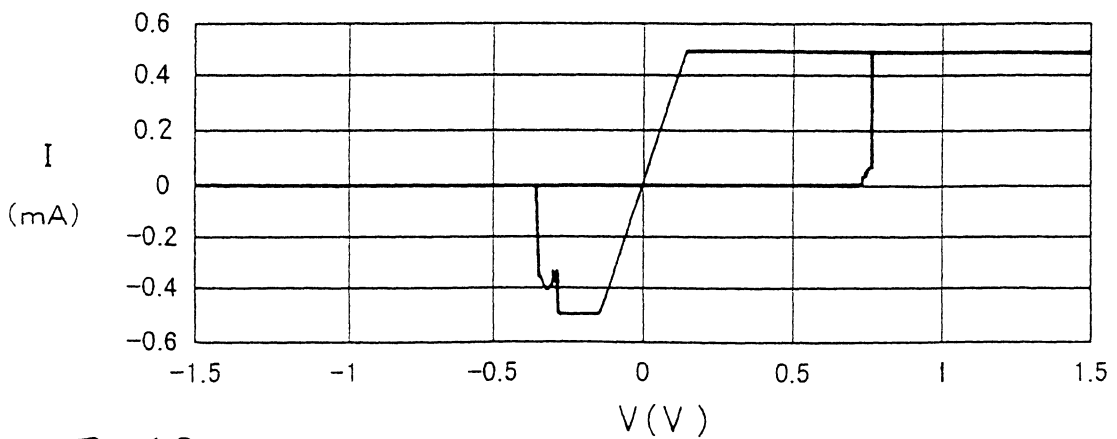


圖 12

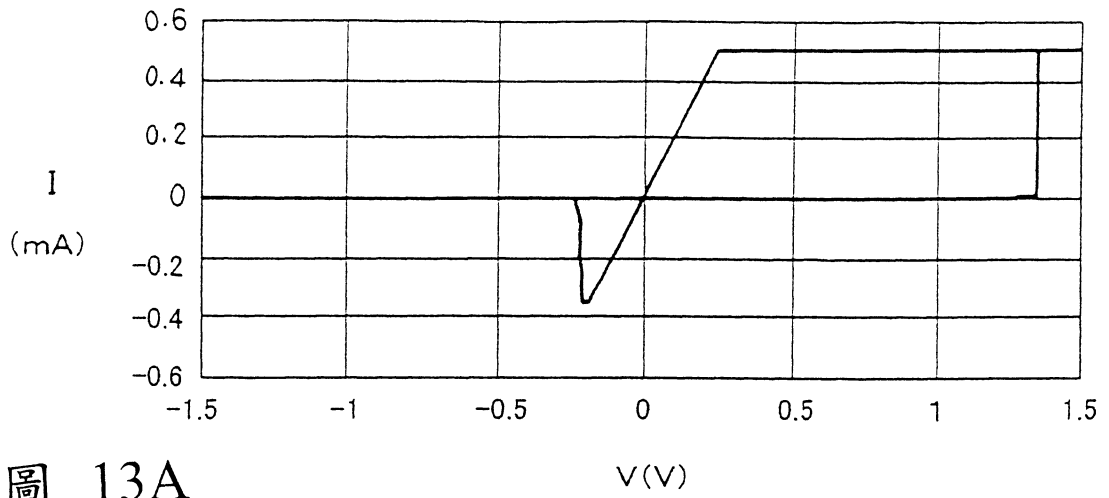


圖 13A

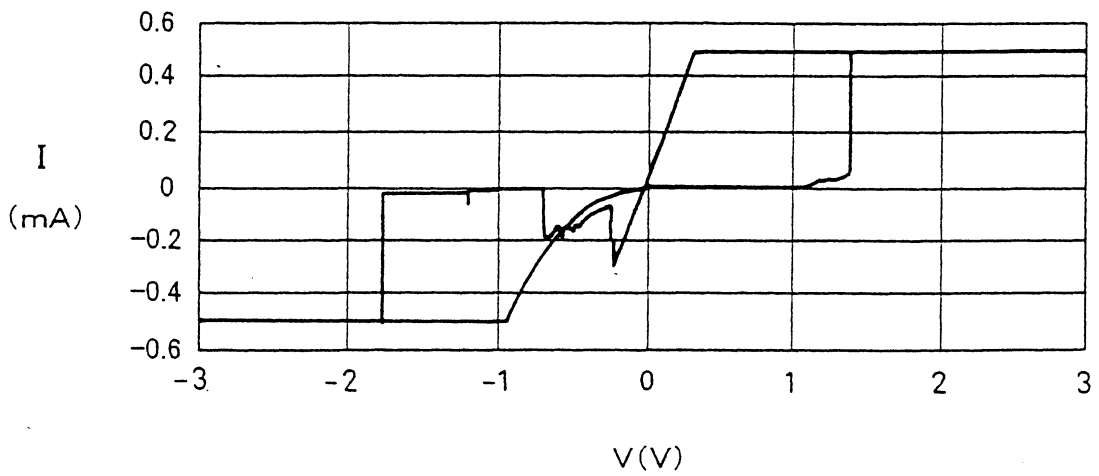


圖 13B

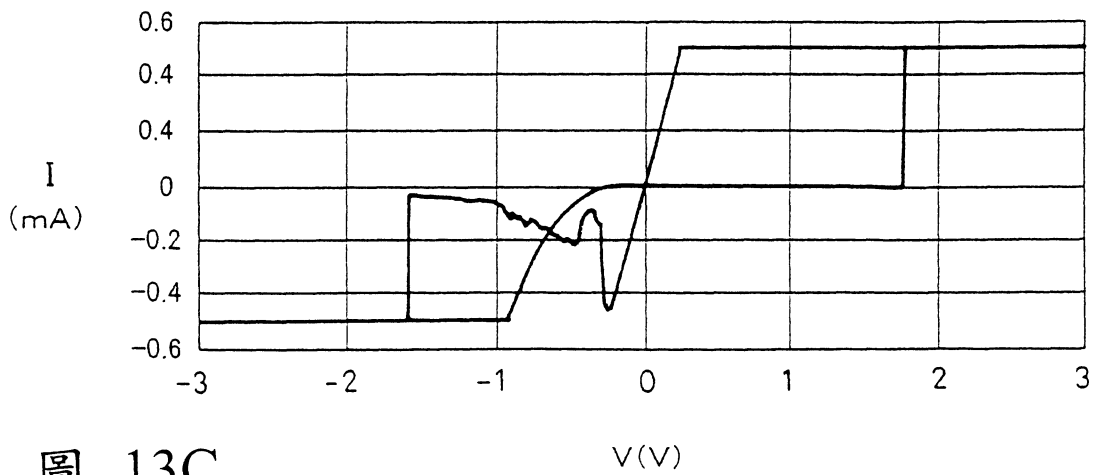


圖 13C

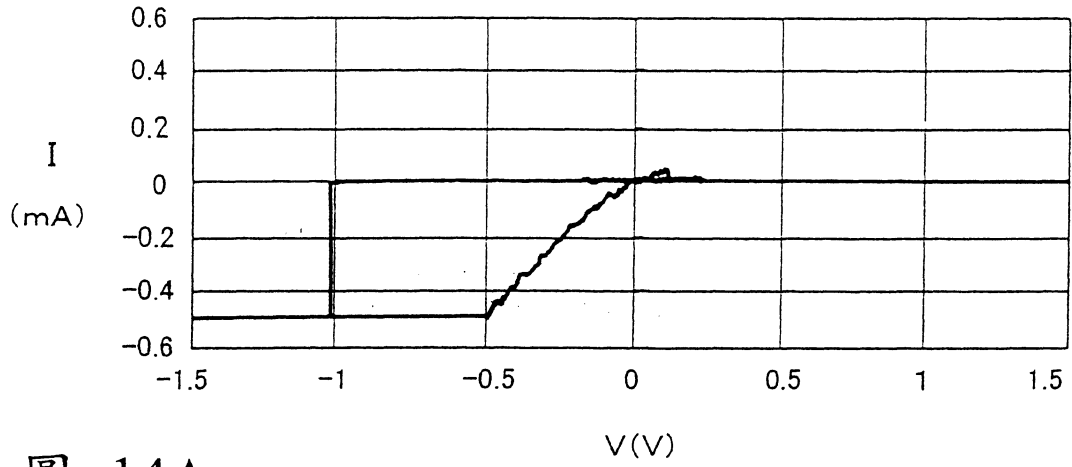


圖 14A

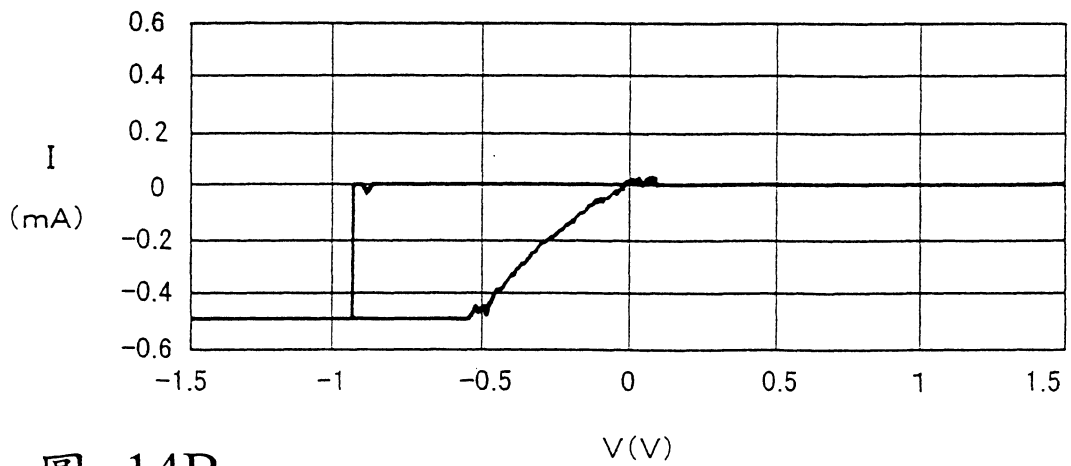


圖 14B

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|---|-------|
| 1 | 基板 |
| 2 | 下部電極 |
| 4 | 非晶質薄膜 |
| 5 | 上部電極 |
| 6 | 電極層 |
| 7 | 導電層 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)