

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3787784号

(P3787784)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 U
 HO2M 3/155 H

請求項の数 12 (全 19 頁)

(21) 出願番号	特願2003-429254 (P2003-429254)	(73) 特許権者	390020248
(22) 出願日	平成15年12月25日(2003.12.25)		日本テキサス・インスツルメンツ株式会社
(65) 公開番号	特開2005-192312 (P2005-192312A)		東京都新宿区西新宿六丁目24番1号
(43) 公開日	平成17年7月14日(2005.7.14)	(74) 代理人	100086564
審査請求日	平成15年12月25日(2003.12.25)		弁理士 佐々木 聖孝
		(72) 発明者	池澤 勝也
			大阪府大阪市北区天満橋1丁目8番30号
			OAPオフィスタワー26階 日本テキ
			サス・インスツルメンツ株式会社内
		審査官	川端 修

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

電圧入力端子とインダクタンス素子の一方の端子との間に接続された第1のスイッチング素子と、

基準電位と前記インダクタンス素子の一方の端子との間に接続された第2のスイッチング素子と、

電圧出力端子と前記インダクタンス素子の他方の端子との間に接続された第3のスイッチング素子と、

基準電位と前記インダクタンス素子の他方の端子との間に接続された第4のスイッチング素子と、

前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオフ状態となる第1のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオフ状態、前記第3のスイッチング素子がオフ状態、かつ前記第4のスイッチング素子がオン状態となる第2のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオフ状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオフ状態となる第3のステートと、前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオン状態となる第4のステートとを所定の順序で繰り返すように前記第1、第2、第3および第4のスイッチング素子をスイッチン

10

20

グ制御する制御部と

を有し、前記第3のステートの後に前記第1および第2のステートの一方を挟んで前記第4のステートが来て、前記第4のステートの後に前記第1および第2のステートの他方を挟んで前記第3のステートが来るように前記第1、第2、第3および第4のスイッチング素子を駆動するDC-DCコンバータ。

【請求項2】

前記第3および第4のステートの期間が前記第1および第2のステートの期間よりも長い請求項1に記載のDC-DCコンバータ。

【請求項3】

前記制御部が、前記電圧入力端子に入力される入力電圧に応じて前記第1のスイッチング素子と前記第2のスイッチング素子とをパルス幅制御で相補的にオン・オフさせ、前記電圧出力端子より出力される出力電圧に応じて前記第3のスイッチング素子と前記第4のスイッチング素子とをパルス幅制御で相補的にオン・オフさせる請求項1または請求項2に記載のDC-DCコンバータ。

10

【請求項4】

電圧入力端子とインダクタンス素子の一方の端子との間に接続された第1のスイッチング素子と、

基準電位と前記インダクタンス素子の一方の端子との間に接続された第2のスイッチング素子と、

電圧出力端子と前記インダクタンス素子の他方の端子との間に接続された第3のスイッチング素子と、

20

基準電位と前記インダクタンス素子の他方の端子との間に接続された第4のスイッチング素子と、

前記電圧入力端子に入力される入力電圧と第1の基準電圧とに応じたフィードフォワード信号の電圧レベルと所定の周波数を有する第1の三角波信号の電圧レベルとを比較し、比較結果に応じて前記第1および第2のスイッチング素子を相補的にオン・オフさせる第1の制御回路と、

前記電圧出力端子より出力される出力電圧と第2の基準電圧とに応じたフィードバックエラー信号の電圧レベルと前記所定の周波数を有する第2の三角波信号の電圧レベルとを比較し、比較結果に応じて前記第3および第4のスイッチング素子を相補的にオン・オフさせる第2の制御回路と

30

を有し、前記第1または第2の三角波信号の各一周期内に、前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオフ状態となる第1のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオフ状態、前記第3のスイッチング素子がオフ状態、かつ前記第4のスイッチング素子がオン状態となる第2のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオフ状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオフ状態となる第3のステートと、前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオフ状態、かつ前記第4のスイッチング素子がオン状態となる第4のステートの全部が所定の順序で現れるように、前記第1の三角波信号と前記第2の三角波信号との間の極性または位相関係を設定し、

40

前記第3のステートの後に前記第1および第2のステートの一方を挟んで前記第4のステートが来て、前記第4のステートの後に前記第1および第2のステートの他方を挟んで前記第3のステートが来るように前記第1、第2、第3および第4のスイッチング素子を駆動するDC-DCコンバータ。

【請求項5】

時間軸上で前記第1の三角波信号のピークポイントと前記第2の三角波信号のピークポイントとが一致ないし近接している請求項4に記載のDC-DCコンバータ。

【請求項6】

50

前記第 3 および第 4 のステートの期間が前記第 1 および第 2 のステートの期間よりも長い請求項 4 または請求項 5 の記載の DC - DC コンバータ。

【請求項 7】

前記第 1 および第 2 の三角波信号が各ピークポイントを通過する時点で前記第 3 または第 4 のステートが現れている請求項 6 に記載の DC - DC コンバータ。

【請求項 8】

時間軸上で前記第 1 の三角波信号の極大ピークポイントおよび極小ピークポイントが前記第 2 の三角波信号の極小ピークポイントおよび極大ピークポイントとそれぞれ一致ないし近接し、

前記フィードフォワード信号の電圧レベルが前記第 1 の三角波信号の電圧レベルよりも高い時は、前記第 1 のスイッチング素子がオフ状態で、前記第 2 のスイッチング素子がオン状態となり、

10

前記フィードフォワード信号の電圧レベルが前記第 1 の三角波信号の電圧レベルよりも低い時は、前記第 1 のスイッチング素子がオン状態で、前記第 2 のスイッチング素子がオフ状態となり、

前記フィードバックエラー信号の電圧レベルが前記第 2 の三角波信号の電圧レベルよりも高い時は、前記第 3 のスイッチング素子がオン状態で、前記第 4 のスイッチング素子がオフ状態となり、

前記フィードバックエラー信号の電圧レベルが前記第 2 の三角波信号の電圧レベルよりも低い時は、前記第 3 のスイッチング素子がオフ状態で、前記第 4 のスイッチング素子がオン状態となる請求項 6 または請求項 7 に記載の DC - DC コンバータ。

20

【請求項 9】

時間軸上で前記第 1 の三角波信号の極大ピークポイントおよび極小ピークポイントが前記第 2 の三角波信号の極小ピークポイントおよび極大ピークポイントとそれぞれ一致ないし近接し、

前記フィードフォワード信号の電圧レベルが前記第 1 の三角波信号の電圧レベルよりも高い時は、前記第 1 のスイッチング素子がオン状態で、前記第 2 のスイッチング素子がオフ状態となり、

前記フィードフォワード信号の電圧レベルが前記第 1 の三角波信号の電圧レベルよりも低い時は、前記第 1 のスイッチング素子がオフ状態で、前記第 2 のスイッチング素子がオン状態となり、

30

前記フィードバックエラー信号の電圧レベルが前記第 2 の三角波信号の電圧レベルよりも高い時は、前記第 3 のスイッチング素子がオフ状態で、前記第 4 のスイッチング素子がオン状態となり、

前記フィードバックエラー信号の電圧レベルが前記第 2 の三角波信号の電圧レベルよりも低い時は、前記第 3 のスイッチング素子がオン状態で、前記第 4 のスイッチング素子がオフ状態となる請求項 6 または請求項 7 に記載の DC - DC コンバータ。

【請求項 10】

時間軸上で前記第 1 の三角波信号の極大ピークポイントおよび極小ピークポイントが前記第 2 の三角波信号の極大ピークポイントおよび極小ピークポイントとそれぞれ一致ないし近接し、

40

前記フィードフォワード信号の電圧レベルが前記第 1 の三角波信号の電圧レベルよりも高い時は、前記第 1 のスイッチング素子がオフ状態で、前記第 2 のスイッチング素子がオン状態となり、

前記フィードフォワード信号の電圧レベルが前記第 1 の三角波信号の電圧レベルよりも低い時は、前記第 1 のスイッチング素子がオン状態で、前記第 2 のスイッチング素子がオフ状態となり、

前記フィードバックエラー信号の電圧レベルが前記第 2 の三角波信号の電圧レベルよりも高い時は、前記第 3 のスイッチング素子がオフ状態で、前記第 4 のスイッチング素子がオン状態となり、

50

前記フィードバックエラー信号の電圧レベルが前記第2の三角波信号の電圧レベルよりも低い時は、前記第3のスイッチング素子がオン状態で、前記第4のスイッチング素子がオフ状態となる請求項6または請求項7に記載のDC-DCコンバータ。

【請求項11】

時間軸上で前記第1の三角波信号の極大ピークポイントおよび極小ピークポイントが前記第2の三角波信号の極大ピークポイントおよび極小ピークポイントとそれぞれ一致ないし近接し、

前記フィードフォワード信号の電圧レベルが前記第1の三角波信号の電圧レベルよりも高い時は、前記第1のスイッチング素子がオン状態で、前記第2のスイッチング素子がオフ状態となり、

10

前記フィードフォワード信号の電圧レベルが前記第1の三角波信号の電圧レベルよりも低い時は、前記第1のスイッチング素子がオフ状態で、前記第2のスイッチング素子がオン状態となり、

前記フィードバックエラー信号の電圧レベルが前記第2の三角波信号の電圧レベルよりも高い時は、前記第3のスイッチング素子がオン状態で、前記第4のスイッチング素子がオフ状態となり、

前記フィードバックエラー信号の電圧レベルが前記第2の三角波信号の電圧レベルよりも低い時は、前記第3のスイッチング素子がオフ状態で、前記第4のスイッチング素子がオン状態となる請求項6または請求項7に記載のDC-DCコンバータ。

【請求項12】

20

前記入力電圧に所定の係数を掛けてその乗算結果に所定の定数を加算したものを前記フィードフォワード信号として生成するフィードフォワード信号生成回路を有する請求項4~11のいずれか一項に記載のDC-DCコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力するDC（直流）電力を任意のDC（直流）電力に変換するためのDC-DCコンバータに関する。

【背景技術】

【0002】

30

DC-DCコンバータは、半導体のスイッチング素子を用いる小型・軽量・高効率の直流電源であり、電子機器等に広く利用されており、近年、小型・軽量・高効率の要求が高くなっている。DC-DCコンバータの基本原理は、スイッチング素子を高周波数でオン・オフさせて、オン時間とオフ時間の比率つまりデューティ比を可変制御して、直流の出力電圧を一定レベルに維持するものである。いわゆる非絶縁型またはチョップパ方式のDC-DCコンバータには、入力電圧より高い出力電圧が得られる昇圧型、入力電圧より低い出力電圧が得られる降圧型、入力電圧に依存せず一定の出力電圧が得られる昇降圧型の3種類がある。

【0003】

一般に、昇降圧型のDC-DCコンバータは、電圧出力端子と直列または並列にインダクタンス素子たとえばチョークコイルを接続し、スイッチング素子のオン・オフ動作により、入力側からチョークコイルにエネルギーを蓄積するステート（以下、「ステートA」と称する。）とチョークコイルから出力側にエネルギーを放出するステート（以下、「ステートB」と称する。）とを交互に繰り返す。ここで、ステートAは、入力側からチョークコイルにエネルギーを蓄積すると同時に出力側にもエネルギーを供給するステートA₁と、専らチョークコイルにエネルギーを蓄積するのみで出力側にはエネルギーを供給しないステートA₂とに分けられる。ステートA₁、A₂、Bのそれぞれの期間の比率を可変制御することで、入力電圧の変動に依存せず一定の出力電圧を出力できるようになっている。

40

【0004】

50

もっとも、昇降圧型は、昇圧型や降圧型よりもスイッチングのロス（電力損失）が大きいため、入力電圧と出力電圧とが接近しているときに限定して使用されるのが好ましい。実際のアプリケーションでは、DC-DCコンバータより負荷に定格の電源電圧たとえば3Vで電力を供給する間に、DC-DCコンバータに入力されるバッテリーの出力電圧が満充電時の値たとえば4Vから次第に低下する。この場合、バッテリーの出力電圧が定格値（3V）に近い値たとえば3.3Vに下がるまでは降圧型（または降圧モード）を使用し、それ以降は昇降圧型（または昇降圧モード）に切り換えるようにしている。また、バッテリーの出力電圧が定格値（3V）を割って所定値たとえば2.8Vに達した後は、昇降圧型（または昇降圧モード）から昇圧型（または昇圧モード）に切り換えることも行われている。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の昇降圧型DC-DCコンバータは、出力電圧のリップルおよびインダクタンス素子を流れる電流（コイル電流）の尖頭値（ピーク・ツー・ピーク値）に改善の余地がある。電子機器、特に携帯型の電子機器においては、消費電力の節減の面から低電源電圧下での動作が求められており、そのような電子機器の直流電源に用いられるDC-DCコンバータにはリップルの小さい安定した出力電圧（電源電圧）が求められている。また、コイル電流の尖頭値が大きいほど、定格電流の大きな（つまりサイズの大きな）インダクタンス素子を使用しなければならないという不利点や、スイッチングロスが増えるという不利点があるため、コイル電流の尖頭値を極力小さくする技術が求められている。

20

【0006】

本発明は、上記のような従来技術の問題点を解決するものであり、インダクタンス素子を流れる電流の尖頭値を小さくし、出力電圧のリップルを抑制できるDC-DCコンバータを提供することを目的とする。

【課題を解決するための手段】

【0007】

上記の目的を達成するために、本発明の第1のDC-DCコンバータは、電圧入力端子とインダクタンス素子の一方の端子との間に接続された第1のスイッチング素子と、基準電位と前記インダクタンス素子の一方の端子との間に接続された第2のスイッチング素子と、電圧出力端子と前記インダクタンス素子の他方の端子との間に接続された第3のスイッチング素子と、基準電位と前記インダクタンス素子の他方の端子との間に接続された第4のスイッチング素子と、前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオフ状態となる第1のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオフ状態、前記第3のスイッチング素子がオフ状態、かつ前記第4のスイッチング素子がオン状態となる第2のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオフ状態となる第3のステートと、前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオフ状態、かつ前記第4のスイッチング素子がオン状態となる第4のステートとを所定の順序で繰り返すように前記第1、第2、第3および第4のスイッチング素子をスイッチング制御する制御部とを有し、前記第3のステートの後に前記第1および第2のステートの一方を挟んで前記第4のステートが来て、前記第4のステートの後に前記第1および第2のステートの他方を挟んで前記第3のステートが来るように前記第1、第2、第3および第4のスイッチング素子を駆動する。

30

40

【0008】

上記の構成において、第1のステートでは、インダクタンス素子の一方の端子がオン状態の第2のスイッチング素子を介して接地電位に接続されるとともに、インダクタンス素

50

子の他方の端子がオン状態の第3のスイッチング素子を介して電圧出力端子に接続され、インダクタンス素子よりエネルギーが電圧出力端子側に放出され、インダクタンス素子を流れる電流（コイル電流）は時間の経過とともに急峻な一定の勾配または減少率で減少する。第2のステートでは、インダクタンス素子の一方の端子がオン状態の第1のスイッチング素子を介して電圧入力端子に接続されるとともに、インダクタンス素子の他方の端子がオン状態の第4のスイッチング素子を介して接地電位に接続され、電圧入力端子側からのエネルギーがインダクタンス素子に蓄積され、コイル電流は時間の経過とともに急峻な一定の勾配または増加率で増大する。第3のステートでは、インダクタンス素子の一方の端子がオン状態の第1のスイッチング素子を介して電圧入力端子に接続されるとともに、インダクタンス素子の他方の端子がオン状態の第3のスイッチング素子を介して電圧出力端子に接続され、電圧入力端子側からのエネルギーがインダクタンス素子に蓄積されると同時にインダクタンス素子よりエネルギーが電圧出力端子側に放出され、コイル電流は入力電圧と出力電圧とが近接しているときは切換直後の電流値をほぼ一定に維持し、入力電圧と出力電圧とが相当違っているときはその大小関係に応じた勾配で増大または減少する。第4のステートでは、インダクタンス素子の一方の端子がオン状態の第2のスイッチング素子を介して接地電位に接続されるとともに、インダクタンス素子の他方の端子がオン状態の第4のスイッチング素子を介して接地電位に接続され、コイル電流は入力電圧と出力電圧との大小関係とは無関係なく無条件で切換直後の電流値をほぼ一定に維持する。上記のような第1、第2、第3および第4のステートを、第3のステートの後に第1および第2のステートの一方を挟んで第4のステートが来て、第4のステートの後に第1および第2のステートの他方を挟んで第3のステートが来る順序で繰り返すことにより、コイル電流が急峻に減少する第1のステートと急峻に増大する第2のステートとが互いに前後または連続することがなく、特にコイル電流を無条件で必ず一定に保つ第4のステートが第1および第2のステートの間に一回置きに現れるため、コイル電流の変曲点またはピークレベルを効果的に鈍化ないし抑制し、尖頭値を効果的に小さくすることができる。

【0010】

本発明においては、第3および第4のステートの期間を第1および第2のステートの期間に比して長くするほど、コイル電流の変動幅または尖頭値を小さくすることができる。

【0011】

本発明において好ましくは、制御部が、電圧入力端子に入力される入力電圧に応じて第1のスイッチング素子と前記第2のスイッチング素子とをパルス幅制御で相補的にオン・オフさせ、電圧出力端子より出力される出力電圧に応じて第3のスイッチング素子と第4のスイッチング素子とをパルス幅制御で相補的にオン・オフさせる。かかる2系統のパルス幅制御により、入力電圧および出力電圧に応じて第1、第2、第3および第4のステートのデューティ比を最適に可変制御することができる。

【0012】

本発明の第2のDC-DCコンバータは、電圧入力端子とインダクタンス素子の一方の端子との間に接続された第1のスイッチング素子と、基準電位と前記インダクタンス素子の一方の端子との間に接続された第2のスイッチング素子と、電圧出力端子と前記インダクタンス素子の他方の端子との間に接続された第3のスイッチング素子と、基準電位と前記インダクタンス素子の他方の端子との間に接続された第4のスイッチング素子と、前記電圧入力端子に入力される入力電圧と第1の基準電圧とに応じたフィードフォワード信号の電圧レベルと所定の周波数を有する第1の三角波信号の電圧レベルとを比較し、比較結果に応じて前記第1および第2のスイッチング素子を相補的にオン・オフさせる第1の制御回路と、前記電圧出力端子より出力される出力電圧と第2の基準電圧とに応じたフィードバックエラー信号の電圧レベルと前記所定の周波数を有する第2の三角波信号の電圧レベルとを比較し、比較結果に応じて前記第3および第4のスイッチング素子を相補的にオン・オフさせる第2の制御回路とを有し、前記第1または第2の三角波信号の各一周期内に、前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、第3のスイッチング素子がオン状態、かつ第4のスイッチング素子がオフ状態となる第1

10

20

30

40

50

のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオフ状態、前記第3のスイッチング素子がオフ状態、かつ前記第4のスイッチング素子がオン状態となる第2のステートと、前記第1のスイッチング素子がオン状態、前記第2のスイッチング素子がオフ状態、前記第3のスイッチング素子がオン状態、かつ前記第4のスイッチング素子がオフ状態となる第3のステートと、前記第1のスイッチング素子がオフ状態、前記第2のスイッチング素子がオン状態、前記第3のスイッチング素子がオフ状態、かつ前記第4のスイッチング素子がオン状態となる第4のステートの全部が所定の順序で現れるように、前記第1の三角波信号と前記第2の三角波信号との間の極性または位相関係を設定し、第3のステートの後に第1および第2のステートの一方を挟んで第4のステートが来て、第4のステートの後に第1および第2のステートの他方を挟んで第3のステートが来るように第1、第2、第3および第4のスイッチング素子を駆動する。

10

【0013】

上記の構成においては、第1、第2、第3および第4のステートを所定の順番で繰り返すために、第1の制御回路がフィードフォワード信号の電圧レベルと所定の周波数を有する第1の三角波信号の電圧レベルとを比較し、比較結果に応じて第1および第2のスイッチング素子を相補的にオン・オフさせると同時に、第2の制御回路がフィードバックエラー信号の電圧レベルと上記所定の周波数を有する第2の三角波信号の電圧レベルとを比較し、比較結果に応じて第3および第4のスイッチング素子を相補的にオン・オフさせる。ここで、フィードフォワード信号は入力電圧と第1の基準電圧とから生成され、フィードバックエラー信号は出力電圧と第2の基準電圧とから生成される。この第2のDC-DCコンバータにおいても、第3のステートの後に第1および第2のステートの一方を挟んで第4のステートが来て、第4のステートの後に第1および第2のステートの他方を挟んで第3のステートが来る順序で、これら4つのステートを繰り返すことにより、コイル電流の変動幅または尖頭値を小さくすることができる。

20

【0014】

また、コイル電流の変動幅または尖頭値を小さくするために、さらに好ましくは、第3および第4のステートの期間を第1および第2のステートの期間に比して長くするのがよい。このためには、時間軸上で第1の三角波信号のピークポイントと第2の三角波信号のピークポイントとを一致ないし近接させるのが好ましく、第1および第2の三角波信号が各ピークポイントを通過する時点で第3または第4のステートが現れるようにするのが好ましい。

30

【0015】

本発明の好ましい一態様によれば、時間軸上で第1の三角波信号の極大ピークポイントおよび極小ピークポイントが第2の三角波信号の極小ピークポイントおよび極大ピークポイントとそれぞれ一致ないし近接し、フィードフォワード信号の電圧レベルが第1の三角波信号の電圧レベルよりも高い時は、第1のスイッチング素子がオフ状態で、第2のスイッチング素子がオン状態となり、フィードフォワード信号の電圧レベルが第1の三角波信号の電圧レベルよりも低い時は、第1のスイッチング素子がオン状態で、第2のスイッチング素子がオフ状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも高い時は、第3のスイッチング素子がオン状態で、第4のスイッチング素子がオフ状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも低い時は、第3のスイッチング素子がオフ状態で、第4のスイッチング素子がオン状態となるようなスイッチング制御が行われ、それによって第1、第2、第3および第4のステートが好適な順序で繰り返される。

40

【0016】

本発明の好ましい別の態様によれば、時間軸上で第1の三角波信号の極大ピークポイントおよび極小ピークポイントが第2の三角波信号の極小ピークポイントおよび極大ピークポイントとそれぞれ一致ないし近接し、フィードフォワード信号の電圧レベルが第1の三角波信号の電圧レベルよりも高い時は、第1のスイッチング素子がオン状態で、第2のスイッチング素子がオフ状態となり、フィードフォワード信号の電圧レベルが第1の三角

50

波信号の電圧レベルよりも低い時は、第1のスイッチング素子がオフ状態で、第2のスイッチング素子がオン状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも高い時は、第3のスイッチング素子がオフ状態で、第4のスイッチング素子がオン状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも低い時は、第3のスイッチング素子がオン状態で、第4のスイッチング素子がオフ状態となるようなスイッチング制御が行われ、それによって第1、第2、第3および第4のステートが好適な順序で繰り返される。

【0017】

本発明の好ましい別の一態様によれば、時間軸上で第1の三角波信号の極大ピークポイントおよび極小ピークポイントが第2の三角波信号の極大ピークポイントおよび極小ピークポイントとそれぞれ一致ないし近接し、フィードフォワード信号の電圧レベルが第1の三角波信号の電圧レベルよりも高い時は、第1のスイッチング素子がオフ状態で、第2のスイッチング素子がオン状態となり、フィードフォワード信号の電圧レベルが第1の三角波信号の電圧レベルよりも低い時は、第1のスイッチング素子がオン状態で、第2のスイッチング素子がオフ状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも高い時は、第3のスイッチング素子がオフ状態で、第4のスイッチング素子がオン状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも低い時は、第3のスイッチング素子がオン状態で、第4のスイッチング素子がオフ状態となるようなスイッチング制御が行われ、それによって第1、第2、第3および第4のステートが好適な順序で繰り返される。

【0018】

本発明の好ましい別の一態様によれば、時間軸上で第1の三角波信号の極大ピークポイントおよび極小ピークポイントが第2の三角波信号の極大ピークポイントおよび極小ピークポイントとそれぞれ一致ないし近接し、フィードフォワード信号の電圧レベルが第1の三角波信号の電圧レベルよりも高い時は、第1のスイッチング素子がオン状態で、第2のスイッチング素子がオフ状態となり、フィードフォワード信号の電圧レベルが第1の三角波信号の電圧レベルよりも低い時は、第1のスイッチング素子がオフ状態で、第2のスイッチング素子がオン状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも高い時は、第3のスイッチング素子がオン状態で、第4のスイッチング素子がオフ状態となり、フィードバックエラー信号の電圧レベルが第2の三角波信号の電圧レベルよりも低い時は、第3のスイッチング素子がオフ状態で、第4のスイッチング素子がオン状態となるようなスイッチング制御が行われ、それによって第1、第2、第3および第4のステートが好適な順序で繰り返される。

【発明の効果】

【0019】

本発明のDC-DCコンバータによれば、上記のような構成および作用により、インダクタンス素子を流れる電流の尖頭値を小さくし、出力電圧のリプルを抑制することができる。

【発明を実施するための最良の形態】

【0020】

以下、添付図を参照して本発明の好適な実施形態を説明する。

【0021】

図1に、本発明におけるDC-DCコンバータの基本構成を示す。このDC-DCコンバータは、いわゆるHブリッジ型スイッチングレギュレータの構成を有しており、たとえばチョークコイルからなる1個のインダクタンス素子Lと、たとえばMOSFETからなる4個のスイッチング素子 M_1 、 M_2 、 M_3 、 M_4 と、これらのスイッチング素子 M_1 、 M_2 、 M_3 、 M_4 のオン・オフを制御する制御部10とを含んでいる。

【0022】

スイッチング素子 M_1 は、たとえばバッテリー12から直流の入力電圧 V_{in} を入力する電圧入力端子INとチョークコイルLの一方の端子 T_x との間に接続されている。スイッチ

ング素子 M_2 は、チョークコイル L の端子 T_x と接地電位との間に接続されている。スイッチング素子 M_3 は、チョークコイル L の他方の端子 T_y と電圧出力端子 OUT との間に接続されている。スイッチング素子 M_4 は、チョークコイル L の端子 T_y と接地電位との間に接続されている。電圧出力端子 OUT と接地電位との間に接続されているコンデンサ C_0 は平滑用のキャパシタである。

【0023】

制御部10は、スイッチング素子 M_1 の制御端子に二値論理の制御信号 S_1 を与えるとともに、 S_1 を反転回路14で論理反転して得られる制御信号 S_2 をスイッチング素子 M_2 の制御端子に与える。 $S_1 = H$ レベル、 $S_2 = L$ レベルのときは、スイッチング素子 M_1 がオン状態で、スイッチング素子 M_2 がオフ状態になる。 $S_1 = L$ レベル、 $S_2 = H$ レベルのときは、スイッチング素子 M_1 がオフ状態で、スイッチング素子 M_2 がオン状態になる。

10

【0024】

また、制御部10は、スイッチング素子 M_3 の制御端子に二値論理の制御信号 S_3 を与えるとともに、 S_3 を反転回路16で論理反転して得られる制御信号 S_4 をスイッチング素子 M_4 の制御端子に与える。 $S_3 = H$ レベル、 $S_4 = L$ レベルのときは、スイッチング素子 M_3 がオン状態で、スイッチング素子 M_4 がオフ状態になる。 $S_3 = L$ レベル、 $S_4 = H$ レベルのときは、スイッチング素子 M_3 がオフ状態で、スイッチング素子 M_4 がオン状態になる。

【0025】

このDC-DCコンバータでは、図2および図3に示すように、スイッチング素子 M_1 、 M_2 、 M_3 、 M_4 のオン・オフ状態の組み合わせに応じてチョークコイル L 回りで4通りの通電状態またはステート[1]、[2]、[3]、[4]が得られる。

20

【0026】

より詳細には、 $(M_1, M_2) = (\text{オフ}, \text{オン})$ で、 $(M_3, M_4) = (\text{オン}, \text{オフ})$ のときは、図3の(A)に示すようなステート[1]となり、チョークコイル L の端子 T_x 、 T_y はそれぞれ接地電位側、電圧出力端子 OUT 側に切り換えられる。ステート[1]では、チョークコイル L よりエネルギーが電圧出力端子 OUT 側に放出され、チョークコイル L を流れる電流またはコイル電流 I_L は時間の経過とともに急峻な一定の勾配または減少率で減少する。

【0027】

$(M_1, M_2) = (\text{オン}, \text{オフ})$ で、 $(M_3, M_4) = (\text{オフ}, \text{オン})$ のときは、図3の(B)に示すようなステート[2]となり、チョークコイル L の端子 T_x 、 T_y はそれぞれ電圧入力端子 IN 側、接地電位側に切り換えられる。ステート[2]では、電圧入力端子 IN 側よりエネルギーがチョークコイル L に蓄積され、コイル電流 I_L は時間の経過とともに急峻な一定の勾配または増加率で増大する。

30

【0028】

$(M_1, M_2) = (\text{オン}, \text{オフ})$ で、 $(M_3, M_4) = (\text{オン}, \text{オフ})$ のときは、図3の(C)に示すようなステート[3]となり、チョークコイル L の端子 T_x 、 T_y はそれぞれ電圧入力端子 IN 側、電圧出力端子 OUT 側に切り換えられる。ステート[3]において、入力電圧 V_{in} が出力電圧 V_{out} よりも相当高いときは、電圧入力端子 IN 側からのエネルギーがチョークコイル L に蓄積されると同時に電圧出力端子 OUT 側にも供給され、コイル電流 I_L は時間の経過とともに一定の勾配で増大する。反対に、入力電圧 V_{in} が出力電圧 V_{out} よりも相当低いときは、チョークコイル L よりエネルギーが電圧出力端子 OUT 側に放出され、コイル電流 I_L は時間の経過とともに一定の勾配で減少する。もっとも、通常、コイル電流 I_L がステート[3]で減少または増加する勾配はステート[1]、[2]で減少または増加する勾配よりも小さい。また、ステート[3]において、入力電圧 V_{in} が出力電圧 V_{out} と接近しているときは、コイル電流 I_L はほぼ一定の電流値(切換直後の電流値)を保つ。

40

【0029】

$(M_1, M_2) = (\text{オフ}, \text{オン})$ で、 $(M_3, M_4) = (\text{オフ}, \text{オン})$ のときは、図3の(D)に示すようなステート[4]となり、チョークコイル L の端子 T_x 、 T_y のいずれも接

50

地電位側に切り換えられる。ステート[4]では、入力電圧 V_{in} や出力電圧 V_{out} に依存することなく、コイル電流 I_L が切換直後の電流値を実質的に保ったままグラウンドを通過して還流し続ける。

【0030】

制御部10は、上記4つのステート[1]、[2]、[3]、[4]を所定の順序で繰り返すように、スイッチング素子 M_1 、 M_2 、 M_3 、 M_4 のオン・オフを制御する。

【0031】

ここで、コイル電流 I_L の尖頭値を小さくするための第1の条件として、図4に示すように、ステート[1]とステート[2]との間にステート[3]、[4]を交互に割り込ませる順序、すなわち [1] [4] [2] [3] [1] の順序 Q_0 、あるいは [1] [3] [2] [4] [1] の順序 Q_1 が好ましい。上記のように、コイル電流 I_L は、ステート[1]の間中は急峻な勾配で減少し、ステート[2]の間中は急峻な勾配で増大し、ステート[3]、[4]の間中は比較的緩やかな変化率で減少または増大するか、あるいは切換直後の電流値を一定に保つ。上記順序 Q_0 、 Q_1 のいずれにおいても、コイル電流が急峻に減少するステート[1]と急峻に増大するステート[2]とが互いに前後または連続することがなく、特にコイル電流 I_L を無条件で必ず一定に保つステート[4]が両ステート[1]、[2]の間に一回置きに挿入されるため、コイル電流 I_L の変曲点またはピークレベルを効果的に鈍化ないし抑制し、尖頭値を小さくすることができる。また、コイル電流 I_L の尖頭値を小さくすることで、出力電圧 V_{out} のリプルも小さくすることができる。

【0032】

コイル電流 I_L の尖頭値を小さくするための第2の条件として、図5に示すように、ステート[3]、[4]の期間 T_3 、 T_4 をステート[1]、[2]の期間 T_1 、 T_2 に比してできるだけ大きくするのが好ましい。つまり、4つのステート[1]、[2]、[3]、[4]を上記の順序 Q_0 または Q_1 で一巡させるサイクルの中で、コイル電流 I_L が急峻に変化するステート[1]、[2]の期間 T_1 、 T_2 が相対的に短いほど、コイル電流 I_L の変化が実質的に無いか、有っても比較的小さいステート[3]、[4]の期間 T_3 、 T_4 が相対的に長いほど、コイル電流 I_L の変動幅つまり尖頭値が小さくなり、ひいては出力電圧 V_{out} のリプルも小さくなる。

【0033】

図1において、出力電圧 V_{out} の電圧レベルを設定値に維持するために、制御部10は、入力電圧 V_{in} および出力電圧 V_{out} に応じてスイッチング素子 M_1 、 M_2 、 M_3 、 M_4 のオン・オフを制御するのが好ましい。通常は、入力電圧 V_{in} の電圧レベルに応じてスイッチング素子 M_1 、 M_2 をフィードフォワード制御でオン・オフさせ、出力電圧 V_{out} の電圧レベルに応じてスイッチング素子 M_3 、 M_4 をフィードバック制御でオン・オフさせてよい。後述する実施例では、本発明においてフィードフォワード制御とフィードバック制御を組み合わせて昇降圧動作を行うための好適な具体例を開示する。

【実施例1】

【0034】

図6に、第1の実施例による昇降圧型DC-DCコンバータの回路構成を示す。

【0035】

このDC-DCコンバータにおいて、制御部10は、スイッチング素子 M_1 、 M_2 側にフィードフォワード制御回路18を設け、スイッチング素子 M_3 、 M_4 側にフィードバック制御回路20を設けている。

【0036】

フィードフォワード制御回路18は、入力電圧監視回路30と、PWM(Pulse Width Modulation)コンパレータ32と、三角波発生回路34とで構成されている。ここで、入力電圧監視回路30は、抵抗分圧回路22、演算増幅器24、帰還抵抗26および基準電圧発生回路28を有している。入力電圧監視回路30では、入力電圧 V_{in} に抵抗分圧回路22の分圧比および帰還抵抗26の抵抗値で決まる係数 K_a を乗じてその乗算結果に基準

10

20

30

40

50

電圧発生回路 28 からの基準電圧 V_{ref} に応じた定数 D を加算したもの ($K_a V_{in} + D$) に相当する直流電圧つまりフィードフォワード信号 V_a が得られる。このフィードフォワード信号 V_a はコンパレータ 32 の一方の入力端子 (-) に入力される。一方、三角波発生回路 34 より所定周波数たとえば 1 MHz の三角波信号 W_a がコンパレータ 32 の他方の入力端子 (+) に入力される。

【0037】

コンパレータ 32 は、フィードフォワード信号 V_a の電圧レベルと三角波信号 W_a の電圧レベルとを比較し、 $V_a > W_a$ のときは L レベルの出力電圧つまり制御信号 S_1 を出力し、 $V_a < W_a$ のときは H レベルの制御信号 S_1 を出力する。図 1 の基本回路と同様に、制御信号 S_1 がスイッチング素子 M_1 の制御端子に与えられ、 S_1 を反転回路 14 で論理反転して得られる制御信号 S_2 がスイッチング素子 M_2 の制御端子に与えられる。

10

【0038】

フィードバック制御回路 20 は、誤差信号検出回路 44 と、PWM コンパレータ 46 と、反転三角波生成回路 48 とで構成されている。ここで、誤差信号検出回路 44 は、抵抗分圧回路 36、電流出力型増幅器 38、出力回路 40 および基準電圧発生回路 42 を有している。電流出力型増幅器 38 は、入力電圧に応じて出力電流の値が制御される、いわゆる g_m アンプであり、出力電圧 V_{out} を抵抗分圧回路 36 で所定の分圧比 K_b で分圧して得られる直流電圧 $K_b V_{out}$ を一方の入力端子に入力するとともに、基準電圧発生回路 42 からの基準電圧 V_{ref} を他方の入力端子に入力し、両入力電圧の差分 ($K_b V_{out} - V_{ref}$) を表す誤差信号またはフィードバックエラー信号 V_b を出力する。出力回路 40 は、電流出力型増幅器 38 の出力端子と接地電位との間で直列接続された抵抗 R_c とコンデンサ C_c とで構成され、ゲインの調整や誤差信号 V_b の安定化に作用する。

20

【0039】

電流出力型増幅器 38 の出力端子に得られるフィードバックエラー信号 V_b は、コンパレータ 46 の一方の入力端子 (+) に入力される。一方、反転三角波生成回路 48 は、三角波発生回路 34 からの三角波信号 W_a の極性を反転させた反転三角波信号 W_b を生成する。ここで、三角波信号の極性反転とは、極大ピークポイントが極小ピークポイントに反転し、極小ピークポイントが極大ピークポイントに反転するように、当該三角波信号の中心レベルを基準として各ポイントの電圧レベルが上下に反転することを意味する。三角波信号 W_a の波形形状が二等辺三角形の場合は、位相を 180° シフトすることによっても、極性反転した三角波信号 W_b が得られる。反転三角波生成回路 48 より出力される反転三角波信号 W_b はコンパレータ 46 の他方の入力端子 (-) に入力される。

30

【0040】

コンパレータ 46 は、フィードバックエラー信号 V_b の電圧レベルと反転三角波信号 W_b の電圧レベルとを比較し、 $V_b > W_b$ のときは H レベルの出力電圧つまり制御信号 S_3 を出力し、 $V_b < W_b$ のときは L レベルの制御信号 S_3 を出力する。図 1 の基本回路と同様に、制御信号 S_3 がスイッチング素子 M_3 の制御端子に与えられ、 S_3 を反転回路 16 で論理反転して得られる制御信号 S_4 がスイッチング素子 M_4 の制御端子に与えられる。

【0041】

図 7 に、この DC - DC コンバータの作用 (一例) を各部の波形で示す。図示の例は、入力電圧 V_{in} が出力電圧 V_{out} とほぼ等しい値に接近している場合 ($V_{in} \approx V_{out}$) である。この場合は、コイル電流 I_L の平均値が負荷電流 I_o に等しくなるようにフィードバック制御回路 20 がスイッチング素子 M_3 , M_4 をスイッチング制御する。

40

【0042】

制御信号 S_1 が L レベルで、制御信号 S_3 が H レベルの期間中は、ステート [1] の通電状態となり、チョークコイル L が入力側から遮断されると同時に出力側に接続され、図 7 の (E) に示すようにコイル電流 I_L は急峻な勾配で減少する。

【0043】

間もなくして、フィードフォワード制御回路 18 側の PWM コンパレータ 32 において入力信号 V_a , W_a の大小関係がそれまでの $V_a > W_a$ から $V_a < W_a$ に逆転して制御信号 S_1

50

がLレベルからHレベルに変わる(図7の(A), (C))。つまり、 S_1, S_3 のいずれもHレベルになり、ステート[1]からステート[3]に切り換わる。この例のように入力電圧 V_{in} が出力電圧 V_{out} に接近しているときは、図7の(E)に示すようにステート[3]においてコイル電流 I_L はステート切替([1] [3])直後の電流値(極小ピーク値)をほぼ一定に維持する。こうして、ステート[3]の間中は、チョークコイルLで極小またはボトムのピーク電流が維持され、図7の(B)に示すように出力電圧 V_{out} が漸次的に低下する。

【0044】

そして、フィードバック制御回路20側のPWMコンパレータ46において入力信号 V_b, W_b の大小関係がそれまでの $V_b > W_b$ から $V_b < W_b$ に逆転して制御信号 S_3 がHレベルからLレベルに変わると(図7の(B), (D))、ステート[3]からステート[2]に切り換わる。ステート[2]では、チョークコイルLが出力側から遮断された状態で入力側からエネルギーを受け取り、図7の(E)に示すようにコイル電流 I_L は急峻な勾配で増大する。

【0045】

間もなくして、フィードフォワード制御回路18側のPWMコンパレータ32において入力信号 V_a, W_a の大小関係がそれまでの $V_a < W_a$ から $V_a > W_a$ に逆転して制御信号 S_1 がHレベルからLレベルに変わる(図7の(A), (C))。これによって、 S_1, S_3 のいずれもLレベルになり、ステート[2]からステート[4]に切り換わる。ステート[4]では、チョークコイルLとグランドからなる閉ループ内でコイル電流 I_L がステート切替([2] [4])直後の電流値(極大ピーク値)を保ったまま還流し続け、出力側では図7の(E)に示すように出力電圧 V_{out} が漸次的に上昇する。

【0046】

そして、フィードバック制御回路20側のPWMコンパレータ46において入力信号 V_b, W_b の大小関係がそれまでの $V_b < W_b$ から $V_b > W_b$ に逆転して制御信号 S_3 がLレベルからHレベルに変わると(図7の(B), (D))、ステート[4]からステート[1]に戻る。以後も、[1] [3] [2] [4] [1]の順序 Q_1 で上記と同様の動作が繰り返される。

【0047】

図7に示すように、三角波信号 W_a, W_b の一周期の間に4つのステート[1], [2], [3], [4]が一定順序 Q_1 で一巡することがわかる。また、この一巡サイクルの中でステート[1], [2]の期間 T_1, T_2 がステート[3], [4]の期間 T_3, T_4 に比して短いほど、コイル電流 I_L の変動幅または尖頭値が小さくなることがわかる。

【0048】

この実施例では、フィードフォワード制御回路18側のPWMコンパレータ32に与えられる三角波信号 W_a の極大ピークポイントおよび極小ピークポイントとフィードバック制御回路20側のPWMコンパレータ46に与えられる三角波信号 W_b の極小ピークポイントおよび極大ピークポイントとが時間軸上でそれぞれ一致しているのが最も好ましい。この条件が成立していると、図7から容易に理解されるように、上記一巡サイクルの中で、ステート[3]とステート[4]とを足し合わせた期間を最大化し、ステート[1]とステート[2]とを足し合わせた期間を最小化することができる。

【0049】

図8および図9に、この実施例(図8)における出力電圧リップルの改善度およびコイル電流尖頭値の改善度を比較例(図9)と対比してシミュレーションで示す。ここで、比較例は、図6のDC-DCコンバータにおいて反転三角波生成回路48を省き、フィードフォワード制御回路18側のPWMコンパレータ32に与える三角波信号 W_a を極性反転することなくそのままフィードバック制御回路20側のPWMコンパレータ46の反転入力端子(-)に供給する構成で得られた各部の波形を示す。図中の電圧 V_{Tx} (図8および図9の(C))、 V_{Ty} (図8および図9の(D))はチョークコイルLの端子 T_x, T_y における電圧である。

10

20

30

40

50

【 0 0 5 0 】

比較例（図 9）に比してこの実施例（図 8）では、コイル電流 I_L の尖頭値が 10 分の 1 以下に小さくなり、出力電圧 V_{out} のリップルも同程度に抑制されている。図示の例のように負荷電流 I_o が零（アンペア）のときは、負荷が動作していない待機モード中のときであるが、DC - DC コンバータ内ではスイッチング動作が継続して行われているためスイッチング素子で電力が消費され、このスイッチングロスにはコイル電流 I_L の尖頭値の二乗に反比例する。したがって、コイル電流 I_L の尖頭値を大幅に小さくすることで、定格電流の小さい小型のチョークコイル L を使用可能にするだけでなく、スイッチングロスも大幅に低減することができる。

【 0 0 5 1 】

なお、 V_{in} 、 V_{out} の条件下において、この実施例では、図 8 の（C）、（D）に示すように、チョークコイル L の両端子 T_x 、 T_y の電圧がほぼ同相である。これに対して、比較例では、図 9 の（C）、（D）に示すように、チョークコイル L の両端子 T_x 、 T_y の電圧が位相差（約 180° ）を大きくしている。

【 0 0 5 2 】

上記のように、この実施例において、フィードフォワード制御回路 18 側の三角波信号 W_a とフィードバック制御回路 20 側の三角波信号 W_b との間の最も好ましい位相関係は、三角波信号 W_b の極小ピークポイントおよび極大ピークポイントと三角波信号 W_a の極大ピークポイントおよび極小ピークポイントとが時間軸上でそれぞれ一致している関係である。両三角波信号 W_a 、 W_b の位相関係がそのような最適条件からずれると、図 10 に示すように、ずれ量（位相差）に比例してコイル電流 I_L の変動幅または尖頭値が大きくなる。したがって、両三角波信号 W_a 、 W_b の位相関係を最適条件（図 7）に可及的に近づけるのが好ましい。

【 実施例 2 】

【 0 0 5 3 】

図 11 に、第 2 の実施例による昇降圧型 DC - DC コンバータの回路構成を示す。この第 2 の実施例は、上記した第 1 の実施例の DC - DC コンバータ（図 6）において、反転三角波生成回路 48 を省き、フィードフォワード制御回路 18 側の PWM コンパレータ 32 に与えるのと同じ三角波信号 W_a をフィードバック制御回路 20 側の PWM コンパレータ 46 に与える。ただし、PWM コンパレータ 46 は、三角波信号 W_a を一方の入力端子（+）に入力し、誤差信号検出回路 44 からのフィードバックエラー信号 V_b を他方の入力端子（-）に入力する。したがって、コンパレータ 46 は、フィードバックエラー信号 V_b の電圧レベルと三角波信号 W_a の電圧レベルとを比較し、 $V_b > W_a$ のときに L レベルの出力電圧つまり制御信号 S_3 を出力し、 $V_b < W_a$ のときに H レベルの制御信号 S_3 を出力する。他の部分は全て第 1 の実施例と同じである。

【 0 0 5 4 】

図 12 に、この第 2 の実施例における DC - DC コンバータの作用（一例）を各部の波形で示す。図示の例も、入力電圧 V_{in} が出力電圧 V_{out} とほぼ等しい値に近接している場合（ $V_{in} \approx V_{out}$ ）である。この実施例でも、三角波信号 W_a 、 W_b の一周期の間に 4 つのステート [1]、[2]、[3]、[4] が一定の順序 Q_1 つまり [1] [3] [2] [4] [1] で一巡し、この一巡サイクルの中でステート [1]、[2] の期間 T_1 、 T_2 がステート [3]、[4] の期間 T_3 、 T_4 に比して大幅に短く、コイル電流 I_L の変動幅または尖頭値が非常に小さいことがわかる。

【 0 0 5 5 】

この実施例では、フィードフォワード制御回路 18 側の PWM コンパレータ 32 に与えられる三角波信号（ W_a ）の極大ピークポイントおよび極小ピークポイントとフィードバック制御回路 20 側の PWM コンパレータ 46 に与えられる三角波信号（ W_a ）の極大ピークポイントおよび極小ピークポイントとが時間軸上でそれぞれ一致しているのが最も好ましい。しかし、フィードフォワード制御回路 18 側の三角波信号（ W_a ）とフィードバック制御回路 20 側の三角波信号（ W_a ）との間に多少の位相差があっても、実際のアプ

10

20

30

40

50

リケーションでは許容できる場合もある。

【 0 0 5 6 】

図 1 3 に、入力電圧 V_{in} が出力電圧 V_{out} と比較的大きく違っている場合のコイル電流 I_L の波形を示す。図示のように、上記の例 ($V_{in} > V_{out}$) と異なるのはステート [3] における波形だけである。ステート [3] では、チョークコイル L が入力側と出力側との間で直列に接続される。したがって、入力電圧 V_{in} が出力電圧 V_{out} より相当高いとき ($V_{in} > V_{out}$) は、図 1 3 の (A) に示すように、コイル電流 I_L が両電圧 V_{in} , V_{out} の差に応じた勾配または増大率で時間の経過とともに増大する。逆に、入力電圧 V_{in} が出力電圧 V_{out} より相当低いとき ($V_{in} < V_{out}$) は、図 1 3 の (B) , (C) に示すように、コイル電流 I_L が両電圧 V_{in} , V_{out} の差に応じた勾配または減少率で時間の経過とともに減少する。

10

【 0 0 5 7 】

以上、本発明の好適な実施例について説明したが、本発明は上記実施例に限定されるものではなく、その技術思想の範囲内で種々の変形・変更が可能である。たとえば、本発明の DC - DC コンバータを構成する各部品または要素技術を実質的に同じ機能を有する他の部品または要素技術で置き換えることができる。たとえば、スイッチング素子 M_1 , M_2 , M_3 , M_4 として、MOSFET または N チャンネル MOS トランジスタに替えて P チャンネル MOS トランジスタ、バイポーラトランジスタ、ダイオード等を使用してもよい。たとえば、スイッチング素子 M_1 , M_3 に P チャンネル MOS トランジスタを使用し、スイッチング素子 M_2 , M_4 に N チャンネル MOS トランジスタを使用する場合は、反転回路 1 4 , 1 6 を省ける。インダクタンス素子 L として、チョークコイル以外のインダクタも使用可能である。

20

【 0 0 5 8 】

フィードフォワード制御回路 1 8 (特に入力電圧監視回路 3 0) やフィードバック回路 2 0 (特に誤差信号検出回路 4 4) 等も種々の変形が可能であり、上記実施例以外の構成ないし方式で代用または置換することができる。たとえば、上記した第 1 の実施例の DC - DC コンバータ (図 6) において、フィードフォワード制御回路 1 8 側の PWM コンパレータ 3 2 に入力される信号 V_a , W_a の極性を反転させる、つまり反転入力端子 (-) に W_a を入力して非反転入力端子 (+) に V_a を入力し、他方で、フィードバック制御回路 2 0 側の PWM コンパレータ 4 6 に入力される信号 V_b , W_b の極性を反転させる、つまり反転入力端子 (-) に V_b を入力して非反転入力端子 (+) に W_b を入力する構成も可能である。上記した第 2 の実施例の DC - DC コンバータ (図 1 1) においても、両 PWM コンパレータ 3 2 , 4 6 の双方で入力信号の極性を反転させる構成が可能である。本発明の DC - DC コンバータで使用する三角波は任意の波形を有するものでよく、たとえばのこぎり波等も可能である。また、フィードフォワード制御回路 1 8 側の三角波信号の振幅とフィードバック制御回路 2 0 側の三角波信号の振幅とが異なってもよい。また、上記三角波信号については、同期的な信号であれば必ずしも厳密な三角波である必要はなく、たとえば、サイン信号であってもよい。

30

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】 本発明による DC - DC コンバータの基本構成を示すブロック図である。

【 図 2 】 本発明におけるスイッチング素子のオン・オフ状態と 4 つのステートとの関係を示す図である。

【 図 3 】 本発明における 4 つのステートの通電状態を示す図である。

【 図 4 】 本発明における 4 つのステート間の遷移順序を示す図である。

【 図 5 】 本発明における 4 つのステート間の時間的な好ましい大小関係を示す図である。

【 図 6 】 第 1 の実施例による DC - DC コンバータの構成を示す回路図である。

【 図 7 】 実施例における DC - DC コンバータの作用 (一例) を説明するための各部の波形を示す図である。

【 図 8 】 実施例の DC - DC コンバータにおける各部の波形をシミュレーションで求めた

40

50

図である。

【図 9】比較例の DC - DC コンバータにおける各部の波形をシミュレーションで求めた図である。

【図 10】実施例における DC - DC コンバータの作用（別の例）を説明するための各部の波形を示す図である。

【図 11】第 2 の実施例による DC - DC コンバータの構成を示す回路図である。

【図 12】第 2 の実施例における DC - DC コンバータの作用（一例）を説明するための各部の波形を示す図である。

【図 13】実施例における DC - DC コンバータの作用（一例）を説明するためのコイル電流の波形を示す図である。

10

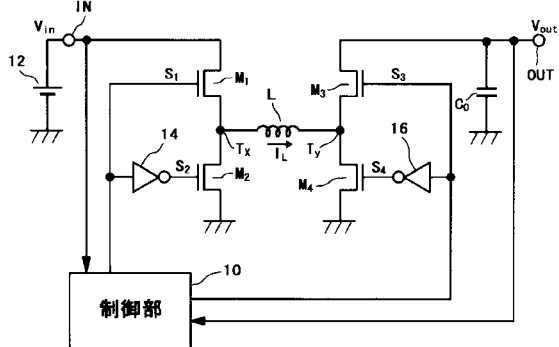
【符号の説明】

【 0 0 6 0 】

- M₁ 第 1 のスイッチング素子
- M₂ 第 2 のスイッチング素子
- M₃ 第 3 のスイッチング素子
- M₄ 第 4 のスイッチング素子
- L チョークコイル（インダクタンス素子）
- 1 0 制御部
- 1 4 , 1 6 反転回路
- 1 8 フィードフォワード制御回路
- 2 0 フィードバック制御回路
- 3 0 入力電圧監視回路
- 3 2 PWM コンパレータ
- 3 4 三角波発生回路
- 4 4 誤差信号検出回路
- 4 6 PWM コンパレータ
- 4 8 反転三角波生成回路

20

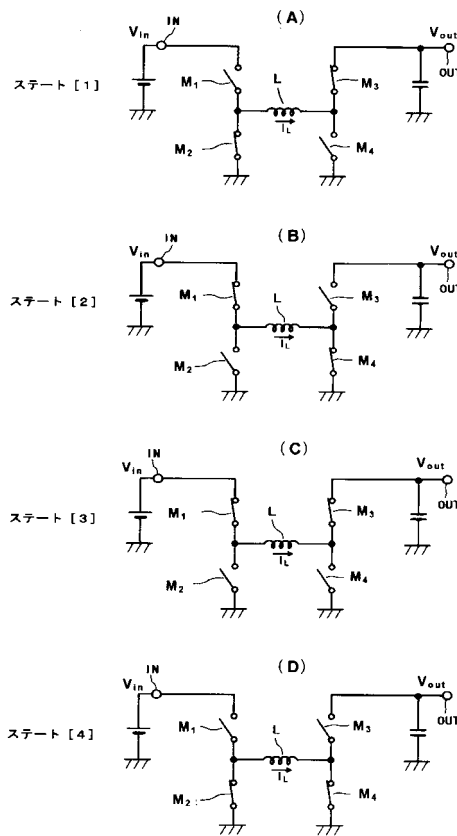
【図1】



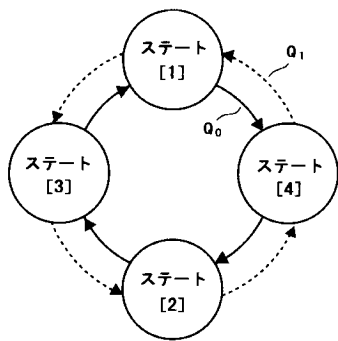
【図2】

	M ₁ =ON M ₂ =OFF	M ₁ =OFF M ₂ =ON
M ₃ =ON M ₄ =OFF	ステート[3]	ステート[1]
M ₃ =OFF M ₄ =ON	ステート[2]	ステート[4]

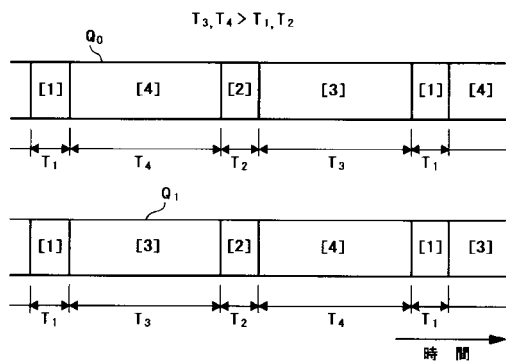
【図3】



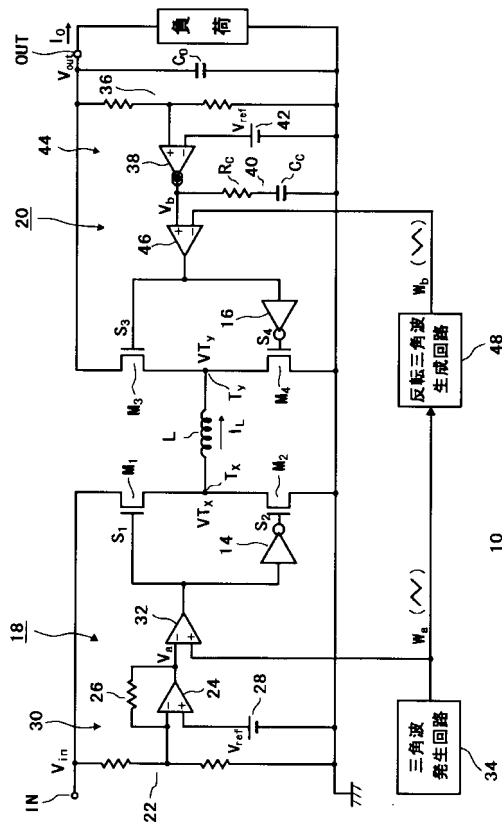
【図4】



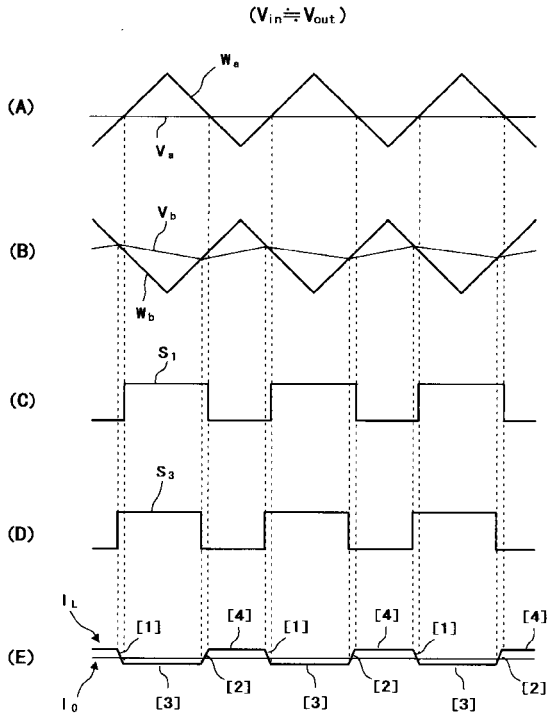
【図5】



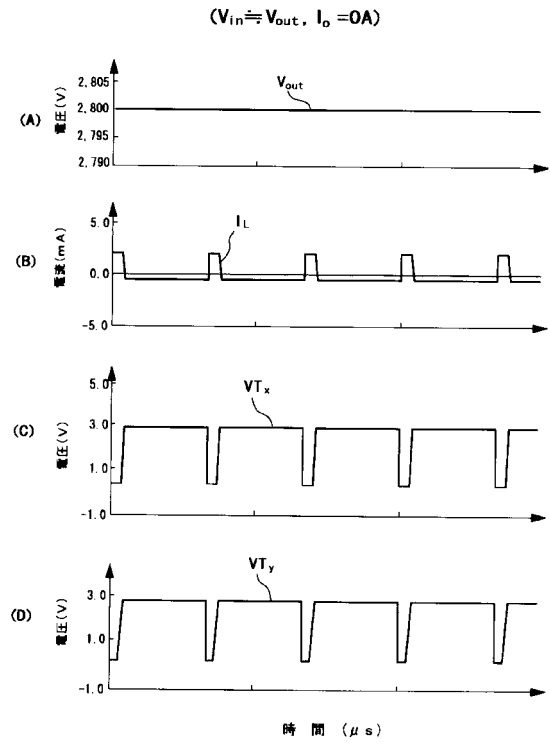
【図6】



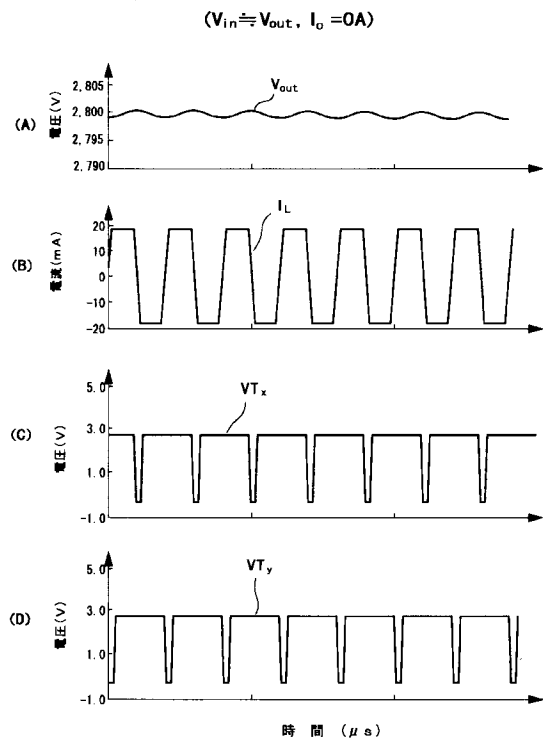
【 図 7 】



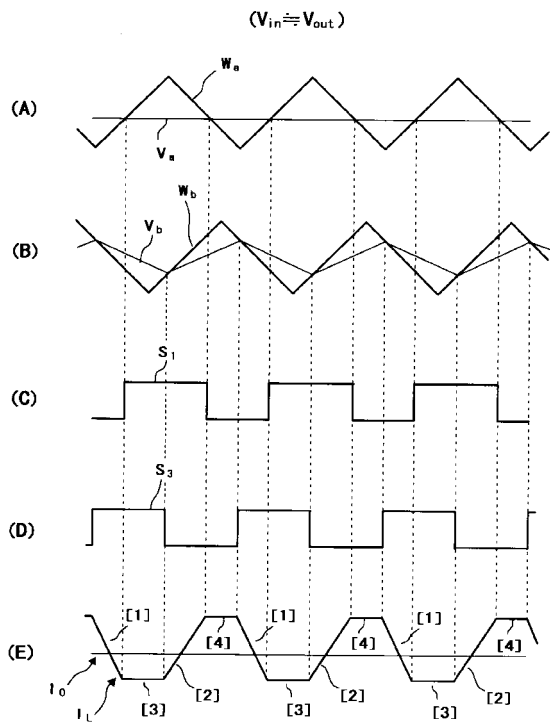
【 図 8 】



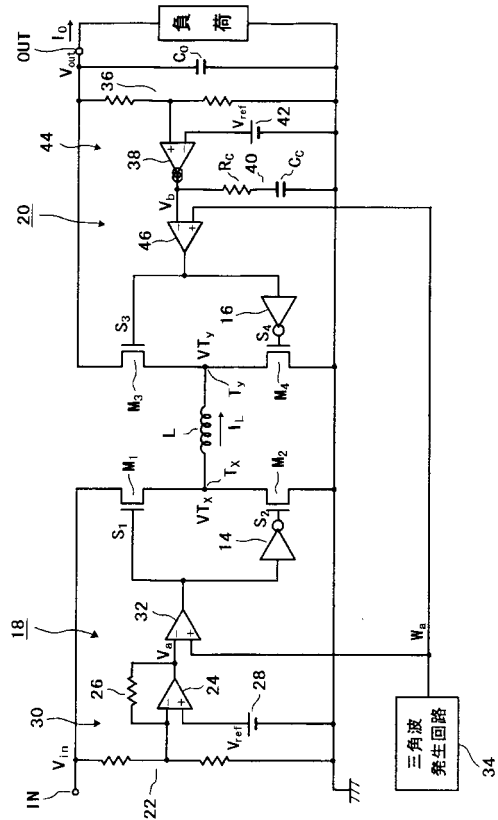
【 図 9 】



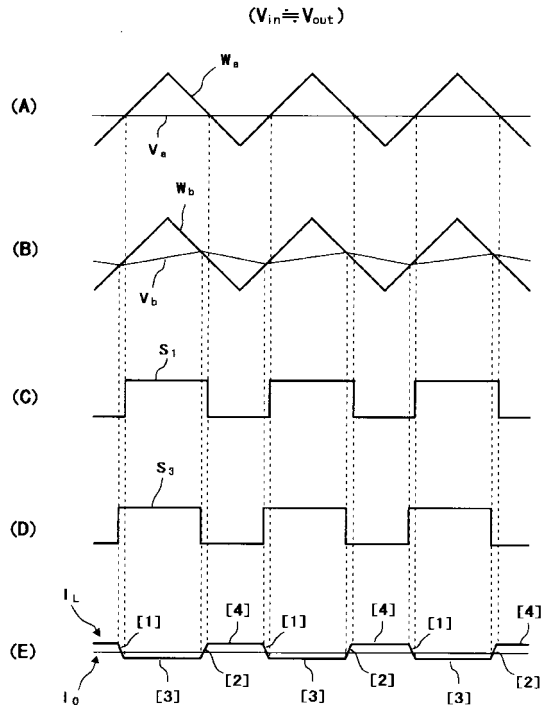
【 図 10 】



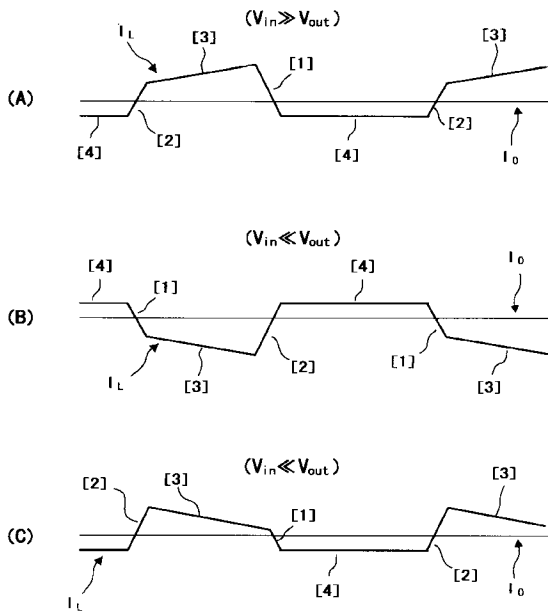
【図11】



【図12】



【図13】



フロントページの続き

(56)参考文献 特開2003-134842(JP,A)
特開平07-107751(JP,A)
特表2003-507997(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155