

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6093594号
(P6093594)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

| | | | | | |
|--------------|--------------|------------------|------|-------|---|
| (51) Int.Cl. | | F I | | | |
| H03G | 3/18 | (2006.01) | H03G | 3/18 | D |
| H03F | 3/68 | (2006.01) | H03F | 3/68 | Z |
| H03F | 3/189 | (2006.01) | H03F | 3/189 | |

請求項の数 14 (全 24 頁)

| | | | |
|--|-------------------------------|-----------|------------------------------|
| (21) 出願番号 | 特願2013-37685 (P2013-37685) | (73) 特許権者 | 000005821 |
| (22) 出願日 | 平成25年2月27日(2013.2.27) | | パナソニック株式会社 |
| (65) 公開番号 | 特開2014-165864 (P2014-165864A) | | 大阪府門真市大字門真1006番地 |
| (43) 公開日 | 平成26年9月8日(2014.9.8) | (74) 代理人 | 110002000 |
| 審査請求日 | 平成27年8月4日(2015.8.4) | | 特許業務法人栄光特許事務所 |
| (出願人による申告)平成24年度、総務省、超高速近距離無線伝送技術等の研究開発の委託事業、産業技術力強化法第19条の適用を受ける特許出願 | | (74) 代理人 | 100119552 |
| | | | 弁理士 橋本 公秀 |
| | | (74) 代理人 | 100138771 |
| | | | 弁理士 吉田 将明 |
| | | (72) 発明者 | 金丸 正樹 |
| | | | 大阪府門真市大字門真1006番地 パナソニック株式会社内 |
| | | 審査官 | 白井 亮 |

最終頁に続く

(54) 【発明の名称】 可変整合回路及び増幅器

(57) 【特許請求の範囲】

【請求項1】

高周波信号を増幅する第1のトランジスタ回路と、
 前記第1のトランジスタ回路が増幅した前記高周波信号を増幅する第2のトランジスタ回路と、
 前記第1、第2の各トランジスタ回路間に設けられ、1次インダクタ素子と2次インダクタ素子とが磁気結合するトランスフォーマと、
 第1の容量素子と、
 第2の容量素子と、を備え、
 前記1次インダクタ素子は、
 前記第1のトランジスタ回路の出力端子と、前記第1のトランジスタ回路のバイアス回路との間に接続され、
 前記2次インダクタ素子は、
 前記第2のトランジスタ回路の入力端子と、前記第2のトランジスタ回路のバイアス回路との間に接続され、
 前記1次インダクタ素子と前記第1のトランジスタ回路のバイアス回路との接続点は、前記第1の容量素子に接続され、
 前記2次インダクタ素子と前記第2のトランジスタ回路のバイアス回路との接続点は、前記第2の容量素子に接続され、
 前記1次、2次の各インダクタ素子のインダクタンス値と、前記第1、第2の各容量素

子の容量値とのうち、少なくとも1つが可変であり、
前記第1の容量素子がグラウンドに接続される、
 可変整合回路。

【請求項2】

高周波信号を増幅する第1のトランジスタ回路と、
前記第1のトランジスタ回路が増幅した前記高周波信号を増幅する第2のトランジスタ
回路と、

前記第1、第2の各トランジスタ回路間に設けられ、1次インダクタ素子と2次インダ
クタ素子とが磁気結合するトランスフォーマと、

第1の容量素子と、

第2の容量素子と、を備え、

前記1次インダクタ素子は、

前記第1のトランジスタ回路の出力端子と、前記第1のトランジスタ回路のバイアス回
路との間に接続され、

前記2次インダクタ素子は、

前記第2のトランジスタ回路の入力端子と、前記第2のトランジスタ回路のバイアス回
路との間に接続され、

前記1次インダクタ素子と前記第1のトランジスタ回路のバイアス回路との接続点は、
前記第1の容量素子に接続され、

前記2次インダクタ素子と前記第2のトランジスタ回路のバイアス回路との接続点は、
前記第2の容量素子に接続され、

前記1次、2次の各インダクタ素子のインダクタンス値と、前記第1、第2の各容量素
子の容量値とのうち、少なくとも1つが可変であり、

前記第1、第2の各容量素子は、

第3の容量素子と、前記第3の容量素子と異なる他の容量素子とスイッチとが直列接続
したn(n:1以上の整数)個の組とが並列接続した構成であり、前記n個のスイッチの
うちONしたスイッチに応じて、前記第1、第2の各容量素子の容量値を変更する、

可変整合回路。

【請求項3】

高周波信号を増幅する第1のトランジスタ回路と、

前記第1のトランジスタ回路が増幅した前記高周波信号を増幅する第2のトランジスタ
回路と、

前記第1、第2の各トランジスタ回路間に設けられ、1次インダクタ素子と2次インダ
クタ素子とが磁気結合するトランスフォーマと、

第1の容量素子と、

第2の容量素子と、を備え、

前記1次インダクタ素子は、

前記第1のトランジスタ回路の出力端子と、前記第1のトランジスタ回路のバイアス回
路との間に接続され、

前記2次インダクタ素子は、

前記第2のトランジスタ回路の入力端子と、前記第2のトランジスタ回路のバイアス回
路との間に接続され、

前記1次インダクタ素子と前記第1のトランジスタ回路のバイアス回路との接続点は、
前記第1の容量素子に接続され、

前記2次インダクタ素子と前記第2のトランジスタ回路のバイアス回路との接続点は、
前記第2の容量素子に接続され、

前記1次、2次の各インダクタ素子のインダクタンス値と、前記第1、第2の各容量素
子の容量値とのうち、少なくとも1つが可変であり、

前記第1、第2の各容量素子は、

n+1(n:1以上の整数)個の容量素子が直列接続し、各々の前記容量素子間がスイ

10

20

30

40

50

ッチを介して接地した構成であり、 n 個の前記スイッチのON又はOFFに応じて、前記第1、第2の各容量素子の容量値を変更する、
可変整合回路。

【請求項4】

高周波信号を増幅する第1のトランジスタ回路と、
前記第1のトランジスタ回路が増幅した前記高周波信号を増幅する第2のトランジスタ回路と、

前記第1、第2の各トランジスタ回路間に設けられ、1次インダクタ素子と2次インダクタ素子とが磁気結合するトランスフォーマと、

第1の容量素子と、

第2の容量素子と、を備え、

前記1次インダクタ素子は、

前記第1のトランジスタ回路の出力端子と、前記第1のトランジスタ回路のバイアス回路との間に接続され、

前記2次インダクタ素子は、

前記第2のトランジスタ回路の入力端子と、前記第2のトランジスタ回路のバイアス回路との間に接続され、

前記1次インダクタ素子と前記第1のトランジスタ回路のバイアス回路との接続点は、前記第1の容量素子に接続され、

前記2次インダクタ素子と前記第2のトランジスタ回路のバイアス回路との接続点は、前記第2の容量素子に接続され、

前記1次、2次の各インダクタ素子のインダクタンス値と、前記第1、第2の各容量素子の容量値とのうち、少なくとも1つが可変であり、

前記第1、第2の各容量素子は、

固定容量素子と可変容量素子とが直列接続した n 個($n:1$ 以上の整数)の組が並列接続した構成であり、前記 n 個の可変容量素子の各端子間の電位差に応じて、前記第1、第2の各容量素子の容量値を変更する、

可変整合回路。

【請求項5】

高周波信号を増幅する第1のトランジスタ回路と、

前記第1のトランジスタ回路が増幅した前記高周波信号を増幅する第2のトランジスタ回路と、

前記第1、第2の各トランジスタ回路間に設けられ、1次インダクタ素子と2次インダクタ素子とが磁気結合するトランスフォーマと、

第1の容量素子と、

第2の容量素子と、を備え、

前記1次インダクタ素子は、

前記第1のトランジスタ回路の出力端子と、前記第1のトランジスタ回路のバイアス回路との間に接続され、

前記2次インダクタ素子は、

前記第2のトランジスタ回路の入力端子と、前記第2のトランジスタ回路のバイアス回路との間に接続され、

前記1次インダクタ素子と前記第1のトランジスタ回路のバイアス回路との接続点は、前記第1の容量素子に接続され、

前記2次インダクタ素子と前記第2のトランジスタ回路のバイアス回路との接続点は、前記第2の容量素子に接続され、

前記1次、2次の各インダクタ素子のインダクタンス値と、前記第1、第2の各容量素子の容量値とのうち、少なくとも1つが可変であり、

前記1次、2次の各インダクタ素子は、

n 個($n:1$ 以上の整数)の中間端子を有し、各々の前記中間端子と前記第1又は第2

10

20

30

40

50

の容量素子との間にスイッチが直列接続した構成であり、前記 n 個のスイッチのうちいずれかのスイッチの ON に応じて、前記 1 次、2 次の各インダクタ素子のインダクタンス値を変更する、

可変整合回路。

【請求項 6】

高周波信号を増幅する第 1 のトランジスタ回路と、

前記第 1 のトランジスタ回路が増幅した前記高周波信号を増幅する第 2 のトランジスタ回路と、

前記第 1、第 2 の各トランジスタ回路間に設けられ、1 次インダクタ素子と 2 次インダクタ素子とが磁気結合するトランスフォーマと、

第 1 の容量素子と、

第 2 の容量素子と、を備え、

前記 1 次インダクタ素子は、

前記第 1 のトランジスタ回路の出力端子と、前記第 1 のトランジスタ回路のバイアス回路との間に接続され、

前記 2 次インダクタ素子は、

前記第 2 のトランジスタ回路の入力端子と、前記第 2 のトランジスタ回路のバイアス回路との間に接続され、

前記 1 次インダクタ素子と前記第 1 のトランジスタ回路のバイアス回路との接続点は、前記第 1 の容量素子に接続され、

前記 2 次インダクタ素子と前記第 2 のトランジスタ回路のバイアス回路との接続点は、前記第 2 の容量素子に接続され、

前記 1 次、2 次の各インダクタ素子のインダクタンス値と、前記第 1、第 2 の各容量素子の容量値とのうち、少なくとも 1 つが可変であり、

前記 1 次、2 次の各インダクタ素子は、

スイッチの両端に接続され、前記トランスフォーマの周囲を囲む第 1 の配線と、を更に含む構成であり、前記スイッチの導通又は非導通に応じて、前記第 1、第 2 の各インダクタ素子のインダクタンス値を変更する、

可変整合回路。

【請求項 7】

請求項 6 に記載の可変整合回路であって、

前記 1 次、2 次の各インダクタ素子は、

前記第 1 の配線の外側に、前記トランスフォーマの周囲を囲む第 2 の配線が配設された構成であり、

前記第 2 の配線は、グラウンドに接続される、

可変整合回路。

【請求項 8】

請求項 1 に記載の可変整合回路であって、

前記第 1 のトランジスタ回路のバイアス回路は、前記第 1 のトランジスタ回路の DC 電源電圧を変更し、

前記第 2 のトランジスタ回路のバイアス回路は、前記第 2 のトランジスタ回路の DC 制御電圧を変更する、

可変整合回路。

【請求項 9】

高周波信号を入力する第 1 のトランジスタ回路と、

前記第 1 のトランジスタ回路が増幅した前記高周波信号を増幅する第 2 のトランジスタ回路と、

前記第 1 のトランジスタ回路の入力端子に DC 制御電圧を印加する第 1 の DC 電位伝達回路と、

前記第 2 のトランジスタ回路の出力端子に DC 電源電圧を印加する第 2 の DC 電位伝達

10

20

30

40

50

回路と、

前記第 1、第 2 の各トランジスタ回路間に設けられ、1 次インダクタ素子と 2 次インダクタ素子とが磁気結合するトランスフォーマと、

第 1 の容量素子と、

第 2 の容量素子と、を備え、

前記 1 次インダクタ素子は、

前記第 1 のトランジスタ回路の出力端子と、前記第 1 のトランジスタ回路のバイアス回路との間に接続され、

前記 2 次インダクタ素子は、

前記第 2 のトランジスタ回路の入力端子と、前記第 2 のトランジスタ回路のバイアス回路との間に接続され、

前記 1 次インダクタ素子と前記第 1 のトランジスタ回路のバイアス回路との接続点は、前記第 1 の容量素子に接続され、

前記 2 次インダクタ素子と前記第 2 のトランジスタ回路のバイアス回路との接続点は、前記第 2 の容量素子に接続され、

前記 1 次、2 次の各インダクタ素子のインダクタンス値と、前記第 1、第 2 の各容量素子の容量値とのうち、少なくとも 1 つが可変であり、

前記第 1 の容量素子がグランドに接続される、

増幅器。

【請求項 10】

請求項 9 に記載の増幅器であって、

前記 1 次インダクタ素子と前記第 1 のトランジスタ回路のバイアス回路との間に、前記第 1 のトランジスタ回路の DC 電源電圧を通過させるチョークコイルと、を更に備える、増幅器。

【請求項 11】

請求項 9 又は 10 に記載の増幅器であって、

複数の異なる DC 制御電圧を生成する DC 制御電圧生成回路と、を更に備え、

前記 DC 制御電圧生成回路は、

前記第 1 のトランジスタ回路の DC 制御電圧を前記第 1 の DC 電位伝達回路に出力し、前記第 1 のトランジスタ回路の DC 制御電圧と異なる DC 制御電圧を前記第 2 のトランジスタ回路に供給する、

増幅器。

【請求項 12】

請求項 11 に記載の増幅器であって、

前記制御電圧生成回路は、

入力された DC 制御電圧毎の電圧制御信号に応じて、前記第 1、第 2 の各トランジスタ回路の DC 制御電圧を生成する、

増幅器。

【請求項 13】

請求項 9 ~ 12 のうちいずれか一項に記載の増幅器であって、

前記高周波信号の入力インピーダンスを整合する入力整合回路と、

前記高周波信号の出力インピーダンスを整合する出力整合回路と、を更に備える、

増幅器。

【請求項 14】

請求項 13 に記載の増幅器であって、

前記入力整合回路は、

前記高周波信号の信号経路に接続された 1 次インダクタと、前記第 1 のトランジスタ回路の入力端子に前記 DC 制御電圧を印加する前記第 1 の DC 電位伝達回路としての 2 次インダクタと、が磁気結合する第 1 のトランスフォーマと、を含み、

前記出力整合回路は、

10

20

30

40

50

前記第2のトランジスタ回路の出力端子に前記DC電源電圧を印加する前記第2のDC電位伝達回路としての1次インダクタと、前記高周波信号の信号経路に接続された2次インダクタと、が磁気結合する第2のトランスフォーマと、を含む、

増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、高周波信号を増幅するための利得を切り替える可変整合回路及び増幅器に関する。

【背景技術】

10

【0002】

高周波信号を入出力する無線IC(Integrated Circuit)には、所望範囲の電力の高周波信号を得るために、利得を切り替える可変利得増幅器が設けられる。増幅器に利得可変機能を搭載すると、増幅器自身の性能(例えば周波数特性、雑音指数特性、利得線形性)が劣化することがある。

【0003】

例えば受信機において、受信アンテナが受信した信号を増幅する低雑音増幅器(LNA: Low Noise Amplifier)は、受信アンテナの後段に設けられることが多い。例えば低雑音増幅器が可変利得機能を有すると、低雑音増幅器の性能劣化が受信機の性能劣化として顕著に現れる。例えば数十GHzのミリ波信号を扱う場合には、低雑音増幅器に用いられる増幅素子としてのトランジスタの性能劣化の影響が大きくなる。

20

【0004】

可変利得機能を有する低雑音増幅器に関する先行技術として、非特許文献1が知られている。非特許文献1に示す低雑音増幅器は、多段接続された複数のトランジスタを含み、各トランジスタのゲートに印加されるDCゲート電圧値が可変であるため、トランジスタに流れる電流値を調整できる。これにより、低雑音増幅器は、利得を切り替えできる。

【0005】

図14は、トランジスタのゲートに印加されるDCゲート電圧とトランジスタに流れる電流との関係を示すグラフである。トランジスタの閾値電圧 V_{th} 以上のDCゲート電圧がトランジスタに印加された場合、DCゲート電圧の増加に伴って、トランジスタに流れる電流が増加する。DCゲート電圧に対する電流の傾きは、DCゲート電圧が閾値電圧 V_{th} を超えてから徐々に増加し、やがて線形特性となる。

30

【0006】

低雑音増幅器の利得線形性を高めるためには、DCゲート電圧に対する電流の傾きが線形領域となるDCゲート電圧(例えばDCゲート電圧 V_h)を用いることが好ましい。しかし、DCゲート電圧によってトランジスタに流れる電流を変えることで利得を切り替える低雑音増幅器では(例えば非特許文献1参照)、例えば低利得に切り替える場合、DCゲート電圧に対する電流の傾きが非線形領域となるDCゲート電圧(例えばDCゲート電圧 V_l)を用いることになり、低雑音増幅器の利得線形性が劣化するという課題が生じる。

40

【0007】

また、ICの製造過程におけるプロセスバラツキによって閾値電圧 V_{th} がばらつくことがあるので、小さいDCゲート電圧(例えばゲート電圧 V_l)を用いた場合、大きなDCゲート電圧(例えばDCゲート電圧 V_h)を用いる場合に比べて、DCゲート電圧に対する電流の傾きが非線形的になり易い。このため、閾値電圧 V_{th} がばらついた場合の低雑音増幅器の利得特性は、大きなDCゲート電圧(例えばDCゲート電圧 V_h)を用いた場合の利得特性よりも更に劣化するという課題があった。

【0008】

これらの課題を解決するために、トランジスタのDCゲート電圧を変えずに、トランジスタの前段又は後段に設けられた入力整合回路又は出力整合回路の回路定数を変更するこ

50

とで、利得を切り替える方法が提案されている（例えば、特許文献 1～3 参照）。

【0009】

特許文献 1 に示す複同調トランスは、受信アンテナの後段に設けられたアンテナ同調トランスにおいて、1 次同調巻線に接続された接地容量を有する。複同調トランスは、接地容量の容量値を変更することで、入力インピーダンスを整合させて、利得を切り替える。

【0010】

特許文献 2 に示すアンテナ整合回路は、アンテナとチューナモジュールとの間に配設され、インダクタと、コンデンサと、PIN ダイオードとを含む。アンテナ整合回路は、後段に接続されるチューナモジュールが出力した信号に応じて、PIN ダイオードを ON 又は OFF する。アンテナ整合回路は、PIN ダイオードの ON によってインピーダンスを

10

【0011】

特許文献 3 に示す利得可変増幅回路は、コンダクタンス回路の出力段に接続された可変負荷回路において、可変容量の容量値を調整することで利得を切り替える。

【先行技術文献】

【非特許文献】

【0012】

【非特許文献 1】Ning . Li , et al . , “ A 24 dB Gain 51 - 68 GHz CMOS Low Noise Amplifier Using Asymmetric - Layout Transistors ” , IEEE ESSIRC . , pp . 342 - 345 , Sep . 2010

20

【特許文献】

【0013】

【特許文献 1】特許第 3517166 号公報

【特許文献 2】特開 2011 - 142384 号公報

【特許文献 3】特許第 4903834 号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかし、上述した非特許文献 1 及び特許文献 1～3 では、例えば低利得に切り替える場合には、高周波信号経路に容量素子が直列接続されるため、受信アンテナから入力された高周波信号のロスが生じることがあったので、広帯域において動作することが困難であった。

30

【0015】

本開示は、上述した従来の課題を解決するために、入力された高周波信号のロスを低減し、利得を切り替える可変整合回路及び増幅器を提供することを目的とする。

【課題を解決するための手段】

【0016】

本開示は、高周波信号を増幅する第 1 のトランジスタ回路と、前記第 1 のトランジスタ回路が増幅した前記高周波信号を増幅する第 2 のトランジスタ回路と、前記第 1、第 2 の各トランジスタ回路間に設けられ、1 次インダクタ素子と 2 次インダクタ素子とが磁気結合するトランスフォーマと、第 1 の容量素子と、第 2 の容量素子と、を備え、前記 1 次インダクタ素子は、前記第 1 のトランジスタ回路の出力端子と、前記第 1 のトランジスタ回路のバイアス回路との間に接続され、前記 2 次インダクタ素子は、前記第 2 のトランジスタ回路の入力端子と、前記第 2 のトランジスタ回路のバイアス回路との間に接続され、前記 1 次インダクタ素子と前記第 1 のトランジスタ回路のバイアス回路との接続点は、前記第 1 の容量素子に接続され、前記 2 次インダクタ素子と前記第 2 のトランジスタ回路のバイアス回路との接続点は、前記第 2 の容量素子に接続され、前記 1 次、2 次の各インダクタ素子のインダクタンス値と、前記第 1、第 2 の各容量素子の容量値とのうち、少なくと

40

50

も1つが可変であり、前記第1の容量素子がグランドに接続される、可変整合回路である。

【0017】

また、本開示は、高周波信号を入力する第1のトランジスタ回路と、前記第1のトランジスタ回路が増幅した前記高周波信号を増幅する第2のトランジスタ回路と、前記第1のトランジスタ回路の入力端子にDC制御電圧を印加するDC電位伝達回路と、前記第2のトランジスタ回路の出力端子に電源電圧を印加するDC電位伝達回路と、前記第1、第2の各トランジスタ回路間に設けられ、1次インダクタ素子と2次インダクタ素子とが磁気結合するトランスフォーマと、第1の容量素子と、第2の容量素子と、を備え、前記1次インダクタ素子は、前記第1のトランジスタ回路の出力端子と、前記第1のトランジスタ回路のバイアス回路との間に接続され、前記2次インダクタ素子は、前記第2のトランジスタ回路の入力端子と、前記第2のトランジスタ回路のバイアス回路との間に接続され、前記1次インダクタ素子と前記第1のトランジスタ回路のバイアス回路との接続点は、前記第1の容量素子に接続され、前記2次インダクタ素子と前記第2のトランジスタ回路のバイアス回路との接続点は、前記第2の容量素子に接続され、前記1次、2次の各インダクタ素子のインダクタンス値と、前記第1、第2の各容量素子の容量値とのうち、少なくとも1つが可変であり、前記第1の容量素子がグランドに接続される、増幅器である。

10

【発明の効果】

【0018】

本開示によれば、入力された高周波信号のロスを低減でき、利得を切り替えでき、更に、アンテナとの整合端面における高周波信号の反射を低減できるので、雑音指数を改善でき、周波数帯域を拡大できる。

20

【図面の簡単な説明】

【0019】

【図1】第1の実施形態の可変整合回路の内部構成を示す図

【図2】第1、第2の各容量素子が可変容量値を有する第1の回路構成例を示す図

【図3】第1、第2の各容量素子が可変容量値を有する第2の回路構成例を示す図

【図4】第1、第2の各容量素子が可変容量値を有する第3の回路構成例を示す図

【図5】1次インダクタ素子及び2次インダクタ素子が可変インダクタンス値を有する回路構成の一例を示す図

30

【図6】(A)1次インダクタ及び2次インダクタが可変インダクタンス値を有するトランスフォーマのレイアウトの一例を示す図、(B)A-A断面図、(C)B-B断面図

【図7】第1の実施形態の変形例の可変整合回路の内部構成を示す図

【図8】インダクタンス値又は容量値と増幅器の利得との関係を示すグラフ

【図9】第2の実施形態の増幅器の回路構成を示す図

【図10】各トランジスタ回路のDCゲート電圧を変更可能な増幅器の回路構成を示す図

【図11】各トランジスタ回路にCMOSトランジスタを用いた増幅器の回路構成を示す図

【図12】図11に示す増幅器において、入力整合回路、出力整合回路及びDC電位伝達回路の第1の例を示した増幅器の回路構成を示す図

40

【図13】図11に示す増幅器において、入力整合回路、出力整合回路及びDC電位伝達回路の第2の例を示した増幅器の回路構成を示す図

【図14】トランジスタのゲートに印加されるゲート電圧とトランジスタに流れる電流との関係を示すグラフ

【図15】高周波信号を受信する従来の受信機の内部構成の一例を示すブロック図

【発明を実施するための形態】

【0020】

(各実施形態の内容に至る経緯)

先ず、本開示に係る可変整合回路及び増幅器の各実施形態を説明する前に、各実施形態の内容に至る経緯について、図15を参照して説明する。図15は、高周波信号を受信す

50

る従来の受信機の内部構成の一例を示すブロック図である。

【0021】

図15に示す受信機は、アンテナ101が接続された低雑音増幅器(LNA)102と、ミキサ103a, 103bと、局部発振器105と、 $\pi/2$ 移相器106と、可変利得増幅器(VGA)104a, 104bと、ベースバンド処理回路107と、制御回路108とを含む。

【0022】

図15に示す受信機では、アンテナ101が受信した高周波信号は、後段の低雑音増幅器102に入力されて増幅され、2系統に分岐されてミキサ103a, 103bに入力される。ミキサ103a, 103bでは、局部発振器105及び $\pi/2$ 移相器106により発生された局部発振信号と2系統に分岐された高周波信号とがミキシングされてベースバンド信号に変換される。

10

【0023】

ベースバンド信号は可変利得増幅器104a, 104bにおいて所定振幅まで増幅された後に、ベースバンド処理回路107に入力される。なお、ベースバンド処理回路107に入力されるベースバンド信号の振幅は、アンテナ101が受信した高周波信号の振幅に拘わらず、一定の範囲内に保持される必要がある。

【0024】

このため、図15に示す受信機では、低雑音増幅器102及び可変利得増幅器104a, 104bは、可変利得機能を有する。低雑音増幅器102及び可変利得増幅器104a, 104bの各利得は、制御回路108が生成した利得制御信号によって決定される。

20

【0025】

上述した特許文献1及び2では、アンテナの後段に接続されたアンテナ整合回路が、アンテナ整合回路に含まれる回路素子の回路定数(例えば、接地容量の容量値、アンテナとチューナモジュールとの間に接続された容量素子の容量値)を変更することで、利得を切り替えていた。

【0026】

ここで、例えばアンテナ整合回路が整合状態から非整合状態に変更することで、低利得に切り替える場合、アンテナ整合回路の端面において反射される高周波信号の電力が大きくなることがある。反射された高周波信号はアンテナから外部に放射されることになり、不要輻射が大きくなる。

30

【0027】

また、反射された高周波信号はアンテナとアンテナ整合回路との間において定在波を発生させるので、回路の異常動作(例えば回路素子の損傷)を引き起こす要因となる。更に、受信機の受信性能の指標として用いられる雑音指数特性は、アンテナに近い場所において高周波信号のロスが発生すると、大きく劣化するという特徴を持つ。

【0028】

このため、アンテナとアンテナ整合回路との間の反射が大きくなると、アンテナに近い場所において高周波信号のロスが発生することになり、雑音指数特性が大きくなるという課題があった。

40

【0029】

一方、上述した特許文献3では、コンダクタンス回路の出力段に、後段の回路との間においてインピーダンスを整合するための出力整合回路が接続されている。出力整合回路は、高周波信号の信号経路に直列に接続される第1容量素子と、高周波信号の信号経路とグランドとの間に接続される第2容量素子とを含む。

【0030】

高周波信号の信号経路に、容量素子が直列接続された出力整合回路を用いると、インピーダンス整合が可能な周波数帯域を狭めることになり、更に、出力整合回路において発生する高周波信号のロスが大きくなる。特に、数十GHzのミリ波信号を扱う無線通信では、低雑音増幅器は広い帯域幅を有する必要があるため、かつ高周波信号のロスは少ない方が良

50

い。

【0031】

そこで、以下の各実施形態では、高周波信号を増幅する増幅器に用いられる可変整合回路において、アンテナへの信号反射特性及び雑音指数特性の劣化を抑制し、高周波信号のロス低減して広帯域において動作し、更に利得を切り替える可変整合回路及び増幅器の例を説明する。

【0032】

(第1の実施形態)

図1は、第1の実施形態の可変整合回路1の内部構成を示す図である。図1に示す可変整合回路1は、第1のトランジスタ回路9と、第2のトランジスタ回路10と、トランスフォーマ11と、第1の容量素子12と、第2の容量素子13とを含む。なお、可変整合回路1は、第1のトランジスタ回路のバイアス回路14と、第2のトランジスタ回路のバイアス回路15とを更に含んでも良い。

10

【0033】

第1のトランジスタ回路9は、第1のトランジスタ回路のバイアス回路14から供給されたDC電源電圧によって動作し、入力端子RFINに入力された高周波信号を増幅してトランスフォーマ11の1次インダクタ素子11fに出力する。

【0034】

第2のトランジスタ回路10は、不図示の電源電圧生成回路から供給されたDC電源電圧によって動作し、トランスフォーマ11を介して、第1のトランジスタ回路9が増幅した高周波信号が入力される。第2のトランジスタ回路10は、入力された高周波信号を増幅して出力端子RFOUTに出力する。

20

【0035】

トランスフォーマ11は、4個の端子11a, 11b, 11c, 11dを有する。トランスフォーマ11は、第1のトランジスタ回路9と第2のトランジスタ回路10との間、即ち高周波信号の信号経路に沿って設けられ、DC的には互いに絶縁され磁気結合する1次インダクタ素子11fと2次インダクタ素子11gとを含む。

【0036】

1次インダクタ素子11f及び2次インダクタ素子11gは、可変インダクタンス値を有する。1次インダクタ素子11f及び2次インダクタ素子11gの具体的な回路構成は、図5及び図6を参照して後述する。

30

【0037】

トランスフォーマ11は、1次インダクタ素子11fと2次インダクタ素子11gとの磁気結合によって高周波信号を伝達する。これにより、トランスフォーマ11は、第1のトランジスタ回路9が増幅した高周波信号を伝達することによって、第2のトランジスタ回路10に入力する。なお、トランスフォーマ11は、図1に示す2巻線の構成に限定されず、可変整合回路1の回路構成又は実装可能な面積に応じて、3巻線以上の構成でも良い。

【0038】

1次インダクタ素子11fの端子11aは、第1のトランジスタ回路9の出力端子(不図示)に接続される。1次インダクタ素子11fの端子11bは、第1のトランジスタ回路のバイアス回路14に接続される。1次インダクタ素子11fと第1のトランジスタ回路のバイアス回路14との接続点は、第1の容量素子12を介してグランドに接続される。

40

【0039】

2次インダクタ素子11gの端子11cは、第2のトランジスタ回路10の入力端子(不図示)に接続される。2次インダクタ素子11gの端子11dは、第2のトランジスタ回路のバイアス回路15に接続される。2次インダクタ素子11gと第2のトランジスタ回路のバイアス回路15との接続点は、第2の容量素子13を介してグランドに接続される。

50

【 0 0 4 0 】

第 1 の容量素子 1 2 及び第 2 の容量素子 1 3 は、可変容量値を有する。第 1 の容量素子 1 2 及び第 2 の容量素子 1 3 の具体的な回路構成は、図 2 ~ 図 4 を参照して後述する。

【 0 0 4 1 】

第 1 のトランジスタ回路のバイアス回路 1 4 は、1 次インダクタ素子 1 1 f を介して、第 1 のトランジスタ回路 9 の出力端子に接続され、第 1 のトランジスタ回路 9 の D C 電源電圧を第 1 のトランジスタ回路 9 に供給する。

【 0 0 4 2 】

第 2 のトランジスタ回路のバイアス回路 1 5 は、2 次インダクタ素子 1 1 g を介して、第 2 のトランジスタ回路 1 0 の入力端子に接続され、第 2 のトランジスタ回路 1 0 の D C ゲート電圧 (D C 制御電圧) を第 2 のトランジスタ回路 1 0 に供給する。

10

【 0 0 4 3 】

なお、図 1 では、第 2 のトランジスタ回路 1 0 に D C 電源電圧を供給する電源電圧生成回路の図示を省略する。第 1 のトランジスタ回路 9 の出力端子と第 2 のトランジスタ回路 1 0 の入力端子には、異なる D C 電位が与えられる。

【 0 0 4 4 】

本実施形態の可変整合回路 1 は、第 1 のトランジスタ回路 9 が増幅して第 2 のトランジスタ回路 1 0 に伝達される高周波信号の電力を、第 1 のトランジスタ回路 9 の出力インピーダンス、第 2 のトランジスタ回路 1 0 の入力インピーダンス、1 次インダクタ素子 1 1 f のインダクタンス値、2 次インダクタ素子 1 1 g のインダクタンス値、第 1 の容量素子 1 2 の容量値及び第 2 の容量素子 1 3 の容量値に応じて変更する。本実施形態において、第 1 のトランジスタ回路 9 の出力インピーダンス及び第 2 のトランジスタ回路 1 0 の入力インピーダンスは固定である。

20

【 0 0 4 5 】

従って、可変整合回路 1 は、1 次、2 次の各インダクタ素子 1 1 f , 1 1 g のインダクタンス値、第 1 , 第 2 の各容量素子 1 2 , 1 3 の容量値を変更することで、第 1 のトランジスタ回路 9 が増幅して第 2 のトランジスタ回路 1 0 に伝達される高周波信号の電力を任意に変更できる。即ち、可変整合回路 1 は、入力端子 R F I N に入力された高周波信号に対する利得を切り替えできる。

【 0 0 4 6 】

次に、第 1 , 第 2 の各容量素子 1 2 , 1 3 が可変容量値を有する回路構成例を、図 2 ~ 図 4 を参照して説明する。図 2 は、第 1 , 第 2 の各容量素子が可変容量値を有する第 1 の回路構成例を示す図である。図 3 は、第 1 , 第 2 の各容量素子が可変容量値を有する第 2 の回路構成例を示す図である。図 4 は、第 1 , 第 2 の各容量素子が可変容量値を有する第 3 の回路構成例を示す図である。

30

【 0 0 4 7 】

図 2 ~ 図 4 では、第 1 , 第 2 の各容量素子 1 2 , 1 3 は同様の構成であるので、説明を簡単にするために、第 2 の容量素子 1 3 の説明は省略し、第 1 の容量素子 1 2 について説明する。

【 0 0 4 8 】

第 1 の回路構成例では、第 1 の容量素子 1 2 - 1 は、端子 1 2 a , 1 2 b 間に、固定容量素子 C 0 と、固定容量素子 C 0 と異なる N 個の固定容量素子 C 1 ~ C n とスイッチ S W 1 ~ S W n とが直列接続した組とが並列接続した構成である。固定容量素子 C 1 とスイッチ S W 1 とが直列接続し、以下同様に、固定容量素子 C n とスイッチ S W n とが直列接続する。n は 1 以上の整数である。

40

【 0 0 4 9 】

n 個の各スイッチ S W 1 ~ S W n は、端子 1 2 b を介してグラウンドに接続され (図 1 参照) 、外部の制御回路が出力した制御信号 C T R N 1 ~ C T R N n に応じて、O N 又は O F F する。即ち、n 個の各スイッチ S W 1 ~ S W n は、制御信号 C T R N 1 ~ C T R N n に応じて、スイッチの接点間を導通又は非導通する。第 1 の容量素子 1 2 - 1 では、O N

50

するスイッチ数は最大 n であり、最小 0 である。

【0050】

第1の容量素子12-1は、 n 個のスイッチのうちONしたスイッチ数に応じて、第1の容量素子12-1の容量値を変更できる。例えば、全てのスイッチがOFFした場合は、第1の容量素子12-1の容量値は、固定容量素子 C_0 の容量値となる。また、スイッチ $SW_1 \sim SW_n$ のうちスイッチ SW_1 がONした場合は、第1の容量素子12-1の容量値は、固定容量素子 C_0 、 C_1 の並列合成容量値となる。

【0051】

第2の回路構成例では、第1の容量素子12-2は、端子12a、12b間に、 $n+1$ 個の固定容量素子 C_0 、 $C_1 \sim C_n$ が直列接続し、各々の固定容量素子 $C_0 \sim C_n$ の間がスイッチ $SW_1 \sim SW_n$ を介して接地した構成である。

10

【0052】

n 個のスイッチ $SW_1 \sim SW_n$ は、端子12bを介してグラウンドに接続され(図1参照)、外部の制御回路が出力した制御信号 $CTRN_1 \sim CTRN_n$ に応じて、ON又はOFFする。即ち、 n 個の各スイッチ $SW_1 \sim SW_n$ は、制御信号 $CTRN_1 \sim CTRN_n$ に応じて、スイッチの接点間を導通又は非導通する。第1の容量素子12-2では、ONするスイッチ数は最大1であり、最小0である。

【0053】

第1の容量素子12-2は、 n 個のスイッチ $SW_1 \sim SW_n$ のうちONしたスイッチ数(1又は0)とスイッチ数が1である場合にはONしたスイッチとに応じて、第1の容量素子12-2の容量値を変更できる。例えば、全てのスイッチ $SW_1 \sim SW_n$ がOFFした場合は、第1の容量素子12-2の容量値は、 $C_0 \sim C_n$ の直列合成容量値であり最小値となる。また、スイッチ SW_1 がONした場合は、第1の容量素子12-2の容量値は、固定容量素子 C_0 の容量値であり最大値となる。また、スイッチ SW_n がONした場合は、第1の容量素子12-2の容量値は、固定容量素子 $C_0 \sim C_{n-1}$ (不図示)の直列合成容量値である。

20

【0054】

第3の回路構成例では、第1の容量素子12-3は、端子12a、12b間に、固定容量素子と可変容量素子(例えばバラクタ)とが直列接続した n 個の組が並列接続した構成である。各固定容量素子と可変容量素子との間には制御電圧源が接続されている。例えば、固定容量素子 C_1 と可変容量素子 VRC_1 の間には、制御電圧源 $CTSV_1$ が接続されている。以下同様に、固定容量素子 C_n と可変容量素子 VRC_n の間には、制御電圧源 $CTSV_n$ が接続されている。

30

【0055】

制御電圧源 $CTSV_1 \sim CTSV_n$ は、グラウンドに接続され、任意の制御電圧を生成して可変容量素子 $VRC_1 \sim VRC_n$ の端子間に印加する。各可変容量素子 $VRC_1 \sim VRC_n$ は、制御電圧源 $CTSV_1 \sim CTSV_n$ が印加した端子間電圧に応じて、容量値を変更する。

【0056】

第1の容量素子12-3は、直列接続した固定容量素子の固定容量値と可変容量素子の可変容量値との直列合成容量値の n 個の並列合成容量値に応じて、第1の容量素子12-3の容量値を変更できる。

40

【0057】

次に、1次インダクタ素子11f及び2次インダクタ素子11gが可変インダクタンス値を有する回路構成例を、図5及び図6を参照して説明する。図5は、1次インダクタ素子11f及び2次インダクタ素子11gが可変インダクタンス値を有する回路構成の一例を示す図である。図6(A)は、1次インダクタ素子11f及び2次インダクタ素子11gが可変インダクタンス値を有するトランスフォーマ11のレイアウトの一例を示す図である。図6(B)は、図6(A)のA-A断面図である。図6(C)は、図6(A)のB-B断面図である。

50

【 0 0 5 8 】

図5では、1次インダクタ素子11f及び2次インダクタ素子11gは同様の構成であるので、説明を簡単にするために、2次インダクタ素子11gの説明は省略し、1次インダクタ素子11fについて説明する。

【 0 0 5 9 】

図5では、1次インダクタ素子11fにn個の中間端子11M1～11Mnが設けられ、各中間端子と端子11bとの間に、n個のスイッチSW1～SWnが接続される。n個の各スイッチSW1～SWnは、外部の制御回路が出力した制御信号CTR N1～CTR Nnに応じて、ON又はOFFする。即ち、n個の各スイッチSW1～SWnは、制御信号CTR N1～CTR Nnに応じて、スイッチの接点間を導通又は非導通する。1次インダクタ素子11fでは、ONするスイッチ数は最大1であり、最小0である。

10

【 0 0 6 0 】

1次インダクタ素子11fは、n個のスイッチSW1～SWnのうちONしたスイッチ数(1又は0)とスイッチ数が1である場合にはONしたスイッチとに応じて、1次インダクタ素子11fのインダクタンス値を変更できる。例えば、全てのスイッチSW1～SWnがOFFした場合には、1次インダクタ素子11fのインダクタンス値は、端子11aと端子11bとの間のインダクタ素子の長さに応じたインダクタンス値であり最大値となる。また、スイッチSW1がONした場合には、1次インダクタ素子11fのインダクタンス値は、端子11aと中間端子11M1との間のインダクタ素子の長さに応じたインダクタンス値である最小値となる。

20

【 0 0 6 1 】

図6(A)において、1次インダクタ素子11fとインダクタ素子11gとは、端子11c、端子11d側の一部分において交差し、他の部分では基板(不図示)に対して同じ高さであって、中心軸を共通するように配線され、更に、ガードリングGDR1、GDR2によって周囲が囲まれた構成である。

【 0 0 6 2 】

ガードリングGDR1は、1次インダクタ素子11f、2次インダクタ素子11g及びガードリングGDR2の周囲を囲むように配線され、1次インダクタ素子11f、2次インダクタ素子11gの各インダクタンス値の変動を防ぐために設けられる。ガードリングGDR1は、グラウンドに接続される。

30

【 0 0 6 3 】

ガードリングGDR2は、1次インダクタ素子11f、2次インダクタ素子11gの周囲を囲むように配線され、配線の一部に直列にスイッチSW1が接続されている。スイッチSW1は、外部の制御回路が出力した制御信号CTR N1に応じて、ON又はOFFする。

【 0 0 6 4 】

スイッチSW1がONすると、ガードリングGDR1及びガードリングGDR2に、1次インダクタ素子11f及び2次インダクタ素子11gにおいて発生した磁束によって誘導電流が流れる。

【 0 0 6 5 】

一方、スイッチSW1がOFFになると、ガードリングGDR1に対して、1次インダクタ素子11f及び2次インダクタ素子11gにおいて発生した磁束によって誘導電流が流れる。

40

【 0 0 6 6 】

このため、スイッチSW1がONになると、トランスフォーマ11は、1次インダクタ素子11f及び2次インダクタ素子11gの各インダクタンス値を、スイッチSW1がOFFした場合に比べて、小さくできる。

【 0 0 6 7 】

なお、本実施形態の可変整合回路1では、1次インダクタ素子11f、2次インダクタ素子11gの各インダクタンス値、第1の容量素子12の容量値、第2の容量素子13の

50

容量値は、必ずしも全てが可変容量値でなくても良く、少なくとも一つが可変容量値であれば良い。これにより、可変整合回路 1 は、入力された高周波信号の電力の後段回路への伝達量を変更でき、即ち、高周波信号に対する利得を切り替えできる。

【 0 0 6 8 】

以上により、本実施形態の可変整合回路 1 は、高周波信号が通過する信号経路に、直列接続される回路素子はトランスフォーマ 1 1 であり、トランスフォーマ 1 1 以外に他の受動素子（例えば容量素子）が直列接続されないので、高周波信号のロスを抑え、また、広帯域な整合特性が得られる。

【 0 0 6 9 】

更に、可変整合回路 1 は、第 1 のトランジスタ回路 9 の出力段に設けられた受動素子（例えばトランスフォーマ 1 1、第 1 の容量素子 1 2、第 2 の容量素子 1 3）の素子定数を変更して利得を切り替えるので、特許文献 1 及び 2 に比べて、高周波信号の反射特性及び雑音指数特性の劣化を抑えける。

【 0 0 7 0 】

（第 1 の実施形態の変形例）

図 7 は、第 1 の実施形態の変形例の可変整合回路 1 A の内部構成を示す図である。本変形例の可変整合回路 1 A では、図 1 に示す可変整合回路 1 の第 1 のトランジスタ回路のバイアス回路 1 4 として、チョークコイル 1 6 a と可変電圧源 1 7 a とが例示され、更に、第 2 のトランジスタ回路のバイアス回路 1 5 として、チョークコイル 1 6 b と可変電圧源 1 7 b とが例示されている。

【 0 0 7 1 】

チョークコイル 1 6 a は、一端が端子 1 1 b に接続され、他端が可変電圧源 1 7 a に接続され、A C 的に対してはオープンであって、D C 電位を伝達する。

【 0 0 7 2 】

チョークコイル 1 6 b は、一端が端子 1 1 d に接続され、他端が可変電圧源 1 7 b に接続され、A C 的に対してはオープンであって、D C 電位を伝達する。

【 0 0 7 3 】

可変電圧源 1 7 a は、グランドに接続され、第 1 のトランジスタ回路 9 の D C 電源電圧を生成してチョークコイル 1 6 a に供給する。可変電圧源 1 7 a は、第 1 のトランジスタ回路 9 の D C 電源電圧の値を任意に変更できる。

【 0 0 7 4 】

可変電圧源 1 7 b は、グランドに接続され、第 2 のトランジスタ回路 1 0 の D C ゲート電圧を生成してチョークコイル 1 6 b に供給する。可変電圧源 1 7 b は、第 2 のトランジスタ回路 1 0 の D C ゲート電圧の値を任意に変更できる。

【 0 0 7 5 】

上述した非特許文献 1 に示す低雑音増幅器は、トランジスタ回路のゲート端子に供給される D C ゲート電圧の値を変更して、利得を切り替えた。ここで、低利得に切り替える場合、図 1 4 に示す D C ゲート電圧 V_{g1} 、即ち D C ゲート電圧に対する電流の傾き（利得）が非線形となる領域を用いることになる。このため、低雑音増幅器の利得線形性が劣化する。

【 0 0 7 6 】

本変形例では、1 次インダクタ素子 1 1 f、2 次インダクタ素子 1 1 g の各インダクタンス値、第 1 の容量素子 1 2、第 2 の容量素子 1 3 のうちいずれかを可変容量値とする以外に、第 1 のトランジスタ回路 9 の D C 電源電圧及び第 2 のトランジスタ回路 1 0 の D C ゲート電圧も可変とする。

【 0 0 7 7 】

以上により、可変整合回路 1 A は、低利得に切り替える場合でも、図 1 4 に示す D C ゲート電圧 V_{g1} ではなく V_{gm} 、即ち D C ゲート電圧に対する電流の傾き（利得）が線形となる領域を用いて、第 1 のトランジスタ回路 9 に流れる電流及び第 2 のトランジスタ回路 1 0 のゲート端子に流れる電流を下げることができ、第 1 のトランジスタ回路 9 及び第

10

20

30

40

50

2のトランジスタ回路10の特性劣化を回避できる。

【0078】

更に、本変形例の可変整合回路1Aは、低利得に切り替える場合でも、非特許文献1に示す低雑音増幅器に比べて、利得の線形性の劣化を抑制し、利得の切り替えができる。

【0079】

図8は、インダクタンス値又は容量値と増幅器の利得との関係を示すグラフである。本変形例の可変整合回路1Aは、高利得に切り替える場合には、インダクタンス値又は容量値をL_l又はC_lからL_h又はC_hに変更することで、可変整合回路1Aが用いられる増幅器の利得を最大値に切り替えできる。

【0080】

また、可変整合回路1Aは、低利得に切り替える場合には、インダクタンス値又は容量値をL_h又はC_hからL_l又はC_lに変更することで、可変整合回路1Aが用いられる増幅器の利得を最小値に切り替えできる。

【0081】

(第2の実施形態)

第2の実施形態では、第1の実施形態の可変整合回路1が用いられた増幅器の回路構成について説明する。なお、第1の実施形態の可変整合回路1と同一の構成については同一の符号を用いて説明を省略又は簡略化し、異なる内容について説明する。図9は、第2の実施形態の増幅器2の回路構成を示す図である。増幅器2は、例えば受信アンテナの後段に接続されるLNA(低雑音増幅器)として用いられる。

【0082】

図9に示す増幅器2は、入力整合回路18と、DC電位伝達回路22と、2つの可変整合回路1(図1参照)と、出力整合回路19と、DC電位伝達回路23と、DC制御電圧生成回路21とを含む。図9に示す第2のトランジスタ回路10は、増幅器2に用いられる2つの可変整合回路のうち、第1段目の可変整合回路の第2のトランジスタ回路10(図1参照)として動作し、更に、第2段目の可変整合回路の第1のトランジスタ回路9(図1参照)として動作する。

【0083】

入力整合回路18は、増幅器2の入力端子RFINと第1のトランジスタ回路9の入力端子との間に設けられ、アンテナ(不図示)の出力インピーダンスと第1のトランジスタ回路9の入力インピーダンスとを整合する。

【0084】

第1のトランジスタ回路9の出力端子には端子111a、第2のトランジスタ回路10の入力端子には端子111cが接続され、端子111aと端子111cとの間には、第1の実施形態の可変整合回路1のトランスフォーマ11が設けられる。

【0085】

同様に、第2のトランジスタ回路10の出力端子には端子112a、第3のトランジスタ回路17の入力端子には端子112cが接続され、端子112aと端子112cとの間には、第1の実施形態の可変整合回路1のトランスフォーマ111と同様のトランスフォーマ112が設けられる。

【0086】

出力整合回路19は、第3のトランジスタ回路17の出力端子と増幅器2の出力端子RFOUTとの間に設けられ、第3のトランジスタ回路17の出力インピーダンスと後段の回路の入力インピーダンスとを整合する。

【0087】

端子111b、端子112bにはチョークコイル16a、16bの一端が接続され、チョークコイル16a、16bの他端は電源電圧生成回路(VDD)20に接続される。端子111b、端子112bと電源電圧生成回路20との間にチョークコイル16a、16bが接続されることで、第1段目の可変整合回路及び第2段目の可変整合回路は、第1の容量素子121、第1の容量素子122の各容量値を異なる容量値に変更できる。

10

20

30

40

50

【 0 0 8 8 】

端子 1 1 1 d、端子 1 1 2 d は、電源電圧生成回路 2 0 が供給した D C 電源電圧を用いて各トランジスタ回路に応じた異なる D C ゲート電圧 (D C 制御電圧) を生成する D C 制御電圧生成回路 2 1 に接続される。

【 0 0 8 9 】

D C 電位伝達回路 2 2 は、一端が入力整合回路 1 8 と第 1 のトランジスタ回路 9 の入力端との接続点に接続され、他端が D C 制御電圧生成回路 2 1 に接続され、第 1 のトランジスタ回路 9 のゲートに D C ゲート電圧 (D C 制御電圧) を与えて動作させる。

【 0 0 9 0 】

D C 電位伝達回路 2 3 は、一端が第 3 のトランジスタ回路 1 7 の出力端と出力整合回路 1 9 との接続点に接続され、他端が電源電圧生成回路 2 0 に接続され、第 3 のトランジスタ回路 1 7 に D C 電源電圧を与えて動作させる。

10

【 0 0 9 1 】

増幅器 2 は、利得制御信号 L N A C N T に応じて利得制御信号生成回路 2 4 が出力した各制御信号に応じて、1 次インダクタ素子 1 1 1 f、2 次インダクタ素子 1 1 1 g、1 次インダクタ素子 1 1 2 f、2 次インダクタ素子 1 1 2 g の各インダクタンス値と、第 1 の容量素子 1 2 1、第 2 の容量素子 1 3 1、第 1 の容量素子 1 2 2、第 2 の容量素子 1 3 2 の各容量値とを変更する。

【 0 0 9 2 】

利得制御信号生成回路 2 4 は、利得とインダクタ素子のインダクタンス値及び容量素子の容量値との対応関係が規定されたテーブル (不図示) を保持する。利得制御信号生成回路 2 4 は、テーブルを参照し、入力された利得制御信号 L N A C N T に応じて、どのインダクタ素子又は容量素子に変更後のインダクタンス値又は容量値を指定するかを決定して制御信号を出力する。

20

【 0 0 9 3 】

以上により、本実施形態の増幅器 2 は、第 1 の実施形態の可変整合回路を用いた構成であり、高周波信号が通過する信号経路に、直列接続される回路素子はトランスフォーマ 1 1 1、1 1 2 であり、トランスフォーマ 1 1 1、1 1 2 以外に他の受動素子 (例えば容量素子) が直列接続されないので、高周波信号のロスを低減できる。

【 0 0 9 4 】

また、増幅器 2 は、広帯域な整合特性を得ることができる。更に、増幅器 2 は、第 1 のトランジスタ回路 9 の出力段に設けられた受動素子 (例えばトランスフォーマ 1 1、第 1 の容量素子 1 2、第 2 の容量素子 1 3) の素子定数を変更して利得を切り替えるので、特許文献 1 及び 2 に比べて、高周波信号の反射特性及び雑音指数特性の劣化を抑制できる。

30

【 0 0 9 5 】

なお、増幅器 2 において、D C 制御電圧生成回路 2 1 は、利得制御信号生成回路 2 4 が出力した電圧制御信号に応じて、第 1、第 2、第 3 の各トランジスタ回路 9、1 0、1 7 の D C ゲート電圧 (D C 制御電圧) を生成して供給しても良い (図 1 0 参照)。図 1 0 は、各トランジスタ回路の D C ゲート電圧を変更する増幅器 2 の回路構成を示す図である。

【 0 0 9 6 】

図 1 1 は、各トランジスタ回路に C M O S (Complementary Metal Oxide Semiconductor) トランジスタを用いた増幅器 2 の回路構成を示す図である。トランジスタ 2 5 は、図 9 に示す第 1 のトランジスタ回路 9 に対応する。トランジスタ 2 6 は、図 9 に示す第 2 のトランジスタ回路 1 0 に対応する。トランジスタ 2 7 は、図 9 に示す第 3 のトランジスタ回路 1 7 に対応する。

40

【 0 0 9 7 】

トランジスタ 2 5 のゲート端子が入力整合回路 1 8、ドレイン端子が端子 1 1 1 a、ソース端子がグランドに接続される。トランジスタ 2 6 のゲート端子が端子 1 1 1 c、ドレイン端子が端子 1 1 2 a、ソース端子がグランドに接続される。トランジスタ 2 7 のゲート端子が端子 1 1 2 c、ドレイン端子が出力整合回路 1 9、ソース端子がグランドに接続

50

される。

【 0 0 9 8 】

図 1 2 は、図 1 1 に示す増幅器 2 において、入力整合回路 1 8、出力整合回路 1 9 及び D C 電位伝達回路 2 2、2 3 の第 1 の例を示した増幅器 2 の回路構成を示す図である。

【 0 0 9 9 】

入力整合回路 1 8 は、伝送線路 1 8 1、1 8 2 と容量素子 1 8 3 とを含む。伝送線路 1 8 1 の一端は増幅器 2 の入力端子 R F I N に接続され、他端は伝送線路 1 8 2 の一端及び容量素子 1 8 3 の一端に接続される。伝送線路 1 8 2 の他端はグラウンドに接続される。容量素子 1 8 3 の他端はトランジスタ 2 5 のゲート端子及び後述する伝送線路 2 2 1 の一端に接続される。

10

【 0 1 0 0 】

D C 電位伝達回路 2 2 は、伝送線路 2 2 1 と、容量素子 2 2 2 とを含む。伝送線路 2 2 1 の他端は容量素子 2 2 2 の一端及び D C 制御電圧生成回路 2 1 に接続される。容量素子 2 2 2 の他端はグラウンドに接続される。

【 0 1 0 1 】

出力整合回路 1 9 は、容量素子 1 9 1 と、伝送線路 1 9 2、1 9 3 とを含む。容量素子 1 9 1 の一端はトランジスタ 2 6 のドレイン端子及び後述する伝送線路 2 3 1 の一端に接続され、他端は伝送線路 1 9 2、1 9 3 の一端に接続される。伝送線路 1 9 2 の他端はグラウンドに接続される。伝送線路 1 9 3 の他端は増幅器 2 の出力端子 R F O U T に接続される。

20

【 0 1 0 2 】

D C 電位伝達回路 2 3 は、伝送線路 2 3 1 と、容量素子 2 3 2 とを含む。伝送線路 2 3 1 の他端は容量素子 2 3 2 及び D C 制御電圧生成回路 2 1 に接続される。容量素子 2 3 2 の他端はグラウンドに接続される。

【 0 1 0 3 】

図 1 3 は、図 1 1 に示す増幅器 2 において、入力整合回路 1 8、出力整合回路 1 9 の第 2 の例を示した増幅器 2 C の回路構成を示す図である。図 1 3 に示す入力整合回路 1 8 C は、図 1 2 に示す D C 電位伝達回路 2 2 を含む。図 1 3 に示す出力整合回路 1 9 は、図 1 2 に示す D C 電位伝達回路 2 3 を含む。

【 0 1 0 4 】

入力整合回路 1 8 C は、トランスフォーマ 1 1 3 と、容量素子 1 8 4 とを含む。トランスフォーマ 1 1 3 は、4 個の端子 1 1 3 a、1 1 3 b、1 1 3 c、1 1 3 d を有し、高周波信号の信号経路に沿って設けられ、D C 的には互いに絶縁され磁気結合する 1 次インダクタ素子 1 1 3 f と 2 次インダクタ素子 1 1 3 g とを含む。

30

【 0 1 0 5 】

端子 1 1 3 a は増幅器 2 C の入力端子 R F I N に接続され、端子 1 1 3 c はトランジスタ 2 5 のゲート端子に接続される。端子 1 1 3 b はグラウンドに接続され、端子 1 1 3 d は D C 制御電圧生成回路 2 1 及び容量素子 1 8 4 の一端に接続される。なお、容量素子 1 8 4 の他端はグラウンドに接続される。

【 0 1 0 6 】

トランスフォーマ 1 1 3 は、1 次インダクタ素子 1 1 3 f と 2 次インダクタ素子 1 1 3 g との間における磁気結合によって、高周波信号を伝達する。1 次インダクタ素子 1 1 3 f、2 次インダクタ素子 1 1 3 g の各インダクタンス値は規定された固定値である。

40

【 0 1 0 7 】

入力整合回路 1 8 C は、トランスフォーマ 1 1 3 の 2 次インダクタ素子 1 1 3 g において、D C 制御電圧生成回路 2 1 が供給したトランジスタ 2 5 の D C ゲート電圧をトランジスタ 2 5 のゲート端子に供給する D C 電位伝達回路 2 2 の役割を有する。

【 0 1 0 8 】

出力整合回路 1 9 C は、トランスフォーマ 1 1 4 と、容量素子 1 9 4 とを含む。トランスフォーマ 1 1 4 は、4 個の端子 1 1 4 a、1 1 4 b、1 1 4 c、1 1 4 d を有し、高周

50

波信号の信号経路に沿って設けられ、DC的には互いに絶縁され磁気結合する1次インダクタ素子114fと2次インダクタ素子114gとを含む。

【0109】

端子114aはトランジスタ27のドレイン端子に接続され、端子114cは増幅器2Cの出力端子RFOUTに接続される。端子114bは電源電圧生成回路20及び容量素子194の一端に接続され、端子114dはグランドに接続される。なお、容量素子194の他端はグランドに接続される。

【0110】

トランスフォーマ114は、1次インダクタ素子114fと2次インダクタ素子114gとの間における磁気結合によって、高周波信号を伝達する。1次インダクタ素子114f、2次インダクタ素子114gの各インダクタンス値は規定された固定値である。

10

【0111】

出力整合回路19Cは、トランスフォーマ114の1次インダクタ素子114fにおいて、電源電圧生成回路20が供給したトランジスタ27のDC電源電圧をトランジスタ27のドレイン端子に供給するDC電位伝達回路23の役割を有する。

【0112】

以上により、増幅器2Cは、入力整合回路18C、出力整合回路19Cにトランスフォーマ113、114を用いることで、DC電位伝達回路22、DC電位伝達回路23の機能を入力整合回路18C、出力整合回路19Cに持たせることができ、増幅器2Cの回路面積、部品点数を削減できる。

20

【0113】

更に、増幅器2Cは、入力端子RFINに入力された高周波信号の信号経路に、容量素子が直列接続されていないので、高周波信号のロスを低減できる。

【0114】

以上、図面を参照して各種の実施形態について説明したが、本開示はかかる例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本開示の技術的範囲に属するものと了解される。

【産業上の利用可能性】

【0115】

本開示は、入力された高周波信号のロスを低減し、利得を切り替える可変整合回路及び増幅器として有用である。

30

【符号の説明】

【0116】

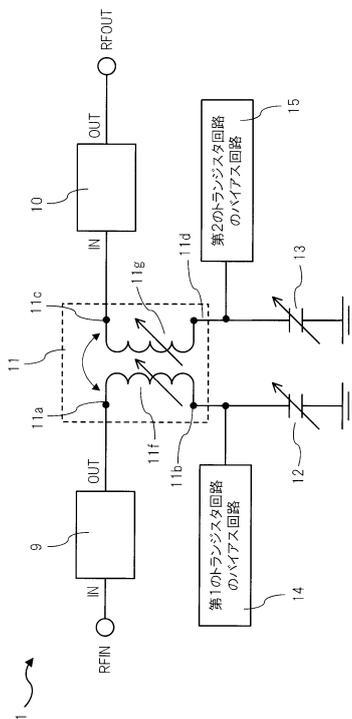
- 1、1A 可変整合回路
- 2、2C 増幅器
- 9 第1のトランジスタ回路
- 10 第2のトランジスタ回路
- 11 トランスフォーマ
- 11f 1次インダクタ素子
- 11g 2次インダクタ素子
- 11M1、11Mn 中間端子
- 12、12-1、12-2、12-3 第1の容量素子
- 13 第2の容量素子
- 14 第1のトランジスタ回路のバイアス回路
- 15 第2のトランジスタ回路のバイアス回路
- 16a、16b チョークコイル
- 17a、17b 可変電圧源
- 18、18C 入力整合回路
- 19、19C 出力整合回路

40

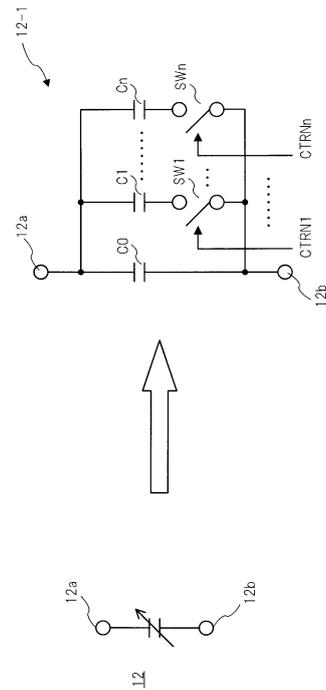
50

- 2 0 電源電圧生成回路
- 2 1 DC制御電圧生成回路
- 2 2、2 3 DC電位伝達回路
- 2 4 利得制御信号生成回路
- GDR1、GDR2 ガードリング
- LNACNT 利得制御信号

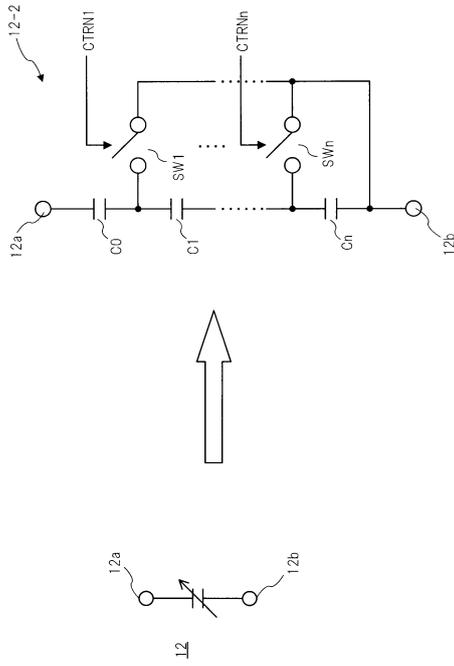
【図1】



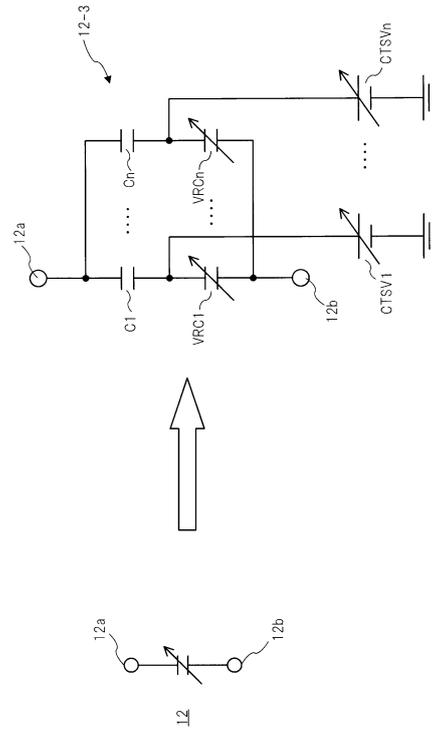
【図2】



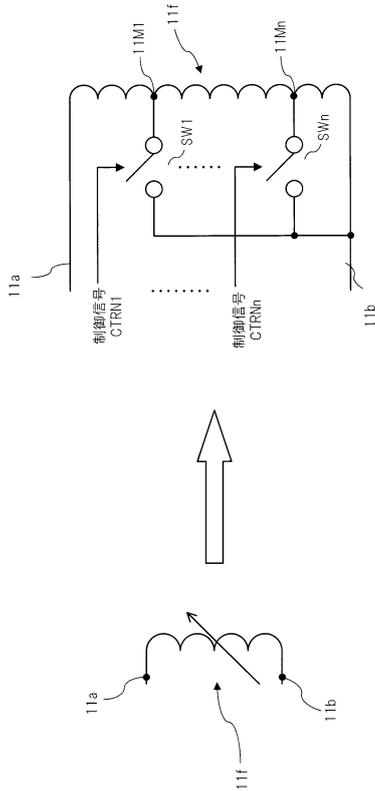
【図3】



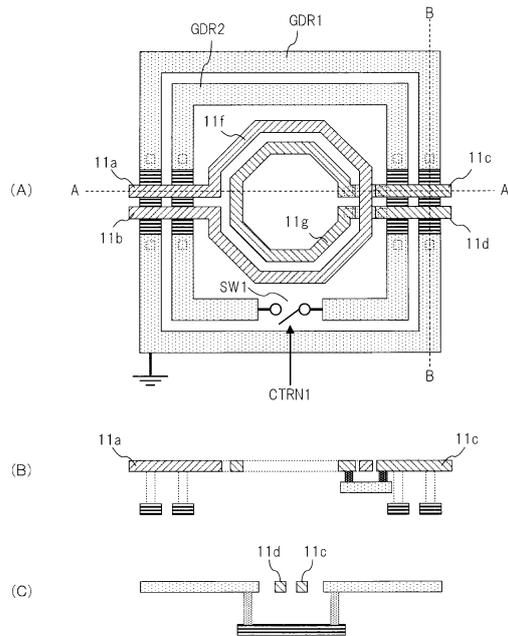
【図4】



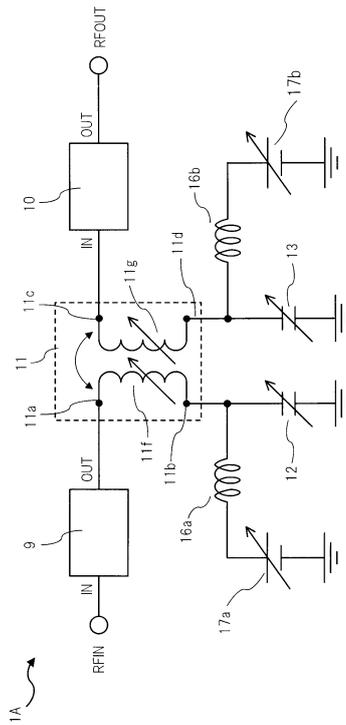
【図5】



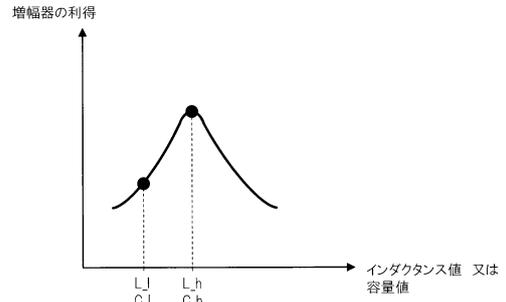
【図6】



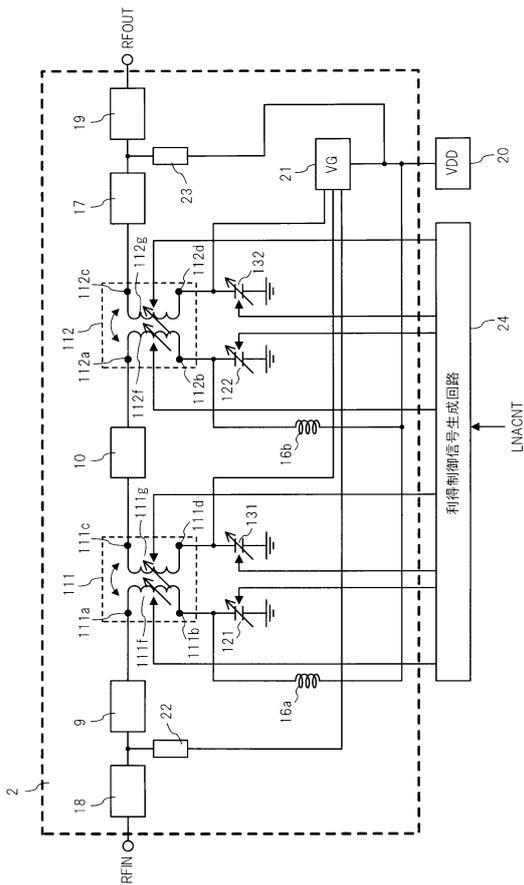
【図7】



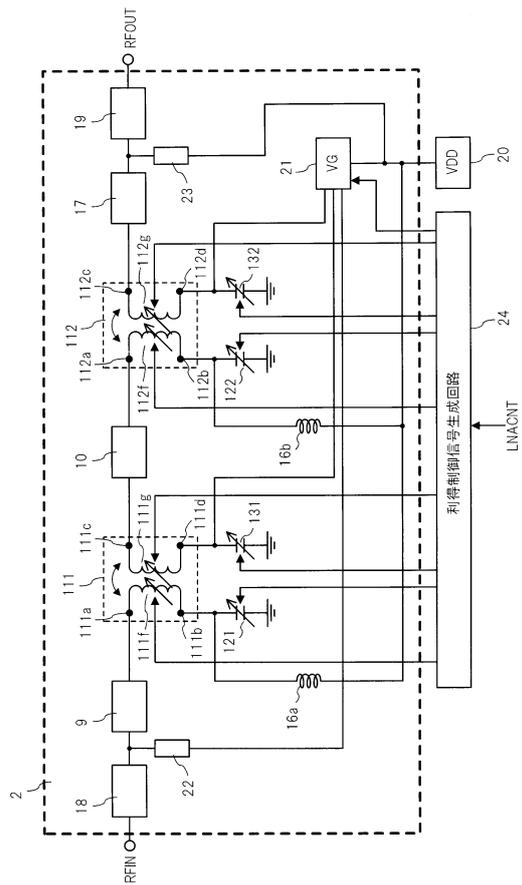
【図8】



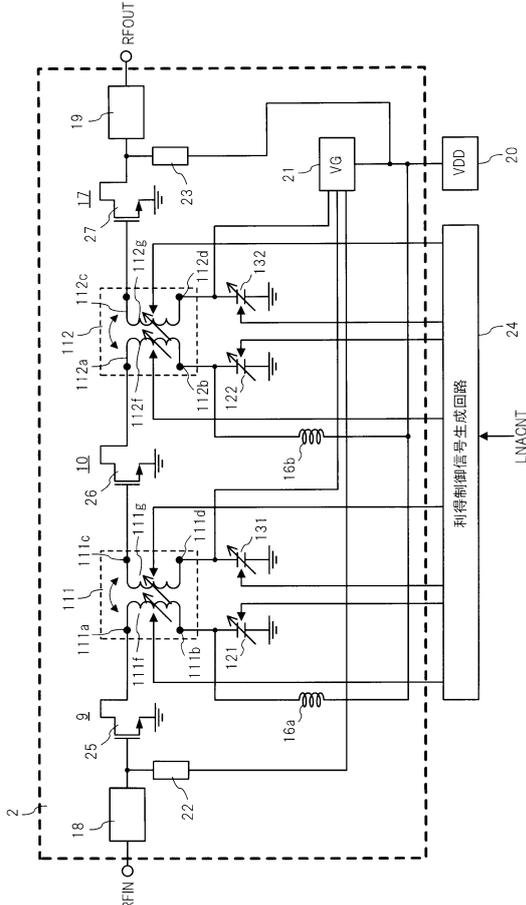
【図9】



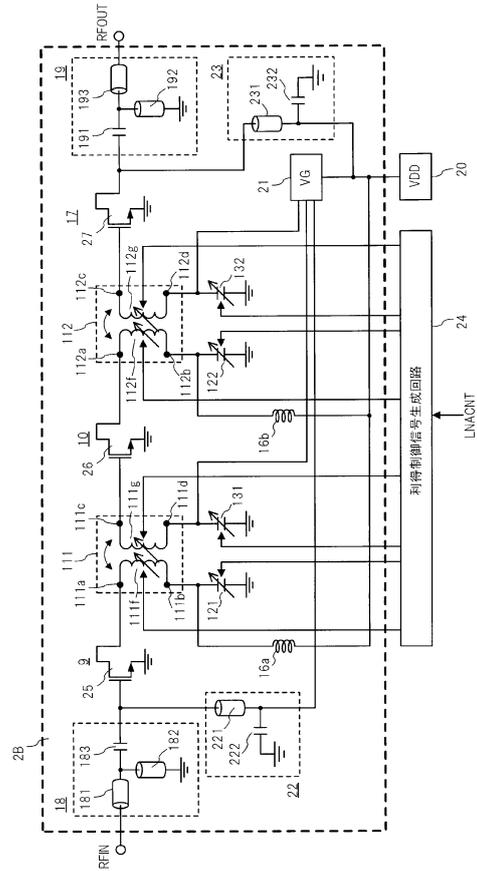
【図10】



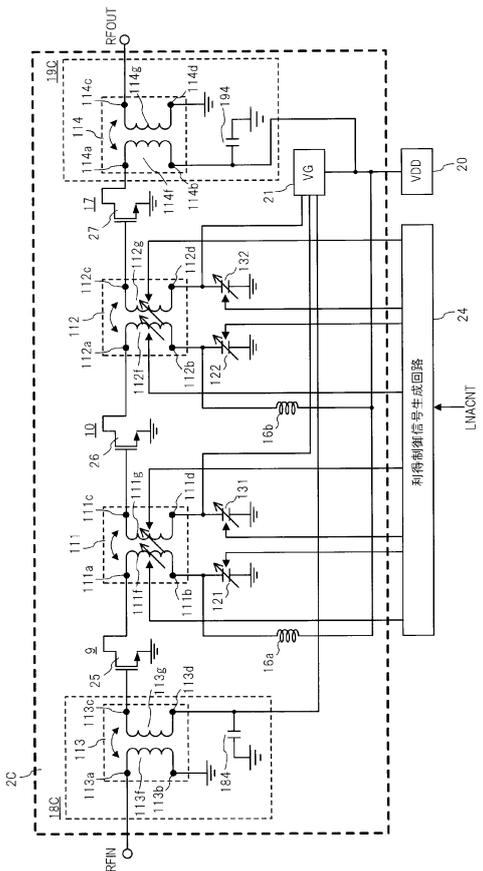
【図 1 1】



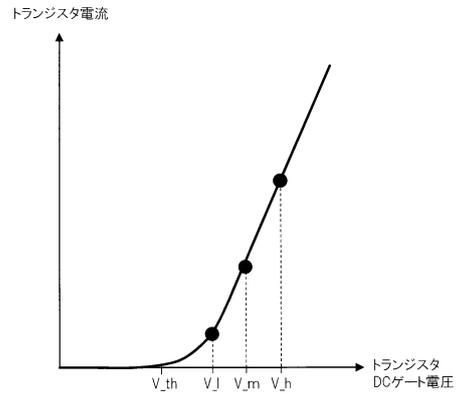
【図 1 2】



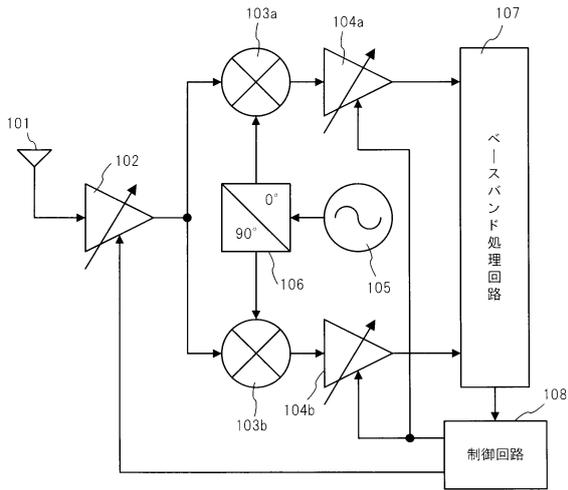
【図 1 3】



【図 1 4】



【図15】



フロントページの続き

- (56)参考文献 特開平 1 1 - 0 5 5 0 4 7 (J P , A)
特開平 0 4 - 0 0 2 2 2 5 (J P , A)
特開昭 5 4 - 0 4 6 4 5 6 (J P , A)
特開 2 0 0 5 - 1 4 3 0 7 9 (J P , A)
特公昭 4 2 - 0 2 0 0 8 5 (J P , B 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 G 3 / 1 8
H 0 3 F 3 / 1 8 9
H 0 3 F 3 / 6 8