



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월22일 10-0685239 2007년02월14일
---	-------------------------------------	--

(21) 출원번호	10-2005-0007875	(65) 공개번호	10-2005-0077780
(22) 출원일자	2005년01월28일	(43) 공개일자	2005년08월03일
심사청구일자	2005년01월28일		

(30) 우선권주장	JP-P-2004-00020968	2004년01월29일	일본(JP)
	JP-P-2004-00035622	2004년02월12일	일본(JP)
	JP-P-2004-00039371	2004년02월17일	일본(JP)

(73) 특허권자 가시오계산키 가부시키키가이샤
일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자 사사키가즈히로
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시키키
가이샤 하무라기쥬츠센터내

마츠모토히로시
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시키키
가이샤 하무라기쥬츠센터내

스미시노부
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시키키
가이샤 하무라기쥬츠센터내

(74) 대리인 손은진

심사관 : 박남현

전체 청구항 수 : 총 32 항

(54) 트랜지스터어레이 및 그 제조방법 및 화상처리장치

(57) 요약

본 발명은 트랜지스터어레이 및 그 제조방법 및 그것을 이용한 화상처리장치에 관한 것으로서,

기관상에 복수의 트랜지스터가 설치된 트랜지스터어레이 및 그것을 이용한 화상처리장치는 상기 기관상에 형성된 폴리실리콘으로 이루어지는 제 1 반도체층을 이용하여 형성된 복수의 폴리실리콘박막트랜지스터와, 상기 제 1 반도체층보다도 상층측에 설치된 비정질실리콘으로 이루어지는 제 2 반도체층을 이용하여 형성된 복수의 비정질실리콘박막트랜지스터 구조를 갖는 기능소자를 구비하는 것이며, 여기에서 상기 폴리실리콘박막트랜지스터 및 상기 기능소자는 도전체층으로 이루어지는 복수의 전극층을 갖는 예를 들면 상기 기능소자의 적어도 어느 쪽인가 1개의 상기 전극층은 상기 폴리실리콘박막트랜지스터의 어느 쪽인가 1개의 상기 전극층과 같은 층에 설치되는 것을 특징으로 한다.

대표도

도 5

특허청구의 범위

청구항 1.

단일한 절연성의 기판상에 복수의 트랜지스터가 설치된 트랜지스터어레이는 적어도,

상기 기판상에 형성된 폴리실리콘으로 이루어지는 제 1 반도체층을 이용하여 형성된 복수의 폴리실리콘박막트랜지스터와,

상기 기판상에 형성된 비정질실리콘으로 이루어지는 제 2 반도체층을 이용하여 형성된 복수의 비정질실리콘박막트랜지스터구조를 갖는 기능소자를 구비하고,

상기 제 2 반도체층이 상기 기판을 기준으로 하여 상기 제 1 반도체층보다도 상층측에 설치되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 2.

제 1 항에 있어서,

상기 폴리실리콘박막트랜지스터 및 상기 기능소자는 각각 도전체층으로 이루어지는 복수의 전극층을 갖고,

상기 기능소자의 상기 복수의 전극층 중 적어도 하나의 전극층은 상기 폴리실리콘박막트랜지스터의 상기 복수의 전극층 중의 적어도 하나의 전극층과 같은 층에 설치되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 3.

제 1 항에 있어서,

적어도 상기 복수의 폴리실리콘박막트랜지스터 상호, 상기 복수의 기능소자 상호 및 상기 복수의 폴리실리콘박막트랜지스터와 상기 복수의 기능소자 상호를 접속하기 위한 복수의 도전체층으로 이루어지는 복수의 층간접속배선을 갖고,

해당 복수의 층간접속배선은 적어도 1개의 공통의 도전체층을 구비하는 것을 특징으로 하는 트랜지스터어레이.

청구항 4.

제 1 항에 있어서,

상기 기판상의 소정의 영역에 상기 기능소자로 이루어지는 복수의 화소를 2차원 배열한 화소어레이와,

상기 화소어레이에 인접하는 주변영역에 형성되고, 적어도 상기 폴리실리콘박막트랜지스터를 갖고 형성되며, 상기 각 화소를 동작시키는 드라이버회로를 구비하는 것을 특징으로 하는 트랜지스터어레이.

청구항 5.

제 4 항에 있어서,

상기 드라이버회로는 적어도 상기 화소에 소정의 신호레벨을 갖는 구동제어신호를 생성하여 출력하는 출력회로부를 구비하고,

상기 출력회로부분은 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 6.

제 4 항에 있어서,

상기 드라이버회로는 적어도 상기 화소에 소정의 신호레벨을 갖는 구동제어신호를 생성하여 출력하는 출력회로부를 구비하고,

상기 출력회로부는 적어도,

제 1 전압진폭을 갖는 제 1 입력신호 및 상기 제 1 입력신호의 반전신호로 되는 제 2 입력신호가 개별로 입력되며, 상기 제 1 입력신호의 반전신호로 되는 제 3 입력신호를 생성하는 입력단의 인버터회로와,

상기 제 1 입력신호에 의거하는 신호전압 및 상기 제 3 입력신호가 개별로 입력되고, 상기 제 1 전압진폭보다도 큰 제 2 전압진폭을 갖는 출력신호를 생성하는 출력단의 인버터회로와,

상기 제 1 입력신호 및 상기 출력신호의 전위차를 전압성분으로서 보존하고, 상기 출력단의 인버터회로에 입력되는 상기 신호전압을 승압하는 부트스트랩회로부를 가지며,

적어도 상기 입력단의 인버터회로, 상기 출력단의 인버터회로 및 상기 부트스트랩회로부는 단일한 채널극성을 갖는 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 7.

제 4 항에 있어서,

상기 복수의 화소의 각각은 상기 제 2 반도체층에 의해 구성되는 채널영역을 끼워서 형성된 소스전극 및 드레인전극과, 상기 채널영역의 위쪽 및 아래쪽에 각각 절연막을 통하여 형성된 제 1 게이트전극 및 제 2 게이트전극을 구비한 더블게이트형의 박막트랜지스터구조의 포토센서를 갖고,

상기 드라이버회로는 적어도 상기 제 1 게이트전극에 상기 포토센서를 초기화하는 리셋펄스를 인가하는 출력회로부를 구비하는 제 1 주사구동회로를 구비하며, 상기 출력회로부는 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 8.

제 7 항에 있어서,

상기 드라이버회로는 상기 제 2 게이트전극에 읽어냄펄스를 인가하는 제 2 주사구동회로를 추가로 구비하고,

상기 제 2 주사구동회로는 상기 폴리실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 9.

단일한 절연성의 기판상에 형성된 트랜지스터어레이는,

적어도 폴리실리콘으로 이루어지는 제 1 반도체층을 이용한 폴리실리콘박막트랜지스터와, 비정질실리콘으로 이루어지는 제 2 반도체층을 이용한 비정질실리콘박막트랜지스터를 포함하여 구성되는 드라이버회로를 구비하는 것을 특징으로 하는 트랜지스터어레이.

청구항 10.

제 9 항에 있어서,

상기 제 2 반도체층은 상기 기판을 기준으로 하여 상기 제 1 반도체층보다도 상층측에 설치되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 11.

제 9 항에 있어서,

상기 폴리실리콘박막트랜지스터 및 상기 비정질실리콘박막트랜지스터는 각각 도전체층으로 이루어지는 복수의 전극층을 갖고,

상기 비정질실리콘박막트랜지스터의 상기 복수의 전극층 중 적어도 하나의 전극층은 상기 폴리실리콘박막트랜지스터의 상기 복수의 전극층 중 적어도 하나의 전극층과 같은 층에 설치되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 12.

제 9 항에 있어서,

상기 기판상에 복수의 화소가 2차원 배열된 화소어레이가 추가로 설치되고,

상기 드라이버회로는 상기 각 화소를 소망의 구동상태에서 동작시키는 것을 특징으로 하는 트랜지스터어레이.

청구항 13.

제 12 항에 있어서,

상기 드라이버회로는 적어도 상기 화소에 소정의 신호레벨을 갖는 구동제어신호를 생성하여 출력하는 출력회로부를 구비하고,

상기 출력회로부는 상기 구동제어신호를 생성하는 회로부분을 가지며,

해당 회로부분은 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 14.

제 13 항에 있어서,

상기 회로부분은 레벨시프트회로인 것을 특징으로 하는 트랜지스터어레이.

청구항 15.

단일한 절연성의 기판상에 형성된 트랜지스터어레이는,

적어도 비정질실리콘으로 이루어지는 반도체층을 이용한 단일한 채널극성을 갖는 비정질실리콘박막트랜지스터만을 포함하여 구성되고, 소정의 신호레벨을 갖는 신호를 생성하는 레벨시프트회로를 구비하는 드라이버회로를 구비하며,

상기 레벨시프트회로는 적어도,

제 1 전압진폭을 갖는 제 1 입력신호 및 상기 제 1 입력신호의 반전신호로 되는 제 2 입력신호가 개별로 입력되고, 상기 제 1 입력신호의 반전신호로 되는 제 3 입력신호를 생성하는 입력단의 인버터회로와,

상기 제 1 입력신호에 의거하는 신호전압 및 상기 제 3 입력신호가 개별로 입력되고, 상기 제 1 전압진폭보다도 큰 제 2 전압진폭을 갖는 출력신호를 생성하는 출력단의 인버터회로와,

상기 제 1 입력신호 및 상기 출력신호의 전위차를 전압성분으로서 보존하고, 상기 출력단의 인버터회로에 입력되는 상기 신호전압을 승압하는 부트스트랩회로부를 갖고,

상기 드라이버회로는 폴리실리콘으로 이루어지는 반도체층을 이용한 폴리실리콘박막트랜지스터에 의해서 형성된 회로부분을 갖는 것을 특징으로 하는 트랜지스터어레이.

청구항 16.

제 15 항에 있어서,

상기 입력단의 인버터회로는 적어도 제 1 전원전압 및 제 2 전원전압간에 전류로가 직렬로 접속되고, 상기 제 2 입력신호가 제어단자에 입력되는 제 1 스위칭소자 및 상기 제 1 입력신호가 제어단자에 입력되는 제 2 스위칭소자를 구비하며, 상기 제 1 스위칭소자 및 상기 제 2 스위칭소자의 접속점의 전위를 상기 제 3 입력신호로서 출력하고,

상기 출력단의 인버터회로는 적어도 상기 제 1 전원전압 및 상기 제 2 전원전압간에 전류로가 직렬로 접속되고, 상기 제 1 입력신호에 의거하는 상기 신호전압이 제어단자에 입력되는 제 3 스위칭소자 및 상기 제 3 입력신호가 제어단자에 입력되는 제 4 스위칭소자를 구비하며, 상기 제 3 스위칭소자 및 상기 제 4 스위칭소자의 접속점으로부터 상기 출력신호를 상기 주사신호로서 출력하고,

상기 부트스트랩회로부는 적어도 상기 제 3 스위칭소자의 제어단자와 상기 제 3 스위칭소자 및 상기 제 4 스위칭소자의 상기 접속점의 사이에 설치되고, 상기 전압성분을 보존하는 용량소자와, 상기 제 3 스위칭소자의 제어단자에 접속되며, 상기 용량소자에 보존된 전하의 이동을 방해하는 제 5 스위칭소자를 구비하고 있는 것을 특징으로 하는 트랜지스터어레이.

청구항 17.

화상처리장치는 적어도,

폴리실리콘으로 이루어지는 제 1 반도체층을 이용하여 형성된 폴리실리콘박막트랜지스터를 포함하여 구성되는 드라이버회로와,

비정질실리콘으로 이루어지는 제 2 반도체층을 이용하여 형성된 비정질실리콘박막트랜지스터구조를 갖고 구성되는 복수의 화소가 2차원 배열된 화소어레이를 구비하고,

상기 드라이버회로 및 상기 각 화소는 단일한 절연성의 기판상에 일체적으로 형성되어 있는 것을 특징으로 하는 화상처리장치.

청구항 18.

제 17 항에 있어서,

상기 제 2 반도체층은 상기 기판을 기준으로 하여 상기 제 1 반도체층보다도 상층측에 설치되어 있는 것을 특징으로 하는 화상처리장치.

청구항 19.

제 17 항에 있어서,

상기 폴리실리콘박막트랜지스터 및 상기 화소는 각각 도전체층으로 이루어지는 복수의 전극층을 갖고,

상기 화소의 상기 복수의 전극층 중의 적어도 하나의 전극층은 상기 폴리실리콘박막트랜지스터의 상기 복수의 전극층 중 적어도 하나의 전극층과 같은 층에 설치되어 있는 것을 특징으로 하는 화상처리장치.

청구항 20.

제 17 항에 있어서,

적어도 상기 복수의 폴리실리콘박막트랜지스터와 상기 복수의 화소 상호를 접속하기 위한 복수의 도전체층으로 이루어지는 복수의 층간접속배선으로 이루어지는 배선접속영역을 갖고,

상기 복수의 층간접속배선은 적어도 1개의 공통의 도전체층을 구비하는 것을 특징으로 하는 화상처리장치.

청구항 21.

제 17 항에 있어서,

상기 화소는 소망의 화상정보를 표시하는 표시화소이고,

상기 드라이버회로는 적어도 상기 화소어레이에 배열된 임의의 행의 상기 화소를 선택상태로 설정하는 주사신호를 출력하는 주사구동회로를 구비하며,

해당 주사구동회로는 적어도 상기 주사신호를 출력하는 레벨시프트회로를 구비하고,

상기 레벨시프트회로를 상기 제 2 반도체층을 이용하여 형성된 비정질실리콘박막트랜지스터만을 포함하여 구성되는 것을 특징으로 하는 화상처리장치.

청구항 22.

제 21 항에 있어서,

상기 레벨시프트회로는 적어도,

상기 제 1 전압진폭을 갖는 제 1 입력신호 및 상기 제 1 입력신호의 반전신호로 되는 제 2 입력신호가 개별로 입력되고, 상기 제 1 입력신호의 반전신호로 되는 제 3 입력신호를 생성하는 입력단의 인버터회로와,

상기 제 1 입력신호에 의거하는 신호전압 및 상기 제 3 입력신호가 개별로 입력되고, 상기 제 1 전압진폭보다도 큰 제 2 전압진폭을 갖는 출력신호를 생성하는 출력단의 인버터회로와,

상기 제 1 입력신호 및 상기 출력신호의 전위차를 전압성분으로서 보존하고, 상기 출력단의 인버터회로에 입력되는 상기 신호전압을 승압하는 부트스트랩회로부를 갖고,

상기 입력단의 인버터회로, 상기 출력단의 인버터회로 및 상기 부트스트랩회로부는 적어도 단일한 채널극성을 갖는 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 화상처리장치.

청구항 23.

제 17 항에 있어서,

상기 각 화소는 비정질실리콘으로 이루어지는 반도체층에 의해 구성되는 채널영역을 끼워서 형성된 소스전극 및 드레인전극과, 상기 채널영역의 위쪽 및 아래쪽에 각각 절연막을 통하여 형성된 제 1 게이트전극 및 제 2 게이트전극과, 피사체가 재치되는 검지면을 갖는 더블게이트형의 포토센서를 포함하고,

상기 드라이버회로는 적어도 상기 제 1 게이트전극에 상기 포토센서를 초기화하는 리셋펄스를 인가하는 레벨시프트회로를 구비하는 제 1 주사구동회로를 구비하고, 상기 레벨시프트회로는 상기 제 2 반도체층을 이용하여 형성된 비정질실리콘 박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 화상처리장치.

청구항 24.

제 23 항에 있어서,

상기 레벨시프트회로는 적어도,

상기 제 1 전압진폭을 갖는 제 1 입력신호 및 상기 제 1 입력신호의 반전신호로 되는 제 2 입력신호가 개별로 입력되고, 상기 제 1 입력신호의 반전신호로 되는 제 3 입력신호를 생성하는 입력단의 인버터회로와,

상기 제 1 입력신호에 의거하는 신호전압 및 상기 제 3 입력신호가 개별로 입력되고, 상기 제 1 전압진폭보다도 큰 제 2 전압진폭을 갖는 출력신호를 생성하는 출력단의 인버터회로와,

상기 제 1 입력신호 및 상기 출력신호의 전위차를 전압성분으로서 보존하고, 상기 출력단의 인버터회로에 입력되는 상기 신호전압을 승압하는 부트스트랩회로부를 가지며,

상기 입력단의 인버터회로, 상기 출력단의 인버터회로 및 상기 부트스트랩회로부는 적어도 단일한 채널극성을 갖는 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 화상처리장치.

청구항 25.

제 23 항에 있어서,

상기 드라이버회로는 상기 제 2 게이트전극에 읽어냄펄스를 인가하는 제 2 주사구동회로를 추가로 구비하고,

상기 제 2 주사구동회로는 상기 폴리실리콘박막트랜지스터만을 포함하여 구성되어 있는 것을 특징으로 하는 화상처리장치.

청구항 26.

단일한 절연성의 기판상에 복수의 트랜지스터가 설치된 트랜지스터어레이의 제조방법은 적어도,

상기 기판상에 폴리실리콘으로 이루어지는 제 1 반도체층을 형성하는 공정,

상기 제 1 반도체층을 이용하여 폴리실리콘박막트랜지스터를 형성하는 공정,

상기 제 1 반도체층보다도 상층측에 비정질실리콘으로 이루어지는 제 2 반도체층을 형성하는 공정,

상기 제 2 반도체층을 이용하여 비정질실리콘박막트랜지스터구조를 갖는 기능소자를 형성하는 공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조방법.

청구항 27.

제 26 항에 있어서,

적어도 상기 폴리실리콘박막트랜지스터를 이용하여 상기 기능소자를 동작시키는 드라이버회로를 형성하는 공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조방법.

청구항 28.

제 27 항에 있어서,

상기 제 2 반도체층을 이용하여 비정질실리콘박막트랜지스터를 형성하는 공정을 포함하고,

상기 드라이버회로를 형성하는 공정은 상기 폴리실리콘박막트랜지스터 및 비정질실리콘박막트랜지스터를 이용하여 해당 드라이버회로를 형성하는 공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조방법.

청구항 29.

제 26 항에 있어서,

상기 제 1 반도체층을 형성하는 공정은 제 1 온도조건하에서 실시되고,

상기 제 2 반도체층을 형성하는 공정은 최고온도가 상기 제 1 온도조건보다도 낮은 제 2 온도조건하에서 실시되는 것을 특징으로 하는 트랜지스터어레이의 제조방법.

청구항 30.

제 26 항에 있어서,

상기 폴리실리콘박막트랜지스터를 형성하는 공정 및 상기 기능소자를 형성하는 공정은 각각 도전체층으로 이루어지는 복수의 전극층을 형성하는 공정을 포함하고,

상기 복수의 전극층을 형성하는 공정은 상기 기능소자의 상기 복수의 전극층중의 적어도 하나의 전극층과, 상기 폴리실리콘박막트랜지스터의 상기 복수의 전극층중의 적어도 하나의 전극층을 동시에 형성하는 공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조방법.

청구항 31.

제 30 항에 있어서,

상기 기능소자는 상기 제 2 반도체층을 이용한 비정질실리콘박막트랜지스터이고,

상기 전극층을 동시에 형성하는 공정은 상기 비정질실리콘박막트랜지스터의 게이트전극을 상기 폴리실리콘박막트랜지스터의 게이트전극과 동시에 형성하는 것을 특징으로 하는 트랜지스터어레이의 제조방법.

청구항 32.

제 30 항에 있어서,

상기 기능소자는 상기 제 2 반도체층에 의해 구성되는 채널영역을 끼워서 형성된 소스전극 및 드레인전극과, 상기 제 2 반도체층의 위쪽 및 아래쪽에 각각 절연막을 통하여 형성된 제 1 게이트전극 및 제 2 게이트전극을 구비한 더블게이트형의 박막트랜지스터구조를 갖고,

상기 전극층을 동시에 형성하는 공정은 상기 제 2 게이트전극을 상기 폴리실리콘박막트랜지스터의 게이트전극과 동시에 형성하는 것을 특징으로 하는 트랜지스터어레이의 제조방법.

청구항 33.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 트랜지스터어레이 및 그 제조방법 및 그것을 이용한 화상처리장치에 관한 것으로서, 특히 폴리실리콘박막트랜지스터와 비정질실리콘박막트랜지스터를 구비하여 구성되는 트랜지스터어레이의 소자구조 및 그 제조방법 및 해당 트랜지스터어레이를 적용한 화상처리장치에 관한 것이다.

근래 개인인증을 필수로 하는 전자결제나 크레딧 등의 서비스의 제공이나 시큐리티의식의 높아짐 등에 따라 지문을 시작으로 하는 인간고유의 생체데이터를 이용하여 개인을 특정하는 개인인증기술(바이오메트릭테크놀로지)을 적용하기 위한 연구개발이 왕성하게 실시되고 있다.

한편 근래 퍼스널컴퓨터나 텔레비전 등의 영상기기의 모니터, 디스플레이로서 액정표시장치(LCD)나 플라즈마표시장치 등이 다용되고, 또한 차세대는 표시디바이스인 유기일렉트로루미네선스소자(이하, 「유기EL소자」로 약기한다)나 발광다이오드 등의 자기발광소자를 적용한 디스플레이의 본격적인 실용화, 보급을 향하게 한 연구개발이 왕성하게 실시되고 있다.

상기한 바와 같은 개인인증기술(지문인증기술)에 적용되는 화상처리장치나 액정표시장치나 유기EL디스플레이 등의 화상표시장치는 예를 들면 유리기관 등의 절연성의 기관상에 형성되고, 이차원 배열된 표시화소나 포토센서 등의 판독화소로 이루어지는 화소어레이와, 해당 화소어레이를 구동시키기 위한 구동회로를 구비한 구성을 갖고 있다.

여기에서 예를 들면 화상표시장치에 있어서는 또한 저비용화나 소형화 등을 꾀하기 위해서 표시화소가 형성된 기관상에 구동회로를 일체적으로 형성하는, 구동회로일체형의 화상표시장치의 개발이 왕성하게 실시되고, 실용화되어 오고 있다. 이와 같은 구동회로일체형의 액정표시장치에 있어서는 구동회로를 폴리실리콘박막트랜지스터를 이용하여 형성하는 동시에, 표시화소에 있어서의 구동소자를 비정질실리콘박막트랜지스터에 의해 형성하는 구성이 알려져 있다. 이 경우 구동회로에 폴리실리콘박막트랜지스터를 이용함으로써 비교적 양호한 동작특성을 얻는 동시에, 표시화소의 구동소자에 비정질실리콘박막트랜지스터를 이용함으로써 동작특성의 안정한 구동소자를 얻을 수 있다.

그러나 상기한 바와 같은 화상처리장치나 화상표시장치에 있어서는 이하에 나타내는 바와 같은 과제를 갖고 있었다. 즉 상기한 바와 같은 구동회로를 폴리실리콘박막트랜지스터를 이용하여 형성하고, 표시화소 등의 화소어레이의 구동소자를 비정질실리콘박막트랜지스터에 의해 형성하는 구성에 있어서는 폴리실리콘박막트랜지스터 및 비정질실리콘박막트랜지스터는 함께 공통의 기관상에 형성된다. 이 경우 폴리실리콘박막트랜지스터는 기관상에 형성된 비정질실리콘막을 예를 들면 레이저조사에 의해 결정화를 실시함으로써 폴리실리콘층을 형성하며, 이 폴리실리콘층을 이용하여 형성되기 때문에, 기관상에 비정질실리콘박막트랜지스터와 폴리실리콘박막트랜지스터를 형성하는 경우에는 기관상에 비정질실리콘막을 형성한 후, 폴리실리콘박막트랜지스터를 형성하는 구동회로형성영역만을 선택적으로 결정화하여 폴리실리콘층을 부분적으로 형성하는 공정이 필요하게 된다. 이 때문에 비정질실리콘막의 결정화를 예를 들면 레이저조사에 의해 실시하는 경우에 있어서는, 레이저조사위치를 고정밀도로 제어하는 동시에, 가는 레이저빔을 스캔시켜서 비정질실리콘막을 선택적으로 결정화하는 것이 필요하게 된다. 그 때문에 제조장치의 고정밀도화가 필요한 동시에, 결정화공정에 비교적 긴 시간을 요하여 제조비용의 상승을 초래한다는 문제를 갖고 있었다.

또 비정질실리콘막의 결정화는 비정질실리콘막을 약 600℃ 정도로 가열처리함으로써 실시되는 것이기 때문에, 결정화하는 영역과 결정화하지 않는 영역을 명확하게 분리하는 것이 어렵고, 그 때문에 비정질실리콘박막트랜지스터로 이루어지는 화소어레이와 폴리실리콘박막트랜지스터로 이루어지는 구동회로를 기관상에 충분히 접근시켜서 배치하는 것이 어렵다는 문제도 갖고 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 폴리실리콘박막트랜지스터와 비정질실리콘박막트랜지스터를 구비하여 구성되는 트랜지스터어레이 및 해당 트랜지스터어레이를 이용한 화상처리장치에 있어서, 소형박형화를 꾀할 수 있고, 또 부품수나 제조프로세스를 삭감하여 저비용화할 수 있는 동시에, 신뢰성이 높은 동작특성에 뛰어난 소자구조 및 그 제조방법을 제공할 수 있는 이점을 갖는다.

상기 효과를 얻기 위한 본 발명에 있어서의 제 1 트랜지스터어레이는 단일한 절연성의 기관상에 복수의 트랜지스터가 설치된 트랜지스터어레이에 있어서 적어도 상기 기관상에 형성된 폴리실리콘으로 이루어지는 제 1 반도체층을 이용하여 형성된 복수의 폴리실리콘박막트랜지스터와, 상기 기관상에 형성된 비정질실리콘으로 이루어지는 제 2 반도체층을 이용하여 형성된 복수의 비정질실리콘박막트랜지스터구조를 갖는 기능소자를 구비하고, 상기 제 2 반도체층이 상기 기관을 기준으로 하여 상기 제 1 반도체층보다도 상층측에 설치되어 있다.

상기 폴리실리콘박막트랜지스터 및 상기 기능소자는 각각 도전체층으로 이루어지는 복수의 전극층을 갖고, 상기 기능소자의 적어도 어느 쪽인가 1개의 상기 전극층은 상기 폴리실리콘박막트랜지스터의 어느 쪽인가 1개의 상기 전극층과 같은 층에 설치되어 있다.

상기 트랜지스터어레이는 적어도 상기 복수의 폴리실리콘박막트랜지스터 상호, 상기 복수의 기능소자 상호 및 상기 복수의 폴리실리콘박막트랜지스터와 상기 복수의 기능소자 상호를 접속하기 위한 복수의 도전체층으로 이루어지는 복수의 층간접속배선을 갖고, 해당 복수의 층간접속배선은 적어도 1개의 공통의 도전체층을 구비한다.

상기 트랜지스터어레이는 상기 기관상의 소정의 영역에 상기 기능소자로 이루어지는 복수의 화소를 2차원 배열한 화소어레이와, 상기 화소어레이에 인접하는 주변영역에 형성되고, 적어도 상기 폴리실리콘박막트랜지스터를 갖고 형성되며, 상기 각 화소를 동작시키는 드라이버회로를 구비하며, 상기 드라이버회로는 적어도 상기 화소에 소정의 신호레벨을 갖는 구동제어신호를 생성하여 출력하는 출력회로부를 구비하고, 상기 출력회로부는 적어도 제 1 전압진폭을 갖는 제 1 입력신호 및 상기 제 1 입력신호의 반전신호로 되는 제 2 입력신호가 개별로 입력되며, 상기 제 1 입력신호의 반전신호로 되는 제 3 입력신호를 생성하는 입력단의 인버터회로와, 상기 제 1 입력신호에 의거하는 신호전압 및 상기 제 3 입력신호가 개별로 입력되고, 상기 제 1 전압진폭보다도 큰 제 2 전압진폭을 갖는 출력신호를 생성하는 출력단의 인버터회로와, 상기 제 1 입력신호 및 상기 출력신호의 전위차를 전압성분으로서 보존하고, 상기 출력단의 인버터회로에 입력되는 상기 신호전압을 승압하는 부트스트랩회로부를 가지며, 적어도 상기 입력단의 인버터회로, 상기 출력단의 인버터회로 및 상기 부트스트랩회로부는 단일한 채널극성을 갖는 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있다.

상기 복수의 화소의 각각은 상기 제 2 반도체층에 의해 구성되는 채널영역을 끼워서 형성된 소스전극 및 드레인전극과, 상기 채널영역의 위쪽 및 아래쪽에 각각 절연막을 통하여 형성된 제 1 게이트전극 및 제 2 게이트전극을 구비한 더블게이트형의 박막트랜지스터구조의 포토센서를 갖고, 상기 드라이버회로는 적어도 상기 제 1 게이트전극에 상기 포토센서를 초기화하는 리셋펄스를 인가하는 출력회로부를 구비하는 제 1 주사구동회로를 구비하며, 상기 출력회로부는 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있다. 상기 드라이버회로는 상기 제 2 게이트전극에 읽어들임펄스를 인가하는 제 2 주사구동회로를 추가로 구비하고, 상기 제 2 주사구동회로는 상기 폴리실리콘박막트랜지스터만을 포함하여 구성되어 있다.

상기 효과를 얻기 위한 본 발명에 있어서의 제 2 트랜지스터어레이는 단일한 절연성의 기관상에 형성된 트랜지스터어레이는 적어도, 폴리실리콘으로 이루어지는 제 1 반도체층을 이용한 폴리실리콘박막트랜지스터와, 비정질실리콘으로 이루어지는 제 2 반도체층을 이용한 비정질실리콘박막트랜지스터를 포함하여 구성되는 드라이버회로를 구비하고, 상기 제 2 반도체층은 상기 기관을 기준으로 하여 상기 제 1 반도체층보다도 상층측에 설치되어 있다. 상기 트랜지스터어레이는 상기 기관상에 복수의 화소가 2차원 배열된 화소어레이가 추가로 설치되고, 상기 드라이버회로는 상기 각 화소를 소망의 구동 상태에서 동작시킨다. 상기 드라이버회로는 적어도 상기 화소에 소정의 신호레벨을 갖는 구동제어신호를 생성하여 출력하는 출력회로부를 구비하고, 상기 출력회로부는 상기 구동제어신호를 생성하는 회로부분을 가지며, 해당 회로부분은 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있다.

상기 효과를 얻기 위한 본 발명에 있어서의 제 3 트랜지스터어레이는 단일한 절연성의 기관상에 형성된 트랜지스터어레이는 적어도, 비정질실리콘으로 이루어지는 반도체층을 이용한 단일한 채널극성을 갖는 비정질실리콘박막트랜지스터만을 포함하여 구성되고, 소정의 신호레벨을 갖는 신호를 생성하는 레벨시프트회로를 구비하는 드라이버회로를 구비하며, 상기 레벨시프트회로는 적어도 제 1 전압진폭을 갖는 제 1 입력신호 및 상기 제 1 입력신호의 반전신호로 되는 제 2 입력신호가 개별로 입력되고, 상기 제 1 입력신호의 반전신호로 되는 제 3 입력신호를 생성하는 입력단의 인버터회로와, 상기 제 1 입력신호에 의거하는 신호전압 및 상기 제 3 입력신호가 개별로 입력되며, 상기 제 1 전압진폭보다도 큰 제 2 전압진폭을 갖는 출력신호를 생성하는 출력단의 인버터회로와, 상기 제 1 입력신호 및 상기 출력신호의 전위차를 전압성분으로서 보존하고, 상기 출력단의 인버터회로에 입력되는 상기 신호전압을 승압하는 부트스트랩회로부를 가지며, 상기 입력단의 인버터회로는 적어도 제 1 전원전압 및 제 2 전원전압간에 전류로가 직렬로 접속되고, 상기 제 2 입력신호가 제어단자에 입력되는 제 1 스위칭소자 및 상기 제 1 입력신호가 제어단자에 입력되는 제 2 스위칭소자를 구비하며, 상기 제 1 스위칭소자 및 상기 제 2 스위칭소자의 접속점의 전위를 상기 제 3 입력신호로서 출력하고, 상기 출력단의 인버터회로는 적어도 상기 제 1 전원전압 및 상기 제 2 전원전압간에 전류로가 직렬로 접속되며, 상기 제 1 입력신호에 의거하는 상기 신호전압이 제어단자에 입력되는 제 3 스위칭소자 및 상기 제 3 입력신호가 제어단자에 입력되는 제 4 스위칭소자를 구비하며, 상기 제 3 스위칭소자 및 상기 제 4 스위칭소자의 접속점으로부터 상기 출력신호를 상기 주사신호로서 출력하고, 상기 부트스트랩회로부는 적어도 상기 제 3 스위칭소자의 제어단자와 상기 제 3 스위칭소자 및 상기 제 4 스위칭소자의 상기 접속점의 사이에 설치되고, 상기 전압성분을 보존하는 용량소자와, 상기 제 3 스위칭소자의 제어단자에 접속되며, 상기 용량소자에 보존된 전하의 이동을 방해하는 제 5 스위칭소자를 구비하고 있다.

상기 효과를 얻기 위한 본 발명에 있어서의 화상처리장치는 적어도 폴리실리콘으로 이루어지는 제 1 반도체층을 이용하여 형성된 폴리실리콘박막트랜지스터를 포함하여 구성되는 드라이버회로와, 비정질실리콘으로 이루어지는 제 2 반도체층을 이용하여 형성된 비정질실리콘박막트랜지스터구조를 갖고 구성되는 복수의 화소가 2차원 배열된 화소어레이를 구비하고, 상기 드라이버회로 및 상기 각 화소는 단일한 절연성의 기관상에 일체적으로 형성되며, 상기 제 2 반도체층은 상기 기관을 기준으로 하여 상기 제 1 반도체층보다도 상층측에 설치되어 있다. 상기 폴리실리콘박막트랜지스터 및 상기 화소는 각각 도전체층으로 이루어지는 복수의 전극층을 갖고, 상기 화소의 적어도 어느 쪽인가 1개의 상기 전극층은 상기 폴리실리콘박막트랜지스터의 어느 쪽인가 1개의 상기 전극층과 같은 층에 설치되어 있다.

상기 화상처리장치는 적어도 상기 복수의 폴리실리콘박막트랜지스터와 상기 복수의 화소 상호를 접속하기 위한 복수의 도전체층으로 이루어지는 복수의 층간접속배선으로 이루어지는 배선접속영역을 갖고, 상기 복수의 층간접속배선은 적어도 1개의 공통의 도전체층을 구비한다. 상기 화소는 소망의 화상정보를 표시하는 표시화소이고, 상기 드라이버회로는 적어도 상기 화소어레이에 배열된 임의의 행의 상기 화소를 선택상태로 설정하는 주사신호를 출력하는 주사구동회로를 구비하며, 해당 주사구동회로는 적어도 상기 주사신호를 출력하는 레벨시프트회로를 구비하고, 상기 레벨시프트회로는 상기 제 2 반도체층을 이용하여 형성된 비정질실리콘박막트랜지스터만을 포함하여 구성된다. 또 상기 각 화소는 비정질실리콘으로 이루어지는 반도체층에 의해 구성되는 채널영역을 끼워서 형성된 소스전극 및 드레인전극과, 상기 채널영역의 위쪽 및 아래쪽에 각각 절연막을 통하여 형성된 제 1 게이트전극 및 제 2 게이트전극과, 피사체가 재치되는 검지면은 더블게이트형의 포토센서를 포함하고, 상기 드라이버회로는 적어도 상기 제 1 게이트전극에 상기 포토센서를 초기화하는 리셋펄스를 인가하는 레벨시프트회로를 구비하는 제 1 주사구동회로를 구비하고, 상기 레벨시프트회로는 상기 제 2 반도체층을 이용하여 형성된 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있다. 상기 드라이버회로는 상기 제 2 게이트전극에 읽어냄 펄스를 인가하는 제 2 주사구동회로를 추가로 구비하고, 상기 제 2 주사구동회로는 상기 폴리실리콘박막트랜지스터만을 포함하여 구성되어 있다.

상기 레벨시프트회로는 적어도 제 1 전압전폭을 갖는 제 1 입력신호 및 상기 제 1 입력신호의 반전신호로 되는 제 2 입력신호가 개별로 입력되고, 상기 제 1 입력신호의 반전신호로 되는 제 3 입력신호를 생성하는 입력단의 인버터회로와, 상기 제 1 입력신호에 의거하는 신호전압 및 상기 제 3 입력신호가 개별로 입력되고, 상기 제 1 전압전폭보다도 큰 제 2 전압전폭을 갖는 출력신호를 생성하는 출력단의 인버터회로와, 상기 제 1 입력신호 및 상기 출력신호의 전위차를 전압성분으로서 보존하고, 상기 출력단의 인버터회로에 입력되는 상기 신호전압을 승압하는 부트스트랩회로부를 갖고, 상기 입력단의 인버터회로, 상기 출력단의 인버터회로 및 상기 부트스트랩회로부는 적어도 단일한 채널극성을 갖는 상기 비정질실리콘박막트랜지스터만을 포함하여 구성되어 있다.

상기 효과를 얻기 위한 본 발명에 있어서의 트랜지스터어레이의 제조방법은 단일한 절연성의 기판상에 복수의 트랜지스터가 설치된 트랜지스터어레이의 제조방법은 적어도 상기 기판상에 폴리실리콘으로 이루어지는 제 1 반도체층을 형성하는 공정과, 상기 제 1 반도체층을 이용하여 폴리실리콘박막트랜지스터를 형성하는 공정과, 상기 제 1 반도체층보다도 상층층에 비정질실리콘으로 이루어지는 제 2 반도체층을 형성하는 공정과, 상기 제 2 반도체층을 이용하여 비정질실리콘박막트랜지스터구조를 갖는 기능소자를 형성하는 공정을 포함한다.

상기 트랜지스터어레이의 제조방법은 적어도 상기 폴리실리콘박막트랜지스터를 이용하여 상기 기능소자를 동작시키는 드라이버회로를 형성하는 공정을 포함한다.

상기 트랜지스터어레이의 제조방법은 상기 제 2 반도체층을 이용하여 비정질실리콘박막트랜지스터를 형성하는 공정을 포함하며, 상기 드라이버회로를 형성하는 공정은 상기 폴리실리콘박막트랜지스터 및 비정질실리콘박막트랜지스터를 이용하여 해당 드라이버회로를 형성하는 공정을 포함한다. 상기 제 1 반도체층을 형성하는 공정은 제 1 온도조건하에서 실시되고, 상기 제 2 반도체층을 형성하는 공정은 최고온도가 상기 제 1 온도조건보다도 낮은 제 2 온도조건하에서 실시된다. 상기 폴리실리콘박막트랜지스터를 형성하는 공정 및 상기 기능소자를 형성하는 공정은 각각 도전체층으로 이루어지는 복수의 전극층을 형성하는 공정을 포함하고, 상기 복수의 전극층을 형성하는 공정은 상기 기능소자의 적어도 어느 쪽인가 1개의 전극층과, 상기 폴리실리콘박막트랜지스터의 적어도 어느 쪽인가 1개의 전극층을 동시에 형성하는 공정을 포함한다.

상기 기능소자는 상기 제 2 반도체층을 이용한 비정질실리콘박막트랜지스터이고, 상기 전극층을 동시에 형성하는 공정은 상기 비정질실리콘박막트랜지스터의 게이트전극을 상기 폴리실리콘박막트랜지스터의 게이트전극과 동시에 형성한다. 또 상기 기능소자는 상기 제 2 반도체층에 의해 구성되는 채널영역을 끼워서 형성된 소스전극 및 드레인전극과, 상기 제 2 반도체층의 위쪽 및 아래쪽에 각각 절연막을 통하여 형성된 제 1 게이트전극 및 제 2 게이트전극을 구비한 더블게이트형의 박막트랜지스터구조를 갖고, 상기 전극층을 동시에 형성하는 공정은 상기 제 2 게이트전극을 상기 폴리실리콘박막트랜지스터의 게이트전극과 동시에 형성한다.

발명의 구성

이하, 본 발명에 관련되는 트랜지스터어레이 및 그 제조방법 및 화상처리장치에 대하여 도면에 나타내는 실시형태에 의거하여 자세하게 설명한다.

<제 1 실시형태>

우선 본 발명에 관련되는 트랜지스터어레이 및 그 제조방법에 대하여 설명한다.

(소자구조)

도 1은 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 1 실시형태를 나타내는 개략단면도이다.

여기에서 도 1에서는 설명의 간략화를 위해 폴리실리콘반도체층 및 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터(박막트랜지스터)를 각각 1 내지 수개만 도시하고, 또 이들 상호를 접속하는 배선층이나 장치외부로 접속하기 위한 끌어냄배선 등에 대해서는 도시를 생략했다.

본 실시형태에 관련되는 트랜지스터어레이의 소자구조는 도 1에 나타내는 바와 같이, 예를 들면 단일한 절연성의 기판(SUB)의 일면측의 소정의 영역에 비정질실리콘으로 이루어지는 반도체층(비정질실리콘반도체층; 제 2 반도체층)을 이용한 n채널형의 전계효과형 트랜지스터(비정질실리콘박막트랜지스터; 기능소자)(FETx)와, 저온폴리실리콘으로 이루어지는 반도체층(폴리실리콘반도체층; 제 1 반도체층)을 이용한 p채널형 및 n채널형의 전계효과형트랜지스터(저온폴리실리콘박막트랜지스터)(FETp 및 FETn)을 혼재시켜서 일체적으로 형성한 구성을 갖고 있다.

구체적으로는 p채널형의 전계효과형 트랜지스터(FETp)는 도 1에 나타내는 바와 같이, 예를 들면 기판(SUB)의 일면측의 표면에 형성된 질화실리콘막(SiN) 등의 절연막(31) 및 산화실리콘막(SiO₂) 등의 절연막(32)상에 저온폴리실리콘으로 이루어지며, p형의 채널영역을 형성하는 반도체층(21p)과, 해당 반도체층(21p)의 양단에 형성된 p⁺실리콘으로 이루어지는 불순물층(오믹콘택트층)(22p)과, 반도체층(21p)의 위쪽(도면위쪽)에 절연막(게이트절연막)(33)을 통하여 형성되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 게이트전극(Gp)과, 해당 게이트전극(Gp)상에 적층된 절연층(34) 및 상기 절연막(33)에 형성된 콘택트홀을 통하여 각 불순물층(22p)에 접속되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 전극층(소스전극 및 드레인전극)(24p)을 갖고 구성되어 있다.

또 n채널형의 전계효과형 트랜지스터(FETn)는 도 1에 나타내는 바와 같이 예를 들면 기판(SUB)의 일면측의 표면에 형성된 상기 절연막(31 및 32)상에 저온폴리실리콘으로 이루어지고, n형의 채널영역을 형성하는 반도체층(21n)과, 해당 반도체층(21n)의 양단에 형성된 n⁻실리콘으로 이루어지는 불순물층(23n), 또한 그 양단(외측)에 형성된 n⁺실리콘으로 이루어지는 불순물층(오믹콘택트층)(22n)과, 반도체층(21n)의 위쪽에 상기와 동일한 절연막(게이트절연막)(33)을 통하여 형성되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 게이트전극(Gn)과, 해당 게이트전극(Gn)상에 적층된 상기와 동일한 절연층(34) 및 절연막(33)에 형성된 콘택트홀을 통하여, 각 불순물층(22n)에 접속되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 전극층(소스전극 및 드레인전극)(24n)를 갖고 구성되어 있다.

한편, 전계효과형 트랜지스터(FETx)는 도 1에 나타내는 바와 같이 예를 들면 상기 기판(SUB)의 일면측에 적층형성된 상기 전계효과형 트랜지스터(FETp 및 FETn)에 설치된 전극층(소스전극, 드레인전극)(24p, 24n)을 피복하도록 형성된 절연막(질화실리콘막)(35)상에 형성되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 게이트전극(Gx)과, 해당 게이트전극(Gx)의 위쪽에 절연막(36)을 통하여 형성되고, 비정질실리콘으로 이루어지며, 채널영역을 형성하는 반도체층(비정질실리콘반도체층)(11)과, 해당 반도체층(11)의 위쪽에 예를 들면 질화실리콘막에 의해 형성된 블록절연막(스토퍼막)(14)과, 반도체층(11)상의 블록절연막(14)의 양단에 형성된 n⁺실리콘으로 이루어지는 불순물층(오믹콘택트층)(17, 18)과, 해당 불순물층(17, 18)상에 형성되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 전극층(소스전극(12) 및 드레인전극(13))과, 해당 반도체층(11) 및 블록절연막(14), 소스전극(12), 드레인전극(13)을 포함하는 절연막(36)상에 적층된 절연층(보호절연층)(37)을 갖고 구성되어 있다.

즉, 본 소자구조에 있어서는 도 1에 나타내는 바와 같이, 전계효과형 트랜지스터(FETx)는 전계효과형 트랜지스터(FETp, FETn)에 대하여 상호 전극층을 공유하는 일 없이, 각각 독립하여 형성되고, 또한 전계효과형 트랜지스터(FETx)가 기판(SUB)을 기준으로 하여 전계효과형 트랜지스터(FETp, FETn)보다도 상층측에 형성된 구성을 갖고 있다.

이것은 환언하면, 적어도 전계효과형 트랜지스터(FET_x)에 적용되는 비정질실리콘으로 이루어지는 반도체층(채널영역)(11)이 (기판(SUB)층)을 기준으로 하여 p채널형 및 n채널형의 전계효과형 트랜지스터(FET_p, FET_n)에 적용되는 저온폴리실리콘으로 이루어지는 반도체층(채널영역)(21p, 21n)에 대하여, 상층측에 설치된 구성을 갖고 있는 것을 의미하고 있다.

(제조방법)

이어서 상기한 바와 같은 소자구조를 갖는 트랜지스터어레이의 제조방법에 대하여 도면을 참조하여 설명한다.

도 2 A~D, 도 3 A~D, 도 4A~C는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도이다.

또한 이하의 설명에 있어서, 「제 1 공정」 내지 「제 11 공정」의 표기는 설명의 형편상, 편의적으로 이용한 것으로, 그 사이에 임의의 부가공정이 있어도 좋고, 또 치환 가능한 다른 공정으로 변경해도 좋은 것이고, 실제의 구조프로세스에 직접 관련지워진 것은 아니다.

우선 제 1 공정에 있어서는 도 2A에 나타내는 바와 같이, 유리기판 등의 투명한 절연성의 기판(SUB)의 일면측 전역에 예를 들면 플라즈마CVD법 등의 성막법을 이용하여 질화실리콘으로 이루어지는 절연막(질화실리콘막)(31), 산화실리콘으로 이루어지는 절연막(산화실리콘막)(32), 비정질실리콘막(21a)을 차례 차례 적층형성한다. 여기에서 비정질실리콘막(21a)(제 2 반도체층)을 형성하는 공정은 대개 300℃정도를 최고온도로 하는 온도조건(제 2 온도조건)에서 실행된다.

이어서 제 2 공정에 있어서는 도 2B에 나타내는 바와 같이, 비정질실리콘막(21a)에 대하여 어닐처리를 실시하여 탈수소화 처리를 실시하고, 그 후 엑시머레이저 등을 이용한 결정화처리에 의해 탈수소화 비정질실리콘막을 폴리실리콘화(다결정화)하여 폴리실리콘막(제 1 반도체층)(21b)을 형성한다. 여기에서 비정질실리콘을 폴리실리콘화하여 폴리실리콘막을 형성하는 공정은 대개 600℃정도를 최고온도로 하는 온도조건(제 1 온도조건)에서 실행된다.

이어서 제 3 공정에 있어서는 도 2C에 나타내는 바와 같이 도시를 생략한 포토리소마스크(포토리소그래피기술을 이용하여 소정의 패턴에 대응하여 에칭형성된 레지스트마스크)를 통하여 예를 들면 붕소(b)이온 등의 p형 불순물이온을 폴리실리콘막(21b)에 도핑하며, 전계효과형 트랜지스터(FET_p)의 채널영역으로 되는 반도체층(폴리실리콘막(21b))의 양단에 인접하는 영역에 p⁺실리콘층(22pa)을 형성한다.

마찬가지로 도시를 생략한 포토리소마스크를 통하여 예를 들면 인(P)이온 등의 n형 불순물이온을 폴리실리콘막(21b)에 도핑하며, 전계효과형 트랜지스터(FET_n)의 채널영역으로 되는 반도체층(폴리실리콘막(21b))의 양단에 인접하는 영역에 n⁻실리콘층(23na)을, 또 해당 n⁻실리콘층(23na)의 양단에 인접하는 영역에 n⁺실리콘층(22na)을 형성한다.

여기에서 이 제 3 공정에 있어서 형성되는 p⁺실리콘층(22pa), n⁻실리콘층(23na) 및 n⁺실리콘층(22na)의 형성순서는 특히 제약되는 것은 아니고, 임의의 순서를 설정하여 형성하는 것이어도 좋다.

이어서 제 4 공정에 있어서는 도 2D에 나타내는 바와 같이 도시를 생략한 포토리소마스크를 이용하여 전계효과형 트랜지스터(FET_p)의 형성영역, 즉 상기 제 3 공정에 있어서 형성된 반도체층(21p) 및 p⁺실리콘층(22pa)(p⁺실리콘으로 이루어지는 불순물층(22p); 오믹콘택층), 및 전계효과형 트랜지스터(FET_n)의 형성영역, 즉 반도체층(21n) 및 n⁻실리콘층(23na)(n⁻실리콘으로 이루어지는 불순물층(23n)), n⁺실리콘층(22na)(n⁺실리콘으로 이루어지는 불순물층(22n); 오믹콘택층)만을 남기게 하도록 폴리실리콘막(21b)을 패터닝(에칭)한다.

이어서 제 5 공정에 있어서는 도 3A에 나타내는 바와 같이, 적어도 상기 반도체층(21p) 및 불순물층(22p) 및 반도체층(21n) 및 불순물층(23n), 불순물층(22n)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 산화실리콘으로 이루어지는 절연막(게이트절연막)(33)을 형성한 후, 다시 스퍼터링법이나 증착법 등의 성막법을 이용하여 예를 들면 알루미늄합금이나 크롬합금 등의 금속막을 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상에 패터닝함으로써 전계효과형 트랜지스터(FET_p, FET_n)의 게이트전극(G_p, G_n)을 동일 공정에서 동시에 형성한다.

이어서, 제 6 공정에 있어서는 도 3B에 나타내는 바와 같이, 적어도 상기 게이트전극(Gp, Gn)을 포함하는 영역상에, 예를 들면 플라즈마CVD법 등을 이용하여 질화실리콘으로 이루어지는 절연막(34)을 형성한 후, 도시를 생략한 포토리소마스크를 이용하여 적어도 해당 절연막(34)의 상면으로부터 절연층(34, 33)을 관통하여, 전계효과형 트랜지스터(FETp)의 p⁺ 실리콘으로 이루어지는 불순물층(22p) 및 전계효과형 트랜지스터(FETn)의 n⁺ 실리콘으로 이루어지는 불순물층(22n)에 이르는 콘택트홀(소스콘택트홀 및 드레인콘택트홀)(CHLp, CHLn)을 형성한다.

이어서 제 7 공정에 있어서는 도 3C에 나타내는 바와 같이, 예를 들면 스퍼터링법 등을 이용하여 알루미늄합금이나 크롬합금 등의 금속막을 상기 콘택트홀(CHLp, CHLn)의 내부에 메워넣는 동시에, 절연막(34)상에 적층형성한 후, 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상에 패터닝함으로써 전계효과형 트랜지스터(FETp, FETn)의 소스전극 및 드레인전극으로 되는 전극배선(24p, 24n)을 형성한다.

이에 따라 적어도 도면 왼쪽의 영역에 복수의 전계효과형 트랜지스터(저온폴리실리콘박막트랜지스터)(FETp, FETn)로 이루어지는 기능회로가 형성된다.

이어서 제 8 공정에 있어서는 도 3D에 나타내는 바와 같이, 예를 들면 플라즈마CVD법 등을 이용하여 기판(SUB)의 일면 측 전역에 상기 전극배선(24p, 24n)을 피복하도록 질화실리콘으로 이루어지는 절연막(35)을 형성한 후, 다시 스퍼터링법 또는 증착법 등을 이용하여, 예를 들면 알루미늄합금이나 크롬합금 등의 금속막을 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상으로 패터닝함으로써 전계효과형 트랜지스터(FETx)의 형성영역에 게이트전극(Gx)을 형성한다.

이어서 제 9 공정에 있어서는 도 4A에 나타내는 바와 같이, 예를 들면 플라즈마CVD법 등을 이용하여 적어도 상기 게이트전극(Gx)을 포함하는 영역상에 질화실리콘으로 이루어지는 절연막(게이트절연막)(36)을 형성한 후, 다시 비정질실리콘막(제 2 반도체층)(11a), 질화실리콘으로 이루어지는 절연막을 차례 차례 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 질화실리콘으로 이루어지는 절연막을 패터닝하며, 보텀게이트전극(BGx) 및 게이트전극(Gx)의 형성영역에 대응하는 비정질실리콘막(11a)상에 블록절연막(스토퍼막)(14)을 형성한다. 또한 비정질실리콘막(11a)은 상기한 제 1 공정과 마찬가지로, 대개 300°C 정도의 온도조건(제 2 온도조건)에서 형성된다.

여기에서 블록절연막(14)은 비정질실리콘막(11a)으로 이루어지는 채널영역(후술하는 반도체층(11))을 후공정에 있어서의 데미지로부터 보호하기 위한 것이고, 이 블록절연막(14)과, 비정질실리콘막(11a)(반도체층(11))과의 계면상태가 전계효과형 트랜지스터(FETx)의 소자특성에 큰 영향을 주기 때문에 비정질실리콘막(11a)과 블록층(14)은 진공 중에서 연속적으로 성막함으로써 계면이 오염되지 않도록 하는 것이 바람직하다.

이어서 제 10 공정에 있어서는 도 4B에 나타내는 바와 같이, 비정질실리콘막(11a) 및 블록절연막(14)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 비정질실리콘막을 형성하고, 예를 들면 인이온(P) 등의 n형 불순물이온을 해당 비정질실리콘막에 도핑하여 n⁺ 실리콘으로 이루어지는 불순물층을 형성한 후, 전계효과형 트랜지스터(FETx)의 형성영역(대개 상기한 게이트전극(Gx)의 형성영역)에 대응하도록 도시를 생략한 포토리소마스크를 이용하여 불순물층 및 비정질실리콘막(11a)을 패터닝하고, 전계효과형 트랜지스터(FETx)의 형성영역에 반도체층(11) 및 해당 반도체층(11)상의 블록절연막(14)의 양단에 오믹콘택트층으로서의 n⁺ 실리콘으로 이루어지는 불순물층(17, 18)을 형성한다.

이 불순물층(17, 18)은 각각 후술하는 소스전극(12) 및 드레인전극(13)과, 반도체층(11)과의 전기적 접속(오믹접속)을 양호하게 하고, 역전계에 있어서의 리크전류를 방지하는 목적에서 형성된다. 또한 불순물층(17, 18)을 형성하기 위한 비정질실리콘막도 상기한 제 1 공정과 마찬가지로 대개 300°C 정도의 온도조건에서 형성된다.

이어서 제 11 공정에 있어서는 도 4C에 나타내는 바와 같이, 스퍼터링법 또는 증착법 등을 이용하여 적어도 상기 불순물층(17, 18)을 포함하는 영역상에, 예를 들면 알루미늄합금이나 크롬합금 등의 금속막을 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상에 패터닝함으로써 적어도 상기 불순물층(17, 18)상에 적층하여 연장하는 소스전극(12) 및 드레인전극(13)을 형성한다.

이에 따라 적어도 도면 오른쪽의 영역에 전계효과형 트랜지스터(비정질실리콘박막트랜지스터)(FETx)으로 이루어지는 기능회로가 형성된다.

그 후 기판(SUB)의 일면측 전역에 적어도 플라즈마CVD법 등을 이용하여 질화실리콘으로 이루어지는 절연막(37)을 적층 형성함으로써 도 1에 나타내는 바와 같은 소자구조를 갖는 트랜지스터어레이가 완성된다.

이와 같은 소자구조 및 제조방법을 갖는 트랜지스터어레이에 따르면 단일한 절연성기판(SUB)상에 저온폴리실리콘반도체층을 이용한 전계효과형 트랜지스터(FETp, FETn)와, 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터(FETx)를 혼재시켜서 박막구조에서 일체적으로 형성할 수 있기 때문에 소형으로 박형화가 가능한 트랜지스터어레이를 실현할 수 있다.

또 본 실시형태에 관련되는 트랜지스터어레이의 소자구조 및 제조방법에 따르면 적어도 전계효과형 트랜지스터(FETx)를 구성하는 비정질실리콘반도체층(반도체층(11))을 전계효과형 트랜지스터(FETp, FETn)에 이용되는 저온폴리실리콘반도체층(반도체층(21p) 및 p⁺실리콘으로 이루어지는 불순물층(22p) 및 반도체층(21n) 및 n⁻실리콘으로 이루어지는 불순물층(23n), n⁺실리콘으로 이루어지는 불순물층(22n))보다도 상층에 배치하고, 상기한 일련의 제조프로세스에 있어서, 저온폴리실리콘반도체층을 형성하는 공정(상기 제 2 및 제 3 공정)의 후에, 비정질실리콘반도체층을 형성하는 공정(상기 제 9 및 제 10 공정)을 적용하고 있기 때문에 전계효과형 트랜지스터(FETp, FETn) 및 전계효과형 트랜지스터(FETx)의 각 소자특성을 양호하게 유지할 수 있다.

즉 예를 들면 제 9 및 제 10 공정에 나타내는 바와 같은 성막시의 온도조건이 비교적 낮은(대개 300℃정도)비정질실리콘반도체층을 형성하는 공정 후에, 제 2 및 제 3 공정에 나타내는 바와 같은 성막시의 온도조건이 비교적 높은(대개 600℃정도) 저온폴리실리콘반도체층을 형성하는 공정을 실행한 경우에는 이미 형성된 비정질실리콘반도체층에 있어서 탈수소화가 진행하기 때문에 전계효과형 트랜지스터(FETx)에 있어서 충분한 전자이동도를 실현할 수 없게 되고, 소자특성이 악화하는 현상이 발생할 가능성이 있다.

그래서 본 실시형태에 있어서는 비교적 고온의 온도조건을 필요로 하는 저온폴리실리콘반도체층을 앞의 공정에서 형성한 후에, 비교적 저온에서 성막이 가능한 비정질실리콘반도체층을 후의 공정에서 형성함으로써 저온폴리실리콘반도체층을 이용한 전계효과형 트랜지스터의 소자특성을 양호하게 보존하면서 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터의 소자특성도 양호하게 보존할 수 있기 때문에 동작특성에 뛰어난 트랜지스터어레이를 실현할 수 있다.

또 본 실시형태에 있어서의 제조방법에 있어서는, 제 2 공정에 있어서의 폴리실리콘반도체층의 형성공정에 있어서 기판상에 형성된 비정질실리콘막의 전면을 결정화시켜서, 폴리실리콘반도체층을 형성하도록 해도 좋고, 종래 기술에 있는 바와 같은 특성의 영역만을 선택적으로 결정화하는 바와 같은 공정이 불필요하기 때문에 제조공정을 간이화할 수 있고, 제조장치를 간이화할 수 있어 제조비용을 저감시킬 수 있다.

또 폴리실리콘반도체층의 상층측에 비정질실리콘반도체층이 형성되고, 폴리실리콘박막트랜지스터와 비정질실리콘박막트랜지스터가 다른 층에 분리하여 형성되기 때문에 폴리실리콘박막트랜지스터와 비정질실리콘박막트랜지스터를 충분히 접근시켜서 배치할 수 있고, 그래서 화소어레이에 근접하여 드라이버회로를 배치할 수 있기 때문에 트랜지스터어레이의 면적을 작게 할 수 있어 장치규모를 소형화 할 수 있다.

또한 본 실시형태에 관련되는 트랜지스터어레이를 후술하는 바와 같이 드라이버회로에 적용하여 해당 드라이버회로의 출력회로부(레벨시프트회로부)를 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터(전계효과형 트랜지스터(FETx))에 의해 구성하고, 또 해당 드라이버회로의 다른 내부회로부를 폴리실리콘반도체층을 이용한 전계효과형 트랜지스터(전계효과형 트랜지스터(FETp, FETn))에 의해 구성함으로써 내부회로부에 있어서는, 전계효과형 트랜지스터(폴리실리콘박막트랜지스터)의 ON전류가 비교적 크고, 전자이동도가 비교적 크기 때문에 신호생성 등의 회로동작을 비교적 신속하게 실행할 수 있으며, 한편 출력회로부에 있어서는 비교적 높은 내압특성을 갖는 비정질실리콘박막트랜지스터를 이용하여 구성되어 있기 때문에 비교적 큰 전압진폭을 갖는 신호를 양호하게 생성할 수 있다.

<제 2 실시형태>

이어서 본 발명에 관련되는 트랜지스터어레이의 소자구조 및 그 제조방법의 제 2 실시형태에 대하여 도면을 참조하여 설명한다.

(소자구조)

도 5는 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 2 실시형태를 나타내는 개략단면도이다.

여기에서 상기한 제 1 실시형태(도 1 참조)와 동등한 구성에 대해서는 동일 또는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다. 또한 도 5에 있어서도 설명의 간략화를 위해 폴리실리콘반도체층 및 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터를 각각 1 내지 수개만 도시하고, 또 이들 상호를 접속하는 배선층이나 장치외부로 접속하기 위한 끌어냄배선 등에 대해서는 도시를 생략했다.

상기한 제 1 실시형태에 관련되는 소자구조 및 그 제조방법에 있어서는 전계효과형 트랜지스터(FETp, FETn)와 전계효과형 트랜지스터(FETx)가 도전체층을 공유하는 일 없이, 하층층(기관층)에 전계효과형 트랜지스터(FETp, FETn)가 형성되고, 그 상층층에 전계효과형 트랜지스터(FETx)이 각각 독립하여 형성된 구성으로 했는데, 본 실시형태에 있어서는 전계효과형 트랜지스터(FETp, FETn) 및 전계효과형 트랜지스터(FETx)의 일부의 도전체층(게이트전극)을 동일한 층에 설치하고, 해당 도전체층을 공유하는 구성을 갖고 있다.

구체적으로는 전계효과형 트랜지스터(FETp, FETn)는 도 5에 나타내는 바와 같이 각각 기관(SUB)의 일면층의 표면에 형성된 질화실리콘막(41) 및 산화실리콘막(42)(각각 상기한 절연막(31 및 32)에 상당한다)상에 저온폴리실리콘으로 이루어지는 반도체층(채널영역)(21p, 21n)과, 해당 반도체층(21p)의 양단에 형성된 p⁺실리콘으로 이루어지는 불순물층(22p)과, 반도체층(21n)의 양단에 형성된 n⁻실리콘으로 이루어지는 불순물층(23n), n⁺실리콘으로 이루어지는 불순물층(22n)과, 각 반도체층(21p, 21n)의 위쪽에 절연막(43)(게이트절연막; 상기한 절연막(33)에 상당한다)을 통하여 형성되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 게이트전극(Gp, Gn)과, 해당 게이트전극(Gp, Gn)상에 적층된 절연층(44, 45) 및 상기 절연막(43)을 관통하여 형성된 콘택트홀을 통하여 각 불순물층(22p, 22n)에 접속된 전극층(소스전극 및 드레인전극)(24p, 24n)과, 해당 전극층(24p, 24n)상에 적층된 절연층(보호절연막)(46)을 갖고 구성되어 있다.

또 전계효과형 트랜지스터(FETx)는 도 5에 나타내는 바와 같이, 기관(SUB)의 일면층의 표면에 적층형성된 상기 질화실리콘막(41) 및 산화실리콘막(42), 절연막(43)상에 형성되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료로 이루어지는 도전체층에 의한 게이트전극(Gx)과, 해당 게이트전극(Gx)의 위쪽에 상기와 동일한 절연막(게이트절연막)(44)을 통하여 형성되고, 비정질실리콘으로 이루어지는 반도체층(채널영역)(11)과, 해당 반도체층(11)상에 형성된 블록절연막(스토퍼막)(14)과, 반도체층(11)상의 블록절연막(14)의 양단에 형성된 불순물층(17, 18)과, 해당 불순물층(17, 18)상에 형성된 소스전극(12) 및 드레인전극(13)과, 반도체층(11) 및 블록절연막(14), 소스전극(12), 드레인전극(13)의 위쪽에 적층된 상기와 동일한 절연층(45, 46)을 갖고 구성되어 있다.

즉 본 소자구조에 있어서는 도 5에 나타내는 바와 같이 상기한 제 1 실시형태와 마찬가지로, 적어도 전계효과형 트랜지스터(FETx)에 적용되는 비정질실리콘으로 이루어지는 반도체층(채널영역)(11)이 p채널형 및 n채널형의 전계효과형 트랜지스터(FETp, FETn)에 적용되는 저온폴리실리콘으로 이루어지는 반도체층(채널영역)(21p, 21n)보다도 상층층에 형성된 구성을 갖고, 또한 전계효과형 트랜지스터(FETx)를 구성하는 게이트전극(Gx)이 전계효과형 트랜지스터(FETp, FETn)를 구성하는 게이트전극(Gp, Gn)과 같은 층에 형성된 구성을 갖고 있다.

(제조방법)

이어서 상기한 바와 같은 소자구조를 갖는 트랜지스터어레이의 제조방법에 대하여 도면을 참조하여 설명한다.

도 6A~D, 도 7A, B는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도이다.

또한 상기한 제 1 제조방법과 동등한 공정에 대해서는 그 설명을 간략화 또는 생략한다. 또 이하의 설명에 있어서 「제 1 공정」 내지 「제 10 공정」의 표기는 설명의 형편상 편의적으로 이용한 것이고, 그 사이에 임의의 부가공정이 있어서도 좋고, 또 치환 가능한 다른 공정으로 변경해도 좋은 것이며, 실제의 제조프로세스에 관련지워진 것은 아니다.

우선 상기한 제 1 실시형태에 있어서, 제 1 내지 제 4 공정(도 2A~D)에 나타내는 바와 같이 투명한 절연성의 기관(SUB)의 일면층 전역에 절연막(질화실리콘막)(41), 절연막(산화실리콘막)(42), 비정질실리콘막(21a)을 차례 차례 적층형성하

고, 그 후 비정질실리콘막(21a)을 폴리실리콘화한 폴리실리콘막(21b)의 소정의 영역에 불순물이온을 도핑하며, 전계효과형 트랜지스터(FETp 및 FETn)를 구성하는 반도체층(21p, 21n)의 각 양단영역에 p⁺실리콘층(22pa), n⁻실리콘층(23na) 및 n⁺실리콘층(22na)을 형성한다.

그리고 전계효과형 트랜지스터(FETp, FETn)의 각각의 형성영역에 대응하는 반도체층(21p) 및 p⁺실리콘으로 이루어지는 불순물층(22p), 및 반도체층(21n) 및 n⁻실리콘으로 이루어지는 불순물층(23n), n⁺실리콘으로 이루어지는 불순물층(22n)만을 남기게 하도록 패터닝(에칭)한다.

이어서 제 5 공정에 있어서는, 도 6A에 나타내는 바와 같이, 적어도 상기 반도체층(21p) 및 불순물층(22p) 및 반도체층(21n) 및 불순물층(23n, 22n)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 산화실리콘으로 이루어지는 절연막(게이트절연막)(43)을 형성한 후, 다시 스퍼터링법 또는 증착법을 이용하여 예를 들면 알루미늄합금이나 크롬합금 등의 금속막을 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상으로 패터닝함으로써 전계효과형 트랜지스터(FETp, FETn)의 게이트전극(Gp, Gn) 및 전계효과형 트랜지스터(FETx)의 게이트전극(Gx)을 동일 공정에서 동시에 형성한다.

이어서 제 6 공정에 있어서는 도 6B에 나타내는 바와 같이, 적어도 상기 게이트전극(Gp, Gn, Gx)을 포함하는 영역상에, 예를 들면 플라즈마CVD법 등을 이용하여 질화실리콘으로 이루어지는 절연막(게이트절연막)(44), 비정질실리콘막(11a)을 차례 차례 적층형성한 후, 게이트전극(Gx)의 형성영역에 대응하는 비정질실리콘막(11a)상에 블록절연막(스토퍼막)(14)을 형성한다.

이어서 제 7 공정에 있어서는 도 6C에 나타내는 바와 같이, 적어도 비정질실리콘막(11a) 및 블록절연막(14)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 비정질실리콘막을 형성하고, 해당 비정질실리콘막에 n형 불순물이온을 도핑하여 n⁺실리콘으로 이루어지는 불순물층을 형성한 후, 전계효과형 트랜지스터(FETx)의 형성영역(대개 상기한 게이트전극(Gx)의 형성영역)에 대응하도록 불순물층 및 비정질실리콘막(11a)을 패터닝하고, 반도체층(1) 및 n⁺실리콘으로 이루어지는 불순물층(17, 18)을 형성한다.

이어서 제 8 공정에 있어서는 도 6D에 나타내는 바와 같이, 적어도 불순물층(17, 18)상에 금속막을 적층형성한 후, 해당 금속막을 소정의 전극형상에 패터닝하고, 전계효과형 트랜지스터(FETx)의 소스전극(12) 및 드레인전극(13)을 형성하고, 기판(SUB)의 일면측 전역에 절연막(45)을 적층형성한다.

이에 따라 적어도 도면 오른쪽의 영역에 전계효과형 트랜지스터(비정질실리콘박막트랜지스터)(FETx)로 이루어지는 기능회로가 형성된다.

이어서 제 9 공정에 있어서는 도 7A에 나타내는 바와 같이, 적어도 해당 절연막(45)의 상면으로부터 각 절연층(45, 44, 43)을 관통하여 전계효과형 트랜지스터(FETp 및 FETn)의 불순물층(22p 및 22n)에 이르는 콘택트홀(소스콘택트홀 및 드레인콘택트홀)(CHLp, CHLn)을 형성한다.

이어서 제 10 공정에 있어서는 도 7B에 나타내는 바와 같이 스퍼터링법 등을 이용하여, 예를 들면 알루미늄합금이나 크롬합금 등의 금속막을 콘택트홀(CHLp, CHLn)의 내부에 메워넣는 동시에, 절연막(45)상에 적층형성한 후, 해당 금속막을 소정의 전극형상으로 패터닝함으로써 전계효과형 트랜지스터(FETp, FETn)의 소스전극 및 드레인전극으로 되는 전극배선(24p, 24n)을 형성한다.

이에 따라 적어도 도면 왼쪽의 영역에 복수의 전계효과형 트랜지스터(저온폴리실리콘박막트랜지스터)(FETp, FETn)으로 이루어지는 기능회로가 형성된다.

그 후 기판(SUB)의 일면측 전역에 적어도 절연막(보호절연막)(46)을 적층형성함으로써 도 5에 나타내는 바와 같은 소자구조를 갖는 트랜지스터어레이가 완성된다.

따라서 이와 같은 소자구조 및 제조방법을 갖는 화상처리장치에 따르면 상기한 제 1 실시형태와 마찬가지로, 단일한 절연성기판(SUB)상에 저온폴리실리콘반도체층을 이용한 전계효과형 트랜지스터(FETp, FETn)와 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터(FETx)를 혼재시켜서, 박막구조에서 일체적으로 형성할 수 있기 때문에 소형으로 박형화가 가능한 트랜지스터어레이를 실현할 수 있다.

또 전계효과형 트랜지스터(FETp, FETn)에 이용되는 저온폴리실리콘반도체층을 전계효과형 트랜지스터(FETx)를 구성하는 비정질실리콘반도체층보다도 하층에 배치하고, 상기한 일련의 제조프로세스에 있어서 저온폴리실리콘반도체층을 형성한 후에, 비정질실리콘반도체층을 형성하는 공정을 적용하고 있기 때문에, 전계효과형 트랜지스터(FETp, FETn) 및 전계효과형 트랜지스터(FETx)의 각 소자특성을 양호하게 유지할 수 있다.

또한 본 실시형태 특유의 효과로서 적어도 전계효과형 트랜지스터(FETp, FETn)와, 전계효과형 트랜지스터(FETx)의 일부의 도전체층(게이트전극(Gp, Gn)과 게이트전극(Gx))을 동일한 층에 설치한 구성을 적용하고 있기 때문에 이들의 도전층을 동일한 공정에서(공정을 공유하여) 동시에 형성할 수 있고, 제조프로세스의 단축과 제조비용의 삭감을 꾀할 수 있다.

<제 3 실시형태>

이어서 본 발명에 관련되는 트랜지스터어레이의 소자구조 및 그 제조방법의 제 3 실시형태에 대하여 도면을 참조하여 간략하게 설명한다.

(소자구조)

도 8은 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 3 실시형태를 나타내는 개략단면도이다.

여기에서 상기한 제 1 실시형태(도 1 참조)와 동등한 구성에 대해서는 동일 또는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다. 또한 도 8에 있어서도 설명의 간략화를 위해 폴리실리콘반도체층을 이용한 전계효과형 트랜지스터 및 포토센서를 각각 1 내지 수개만 도시하고, 또 이들 상호를 접속하는 배선층이나, 장치외부로 접속하기 위한 끌어냄배선 등에 대해서는 도시를 생략했다.

상기한 제 1 실시형태에 관련되는 소자구조 및 그 제조방법에 있어서는, 전계효과형 트랜지스터(FETp, FETn)와 전계효과형 트랜지스터(FETx)가 도전체층을 공유하는 일 없이 단일한 기판(SUB)상에 혼재하여 형성된 구성에 대하여 설명했는데, 본 실시형태에 있어서는 상기 전계효과형 트랜지스터(FETx)로 바뀌어서 비정질실리콘반도체층을 이용한 복수의 기능 소자(포토센서)가 전계효과형 트랜지스터(FETp, FETn)와 도전체층을 공유하는 일 없이 단일한 기판(SUB)상에 일체적으로 형성된 구성을 갖고 있다.

여기에서 본 실시형태에 적용 가능한 전계효과형 트랜지스터(FETp, FETn)는 도 8에 나타내는 바와 같이, 상기한 제 1 실시형태에 나타낸 트랜지스터어레이(도 1 참조)와 동등한 소자구조를 갖고 있기 때문에 구체적인 설명을 생략한다.

본 실시형태에 관련되는 트랜지스터어레이에 적용 가능한 포토센서(PS)는 도 8에 나타내는 바와 같이, 예를 들면 기판(SUB)의 일면층의 표면에 적층형성된 상기 p채널형 전계효과형 트랜지스터(FETp) 및 n채널형 전계효과형 트랜지스터(FETn)에 설치된 전극층(24p, 24n)을 피복하도록 형성된 질화실리콘막(35)상에 형성되고, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료에 의한 도전체층으로 이루어지며, 가시광에 대해서 불투명한 보텀게이트전극(제 2 게이트전극)(BGx)과, 해당 보텀게이트전극(BGx)의 위쪽에 상기와 동일한 절연막(하부게이트절연막)(36)을 통하여 형성되고, 비정질실리콘으로 이루어지며, 채널영역을 형성하는 반도체층(51)과, 해당 반도체층(51)의 위쪽(도면 위쪽)에 예를 들면 질화실리콘막에 의해 형성된 블록절연막(스토퍼막)(54)과, 반도체층(51)상의 블록절연막(54)의 양단에 형성된 n⁺실리콘으로 이루어지는 불순물층(오믹콘택트층)(57, 58)과, 해당 불순물층(57, 58)상에 형성되며, 예를 들면 크롬, 크롬합금, 알루미늄, 알루미늄합금 등으로부터 선택된 도전성재료에 의한 도전체층으로 이루어지고, 가시광에 대해서 불투명한 전극층(소스전극(52) 및 드레인전극(53))과, 반도체층(51) 및 블록절연막(54)의 위쪽에 상기와 동일한 절연막(상부게이트절연막)(37)을 통하여 형성되고, 예를 들면 산화주석막이나 ITO막(인듐-주석산화막) 등의 투명전극층에 의한 도전체층으로 이루어지며, 가시광에 대해서 투과성을 나타내는 톱게이트전극(제 1 게이트전극)(TGx)과, 해당 톱게이트전극(TGx)을 포함하는 절연막(37)상에 적층된 절연층(절연보호막)(38)을 갖고 구성되어 있다.

여기에서 본 실시형태에 있어서는 상기한 절연막(절연층)(31~38)이 각각 질화실리콘막이나 산화실리콘막 등의 투과성을 갖는 투명한 절연막에 의해 형성되어 있다.

이와 같이 본 실시형태에 관련되는 포토센서(PS)는 개략 상기한 제 1 실시형태에 나타낸 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터(FETx)의 소자구조에 대하여 비정질실리콘반도체층의 위쪽에 절연막(톱게이트절연막)을 통하여 톱게이트전극(TGx)을 부가한 구성을 갖고 있다. 즉 본 실시형태에 관련되는 포토센서(PS)는 여기광(勵起光)(여기에서는

가시광)의 입사에 의해 전자-정공쌍이 생성되는, 공통의 비정질실리콘으로 이루어지는 반도체층(채널영역)(51)에 대하여 위쪽 및 아래쪽에 개별의 게이트전극(툽게이트전극(TGx), 보텀게이트전극(BGx))이 설치된, 소위 더블게이트형의 박막트랜지스터구조를 갖고 있다.

여기에서 포토센서(PS)는 상기한 제 1 실시형태와 마찬가지로, 적어도 포토센서(PS)에 적용되는, 비정질실리콘으로 이루어지는 반도체층(51)이 p채널형 및 n채널형의 전계효과형 트랜지스터(FETp, FETn)에 적용되는 저온폴리실리콘으로 이루어지는 반도체층(21p, 21n)보다도 상층층에 형성된 구성을 갖고, 또한 포토센서(PS)와 전계효과형 트랜지스터(FETp, FETn)가 상호 도전체층을 공유하는 일 없이 각각 독립하여 형성된 구성을 갖고 있다.

(제조방법)

이어서 상기한 바와 같은 소자구조를 갖는 트랜지스터어레이의 제조방법에 대하여 도면을 참조하여 설명한다.

도 9A~C는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도이다.

또한 상기한 바와 같이 본 소자구조에 관련되는 포토센서(PS)는 상기한 제 1 실시형태에 나타난 전계효과형 트랜지스터(FETx)의 소자구조와 대략 동등하기 때문에 해당 전계효과형 트랜지스터(FETx)에 있어서의 게이트전극(Gx)으로부터 소스전극(12) 및 드레인전극(13)의 형성까지의 각 공정과 동등한 공정을 적용한 제조방법을 나타내고, 그 설명을 간략화 또는 생략한다. 또 이하의 설명에 있어서도 「제 1 공정」 내지 「제 10 공정」의 표기는 설명의 상황하, 편의적으로 이용한 것이고 실제의 제조프로세스에 관련지워진 것은 아니다.

우선 상기한 제 1 실시형태에 있어서, 제 1 내지 제 7 공정(도 2A~D 및 3A~C)에 나타난 제조방법과 마찬가지로, 기판(SUB)의 일면측 전역에 적층형성된 절연막(31, 32)상이며, 도면 왼쪽의 영역에 폴리실리콘반도체층을 이용한 복수의 전계효과형 트랜지스터(저온폴리실리콘박막트랜지스터)(FETp, FETn)를 형성한다.

이어서 제 8 공정에 있어서는 도 9A에 나타내는 바와 같이, 기판(SUB)의 일면측 전역에 전극배선(24p, 24n)을 피복하도록 절연막(35)을 형성한 후, 알루미늄합금이나 크롬합금 등의 차광성을 갖는 금속막을 적층형성하고, 해당 금속막을 소정의 전극형상으로 패터닝함으로써 각 포토센서(PS)의 형성영역에 보텀게이트전극(BGx)을 형성한다.

이어서 제 9 공정에 있어서는 도 9B에 나타내는 바와 같이, 상기한 제 1 실시형태에 나타난 제 9 내지 제 10 공정과 마찬가지로, 보텀게이트전극(BGx)상에 절연막(하부게이트절연막)(36)을 통하여 반도체층(51)(상기한 반도체층(11)에 상당한다) 및 블록절연막(54)(상기한 블록절연막(14)에 상당한다), 오믹콘택트층으로서의 불순물층(57, 58)(상기한 불순물층(17, 18)에 상당한다)을 소정의 형상으로 형성하고, 또한 해당 불순물층(57, 58)상에 연장하도록 소스전극(52) 및 드레인전극(53)(상기한 소스전극(12) 및 드레인전극(13)에 상당한다)을 적층형성한다. 여기에서 반도체층(51)을 형성하기 위한 비정질실리콘막(51a)의 성막공정은 상기한 제 1 제조방법과 마찬가지로 대개 300℃ 정도의 온도조건에서 형성된다.

이어서 제 10 공정에 있어서는 도 9C에 나타내는 바와 같이, 기판(SUB)의 일면측 전역에 절연막(상부게이트절연막)(37)을 적층형성하고, 또한 증착법 등을 이용하여 산화주석막이나 ITO막 등의 투명전극층을 형성한 후, 도시를 생략한 포토리소마스크를 이용하여 상기 반도체층(채널영역)(51)에 대응하도록 패터닝하여 톽게이트전극(TGx)을 형성한다.

이에 따라 적어도 도면 오른쪽의 영역에 소위 더블게이트형의 박막트랜지스터(비정질실리콘박막트랜지스터)구조를 갖는 복수의 포토센서(PS)가 형성된다.

그 후 기판(SUB)의 일면측 전역에 플라즈마CVD법 등을 이용하여 질화실리콘으로 이루어지는 절연막(보호절연막)(38)을 적층형성함으로써 도 8에 나타낸 바와 같은 소자구조를 갖는 트랜지스터어레이가 완성된다.

따라서 이와 같은 소자구조 및 제조방법을 갖는 트랜지스터어레이에 따르면 상기한 제 1 실시형태와 마찬가지로, 단일한 절연성기판(SUB)상에 저온폴리실리콘반도체층을 이용한 전계효과형 트랜지스터(FETp, FETn)와, 비정질실리콘반도체층을 이용한 포토센서(PS)를 혼재시켜서 박막구조에서 일체적으로 형성할 수 있기 때문에 소형으로 박형화가 가능한 트랜지스터어레이를 실현할 수 있다.

또 전계효과형 트랜지스터(FETp, FETn)에 이용되는 저온폴리실리콘반도체층을 포토센서(PS)를 구성하는 비정질실리콘 반도체층보다도 하층에 배치하고, 상기한 일련의 제조프로세스에 있어서, 저온폴리실리콘반도체층을 형성한 후에, 비정질실리콘반도체층을 형성하는 공정을 적용하고 있기 때문에 전계효과형 트랜지스터(FETp, FETn) 및 전계효과형 트랜지스터(FETx)의 각 소자특성을 양호하게 유지할 수 있다.

또한 본 실시형태 특유의 효과로서 포토센서(PS)가 더블게이트형의 박막트랜지스터구조를 갖고 있기 때문에 후술하는 바와 같이, 각 포토센서(PS)에 의해 포토센스기능과 선택트랜지스터기능의 양쪽을 실현할 수 있다. 따라서 해당 포토센서를 2차원 배열하여 포토센서어레이를 구성한 경우, 각 관독화소를 구성하는 트랜지스터 수를 적게 하여 포토센서어레이의 한 층의 소형화 또는 화소수의 증가를 피하면서 박형화를 실현할 수 있다.

<제 4 실시형태>

이어서 본 발명에 관련되는 트랜지스터어레이의 소자구조 및 그 제조방법의 제 4 실시형태에 대해서 도면을 참조하여 설명한다.

(소자구조)

도 10은 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 4 실시형태를 나타내는 개략단면도이다.

여기에서 상기한 제 2 실시형태(도 5 참조)와 동등한 구성에 대해서는 동일 또는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다. 또한 도 10에 있어서도 설명의 간략화를 위해 폴리실리콘반도체층을 이용한 전계효과형 트랜지스터 및 포토센서를 각각 1 내지 수개만 도시하고, 또 이들 상호를 접속하는 배선층이나 장치외부로 접속하기 위한 끌어냄배선 등에 대해서는 도시를 생략했다.

상기한 제 2 실시형태에 관련되는 소자구조 및 그 제조방법에 있어서는 전계효과형 트랜지스터(FETp, FETn)와 전계효과형 트랜지스터(FETx)의 각 게이트전극(Gp, Gn, Gx)이 도전체층을 공유하고, 단일한 기판(SUB)상에 혼재하여 형성된 구성에 대해서 설명했는데, 본 실시형태에 있어서는 상기 전계효과형 트랜지스터(FETx)로 바뀌어서 제 3 실시형태에 나타낸 소자구조를 갖는 포토센서의 보텀게이트(BGx)가 전계효과형 트랜지스터(FETp, FETn)의 각 게이트전극(Gp, Gn)과 도전체층을 공유하여 단일한 기판(SUB)상에 일체적으로 형성된 구성을 갖고 있다.

여기에서 본 실시형태에 적용 가능한 전계효과형 트랜지스터(FETp, FETn)는 도 10에 나타내는 바와 같이 상기한 제 2 실시형태에 나타낸 트랜지스터어레이(도 5 참조)와 동등한 소자구조를 갖고 있기 때문에 구체적인 설명을 생략한다. 또 포토센서(PS)에 대해서도 상기한 제 3 실시형태에 나타낸 트랜지스터어레이(도 8 참조)와 대략 동등한 소자구조를 갖고 있기 때문에 설명을 간략화 한다.

본 실시형태에 관련되는 트랜지스터어레이에 적용 가능한 포토센서(PS)는 도 10에 나타내는 바와 같이, 기판(SUB)의 일면층의 표면에 적층형성된 상기 p채널형 전계효과형 트랜지스터(FETp) 및 n채널형 전계효과형 트랜지스터(FETn)에 설치된 게이트전극(Gp, Gn)과 동일한 전극형성층(레이어)에 형성된 보텀게이트전극(제 2 게이트전극)(BGx)과 해당 보텀게이트전극(BGx)의 위쪽에 상기와 동일한 절연막(하부게이트절연막)(44)을 통하여 형성된 비정질실리콘으로 이루어지는 반도체층(채널영역)(51)과, 해당 반도체층(51)의 위에 형성된 블록절연막(스토퍼막)(54), 해당 블록절연막(54)의 양단에 형성된 n⁺실리콘으로 이루어지는 불순물층(오믹콘택트층)(57, 58), 해당 불순물층(57, 58)상에 형성된 소스전극(52) 및 드레인전극(53)과, 반도체층(51) 및 블록절연막(54), 소스전극(52), 드레인전극(53)의 위쪽에 상기와 동일한 절연막(상부게이트절연막)(45)을 통하여 형성된 톱게이트전극(제 1 게이트전극)(TGx)과, 해당 톱게이트전극(TGx)상에 적층된 절연층(46)을 갖고 구성되어 있다.

또한 본 실시형태에 있어서는 전계효과형 트랜지스터(FETp, FETn)에 설치되는 전극층(24p, 24n)은, 예를 들면 상기 포토센서(PS)의 톱게이트(TGx)상에 적층된 절연층(46)의 상면으로부터 절연층(43~45)을 관통하여 형성된 콘택트홀을 통하여 각 불순물층(22p, 22n)에 접속된다. 여기에서 해당 전극층(24p, 24n)을 포함하는 절연막(46)상에는 절연층(절연보호막)(47)이 적층형성된 구성을 갖고 있다.

(제조방법)

이어서 상기한 바와 같은 소자구조를 갖는 트랜지스터어레이의 제조방법에 대하여 도면을 참조하여 간단하게 설명한다.

도 11A~D는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도이다. 또한 상기한 전계효과형 트랜지스터(FETp, FETn) 및 포토센서(PS)와 동등한 공정에 대해서는 그 설명을 간략화 또는 생략한다. 또 이하의 설명에 있어서도 「제 1 공정」 내지 「제 8 공정」의 표기는 설명의 형편상, 편의적으로 이용한 것으로, 실제의 제조프로세스에 관련지워진 것은 아니다.

우선 상기한 제 1 실시형태에 있어서, 제 1~제 4 공정(도 2A~D)에 나타난 제조방법과 마찬가지로, 기판(SUB)의 일면측 전역에 적층형성된 절연막(41, 42)상이며, 도면 왼쪽의 전계효과형 트랜지스터(FETp, FETn)의 각각의 형성영역에 폴리실리콘으로 이루어지는 반도체층(21p) 및 p⁺실리콘으로 이루어지는 불순물층(22p) 및 폴리실리콘으로 이루어지는 반도체층(21n) 및 n⁻실리콘으로 이루어지는 불순물층(23n), n⁺실리콘으로 이루어지는 불순물층(22n)을 형성한다.

이어서 제 5 공정에 있어서는 도 11A에 나타내는 바와 같이, 기판(SUB)의 일면측 전역에 절연막(43)을 형성한 후, 알루미늄합금이나 크롬합금 등의 차광성을 갖는 금속막에 의해 전계효과형 트랜지스터(FETp, FETn)의 형성영역(대개 상기한 반도체층(21p, 21n)상)에 게이트전극(Gp, Gn)을, 또 각 포토센서(PS)의 형성영역에 보텀게이트전극(BGx)을 동일 공정에 의해 동시에 형성한다.

이어서 제 6 공정에 있어서는 도 11B에 나타내는 바와 같이 상기한 제 2 실시형태에 나타난 제 6 내지 제 8 공정과 마찬가지로, 게이트전극(Gp, Gn) 및 보텀게이트전극(BGx)상에 절연막(하부게이트절연막)(44)을 통하여 반도체층(51) 및 블록 절연막(54), 오믹콘택층으로서의 불순물층(57, 58)을 소정의 형상으로 형성하고, 또한 해당 불순물층(57, 58)상에 연장하도록 소스전극(52) 및 드레인전극(53)(상기한 소스전극(12) 및 드레인전극(13)에 상당한다)을 적층형성한다.

이어서 제 7 공정에 있어서는 도 11C에 나타내는 바와 같이, 기판(SUB)의 일면측 전역에 절연막(상부게이트절연막)(45)을 적층형성하고, 또한 상기 반도체층(채널영역)(51)에 대응하도록 투명전극층으로 이루어지는 톱게이트전극(TGx)을 형성한다.

이어서 제 8 공정에 있어서는 도 11D에 나타내는 바와 같이, 적어도 톱게이트전극(TGx)을 포함하는 기판(SUB)의 일면측에 절연막(46)을 적층형성한 후, 해당 절연막(46)의 상면으로부터 각 절연층(43~45)을 관통하여 전계효과형 트랜지스터(FETp 및 FETn)의 각 불순물층(22p 및 22n)에 이르는 전극배선(24p, 24n)(소스전극 및 드레인전극)을 형성한다.

이에 따라 적어도 도면 왼쪽의 영역에 복수의 전계효과형 트랜지스터(저온폴리실리콘박막트랜지스터)(FETp, FETn)으로 이루어지는 기능회로가 형성되고, 도면 오른쪽의 영역에 소위 더블게이트형의 박막트랜지스터(비정질실리콘박막트랜지스터)구조를 갖는 복수의 포토센서(PS)가 형성된다.

그 후 기판(SUB)의 일면측 전역에 절연막(보호절연막)(47)을 적층형성함으로써 도 10에 나타내는 바와 같은 소자구조를 갖는 트랜지스터어레이가 완성된다.

따라서 이와 같은 소자구조 및 제조방법을 갖는 트랜지스터어레이에 따르면 상기한 제 2 실시형태와 마찬가지로 적어도 전계효과형 트랜지스터(FETp, FETn)와 포토센서(PS)의 일부의 도전체층(게이트전극(Gp, Gn)과 보텀게이트전극(BGx))을 동일한 층에 설치한 구성을 적용하고 있기 때문에 이들의 도전층을 동일한 공정에서(공정을 공유하고)동시에 형성할 수 있어, 제조프로세스의 단축과 제조비용의 삭감을 꾀할 수 있다는 특유의 효과를 갖고 있다.

또한 상기한 제 1 내지 제 4 실시형태에 관련되는 트랜지스터어레이의 소자구조에 있어서는 단일한 기판상에 폴리실리콘 반도체층을 이용한 전계효과형 트랜지스터와, 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터 또는 포토센서의 어느 쪽인가 한쪽만이 일체적으로 형성된 예에 대하여 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 이하에 나타내는 바와 같이 단일한 기판상에 폴리실리콘반도체층을 이용한 전계효과형 트랜지스터와 함께, 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터 및 포토센서의 양쪽이 혼재하여 형성된 구성을 갖고 있는 것이어도 좋다.

< 제 5 실시형태 >

이어서 본 발명에 관련되는 트랜지스터어레이의 소자구조 및 그 제조방법의 제 5 실시형태에 대하여 도면을 참조해서 설명한다.

도 12는 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 5 실시형태를 나타내는 개략단면도이다.

여기에서 상기한 제 1 내지 제 4 실시형태와 동등한 구성에 대해서는 그 설명을 간략화 또는 생략한다. 본 실시형태에 있어서는 도 12에 나타내는 바와 같이, 단일한 기판(SUB)상에 폴리실리콘반도체층(21p, 21n)을 이용한 전계효과형 트랜지스터(FETp, FETn)와 함께 비정질실리콘반도체층(11)을 이용한 전계효과형 트랜지스터(FETx) 및 비정질실리콘반도체층(51)을 이용한 포토센서(PS)의 양쪽이 일체적으로 형성되고, 또한 상기한 제 1 및 제 3 실시형태와 마찬가지로 전계효과형 트랜지스터(FETp 및 FETn)와, 전계효과형 트랜지스터(FETx) 및 포토센서(PS)가 상호 도전체층을 공유하는 일 없이 단일한 기판(SUB)상에 혼재하여 형성된 구성을 갖는다.

여기에서 본 실시형태에 적용 가능한 전계효과형 트랜지스터(FETp, FETn) 및 포토센서(PS)는 상기한 제 3 실시형태에 나타낸 트랜지스터어레이(도 8 참조)에 있어서의 구성과 동등한 소자구조를 갖고 있기 때문에 구체적인 설명을 생략한다. 또 전계효과형 트랜지스터(FETx)에 대해서도 상기한 제 1 실시형태에 나타낸 트랜지스터어레이(도 1 참조)에 있어서의 구성과 동등한 소자구조를 갖고 있기 때문에 설명을 간략화한다.

(제조방법)

이어서 상기한 바와 같은 소자구조를 갖는 트랜지스터어레이의 제조방법에 대하여 도면을 참조해서 설명한다.

도 13A~D는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도이다.

또한 상기한 전계효과형 트랜지스터(FETp, FETn, FETx) 및 포토센서(PS)와 동등한 공정에 대해서는 그 설명을 간략화 또는 생략한다. 또 이하의 설명에 있어서도, 「제 1 공정」 내지 「제 11 공정」의 표기는 설명의 형편상 편의적으로 이용한 것으로, 실제의 제조프로세스에 관련지워진 것은 아니다.

우선 상기한 제 1 실시형태에 있어서, 제 1~제 7 공정(도 2A~D 및 도 3A~C)에 나타낸 제조방법과 마찬가지로 기판(SUB)의 일면측 전역에 적층형성된 절연막(31, 32)상이며, 도면 왼쪽의 영역에 폴리실리콘반도체층을 이용한 복수의 전계효과형 트랜지스터(저온폴리실리콘박막트랜지스터)(FETp, FETn)를 형성한다.

이어서 제 8 공정에 있어서는 도 13A에 나타내는 바와 같이, 예를 들면 플라즈마CVD법 등을 이용하여 기판(SUB)의 일면측 전역에 상기 전극배선(24p, 24n)을 피복하도록 질화실리콘으로 이루어지는 절연막(35)을 형성한 후, 다시 스퍼터링법 또는 증착법 등을 이용하여 예를 들면 알루미늄합금이나 크롬합금 등의 차광성을 갖는 금속막을 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상으로 패터닝함으로써 각 포토센서(PS) 및 전계효과형 트랜지스터(FETx)의 형성영역에 보텀게이트전극(BGx) 및 게이트전극(Gx)을 형성한다.

이어서 제 9 공정에 있어서는, 도 13B에 나타내는 바와 같이, 예를 들면 플라즈마CVD법 등을 이용하여 적어도 상기 보텀게이트전극(BGx) 및 게이트전극(Gx)을 포함하는 영역상에 질화실리콘으로 이루어지는 절연막(하부게이트절연막)(36)을 형성한 후, 다시 비정질실리콘막(11a), 질화실리콘으로 이루어지는 절연막을 차례 차례 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 질화실리콘으로 이루어지는 절연막을 패터닝하며, 보텀게이트전극(BGx) 및 게이트전극(Gx)의 형성영역에 대응하는 비정질실리콘막(11a)상에 블록절연막(스토퍼막)(14, 54)을 형성한다. 또한 비정질실리콘막(11a)은 상기한 제 1 공정과 마찬가지로 대개 300°C 정도의 온도조건에서 형성된다.

여기에서 블록절연막(14, 54)은 비정질실리콘막(11a)으로 이루어지는 채널영역(후술하는 반도체층(11, 51))을 후공정에 있어서의 손상으로부터 보호하기 위한 것이다. 또 후술하는 공정에 의해 비정질실리콘막(11a)으로 이루어지는 반도체층(채널영역)(11, 51)이 형성되는데, 이 반도체층(11, 51)에 접하는 절연막(즉 상기 블록절연막(14, 54))은 그 계면상태가 포토센서(더블게이트형 포토센서)(PS) 및 전계효과형 트랜지스터(FETx)의 소자특성에 큰 영향을 주기 때문에 반도체층(11, 51)(비정질실리콘막(11a))과 블록층(14, 54)은 진공 중에서 연속적으로 성막함으로써 계면이 오염되지 않도록 하는 것이 바람직하다.

이어서 제 10 공정에 있어서는 도 13C에 나타내는 바와 같이, 비정질실리콘막(11a) 및 블록절연막(14, 54)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 비정질실리콘막을 형성하고, 예를 들면 인이온(P) 등의 n형 불순물이온을 해당 비정질실리콘막에 도핑하며, n⁺실리콘으로 이루어지는 불순물층을 형성한 후 포토센서(PS)의 형성영역(대개 상기한 보텀게이트전극(BGx)의 형성영역) 및 전계효과형 트랜지스터(FETx)의 형성영역(대개 상기한 게이트전극(Gx)의 형

성영역)에 대응하도록 도시를 생략한 포토리소마스크를 이용하여 불순물층 및 비정질실리콘막(11a)을 패터닝하고, 전계효과형 트랜지스터(FETx)의 형성영역에 반도체층(11) 및 해당 반도체층(11)상의 블록절연막(14)의 양단에 오믹콘택트층으로서의 n⁺실리콘으로 이루어지는 불순물층(17, 18)을 형성하고, 포토센서(PS)의 형성영역에 반도체층(51) 및 해당 반도체층(51)상의 블록절연막(54)의 양단에 오믹콘택트층으로서의 n⁺실리콘으로 이루어지는 불순물층(57, 58)을 형성한다.

이 불순물층(17, 18 및 57, 58)은 각각 후술하는 소스전극(12) 및 드레인전극(13)과 반도체층(11)의 전기적 접속(오믹접속) 및 소스전극(52) 및 드레인전극(53)과 반도체층(51)의 전기적 접속(오믹접속)을 양호하게 하고, 역전계에 있어서의 리크전류를 방지할 목적으로 형성된다. 또한 불순물층(17, 18 및 57, 58)을 형성하기 위한 비정질실리콘막도 상기한 제 1 공정과 마찬가지로 대개 300℃ 정도의 온도조건에서 형성된다.

이어서 제 11 공정에 있어서는 도 13D에 나타내는 바와 같이, 스퍼터링법 또는 증착법 등을 이용하여 적어도 상기 불순물층(17, 18 및 57, 58)을 포함하는 영역상에 예를 들면 알루미늄합금이나 크롬합금 등의 금속막을 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상으로 패터닝함으로써 적어도 상기 불순물층(17, 18 및 57, 58)상에 적층하여 연장되는 전계효과형 트랜지스터(FETx)의 소스전극(12) 및 드레인전극(13)을 형성하며, 포토센서(PS)의 소스전극(52) 및 드레인전극(53)을 형성한다.

그 후 기판(SUB)의 일면측 전역에 플라즈마CVD법 등을 이용하여 질화실리콘으로 이루어지는 절연막(상부게이트절연막)(37)을 적층형성하고, 또한 증착법 등을 이용하여 산화주석막이나 ITO막 등의 투명전극층을 형성한 후 도시를 생략한 포토리소마스크를 이용하여 상기 반도체층(채널영역)(51)에 대응하도록 패터닝하여 포토센서(PS)의 틱게이트전극(TGx)을 형성한다.

그 후 기판(SUB)의 일면측 전역에 플라즈마CVD법 등을 이용하여 질화실리콘으로 이루어지는 절연막(보호절연막)(38)을 적층형성함으로써 도 12에 나타난 바와 같은 소자구조를 갖는 트랜지스터어레이가 완성된다.

이와 같은 구성을 갖는 트랜지스터어레이에 따르면, 후술하는 적용예에 나타내는 바와 같은 화소어레이(포토센서어레이 등)와, 그 주변회로인 드라이버회로(틱게이트드라이버, 보텀게이트드라이버, 소스드라이버 등)를 구성하는 각 트랜지스터 및 트랜지스터구조를 갖는 화소의 소자특성을 양호하게 유지하면서 단일한 기판상에 일체적으로 형성할 수 있기 때문에 화소어레이를 구비한 화상처리장치 등의 제조프로세스의 간략화나 부품수의 삭감에 의한 제품생산성의 향상, 비용의 삭감을 피하면서 장치의 소형박형화를 실현할 수 있다.

< 제 6 실시형태 >

이어서 본 발명에 관련되는 트랜지스터어레이의 소자구조 및 그 제조방법의 제 6 실시형태에 대하여 도면을 참조해서 설명한다.

도 14는 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 6 실시형태를 나타내는 개략단면도이다.

여기에서 상기한 제 1 내지 제 4 실시형태와 동등한 구성에 대해서는 그 설명을 간략화 또는 생략한다. 본 실시형태에 있어서는 도 14에 나타내는 바와 같이, 단일한 기판(SUB)상에 폴리실리콘반도체층(21p, 21n)을 이용한 전계효과형 트랜지스터(FETp, FETn)와 함께 비정질실리콘반도체층(11)을 이용한 전계효과형 트랜지스터(FETx) 및 비정질실리콘반도체층(51)을 이용한 포토센서(PS)의 양쪽이 일체적으로 형성되고, 또한 상기한 제 2 및 제 4 실시형태와 마찬가지로 전계효과형 트랜지스터(FETp 및 FETn)와, 전계효과형 트랜지스터(FETx) 및 포토센서(PS)가 일부의 도전체층(게이트전극 및 보텀게이트전극)을 상호 공유하고, 단일한 기판(SUB)상에 혼재하여 형성된 구성을 갖는다.

여기에서 본 실시형태에 적용 가능한 전계효과형 트랜지스터(FETp, FETn) 및 포토센서(PS)는 상기한 제 4 실시형태에 나타난 트랜지스터어레이(도 10 참조)에 있어서의 구성과 동등한 소자구조를 갖고 있기 때문에 구체적인 설명을 생략한다. 또 전계효과형 트랜지스터(FETx)에 대해서도 상기한 제 2 실시형태에 나타난 트랜지스터어레이(도 5 참조)에 있어서의 구성과 동등한 소자구조를 갖고 있기 때문에 설명을 간략화한다.

(제조방법)

이어서 상기한 바와 같은 소자구조를 갖는 화상처리장치의 제조방법에 대하여 도면을 참조해서 설명한다.

도 15A~C, 도 16A, B는 본 소자구조에 관련되는 화상처리장치의 제조방법을 나타내는 프로세스단면도이다.

또한 상기한 제 1 제조방법과 동등한 공정에 대해서는 그 설명을 간략화 또는 생략한다. 또 이하의 설명에 있어서, 「제 1 공정」 내지 「제 9 공정」의 표기는 설명의 형편상 편의적으로 이용한 것으로, 그 사이에 임의의 부가공정이 있어도 좋고, 또 치환 가능한 다른 공정으로 변경해도 좋은 것이며, 실제의 제조프로세스에 관련지워진 것은 아니다.

우선 상기한 제 1 실시형태에 있어서, 제 1~제 4 공정(도 2A~D)에 나타난 제조방법과 마찬가지로 기판(SUB)의 일면측 전역에 적층형성된 절연막(41, 42)상이며, 도면 왼쪽의 전계효과형 트랜지스터(FETp, FETn)의 각각의 형성영역에 폴리실리콘으로 이루어지는 반도체층(21p) 및 p⁺실리콘으로 이루어지는 불순물층(22p) 및 폴리실리콘으로 이루어지는 반도체층(21n) 및 n⁻실리콘으로 이루어지는 불순물층(23n), n⁺실리콘으로 이루어지는 불순물층(22n)을 형성한다.

이어서 제 5 공정에 있어서는 도 15A에 나타내는 바와 같이, 적어도 상기 반도체층(21p) 및 불순물층(22p) 및 반도체층(21n) 및 불순물층(23n, 22n)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 산화실리콘으로 이루어지는 절연막(게이트절연막)(43)을 형성한 후, 다시 스퍼터링법 또는 증착법 등을 이용하여 예를 들면 알루미늄합금이나 크롬합금 등의 차광성을 갖는 금속막을 적층형성하고, 그 후 도시를 생략한 포토리소마스크를 이용하여 해당 금속막을 소정의 전극형상으로 패터닝함으로써 전계효과형 트랜지스터(FETp, FETn)의 게이트전극(Gp, Gn) 및 포토센서(PS)의 보텀게이트전극(BGx), 전계효과형 트랜지스터(FETx)의 게이트전극(Gx)을 동일공정으로 동시에 형성한다.

이어서 제 6 공정에 있어서는 도 15B에 나타내는 바와 같이, 적어도 상기 게이트전극(Gp, Gn, Gx) 및 보텀게이트전극(BGx)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 질화실리콘으로 이루어지는 절연막(하부게이트절연막)(44), 비정질실리콘막(11a)을 차례 차례 적층형성한 후 보텀게이트전극(BGx) 및 게이트전극(Gx)의 형성영역에 대응하는 비정질실리콘막(11a)상에 블록절연막(스토퍼막)(14, 54)을 형성한다.

이어서 제 7 공정에 있어서는 도 15C에 나타내는 바와 같이, 적어도 비정질실리콘막(11a) 및 블록절연막(14)을 포함하는 영역상에 예를 들면 플라즈마CVD법 등을 이용하여 비정질실리콘막을 형성하고, 해당 비정질실리콘막에 n형 불순물이온을 도핑하여 n⁺실리콘으로 이루어지는 불순물층을 형성한 후 전계효과형 트랜지스터(FETx)의 형성영역(대개 상기한 게이트전극(Gx)의 형성영역) 및 포토센서(PS)의 형성영역(대개 보텀게이트전극(BGx)의 형성영역)에 대응하도록 불순물층 및 비정질실리콘막(11a)을 패터닝하고, 반도체층(11) 및 n⁺실리콘으로 이루어지는 불순물층(17, 18) 및 반도체층(51) 및 n⁺실리콘으로 이루어지는 불순물층(57, 58)을 형성한다.

이어서 제 8 공정에 있어서는 도 16A에 나타내는 바와 같이, 적어도 불순물층(17, 18 및 57, 58)상에 금속막을 적층형성한 후, 해당 금속막을 소정의 전극형상으로 패터닝하고, 전계효과형 트랜지스터(FETx)의 소스전극(12) 및 드레인전극(13) 및 포토센서(PS)의 소스전극(52) 및 드레인전극(53)을 형성한다.

이어서 기판(SUB)의 일면측 전역에 절연막(상부게이트절연막)(45)을 적층형성한 후 산화주석막이나 ITO막 등의 투명전극층을 형성하고, 상기 반도체층(11)(채널영역)에 대응하도록 패터닝하여 톱게이트전극(TGx)을 형성한다.

이어서 제 9 공정에 있어서는 도 16B에 나타내는 바와 같이, 기판(SUB)의 일면측 전역에 절연막(46)을 적층형성한 후 적어도 해당 절연막(46)의 상면으로부터 각 절연층(45, 44, 43)을 관통하여 전계효과형 트랜지스터(FETp 및 FETn)의 불순물층(22p 및 22n)에 이르는 콘택트홀을 형성하고, 금속막을 해당 콘택트홀의 내부에 메워넣는 동시에 절연막(46)상에 적층형성한 후, 해당 금속막을 소정의 전극형상으로 패터닝함으로써 전계효과형 트랜지스터(FETp, FETn)의 소스전극 및 드레인전극으로 되는 전극배선(24p, 24n)을 형성한다.

그 후 기판(SUB)의 일면측 전역에 절연막(보호절연막)(47)을 적층형성함으로써 도 14에 나타난 바와 같은 소자구조를 갖는 트랜지스터어레이가 완성된다.

이와 같은 구성을 갖는 트랜지스터어레이에 따르면, 상기의 제 5 실시형태와 마찬가지로 화소어레이(포토센서어레이 등)와, 그 주변회로인 드라이버회로(톱게이트드라이버, 보텀게이트드라이버, 소스드라이버 등)를 구성하는 각 트랜지스터 및 트랜지스터구조를 갖는 화소의 소자특성을 양호하게 유지하면서 단일한 기판상에 일체적으로 형성할 수 있어서 장치의 소형박형화를 실현할 수 있으며, 특히 적어도 전계효과형 트랜지스터(FETp, FETn), 전계효과형 트랜지스터(FETx) 및 포토

센서(PS)의 일부의 도전체층(게이트전극(Gp, Gn, Gx)과 보텀게이트전극(BGx))을 동일한 층에 설치한 구성을 적용하고 있기 때문에 이들 도전체층을 동일한 공정으로(공정을 공유하여) 동시에 형성할 수 있어서 제조프로세스의 단축과 제조비용의 삭감을 꾀할 수 있다는 특유의 효과를 갖고 있다.

상기한 제 1~제 6 실시형태에 관련되는 트랜지스터어레이의 소자구조에 있어서, 기판(SUB)상에 일체적으로 형성되는 전계효과형 트랜지스터(FETp, FETn), 전계효과형 트랜지스터(FETx) 및 포토센서(PS)는 예를 들면 이하에 나타내는 바와 같이, 복수의 층간접속배선에 의해 상호 접속된 구성을 갖고 있는 것이어도 좋다.

도 17은 본 발명에 관련되는 트랜지스터어레이의 각 실시형태에 적용 가능한 전계효과형 트랜지스터 및 포토센서 상호를 접속하는 층간접속배선의 구성의 한 예를 나타내는 개략단면도이다.

각 실시형태에 관련되는 트랜지스터어레이에 적용 가능한 층간배선층은 예를 들면 도 17에 나타내는 바와 같이, 기판(SUB)상의 전계효과형 트랜지스터(FETp, FETn 및 FETx)에 의해 기능회로가 형성되는 영역과 복수의 포토센서(PS)가 형성되는 포토센서어레이영역의 사이에 임의의 층간을 상호 접속하기 위한 복수의 층간접속배선이 설치되는 콘택트영역(배선접속영역)(CNT)을 설치하고, 콘택트영역(CNT)에 있어서, 상기 전계효과형 트랜지스터로 이루어지는 기능회로와 포토센서어레이를 접속하는 콘택트배선(층간접속배선)(LCa)이나 기능회로 내부의 전계효과형 트랜지스터(FETp, FETn 및 FETx) 상호를 접속하는 내부배선(층간접속배선)(LCb)으로서 형성된다.

이 경우 콘택트배선(LCa) 상호나 내부배선(LCb) 상호, 또는 콘택트배선(LCa)과 내부배선(LCb) 상호를 공유화하고, 층간접속배선수를 삭감하도록 한 구성을 갖는 것이어도 좋다. 또 콘택트배선(LCa)이나 내부배선(LCb)을 예를 들면 전계효과형 트랜지스터(FETp, FETn)에 설치되는 전극층(소스전극 및 드레인전극)(24p, 24n)과 동일한 공정에 의해 동시에 형성하도록 해도 좋다.

또한 도 17에 있어서는, 도 14에 나타낸 트랜지스터어레이의 소자구조에 콘택트영역(CNT)을 설정하고, 층간접속배선(콘택트배선(LCa)이나 내부배선(LCb))을 설치한 예를 나타냈는데, 본 발명은 이에 한정되는 것은 아니고, 상기한 각 실시형태의 트랜지스터어레이의 소자구조의 임의의 영역에 콘택트영역(CNT)을 설정하고, 층간접속배선을 설치하는 것이어도 좋은 것은 말할 것도 없다.

< 제 1 적용예 >

다음으로 상기한 본 발명에 관련되는 트랜지스터어레이의 제 1 적용예에 대하여 도면을 참조해서 구체적으로 설명한다. 여기에서는 상기한 실시형태에 관련되는 트랜지스터어레이를 화상처리장치(화상판독장치)에 적용한 경우에 대하여 설명한다.

우선 본 발명에 관련되는 트랜지스터어레이를 적용 가능한 화상처리장치의 전체구성에 대하여 설명한다.

도 18은 본 발명에 관련되는 트랜지스터어레이를 화상처리장치에 적용한 경우의 제 1 예를 나타내는 개략전체구성도이다.

도 18에 나타내는 바와 같이, 본 적용예에 관련되는 화상처리장치(100A)는 개략 다수의 포토센서(PS)(판독화소: 상기한 제 3~제 6 실시형태에 나타낸 포토센서(PS)와 동등)를 예를 들면 이차원 배열(예를 들면 n행×m열의 매트릭스상으로 배열)한 포토센서어레이(화소어레이)(110)와, 각 포토센서(PS)의 톱게이트단자(TG)(상기한 톱게이트전극(TGx)과 동등)를 행방향으로 접속하여 연신하는 톱게이트라인(111)에 접속되고, 각 톱게이트라인(주사라인)(111)에 차례 차례 주사신호($\emptyset Ti$)(후술하는 리셋펄스: i는 임의의 자연수; $i=1, 2, \dots, n$)를 인가하는 톱게이트드라이버(드라이버회로, 제 1 주사구동회로)(120A)와, 각 포토센서(PS)의 보텀게이트단자(BG)(상기한 보텀게이트전극(BGx)과 동등)를 행방향으로 접속하여 연신하는 보텀게이트라인(112)에 접속되며, 각 보텀게이트라인(112)에 차례 차례 주사신호($\emptyset Bi$)(후술하는 읽어냄펄스)를 인가하는 보텀게이트드라이버(드라이버회로, 제 2 주사구동회로)(130)와, 각 포토센서(PS)의 소스단자(S)(상기한 소스전극(52)과 동등)를 열방향으로 접속하여 연신하는 소스라인(데이터라인)(113)에 접속되고, 각 소스라인(113)을 통하여 각 포토센서(PS)에 프리차지전압(V_{pg})을 인가하는 동시에, 각 포토센서(PS)에 축적된 캐리어에 따른 소스라인전압(V_{Dj})(=데이터전압(V_{rd}): j는 임의의 자연수; $j=1, 2, \dots, m$)을 읽어내는 소스드라이버(드라이버회로, 신호구동회로)(140)와, 적어도 포토센서어레이(110)에 의한 피사체화상의 판독동작을 제어하기 위한 각종 제어신호($\emptyset tg, \emptyset bg, \emptyset pg$)를 각각 상기 톱게이트드라이버(120A), 보텀게이트드라이버(130), 소스드라이버(140)에 공급하는 동시에, 소스드라이버(140)를 통하여 취득한 화상데이터(판독데이터신호(V_{data}))를, 도시를 생략한 기억부나 화상데이터의 가공이나 대조 등의 소정의 처리를 실행하는 외부기능부와의 사이에서 주고 받는 기능을 구비한 시스템컨트롤러(150)를 갖고 구성되어 있다.

또한 포토센서어레이(110)에 있어서, “114”는 각 포토센서(PS)의 드레인단자(D)(상기한 드레인전극(53)과 동등)를 소정의 저전위전압(예를 들면 접지전위)(V_{SS})에 공통으로 접속하는 드레인라인(커먼라인)이다.

이하 각 구성에 대하여 구체적으로 설명한다.

(포토센서)

포토센서어레이(110)에 배열된 포토센서(PS)는 구체적으로는 상기한 제 3~제 6의 각 실시형태에 나타난 소자구조와 마찬가지로 비정질실리콘반도체층을 이용한 더블게이트형의 박막트랜지스터구조를 갖고 있다. 여기에서 각 실시형태에 나타난 소자구조에 있어서, 최상층에 적층형성되는 절연막(38, 47)은 포토센서(PS)를 보호하기 위한 보호막이며, 그 상면은 피사체가 직접 재치되는 검지면으로 된다.

이어서 상기한 포토센서어레이의 구동제어방법에 대하여 도면을 참조해서 간단히 설명한다.

도 19는 상기한 포토센서어레이에 있어서의 기본적인 구동제어방법을 나타내는 타이밍차트이다. 여기에서는 포토센서어레이의 구동제어방법으로서 지문을 판독하는 경우에 대하여 설명한다.

도 20은 본 적용예에 관련되는 화상처리장치를 지문판독장치에 적용한 경우의 주요부 단면도이다.

여기에서 도 20에 있어서는, 도시의 형편상 포토센서어레이의 단면부분을 나타내는 해칭의 일부를 생략한다.

상기한 포토센서어레이의 기본적인 구동제어방법은 도 19에 나타내는 바와 같이, 소정의 처리동작기간(처리사이클)에 리셋기간(Trst), 전하축적기간(Ta), 프리차지기간(Tprch) 및 읽어냄기간(Tread)을 설정함으로써 실현된다.

도 19에 나타내는 바와 같이, 우선 리셋기간(Trst)에 있어서는, 튜게이트드라이버(120A)에 의해 튜게이트라인(111)을 통하여 i행째의 포토센서(PS)의 튜게이트단자(TG)에 리셋펄스(예를 들면 튜게이트전압(=리셋펄스전압)(V_{tg}= +15V의 하이레벨))(ØTi)를 인가하고, 반도체층(51)에 축적되어 있는 캐리어(여기에서는 정공)를 방출하는 리셋동작(초기화동작)을 실행한다.

이어서 전하축적기간(Ta)에 있어서는, 튜게이트드라이버(120A)에 의해 튜게이트단자(TG)에 로우레벨(예를 들면 튜게이트전압(V_{tg}= -15V))의 바이어스전압(ØTi)을 인가함으로써 상기 리셋동작을 종료하고, 전하축적동작(캐리어축적동작)을 스타트한다.

여기에서 전하축적기간(Ta)에 있어서는 도 20에 나타내는 바와 같이, 포토센서(PS)가 형성된 투명한 기판(SUB)의 아래쪽에 설치된 백라이트(광원)(BL)로부터 검지면(포토센서어레이(110)의 상면)(DTC)에 밀착하여 재치된 피사체(예를 들면 손가락)(FG)에 대하여 조사광(La)이 조사되고, 그 반사광(Lb)이 투명전극층으로 이루어지는 튜게이트전극(TGx)을 통과하여 반도체층(51)에 입사한다. 이에 따라 전하축적기간(Ta) 중에 반도체층(51)에 입사한 광량에 따라서 반도체층(51)의 입사유효영역(캐리어발생영역)에서 전자-정공쌍이 생성되고, 반도체층(51)과 블록절연막(54)의 계면 근처(채널영역 주변)에 정공이 축적된다.

그리고 프리차지기간(Tprch)에 있어서는, 상기 전하축적기간(Ta)에 병행하여 소스드라이버(140)에 의해 프리차지신호(Øpg)에 의거해서 소스라인(113)을 통하여 소스단자(S)에 프리차지펄스(예를 들면 프리차지전압(V_{pg}= +5V))를 인가하고, 소스전극(12)에 전하를 보존시키는 프리차지동작을 실행한다.

이어서 읽어냄기간(Tread)에 있어서는, 상기 프리차지기간(Tprch)을 경과한 후 보텀게이트드라이버(130)에 의해 보텀게이트라인(112)을 통하여 보텀게이트단자(BG)에 읽어냄펄스(예를 들면 보텀게이트전압(=읽어냄펄스전압)(V_{bg}= +10V의 하이레벨))(ØBi)를 인가함으로써 전하축적기간(Ta)에 채널영역에 축적된 캐리어(정공)에 따른 소스라인전압(VD)(데이터전압(V_{rd}); 전압신호)을 소스드라이버(140)에 의해 읽어내는 읽어냄동작이 실행된다.

여기에서 읽어냄펄스(ØBi)의 인가기간(읽어냄기간)에 있어서의 소스라인전압(VD)(데이터전압(V_{rd}))의 변화경향은 전하축적기간(Ta)에 축적된 캐리어가 많은 경우(명(明)상태)에는 데이터전압(V_{rd})이 급준하게 저하하는 경향을 나타내고, 한

편 축적된 캐리어가 적은 경우(암(暗)상태)에는 완만하게 저하하는 경향을 나타내기 때문에 예를 들면 읽어냄기간(Tread)의 개시로부터 소정의 시간 경과 후의 데이터전압(Vrd)을 검출함으로써 포토센서(PS)에 입사한 빛의 양, 즉 피사체의 명암패턴에 대응한 명도데이터(명암정보)를 검출할 수 있다.

그리고 이와 같은 특정한 행(i행째)에 대한 일련의 명도데이터검출동작을 1사이클로 하고, 상기한 포토센서어레이(110)의 각 행(i, i+1, . . .)에 대하여 동등한 동작처리를 반복함으로써 포토센서(PS)를 이용한 포토센서시스템을, 피사체의 2차원화상(예를 들면 지문패턴)을 명도데이터로서 판독하는 모노크롬형의 화상처리장치(지문판독장치)로서 동작시킬 수 있다.

또한 본 적용예에 있어서는, 포토센서어레이로서 더블게이트형의 박막트랜지스터구조를 갖는 포토센서를 구비한 구성을 나타냈는데, 본 발명은 이에 한정되는 것은 아니고, 주지의 포토트랜지스터나 포토다이오드 등을 2차원배열한 포토센서어레이를 적용하는 것이어도 좋다.

(튽게이트드라이버/보텀게이트드라이버)

도 21은 본 적용예에 관련되는 화상처리장치에 적용 가능한 튽게이트드라이버 또는 보텀게이트드라이버의 한 구성예를 나타내는 개략블록도이다.

도 22는 본 구성예에 관련되는 튽게이트드라이버 또는 보텀게이트드라이버에 적용 가능한 시프트레지스터회로부의 한 예를 나타내는 회로구성도이다.

도 23A~D는 본 구성예에 관련되는 시프트레지스터회로부 및 출력버퍼부에 적용되는 논리소자의 회로구성을 나타내는 도면이다.

도 21에 나타내는 바와 같이, 튽게이트드라이버(120A) 및 보텀게이트드라이버(130)는 적어도 상기한 시스템컨트롤러(150)로부터 공급되는 제어신호(ϕ_{tg} 또는 ϕ_{bg})로 이루어지는 스타트신호(STtb) 및 2상의 기준클럭신호(CK, CKb), 출력이네이블신호(OEtb) 등에 의거하여 스타트신호를 차례 차례 시프트하면서 각 튽게이트라인(111) 또는 보텀게이트라인(112)에 대응하는 시프트신호(논리신호; 타이밍신호)(Sout1, Sout2, . . . Soutn, Soutd)를 출력하는 시프트레지스터회로부(121)와, 해당 시프트레지스터회로부(121)로부터 차례 차례 출력되는 시프트신호(Sout1, Sout2, . . . Soutn, Soutd)를 소정의 신호레벨로 증폭하여 주사신호(상기한 리셋펄스(ϕ_{Ti}) 또는 읽어냄펄스(ϕ_{Bi}))로서 각 튽게이트라인(111) 또는 보텀게이트라인(112)에 인가하는 출력버퍼부(출력회로부)(122)를 갖고 구성되어 있다.

시프트레지스터회로부(121)는 예를 들면 도 22에 나타내는 바와 같이, 튽게이트라인(111) 또는 보텀게이트라인(112)의 갯수에 대응(해당 라인갯수+1)하여 설치되고, 기준클럭(CK, CKb)에 의거하는 소정의 타이밍으로 입력된 스타트신호(STtb)를 차례 차례 다음 단으로 시프트하는 복수단의 래치회로군(래치회로(LC1, LC2, . . . LCd, LCr))과, 시스템컨트롤러(150)로부터 공급되는 시프트방향설정신호(SC, SCb)에 의거하여 래치회로군으로의 스타트신호(STtb)의 입력과 시프트방향을 전환하는 아날로그스위치군(아날로그스위치(SW11, SW12, . . . SW1d, SW1r, SW1s 및 SW21, SW22, . . . SW2d, SW2r, SW2s))과, 출력이네이블신호(OEtb)에 의거하여 각 래치회로(LC1, LC2, . . . LCd)로부터의 시프트신호의 꺼냄, 출력버퍼부(122)로의 출력을 제어하는 출력논리회로군(3입력NAND회로(NAND1, NAND2, . . . NANDn, NANDd))을 구비한 구성을 갖고 있다.

여기에서 시스템컨트롤러(150)로부터 시프트레지스터회로부(121)에 공급되는 기준클럭(CK, CKb)은 상호 역상으로 되는 클럭신호이며, 또 시프트방향설정신호(SC, SCb)도 상호 역상으로 되는 제어신호이다.

또 도 22에 나타낸 시프트레지스터회로부(121)에 적용되는 래치회로(LC)(LC1~LCr)는 예를 들면 도 23A에 나타내는 바와 같은 주지의 인버터(INV) 및 클럭드인버터(CIV1, CIV2)를 이용한 논리회로를 적용할 수 있으며, 아날로그스위치(SW)(SW11~SW1s, SW21~SW2s)는 예를 들면 도 23B에 나타내는 바와 같이, 상기한 각 실시형태에 나타낸 전계효과형 트랜지스터(FETp 및 FETn)를 병렬로 접속한 회로구성을 적용할 수 있다.

또한 도 23A에 나타낸 인버터(INV) 및 클럭드인버터(CIV)(CIV1, CIV2)에 대해서도 각각 도 23C, 23D에 나타내는 바와 같이, 상기한 전계효과형 트랜지스터(FETp 및 FETn)를 직렬로 접속한 회로구성을 적용할 수 있다. 또한 출력논리회로군을 구성하는 각 3입력NAND회로(NAND)(NAND1, NAND2, . . . NANDn, NANDd)에 대해서도 상기한 전계효과형 트랜지스터(FETp 및 FETn)를 주지의 회로형태로 접속한 구성을 적용할 수 있다.

또 시프트레지스터회로부(121)의 출력측에 설치되는 출력버퍼부(122)는 예를 들면 도 23C에 나타난 바와 같은 인버터(INV)를 홀수단, 직렬로 접속한 회로구성을 적용할 수 있으며, 후술하는 바와 같이, 시프트레지스터회로부(121)로부터 개별로 출력되는 논리신호를 반전처리하는 동시에, 소정의 신호레벨을 갖도록 증폭처리하고, 각 톱게이트라인(111) 또는 보텀게이트라인(112)에 인가한다.

이와 같은 구성을 갖는 톱게이트드라이버(120A) 또는 보텀게이트드라이버(130)에 있어서는, 우선 시스템컨트롤러(150)로부터 하이레벨의 시프트방향설정신호(SC) 및 로우레벨의 시프트방향설정신호(SCb)가 시프트레지스터회로부(121)에 공급되면 아날로그스위치군 중 아날로그스위치(SW11, SW22, SW13, SW14, . . . SW1d, SW2r, SW1s)가 ON동작함으로써 각 래치회로(LC1, LC2, . . . LCd, LCr)가 순방향으로 접속된다. 즉 래치회로(LC1)의 입력접점(in)에 스타트신호(STtb)가 입력되는 동시에, i단계의 래치회로(LCi)(LC1, LC2, . . . LCd)의 출력접점(out)이 다음 단의 래치회로(LC(i+1))(LC2, LC3, . . . LCd, LCr)의 입력접점(in)에 접속되도록 각 래치회로(LC1, LC2, . . . LCd, LCr)가 차례 차례 직렬로 접속된 상태로 설정된다.

이에 따라 시스템컨트롤러(150)로부터 제어신호(\emptyset tg 또는 \emptyset bg)로서 공급된 스타트신호(STtb)는 기준클럭(CK, CKb)에 의거하는 소정의 타이밍으로 각 래치회로(LC1, LC2, . . . LCd, LCr)의 차례로 차례 차례 시프트되는 동시에, i단계의 래치회로(LCi)(LC1, LC2, . . . LCn, LCd)로부터 출력되는 시프트신호(Souti)가 i단계의 3입력NAND회로(NANDi)(NAND1, NAND2, . . . NANDn, NANDd: NANDd는 더미)의 제 1 입력접점에 입력된다. 또 (i+1)단계의 래치회로(LC(i+1))(LC2, LC3, . . . LCd, LCr)로부터 출력되는 시프트신호(Sout(i+1))가 i단계의 3입력NAND회로(NANDi)(NAND1, NAND2, . . . NANDn, NANDd)의 제 3 입력접점에 입력된다.

여기에서 i단계 및 (i+1)단계의 래치회로(LCi, LC(i+1))로부터 출력되는 각 시프트신호(Souti, Sout(i+1))가 하이레벨이고, 또한 시스템컨트롤러(150)로부터 하이레벨의 출력이네이블신호(OEtb)가 공급되며, i단계의 3입력NAND회로(NANDi)(NAND1, NAND2, . . . NANDn, NANDd)의 제 2 입력접점에 입력되면 해당 3입력NAND회로(NANDi)로부터 로우레벨의 논리신호(Souti)(Sout1, Sout2, . . . Soutn, Soutd)가 출력버퍼부(122)에 출력되고, 해당 출력버퍼를 통하여 i행째의 톱게이트라인(111) 또는 보텀게이트라인(112)에 소정의 신호레벨을 갖는 하이레벨의 주사신호(상기한 리셋펄스(\emptyset Ti) 또는 읽어냄펄스(\emptyset Bi))가 출력된다. 이에 따라 톱게이트라인(111) 또는 보텀게이트라인(112)의 1행째에서 최종행까지 순방향으로 차례 차례 주사신호가 인가되게 된다.

한편 시스템컨트롤러(150)로부터 로우레벨의 시프트방향설정신호(SC) 및 하이레벨의 시프트방향설정신호(SCb)가 시프트레지스터회로부(121)에 공급되면 아날로그스위치군 중 아날로그스위치(SW21, SW12, SW23, . . . SW2d, SW1r, SW2s)가 ON동작함으로써 각 래치회로(LC1, LC2, . . . LCd, LCr)가 역방향으로 접속된다. 즉 래치회로(LCr)의 입력접점(in)에 스타트신호(STtb)가 입력되는 동시에, (i+1)단계의 래치회로(LC(i+1))(LC1, LC3, . . . LCd, LCr)의 출력접점(out)이 다음 단의 래치회로(LCi)(LC1, LC2, . . . LCn, LCd)의 입력접점(in)에 접속되도록 각 래치회로(LCr, LCd, . . . LC2, LC1)가 차례 차례 직렬로 접속된 상태로 설정된다.

이에 따라 시스템컨트롤러(150)로부터 공급된 스타트신호(STtb)는 기준클럭(CK, CKb)에 의거하는 소정의 타이밍으로 각 래치회로(LCr, LCd, . . . LC2, LC1)의 차례로 차례 차례 시프트되는 동시에, (i+1)단계의 래치회로(LC(i+1))(LCr, LCd, . . . LC3, LC2)로부터 출력되는 시프트신호(Sout(i+1))가 i단계의 3입력NAND회로(NANDi)(NANDd, NANDn, . . . NAND2, NAND1)의 제 3 입력접점에 입력된다. 또 i단계의 래치회로(LCi)(LCd, . . . LC2, LC1)로부터 출력되는 시프트신호(Souti)가 i단계의 3입력NAND회로(NANDi)(NANDd, NANDn, . . . NAND2, NAND1)의 제 1 입력접점에 입력된다.

여기에서 (i+1)단계 및 i단계의 래치회로(LC(i+1), LCr)로부터 출력되는 각 시프트신호(Souti, Sout(i+1))가 하이레벨이고, 또한 하이레벨의 출력이네이블신호(OEtb)가 i단계의 3입력NAND회로(NANDi)(NAND1, NAND2, . . . NANDn, NANDd)의 제 2 입력접점에 입력되면 해당 3입력NAND회로(NANDi)로부터 로우레벨의 논리신호(Souti)(Sout1, Sout2, . . . Soutn, Soutd)가 출력버퍼부(122)에 출력되며, i행째의 톱게이트라인(111) 또는 보텀게이트라인(112)에 소정의 신호레벨을 갖는 하이레벨의 주사신호(리셋펄스(\emptyset Ti) 또는 읽어냄펄스(\emptyset Bi))가 출력된다. 이에 따라 톱게이트라인(111) 또는 보텀게이트라인(112)의 최종행에서 1행째까지 역방향으로 차례 차례 주사신호가 인가되게 된다.

따라서 도 22에 나타난 바와 같은 시프트레지스터회로부(121)를 구비한 톱게이트드라이버(120A) 및 보텀게이트드라이버(130)를 적용한 화상처리장치(100A)에 따르면, 시스템컨트롤러(150)로부터 출력하는 시프트방향설정신호(SC)의 신호레

벨을 전환하는 간이한 제어방법에 의해 포토센서어레이(110)(검지면(DTC))상에 재치된 피사체의 화상관독방향(화상관독 동작을 실시하는 행의 주사방향)을 임의로 반전설정할 수 있기 때문에 사용하기 편리함이나 설계자유도가 높은 시스템을 제공할 수 있다.

또한 본 실시형태에 나타난 시프트레지스터회로부(121)에 있어서는, 시스템컨트롤러(150)로부터 출력하는 시프트방향설정신호에 의거하여 래치회로군에 있어서의 시프트방향을 전환 가능(반전 가능)하도록 제어할 수 있는 회로구성을 나타냈는데, 본 발명은 이에 한정되는 것은 아니고, 주지의 일방향에만 시프트동작을 실시하는 시프트레지스터회로(예를 들면 후술하는 소스드라이버에 적용되는 시프트레지스터회로부(141); 도 26 참조)를 적용하는 것이어도 좋은 것은 말할 것도 없다.

(소스드라이버)

도 24는 본 적용예에 관련되는 화상처리장치에 적용 가능한 소스드라이버의 제 1 구성예를 나타내는 개략블록도이다.

도 25는 본 구성예에 관련되는 소스드라이버의 기능을 설명하기 위한 회로개념도이다.

도 26은 본 구성예에 관련되는 소스드라이버에 적용 가능한 시프트레지스터회로부의 한 예를 나타내는 회로구성도이다.

도 27은 본 구성예에 관련되는 소스드라이버에 적용 가능한 프리차지회로부, 샘플링회로부, 소스풀로워회로부 및 패러렐-시리얼변환회로부의 한 예를 나타내는 회로구성도이다.

도 24, 도 25에 나타내는 바와 같이, 제 1 구성예에 관련되는 소스드라이버(140)는 적어도 시스템컨트롤러(150)로부터 공급되는 제어신호(후술하는 스타트신호(STs) 및 2상의 기준클럭신호(ACK, ACKb), 출력이네이블신호(OEs) 등)에 의거하여 스타트신호를 차례 차례 시프트하면서 각 소스라인(113)에 대응하는 시프트신호(논리신호; 타이밍신호)(ASout1, ASout2, . . . ASoutm)를 출력하는 시프트레지스터회로부(141)와, 상기한 프리차지기간에 프리차지신호(\emptyset pg)에 의거하는 타이밍으로 각 소스라인(113)에 소정의 프리차지펄스(프리차지전압(Vpg))를 일제히 인가하는 스위치군을 구비한 프리차지회로부(프리차지제어부)(145)와, 상기한 읽어냄기간에 샘플링신호(\emptyset sr)에 의거하는 타이밍으로 각 소스라인(113)을 통하여 각 포토센서(판독화소)(PS)에 축적된 캐리어에 대응하는 소스라인전압(VD)(데이터전압(Vrd))을 병렬적으로 읽어내는 스위치군 및 해당 소스라인전압(VD)을 보존하는 용량소자군을 구비한 샘플링회로부(전압보존부)(144)와, 상기 용량소자군에 보존된 소스라인전압(VD)을 소정의 신호레벨로 증폭하는 앰프군을 구비한 소스풀로워회로부(143)와, 상기 시프트레지스터회로부(141)로부터 차례 차례 출력되는 시프트신호(ASout1, ASout2, . . . ASoutm)에 의거하는 타이밍으로 소스풀로워회로부(143)로부터 출력되는 데이터전압을 시계열적으로 꺼내어서 시리얼신호로 변환하여 판독데이터신호(Vdata)로서 출력하는 스위치군을 구비한 패러렐-시리얼변환회로부(신호변환부)(142)를 갖고 구성되어 있다.

시프트레지스터회로부(141)는 예를 들면 도 26에 나타내는 바와 같이, 소스라인(113)의 갯수에 대응(해당 라인갯수+2)하여 설치되고, 기준클럭(ACK, ACKb)에 의거하는 소정의 타이밍으로 입력된 스타트신호(STs)를 차례 차례 다음 단에 시프트하는 복수단의 래치회로군(래치회로(LCA1, LCA2, . . . LCAa, LCAb)과, 출력이네이블신호(OEs)에 의거하여 각 래치회로(LCA1, LCA2, . . . LCAa, LCAb)로부터의 시프트신호의 꺼냄, 패러렐-시리얼변환회로부(142)로의 출력을 제어하는 출력논리회로군(3입력NAND회로(NANDA1, NANDA2, . . . NANDAm))을 구비한 구성을 갖고 있다.

여기에서 래치회로군 및 출력논리회로군은 각각 상기한 톱게이트드라이버(120A) 또는 보텀게이트드라이버(130)에 적용 가능한 시프트레지스터회로부(121)를 구성하는 래치회로군 및 출력논리회로군과 동등한 구성(도 22, 도 23 참조)을 갖고 있기 때문에 구체적인 회로구성에 대해서는 설명을 생략한다.

이와 같은 구성을 갖는 시프트레지스터회로부(141)에 있어서는, 시스템컨트롤러(150)로부터 래치회로(LCA1)의 입력접점(in)에 스타트신호(STs)가 입력되면 기준클럭(ACK, ACKb)에 의거하는 소정의 타이밍으로 스타트신호(STs)가 래치회로(LCA1, LCA2, . . . LCAa, LCAb)의 차례로 시프트되는 동시에, j단제의 래치회로(LCAj)(LCA1, LCA2, . . . LCAm)로부터 출력되는 시프트신호가 j단제의 3입력NAND회로(NANDAi)((NANDA1, NANDA2, . . . NANDAm)의 제 1 입력접점에 입력된다. 또 (j+1)단제의 래치회로(LCA(j+1))(LCA2, LCA3, . . . LCAa)로부터 출력되는 시프트신호가 j단제의 3입력NAND회로(NANDAj)(NANDA1, NANDA2, . . . NANDAm)의 제 3 입력접점에 입력된다.

여기에서 j단제 및 (j+1)단제의 래치회로(LCAj, LCA(j+1))로부터 출력되는 각 시프트신호가 하이레벨이고, 또한 시스템컨트롤러(150)로부터 하이레벨의 출력이네이블신호(OEs)가 공급되며, j단제의 3입력NAND회로(NANDAj)(NANDA1, NANDA2, . . . NANDAm)의 제 2 입력접점에 입력되면 해당 3입력NAND회로(NANDAj)로부터 로우레벨의 논리신호

(ASoutj)(ASout1, ASout2, . . . ASoutm)가 패러렐-시리얼변환회로부(142)에 출력된다. 이에 따라 소스라인(113)의 1 열째에서 최종열까지 차례 차례 소스라인전압(VD)(데이터전압(Vrd))이 시분할적으로 꺼내어져서 시리얼신호로 변환되고, 판독데이터신호(Vdata)로서 출력되게 된다.

또 프리차지회로부(145), 샘플링회로부(144), 소스폴로워회로부(143) 및 패러렐-시리얼변환회로부(142)는 예를 들면 각 소스라인(113)에 대응하여 도 27에 나타내는 바와 같은 회로구성을 갖고 있다.

즉 j열째의 소스라인(113)에 설치되는 프리차지회로부(145)(145j)는 시스템컨트롤러(150)로부터 공급되는 프리차지신호(\emptyset pg)(비반전신호(PCG) 및 반전신호(PCGb))에 의거하여 ON, OFF동작하는 아날로그스위치(SW5j)를 구비하고, 하이레벨의 프리차지신호(\emptyset pg)가 공급되는 타이밍으로 소스라인(113)에 대하여 프리차지전압(Vpg)을 프리차지필스로서 출력한다.

또 샘플링회로부(144)(144j)는 도 27에 나타내는 바와 같이, 시스템컨트롤러(150)로부터 공급되는 샘플링신호(\emptyset sr)(비반전신호(SR) 및 반전신호(SRb))에 의거하여 ON, OFF동작하는 아날로그스위치(SW4j)와, 일단이 아날로그스위치(SW4j)의 출력접점에, 타단이 접지전위에 접속된 콘덴서(용량소자)(Csr)를 구비하고, 하이레벨의 샘플링신호(\emptyset sr)가 공급되는 타이밍으로 소스라인(113)을 통하여 포토센서(PS)에 축적된 캐리어에 대응하는 소스라인전압(VD)을 받아들이며, 콘덴서(Csr)에 전압성분으로서 보존한다.

또 소스폴로워회로부(143)(143j)는 도 27에 나타내는 바와 같이, 고전위전압(Vapd)과 저전위전압(Vaps)간에 전계효과형 트랜지스터(FETa 및 FETb)를 직렬접속한 회로구성을 갖고, 상기 샘플링회로부(144j)에 설치된 콘덴서(Csr)에 보존된 전압성분(소스라인전압(VD))에 따라서 소정의 증폭률로 증폭된 신호레벨이 생성된다.

패러렐-시리얼변환회로부(142)(142j)는 도 27에 나타내는 바와 같이, 상기한 시프트레지스터회로부(141)로부터 출력되는 논리신호(시프트신호)(ASoutj)를 반전처리하는 인버터군(INV1~INV3)과, 해당 논리신호(ASoutj)를 비반전처리하는 인버터군(INV1, INV4~INV6)과, 논리신호(ASoutj)(비반전신호 및 반전신호)에 의거하여 ON, OFF동작하는 아날로그스위치(SW2j)를 구비하고, 로우레벨의 논리신호(ASoutj)가 공급되는 타이밍으로 상기 소스폴로워회로부(143j)로부터 출력되는 데이터전압이 판독데이터신호(Vdata)로서 출력된다.

이와 같은 구성을 갖는 소스드라이버(140)에 따르면, 시스템컨트롤러(150)로부터 공급되는 샘플링신호(\emptyset sr)에 의거하여 1열째에서 최종열까지의 각 소스라인(113)을 통해서 소스라인전압(VD)이 일괄하여 꺼내어져서 일단 보존되고, 시프트레지스터회로부(141)로부터 차례 차례 출력되는 논리신호(ASoutj)에 의거하여 시리얼신호로 변환되어 판독데이터신호(Vdata)로서 출력된다.

이어서 본 적용예에 관련되는 화상처리장치에 적용 가능한 소스드라이버의 제 2 구성예에 대하여 설명한다.

도 28은 본 적용예에 관련되는 화상처리장치에 적용 가능한 소스드라이버의 제 2 구성예를 나타내는 개략블록도이다.

도 29는 본 구성예에 관련되는 소스드라이버의 기능을 설명하기 위한 회로개념도이다.

도 30은 본 구성예에 관련되는 소스드라이버에 적용 가능한 프리차지회로부, 패러렐-시리얼변환회로부, 소스폴로워회로부 및 리셋회로부의 한 예를 나타내는 회로구성도이다.

여기에서 상기한 제 1 구성예에 관련되는 소스드라이버와 동등한 구성에 대해서는 동일한 부호를 붙이고, 그 설명을 간략화 또는 생략한다.

도 28, 도 29에 나타내는 바와 같이, 제 2 구성예에 관련되는 소스드라이버(140B)는 상기한 제 1 구성예에 관련되는 소스드라이버(140A)와 동등한 구성을 갖는 시프트레지스터회로부(141) 및 프리차지회로부(프리차지제어부)(145)와, 상기한 읽어들이기간에 각 포토센서(판독화소)(PS)에 축적된 캐리어에 대응하여 각 소스라인(113)에 형성된(또는 기생하는) 라인용량(전압보존부)에 보존된 소스라인전압(VD)(데이터전압(Vrd))을 시프트레지스터회로부(141)로부터 차례 차례 출력되는 시프트신호(논리신호; 타이밍신호)(ASout1, ASout2, . . . ASoutm)에 의거하는 타이밍으로 시계열적으로 꺼내어서 시리얼신호로 변환하는 스위치군을 구비한 패러렐-시리얼변환회로부(신호변환부)(142)와, 해당 시리얼신호를 소정의 신호레벨로 증폭하여 판독데이터신호(Vdata)로서 출력하는 앰프를 구비한 소스폴로워회로부(143)와, 패러렐-시리얼변환회로부(142)로부터 출력되는 상기 시리얼신호의 신호레벨을 소정의 타이밍으로 리셋(초기화)하는 스위치를 구비한 리셋회로부(146)를 갖고 구성되어 있다.

여기에서 시프트레지스터회로부(141)는 제 1 구성예에 관련되는 소스드라이버(140A)에 있어서 나타낸 회로구성과 동등하기 때문에 그 설명을 생략한다.

또 프리차지회로부(145) 및 패러렐-시리얼변환회로부(142)에 대해서도 각 소스라인(113)에 대응하여 제 1 구성예에 관련되는 소스드라이버(140A)에 있어서 나타낸 회로구성(도 27 참조)과 대략 마찬가지로 예를 들면 도 30에 나타내는 바와 같은 회로구성을 적용할 수 있다. 또 소스폴로워회로부(143) 및 리셋회로부(146)에 대해서는 예를 들면 도 30에 나타내는 바와 같은 회로구성을 각각 유일하게 구비한 구성을 적용할 수 있다. 즉 j열째의 소스라인(113)에 설치되는 프리차지회로부(145)(145j)는 하이레벨의 프리차지신호($\emptyset pg$)(비반전신호(PCG) 및 반전신호(PCGb))가 공급되는 타이밍으로 아날로그스위치(SW5j)가 ON동작하고, 소스라인(113)에 대하여 프리차지펄스(프리차지전압(V_{pg}))를 출력한다.

또 패러렐-시리얼변환회로부(142)(142j)는 상기한 시프트레지스터회로부(141)로부터 로우레벨의 논리신호(시프트신호)(ASoutj)가 공급되는 타이밍으로 인버터군(INV1~INV3) 및 인버터군(INV1, INV7)에 의해 아날로그스위치(SW2j)가 ON동작하고, 각 소스라인(113)에 형성된 라인용량(Cln)에 축적된 소스라인전압(VD)을 꺼내어서 소스폴로워회로부(143)에 출력한다.

또 소스폴로워회로부(143)는 도 30에 나타내는 바와 같이, 제 1 구성예에 관련되는 소스드라이버(140A)에 있어서 나타낸 회로구성(도 27 참조)과 대략 마찬가지로 고전위전압(V_{apd})과 저전위전압(V_{aps})간에 전계효과형 트랜지스터(FETa 및 FETb)를 직렬접속한 회로구성을 갖고, 시프트레지스터회로부(141)로부터 공급되는 시프트신호(논리신호)(ASoutj)에 의거하여 패러렐-시리얼변환회로부(142)(142j)를 통해서 각 소스라인마다 차례 차례 읽어내어지고, 시리얼신호로서 입력되는 소스라인전압(VD)의 신호레벨을 소정의 증폭률로 증폭하여 판독데이터신호(Vdata)로서 출력한다.

또 리셋회로부(146)는 도 30에 나타내는 바와 같이, 각 소스라인(113)에 대응하여 설치된 패러렐-시리얼변환회로부(142)(142j)로부터 차례 차례 소스폴로워회로부(143)에 입력되는 소스라인전압(VD)이 전송되는 공통배선(Lc)에 접속되고, 시스템컨트롤러(150)로부터 공급되는 리셋신호($\emptyset rst$)(비반전신호(RST) 및 반전신호(RSTb))에 의거하여 ON, OFF동작하는 아날로그스위치(SW6)를 구비하며, 하이레벨의 리셋신호($\emptyset rst$)가 공급되는 타이밍으로 공통배선(Lc)에 대하여 리셋전압(V_{rst})을 출력하고, 공통배선(Lc)의 신호레벨을 초기화한다.

이와 같은 구성을 갖는 소스드라이버(140B)에 따르면, 상기한 읽어냄기간 후에 각 소스라인(113)에 형성된 라인용량(Cln)에 보존된 소스라인전압(VD)(데이터전압(V_{rd}))을 시프트레지스터회로부(141)로부터 차례 차례 출력되는 시프트신호(논리신호)에 의거하는 타이밍으로 1열째에서 최종열까지 소스라인전압(VD)이 차례 차례 읽어내어져서 시리얼신호로 변환되고, 단일한 소스폴로워회로부(143)를 통하여 판독데이터신호(Vdata)로서 출력된다.

이어서 본 적용예에 관련되는 화상처리장치의 소자구조에 대하여 상기한 각 실시형태에 나타낸 트랜지스터어레이를 참조하면서 설명한다.

상기한 바와 같은 본 적용예에 관련되는 화상처리장치를 구성하는 포토센서어레이(110) 및 각 드라이버회로(榻게이트드라이버(120A), 보텀게이트드라이버(130), 소스드라이버(140))에 대해서는 예를 들면 상기한 제 3, 제 4 실시형태에 나타낸 바와 같은 소자구조 및 제조방법을 양호하게 적용할 수 있다.

즉 단일한 절연성의 기판(SUB)의 일면측이며, 해당 기판(SUB)의 대략 중앙영역에 비정질실리콘반도체층을 이용한 더블게이트형의 박막트랜지스터구조를 갖는 포토센서(PS)를 도 18에 나타낸 바와 같이 매트릭스상으로 복수 배열함으로써 포토센서어레이(110)가 구성되고, 해당 포토센서어레이(110)(포토센서(PS))의 형성영역에 인접하는 주변영역에 저온폴리실리콘반도체층을 이용한 박막트랜지스터(상기한 전계효과형 트랜지스터(FETp 및 FETn))를 도 21~도 27에 나타낸 바와 같이 소정의 회로형태를 갖도록 접속함으로써榻게이트드라이버(120A), 보텀게이트드라이버(130), 또는 소스드라이버(140)가 상기 포토센서어레이(110)와 함께 일체적으로 구성된다.

또 이와 같은 포토센서(PS) 및 드라이버회로에 있어서는, 적어도 상기 드라이버회로를 구성하는 전계효과형 트랜지스터(FETp 및 FETn)에 이용되는 폴리실리콘반도체층이 포토센서(PS)에 이용되는 비정질실리콘반도체층에 대하여 하층측(기판(SUB)측)에 설치된 구성을 갖고 있다.

여기에서 포토센서(더블게이트형 포토센서)(PS)와, 각 드라이버회로를 구성하는 박막트랜지스터는 상기한 제 3 실시형태에 나타낸 바와 같이, 상호 전극형성층을 공유하는 일 없이 독립된 제조프로세스에 의해 형성하는 것이어도 좋고, 제 4 실시형태에 나타낸 바와 같이, 적어도 일부의 도전층(예를 들면 보텀게이트전극과 게이트전극)을 동일한 전극형성층에 설치하고, 동일한 제조프로세스로 동시에 형성하는 것이어도 좋다.

이와 같이 본 적용예에 관련되는 화상처리장치에 상기한 바와 같은 본 발명에 관련되는 트랜지스터어레이의 소자구조 및 제조방법을 적용함으로써 단일한 절연성 기판(SUB)상에 포토센서어레이(110)를 구성하는 포토센서(더블게이트형 포토센서)(PS)와 각 드라이버회로를 구성하는 전계효과형 트랜지스터를 단일한 기판(SUB)상에 일체적으로 형성할 수 있다.

따라서 본 적용예에 관련되는 화상처리장치를 포토센서어레이상의 검지면에 직접 피사체가 재치되는 지문판독장치 등에 적용한 경우이어도 포토센서어레이 및 그 주변의 드라이버회로의 최상면은 대략 평탄하게 형성되어 있는 것에 의해 피사체를 검지면에 밀착시켜서 해당 화상을 양호하게 판독하고, 인식할 수 있는 동시에, 포토센서어레이에 근접하여 주변회로를 일체적으로 배치할 수 있다. 이에 따라 장치규모를 소형화하면서 피사체화상을 양호하게 판독할 수 있는 화상처리장치를 실현할 수 있다.

또한 본 실시형태에 관련되는 소자구조 및 제조방법에 따르면, 적어도 각 드라이버회로를 구성하는 전계효과형 트랜지스터(FETp, FETn)에 이용되는 저온폴리실리콘반도체층을 포토센서(PS)를 구성하는 비정질실리콘반도체층보다도 하층에 배치하고, 상기한 각 실시형태에 나타낸 일련의 제조프로세스에 있어서, 저온폴리실리콘반도체층을 형성하는 공정 후에 비정질실리콘반도체층을 형성하는 공정을 적용하고 있기 때문에 전계효과형 트랜지스터(FETp, FETn) 및 포토센서(더블게이트형 포토센서)(PS)의 각 소자특성을 양호하게 유지할 수 있어서 동작특성이 우수한 화상처리장치를 실현할 수 있다.

덧붙여서 제 4 실시형태에 나타낸 소자구조를 적용한 경우에 있어서는, 적어도 각 드라이버회로를 구성하는 전계효과형 트랜지스터(FETp, FETn)와 포토센서(PS)의 일부의 도전층(게이트전극과 보텀게이트전극)을 동일한 전극형성층(공유하는 레이어)에 설치한 구성을 적용하고 있기 때문에 이들 도전층을 동일한 공정으로 동시에 형성할 수 있어서 제조프로세스의 단축과 제조비용의 삭감을 꾀할 수도 있다.

이어서 이 제 1 적용예에 관련되는 화상처리장치에 적합한 구동제어방법에 대하여 도면을 참조해서 설명한다.

이와 같은 화상처리장치에 있어서의 구동제어방법은 기본적으로는 도 19에 나타낸 바와 같은 구동제어방법을 적용하고, 각 행의 포토센서(PS)군에 대하여 리셋동작→전하축적동작 및 프리차지동작→읽어냄동작으로 이루어지는 처리사이클을 차례 차례 소정의 타이밍으로 실행하고, 이들 일련의 동작처리를 각 행에 대하여 반복함으로써 1화면분의 화상데이터(피사체의 2차원화상; 예를 들면 지문패턴)를 명도데이터로서 판독할 수 있다.

여기에서 도 19의 타이밍차트에도 나타낸 바와 같이, 튕게이트드라이버(120A)에 의해 생성, 출력되는 리셋펄스(ϕ_{Ti}), 소스드라이버(140)로부터 출력되는 프리차지펄스(ϕ_{pg}) 및 보텀게이트드라이버(130)에 의해 생성, 출력되는 읽어냄펄스(ϕ_{Bi})의 각각의 전압레벨은 예를 들면 다음과 같은 전압범위를 갖도록 설정되어 있다. 리셋펄스전압($V_{tg} = +15V \sim -15V$), 프리차지전압($V_{pg} = 0V \sim +5V$), 읽어냄펄스전압($V_{bg} = 0V \sim +10V$). 즉 예를 들면 도 8에 나타낸 바와 같은 더블게이트형의 박막트랜지스터구조를 갖는 포토센서(PS)에 있어서는, 튕게이트전극(TGx)과 반도체층(51)의 사이에 실리콘 질화막 등에 의해 구성되는 블록층(54)이 형성되어 있는 것에 의해 반도체층(51)에 축적된 캐리어를 제거하여 포토센서(PS)를 초기화(리셋)하기 위해 튕게이트전극(TGx)에 비교적 전압진폭이 큰(예를 들면 하이레벨측(+15V), 로우레벨측(-15V)로 이루어지는 30V의 전압진폭) 리셋펄스(ϕ_{Ti})를 인가할 필요가 있다. 그 때문에 고내압의 드라이버나 고전압의 구동전원을 적용하는 등의 조치가 필요해진다.

본 적용예에 관련되는 화상처리장치에 있어서는 상기한 바와 같이, 튕게이트드라이버(120A), 보텀게이트드라이버(130) 및 소스드라이버(140A, 140B)에 적용되는 각 회로부(아날로그스위치, 논리회로 등)를 구성하는 전계효과형 트랜지스터가 어느 쪽도 저온폴리실리콘으로 이루어지는 반도체층을 이용한 박막트랜지스터(이하 「저온폴리실리콘박막트랜지스터」라 기입한다)에 의해 형성되고, 이들 드라이버가, 포토센서어레이(110)가 형성된 절연성의 기판상에 일체적으로 형성된 구성을 갖고 있다.

여기에서 저온폴리실리콘박막트랜지스터는 주지와 같이, ON전류가 비교적 크고, 전자이동도가 비교적 크기 때문에 비교적 양호한 동작속도를 갖는 드라이버를 실현할 수 있는데, 절연내압이 비교적 낮기 때문에 리셋펄스(ϕ_{Ti})가 상기한 바와 같이 수십V의 전압진폭을 갖는 경우, 그 전압에 견딜 수 없어서 소자파괴가 발생할 가능성이 있다.

그래서 본 실시형태에 있어서는, 이하에 나타내는 바와 같은 구동제어방법을 적용함으로써 저온폴리실리콘박막트랜지스터를 적용한 드라이버이어도 소자의 내압과괴 등을 발생하는 일 없이 비교적 양호한 동작속도로 화상판독동작을 실행한다.

도 31은 본 적용예에 관련되는 화상처리장치에 적용 가능한 구동제어방법의 한 예를 나타내는 타이밍차트이다.

여기에서는 화상처리장치(포토센서어레이)의 구동제어방법으로서, 상기한 「리셋동작→전하축적동작→프리차지동작→읽어냄동작」으로 이루어지는 일련의 동작처리를 각 행마다 반복하는 수법과는 달리 우선 각 행마다 차례 차례 리셋동작을 실행하고, 그 후 전하축적기간이 경과한 행의 포토센서(PS)에 대하여 프리차지동작을 실시한 후 읽어냄동작을 실행하는 구동제어방법에 대하여 설명한다.

도 31에 나타내는 바와 같이, 본 실시형태에 관련되는 화상처리장치에 적용 가능한 구동제어방법은, 우선 튕게이트드라이버(120A)에 의해 각 행의 튕게이트라인(111)에 차례 차례 주사신호(리셋펄스)($\emptyset T1, \emptyset T2, \dots, \emptyset Tn$)를 인가하는 동시에, 해당 주사신호($\emptyset T1, \emptyset T2, \dots, \emptyset Tn$)의 인가기간에 맞추어서(동기하여) 보텀게이트드라이버(130)에 의해 해당 행의 보텀게이트라인(112)에 차례 차례 주사신호(리셋펄스)($\emptyset B1, \emptyset B2, \dots, \emptyset Bn$)를 인가하고, 리셋동작(리셋기간($Trst$))을 실행하여 각 행의 포토센서(PS)군을 초기화한다(제 1 스텝). 즉 동일행의 포토센서(PS)의 튕게이트단자(TG) 및 보텀게이트단자(BG)에 대하여 동시에 소정의 주사신호($\emptyset Ti, \emptyset Bi$)를 인가한다.

여기에서 주사신호($\emptyset T1, \emptyset T2, \dots, \emptyset Tn$)는 예를 들면 하이레벨측의 신호레벨($Vtgh$)이 0V, 로우레벨측의 신호레벨($Vtgl$)이 -15V가 되도록 설정되어 있다. 또 주사신호($\emptyset B1, \emptyset B2, \dots, \emptyset Bn$)는 예를 들면 하이레벨측의 신호레벨($Vbgh$)이 +10V, 로우레벨측의 신호레벨($Vbgl$)이 0V가 되도록 설정되어 있다.

이와 같이 상기한 리셋기간($Trst$)에 있어서는, 포토센서(PS)에 하이레벨(0V)의 주사신호($\emptyset T1, \emptyset T2, \dots, \emptyset Tn$)와 하이레벨(+10V)의 주사신호($\emptyset B1, \emptyset B2, \dots, \emptyset Bn$)가 동기하여 인가됨으로써 포토센서(PS)의 반도체층(11, 51)에 유기되는 전위차에 의하여 통상의 캐리어의 제거동작(즉 도 19에 나타낸 리셋동작)과 동등한 작용이 활동하여 리셋동작이 실현된다.

이어서 주사신호($\emptyset T1, \emptyset T2, \dots, \emptyset Tn$) 및 주사신호($\emptyset B1, \emptyset B2, \dots, \emptyset Bn$)를 차례 차례 동기하여 하강하고, 리셋기간($Trst$)을 종료함으로써 각 행마다 전하축적기간(Ta)이 스타트하여 포토센서(PS)의 튕게이트전극(TGx)측으로부터 입사되는 광량에 따라서 반도체층(채널영역)(11, 51)에 캐리어(정공)가 발생하고, 축적된다. 여기에서 도 15에 나타내는 바와 같이, 소스드라이버(140)(프리차지회로부(145))에 의해 전하축적기간(Ta)에 병행하여 프리차지펄스($\emptyset pg$)를 차례 차례 인가함으로써 프리차지기간($Tprch$)을 스타트하고, 소스라인(113)에 프리차지전압(Vpg)을 인가하여 포토센서(PS)의 소스전극에 소정의 전압을 보존시키는 프리차지동작이 실시된다(제 2 스텝). 여기에서 프리차지전압(Vpg)은 예를 들면 하이레벨측의 신호레벨($Vpgh$)이 +5V, 로우레벨측의 신호레벨($Vpgl$)이 0V로 설정되어 있다.

그리고 전하축적기간(Ta) 및 프리차지기간($Tprch$)이 종료된 포토센서(PS)에 대하여 보텀게이트드라이버(130)에 의해 각 행마다 차례 차례 주사신호(읽어냄펄스)($\emptyset B1, \emptyset B2, \dots, \emptyset Bn$)를 인가하고, 읽어냄기간($Tread$)을 스타트하며(제 3 스텝), 전하축적기간(Ta)에 각 포토센서(PS)의 반도체층(11, 51)에 축적된 캐리어(정공)에 따른 소스라인전압(VD)(데이터전압(Vrd))의 변화를 소스라인(113)을 통하여 읽어낸다(제 4 스텝). 여기에서 주사신호(읽어냄펄스)($\emptyset B1, \emptyset B2, \dots, \emptyset Bn$)는 상기한 리셋동작에 있어서 인가된 주사신호(리셋펄스)와 마찬가지로 예를 들면 하이레벨측의 신호레벨($Vbgh$)이 +10V, 로우레벨측의 신호레벨($Vbgl$)이 0V로 설정되어 있다.

또한 피사체의 명암패턴에 대응한 명도데이터(명암정보)의 검출방법은 상기한 기본적인 구동제어방법(도 19 참조)과 마찬가지로 예를 들면 각 소스라인전압(VD)(데이터전압(Vrd))의 읽어냄기간($Tread$) 경과 후의 전압값을 검출함으로써 포토센서(PS)에 입사한 빛의 양이 명도데이터(즉 판독데이터신호($Vdata$))로 환산된다.

이와 같이 본 실시형태에 관련되는 화상처리장치에 적용 가능한 구동제어방법에 따르면, 리셋기간($Trst$)에 튕게이트단자(TG) 및 보텀게이트단자(BG)의 각각에 동기하여 인가되는 펄스전압(주사신호($\emptyset T1$ 및 $\emptyset B1$), 특히 주사신호($\emptyset B1$)에 의한 플러스의 바이어스전압)에 의해 포토센서(PS)의 반도체층(11, 51)에 소정의 전위차가 유기되어 상기한 기본적인 구동제어방법(도 19 참조)의 리셋동작에 있어서의 캐리어의 제거동작과 동등한 작용을 실현할 수 있다.

따라서 튕게이트단자(TG)에 인가되는 펄스전압(리셋펄스전압(Vtg))의 신호레벨을 저감(예를 들면 +15V→0V)하여 전압진폭을 상기한 기본적인 구동제어방법(도 19 참조)에 비교해서 축소(예를 들면 30V→15V)하면서 양호한 리셋동작을 실

현할 수 있기 때문에 포토센서어레이(110)의 주변회로(특히 튜게이트드라이버(120A))를 저온폴리실리콘박막트랜지스터 등의 절연내압이 비교적 낮은 기능소자를 적용하여 구성한 경우이어도 소자의 내압파괴 등을 발생하는 일 없이 비교적 양호한 동작속도로 화상판독동작을 실행할 수 있다. 또 드라이버의 구동전원을 저전압화할 수도 있다.

이에 따라 화상처리장치를 구성하는 포토센서어레이 및 주변회로(각 드라이버)를 단일한 절연성 기판상에 일체적으로 형성할 수 있는 동시에, 내압파괴를 방지하기 위한 보호회로 등을 생략할 수 있기 때문에 지문판독장치와 같이 포토센서어레이상의 검지면에 직접 피사체가 재치되는 경우이어도 해당 검지면(포토센서어레이) 및 그 주변회로를 평탄화하여 종래 기술에 나타낸 바와 같은 드라이버칩 등의 돌출을 방지하고, 양호하게 피사체화상을 판독하여 인식할 수 있는 동시에, 포토센서어레이에 근접하여 주변회로를 일체적으로 배치할 수 있기 때문에 화상처리장치의 회로구성이나 배선접속구조를 간소화하여 소형화나 제품비용의 삭감을 꾀할 수 있다.

또 단일한 절연성 기판상에 포토센서어레이 및 주변회로가 일체적으로 형성되기 때문에 포토센서어레이의 내역에 대응한 전용의 드라이버칩을 별개로 준비할 필요가 없어서 부품수나 제조프로세스를 삭감할 수 있는 동시에, 화상처리장치의 기능검사를 정밀도 좋고, 용이하게 실시할 수 있다. 또한 고전압펄스가 포토센서에 직접 인가되는 일이 없어지기 때문에 포토센서의 소자특성의 악화나 배선간에서의 절연불량의 발생 등을 억제할 수 있어서 보다 신뢰성이 높은 화상처리장치를 제공할 수 있다.

또한 본 실시형태에 있어서는 리셋기간에 있어서, 보텀게이트단자에 인가되는 주사신호에 동기하여 튜게이트단자에 주사신호가 인가되는 수법을 나타냈는데, 본 발명은 이에 한정되는 것은 아니고, 요컨대 리셋기간내의 튜게이트단자에 주사신호가 인가되어 있는 기간 중에 보텀게이트단자에 주사신호(바이어스전압)가 인가되는 것이면 똑같은 리셋동작의 효과를 얻을 수 있다. 이 때 튜게이트단자에 인가되는 주사신호의 펄스폭에 비교하여 보텀게이트단자에 인가되는 주사신호의 펄스폭이 좁을수록 상기의 튜게이트단자에 인가되는 주사신호의 전압인폭의 저감효과는 저하하기 때문에 튜게이트단자와 보텀게이트단자에 인가되는 주사신호의 펄스폭은 동등한 것이 바람직하다.

< 제 2 적용예 >

다음으로 본 발명에 관련되는 트랜지스터어레이의 제 2 적용예에 대하여 도면을 참조해서 구체적으로 설명한다.

도 32는 본 발명에 관련되는 트랜지스터어레이를 화상처리장치에 적용한 경우의 제 2 예를 나타내는 개략전체구성도이다.

여기에서 상기한 제 1 적용예와 동등한 구성에 대해서는 동일 또는 동등한 부호를 붙이고, 그 설명을 간략화 또는 생략한다.

상기한 제 1 적용예에 있어서는, 더블게이트형의 박막트랜지스터구조를 갖는 포토센서를 2차원배열한 포토센서어레이의 주변영역에 형성되는 드라이버회로(튜게이트드라이버, 보텀게이트드라이버, 소스드라이버)가 저온폴리실리콘박막트랜지스터에 의해 구성되고, 또한 해당 구성을 갖는 화상처리장치에 적용 가능한 특유의 구동제어방법을 이용하는 경우에 대하여 설명했는데, 제 2 적용예에 있어서는, 포토센서어레이의 주변영역에 형성되는 튜게이트드라이버가 적어도 비정질실리콘으로 이루어지는 반도체층을 이용한 전계효과형 트랜지스터(비정질실리콘박막트랜지스터)를 적용하여 구성된 출력부(후술하는 레벨시프트회로부)를 구비하고 있는 것을 특징으로 한다. 이에 따라 본 적용예에 관련되는 화상처리장치에 있어서는, 상기한 기본적인 구동제어방법(도 19 참조)을 그대로 이용하여 화상판독동작을 실행시킬 수 있다.

즉 도 32에 나타내는 바와 같이, 본 적용예에 관련되는 화상처리장치(100B)는 상기한 제 1 적용예와 똑같은 구성(도 18 참조)을 갖는 포토센서어레이(110)와, 보텀게이트드라이버(제 2 주사구동수단)(130)와, 소스드라이버(신호구동수단)(140)와, 시스템컨트롤러(150)에 덧붙여서 튜게이트라인(111)에 직접 접속되고, 비정질실리콘박막트랜지스터에 의해 구성된 레벨시프트회로부(123)를 구비한 튜게이트드라이버(제 1 주사구동회로)(120B)를 갖고 구성되어 있다.

그리고 본 적용예에 있어서도 제 1 적용예와 마찬가지로 단일한 유리기판 등의 절연성의 기판(SUB)의 일면측에 상기 포토센서어레이(110) 및 튜게이트드라이버(120B), 보텀게이트드라이버(130), 소스드라이버(140)가 상기한 바와 같은 실시형태에 나타낸 소자구조를 갖고 일체적으로 형성되어 있다.

즉 포토센서어레이(110)에 배열된 포토센서(PS)는 비정질실리콘반도체층을 이용한 더블게이트형의 박막트랜지스터구조를 갖고, 한편 보텀게이트드라이버(130), 소스드라이버(140)의 각 드라이버회로는 저온폴리실리콘박막트랜지스터에 의해 구성되며, 또한 튜게이트드라이버(120B)는 적어도 비정질실리콘박막트랜지스터에 의해 구성된 레벨시프트회로부

(123)를 구비한 구조를 갖고 있다. 또한 튜게이트드라이버(120B)의 레벨시프트회로부(123) 이외의 회로부는 저온폴리실리콘박막트랜지스터에 의하여 구성되는 것이어도 좋고, 또 저온폴리실리콘박막트랜지스터와 비정질실리콘박막트랜지스터를 포함하여 구성되는 것이어도 좋다.

이하 본 적용예 특유의 구성인 튜게이트드라이버에 대하여 구체적으로 설명한다.

도 33은 본 적용예에 관련되는 화상처리장치에 적용 가능한 튜게이트드라이버의 한 구성예를 나타내는 개략블록도이다.

도 34는 본 구성예에 관련되는 튜게이트드라이버에 적용 가능한 출력버퍼부 및 레벨시프트회로부의 한 예를 나타내는 회로구성도이다.

여기에서 상기한 제 1 적용예와 동등한 구성에 대해서는 동일 또는 동등한 부호를 붙이고, 그 설명을 간략화 또는 생략한다.

도 33에 나타내는 바와 같이, 튜게이트드라이버(120B)는 상기한 제 1 적용예와 동등한 회로구성(도 22 참조)을 갖는 시프트레지스터회로부(121)와, 해당 시프트레지스터회로부(121)로부터 차례 차례 출력되는 시프트신호(논리신호; 타이밍신호)를 소정의 신호레벨로 증폭하는 전단의 증폭수단으로서의 출력버퍼부(출력회로부)(122)와, 해당 출력버퍼부(122)로부터 출력되는 증폭신호를 소정의 전압진폭을 갖는 신호로 변환(신호증폭, 레벨시프트)하여 각 튜게이트라인(111)에 주사신호(리셋펄스)($\phi T1, \phi T2, \dots, \phi Tn$)로서 인가하는 후단의 증폭수단으로서의 레벨시프트회로부(출력회로부)(123)를 갖고 구성되어 있다.

여기에서 시프트레지스터회로부(121)는 제 1 적용예에 나타낸 회로구성과 동등하기 때문에 그 설명을 생략한다. 또 출력버퍼부(122)(122i)는 도 34에 나타내는 바와 같이, 각 행의 튜게이트라인(111)에 대응하여 상기 시프트레지스터회로부(121)로부터 출력되는 논리신호(시프트신호)(Souti)를 비반전처리하는 인버터군(INV21, INV22)과, 해당 논리신호(Souti)를 반전처리하는 인버터군(INV21~INV23)을 구비하고, 로우레벨의 논리신호(Souti)가 공급되는 타이밍으로 해당 논리신호(Souti)의 비반전신호로 되는 증폭신호(AMS)와 논리신호(Souti)의 반전신호로 되는 증폭신호(AMSb)를 생성하여 레벨시프트회로부(123)에 출력한다.

또 레벨시프트회로부(123)(123i)는 예를 들면 도 34에 나타내는 바와 같이, 각 행의 튜게이트라인(주사라인)(111)에 대응하여 고전위전압(제 1 전원전압)(Vapd)과 접점(N31)의 사이에 전류로(소스-드레인단자)가 접속되고, 제어단자(게이트단자)에 논리신호(Souti)의 비반전신호로 되는 증폭신호(AMS)(제 2 입력신호)가 인가되는 n채널형의 전계효과형 트랜지스터(박막트랜지스터)(Tr31)와, 접점(N31)과 저전위전압(제 2 전원전압)(Vaps)의 사이에 전류로가 접속되고, 제어단자에 논리신호(Souti)의 반전신호로 되는 증폭신호(AMSb)(제 1 입력신호)가 인가되는 n채널형의 전계효과형 트랜지스터(Tr32)와, 증폭신호(AMSb)가 인가되는 접점(전계효과형 트랜지스터(Tr32)의 제어단자)과 접점(N32)의 사이에 전류로가 접속되고, 제어단자에 고전위전압(Vapd)이 인가된 n채널형의 전계효과형 트랜지스터(Tr35)와, 고전위전압(Vapd)과 접점(N33)(출력접점)의 사이에 전류로가 접속되고, 제어단자가 접점(N32)에 접속된 n채널형의 전계효과형 트랜지스터(Tr33)와, 접점(N33)과 저전위전압(Vaps)의 사이에 전류로가 접속되고, 제어단자가 접점(N31)에 접속된 n채널형의 전계효과형 트랜지스터(Tr34)를 구비한 구성을 갖고 있다. 여기에서 접점(N32)과 접점(N33)의 사이에는 전계효과형 트랜지스터(Tr33)의 게이트-소스간에 도서를 생략한 기생용량(용량소자)이 형성되어 있다.

즉 본 실시형태에 관련되는 레벨시프트회로부(123i)에 있어서, 전계효과형 트랜지스터(Tr31 및 Tr32)는 고전위전압(Vapd)과 저전위전압(Vaps)의 사이에 직렬로 접속되고, 또한 전계효과형 트랜지스터(Tr31)에 출력버퍼부(122i)로부터 증폭신호(AMS)가, 또 전계효과형 트랜지스터(Tr32)에 증폭신호(AMS)의 반전신호로 되는 증폭신호(AMSb)가 동시에 인가되도록 구성된 입력단의 인버터회로를 구성하며, 전계효과형 트랜지스터(Tr33 및 Tr34)는 고전위전압(Vapd)과 저전위전압(Vaps)의 사이에 직렬로 접속되고, 또한 전계효과형 트랜지스터(Tr33)에 접점(N32)의 전위가, 또 전계효과형 트랜지스터(Tr34)에 접점(N31)의 전위(입력단의 인버터회로의 출력전위이며, 증폭신호(AMSb)의 반전신호로 되는 제 3 입력신호; 후술하는 바와 같이, 접점(N32)의 전위의 대략 역상으로 된다)가 동시에 인가되도록 구성된 출력단의 인버터회로를 구성하고 있다.

여기에서 각 전계효과형 트랜지스터(Tr31~Tr35)는 어느 쪽도 비정질실리콘박막트랜지스터이다.

이어서 상기한 회로구성을 갖는 튜게이트드라이버의 레벨시프트회로부의 동작에 대하여 설명한다.

도 35는 본 구성예에 관련되는 레벨시프트회로부의 각 단자 및 접점에 있어서의 신호전압의 변화를 나타내는 시뮬레이션 결과이다.

여기에서는 상기한 튜게이트드라이버(120B)에 있어서, 적어도 레벨시프트회로부(123)에 공급되는 전원전압으로서, 고전위전압(Vapd)이 +15V, 저전위전압(Vaps)이 -18V로 설정되고, 출력버퍼부(122)(122i)로부터 입력되는 0~15V의 전압진폭(제 1 전압진폭)을 갖는 증폭신호(AMS, AMSb)를 상기 레벨시프트회로부(123)(123i)에 의해 -15V~+15V의 전압진폭(제 2 전압진폭)을 갖는 신호로 변환하여 주사신호(리셋펄스)(ØT1)로서 i행째의 튜게이트라인(111)에 인가하는 경우에 대하여 설명한다.

우선 도 33, 도 34에 나타난 튜게이트드라이버(120B)에 있어서, 시프트레지스터회로부(121)로부터 출력버퍼부(122i)에 시프트신호로서 로우레벨의 논리신호(Souti)가 공급되면 레벨시프트회로부(123i)의 입력단의 인버터회로에 로우레벨(=0V)의 증폭신호(AMS) 및 하이레벨(=+15V)의 증폭신호(AMSb)가 입력되고, 전계효과형 트랜지스터(Tr32)가 ON동작하는 동시에, 전계효과형 트랜지스터(Tr31)가 OFF동작한다. 이에 따라 도 35에 나타내는 바와 같이, 접점(N31)의 전위(Vn31)는 전계효과형 트랜지스터(Tr32)의 도통저항(ON저항)분량만큼 저전위전압(Vaps)(=-18V)보다도 높은 전압이 되지만 충분히 낮은 신호전압(대개 -13V)을 갖는 로우레벨로 설정된다.

한편 시프트레지스터회로부(121)로부터 시프트신호로서 하이레벨의 논리신호(Souti)가 공급되면 레벨시프트회로부(123i)의 입력단의 인버터회로에 하이레벨(=+15V)의 증폭신호(AMS) 및 로우레벨(=0V)의 증폭신호(AMSb)가 입력되고, 전계효과형 트랜지스터(Tr31)가 ON동작하는 동시에, 전계효과형 트랜지스터(Tr32)가 OFF동작한다. 이에 따라 접점(N31)의 전위(Vn31)는 전계효과형 트랜지스터(Tr31)의 도통저항분량만큼 고전위전압(Vapd)(=+15V)보다도 낮은 전압을 갖는 하이레벨로 설정된다. 여기에서 전계효과형 트랜지스터에 적용되는 비정질실리콘막막트랜지스터의 회로특성상 고전위전압(Vapd)측에 접속된 전계효과형 트랜지스터(Tr31)의 도통저항은 비교적 커서 작게 설정하는 것이 곤란하기 때문에 접점(N31)의 전위(Vn31)는 하이레벨이면서 도 35에 나타내는 바와 같이, 대개 +3~+4V 정도의 매우 낮은 전압밖에 얻을 수 없다.

이어서 출력단의 인버터회로에 있어서, 상기 입력단의 인버터회로의 출력전압(접점(N31)의 전위(Vn31))이 하이레벨(대개 +3~+4V)인 때에는 전계효과형 트랜지스터(Tr34)가 ON동작하고, 접점(N33)(튜게이트라인(111))의 전위는 전계효과형 트랜지스터(Tr34)의 도통저항분량만큼 저전위전압(Vaps)(=-18V)보다도 높은 전압인 소망의 신호레벨(소망의 전압진폭(-15~+15V)의 하한측의 전압인 -15V; 로우레벨)로 설정된다.

여기에서 출력단의 인버터회로에 있어서, 전계효과형 트랜지스터(Tr33)의 게이트단자(접점(N32))에는 고전위전압(Vapd)(=+15V)에 의해 항상 ON상태에 있는 전계효과형 트랜지스터(Tr35)를 통하여 증폭신호(AMSb)가 인가되기 때문에 접점(N31)의 전위(Vn31)가 하이레벨로 되는 타이밍(증폭신호(AMSb)가 로우레벨로 되는 타이밍)으로 도 35에 나타내는 바와 같이, 접점(N32)의 전위(Vn32)는 대개 0V의 로우레벨로 설정된다. 이에 따라 접점(N32와 N33)간에 발생한 전위차가 전계효과형 트랜지스터(Tr33)의 게이트-소스간의 기생용량에 전압성분으로서 보존된다. 또한 기생용량에 보존된 전하는 전계효과형 트랜지스터(Tr35)의 도통저항에 의해 이동이 방해되기 때문에 상기 전위차에 따른 전압성분이 기생용량에 양호하게 보존된다.

한편 상기 입력단의 인버터회로의 출력전압(접점(N31)의 전위(Vn31))이 로우레벨(대개 -13V)인 때에는 전계효과형 트랜지스터(Tr34)가 OFF동작하는 동시에, 전계효과형 트랜지스터(Tr33)의 게이트단자(접점(N32))에 하이레벨(+15V)의 증폭신호(AMSb)가 인가됨으로써 전계효과형 트랜지스터(Tr33)가 ON동작하고, 접점(N33)(튜게이트라인(111))의 전위는 전계효과형 트랜지스터(Tr33)의 도통저항분량만큼 고전위전압(Vapd)(=+15V)보다도 낮은 전압이 인가된다.

여기에서 전계효과형 트랜지스터(Tr33)의 게이트단자(접점(N32))에는 접점(N33)의 전위의 상승에 동반하여 도 35에 나타내는 바와 같이, 해당 접점(N33)의 전위에 상기 기생용량에 보존된 전압성분에 상당하는 전위차가 덧붙여진 전압(대개 25~27V)이 발생하고(부트스트랩현상), 전계효과형 트랜지스터(Tr33)가 대략 포화상태로 ON동작하기 때문에 접점(N33)(튜게이트라인(111))의 전위는 고전위전압(Vapd)(=+15V)에 대략 근사하는 충분히 높은 신호레벨(즉 소망의 전압진폭(-15~+15V)의 상한측의 전압에 근사하는 +13~+14V; 하이레벨)이 얻어진다.

이와 같이 본 구성예에 관련되는 튜게이트드라이버(120B)에 적용되는 레벨시프트회로부(123)에 있어서는, 2단의 인버터회로를 구성하고, 출력단의 인버터회로에 인가되는 한쪽의 신호레벨(하이레벨)을 부트스트랩회로부(전계효과형 트랜지스

터(Tr35), 전계효과형 트랜지스터(Tr33)의 게이트-소스간에 형성되는 기생용량)를 이용하여 승압함으로써 입력단의 인버터회로로부터 출력되는 하이레벨측의 신호레벨이 낮은 경우이어도 출력단의 인버터회로로부터 출력되는 하이레벨측의 신호레벨을 충분히 높게 할 수 있다.

또한 본 구성예에 있어서는, 튜게이트드라이버(120B)에 설치되는 레벨시프트회로부(123)의 부트스트랩회로부의 구성으로서, 전계효과형 트랜지스터(Tr33)의 게이트-소스간에 형성되는 기생용량을 적용하는 경우(도 34 참조)에 대하여 설명했는데, 본 발명은 이에 한정되는 것은 아니고, 상기 게이트-소스간(접점(N32)과 접점(N33)의 사이)에 상기 기생용량에 덧붙여서 다시 임의의 용량소자(컨덴서)를 접속한 구성을 적용하는 것이어도 좋다. 또 레벨시프트회로부(123)로서, n채널형의 전계효과형 트랜지스터를 적용한 경우에 대해서만 설명했는데, 본 발명은 이에 한정되는 것은 아니고, p채널형의 전계효과형 트랜지스터를 적용하여 구성하는 것이어도 좋다.

이어서 본 적용예에 관련되는 화상처리장치의 소자구조에 대하여 상기한 각 실시형태에 나타난 트랜지스터어레이를 참조하면서 설명한다.

상기한 바와 같은 본 적용예에 관련되는 화상처리장치를 구성하는 포토센서어레이(110) 및 각 드라이버회로(튜게이트드라이버(120B), 보텀게이트드라이버(130), 소스드라이버(140))에 대해서는 예를 들면 상기한 제 5 실시형태 또는 제 6 실시형태에 나타난 바와 같은 소자구조 및 제조방법을 양호하게 적용할 수 있다.

즉 상기한 제 1 적용예와 마찬가지로 단일한 절연성의 기판(SUB)의 일면측이며, 해당 기판(SUB)의 대략 중앙영역에 비정질실리콘반도체층을 이용한 더블게이트형의 박막트랜지스터구조를 갖는 포토센서(PS)를 매트릭스상으로 복수 배열함으로써 포토센서어레이(110)가 구성되고, 해당 포토센서어레이(110)(포토센서(PS))에 인접하는 주변영역에 저온폴리실리콘반도체층을 이용한 박막트랜지스터(상기한 전계효과형 트랜지스터(FETp 및 FETn))를 도 21~도 29에 나타난 바와 같이 소정의 회로형태를 갖도록 접속함으로써 보텀게이트드라이버(130) 또는 소스드라이버(140)가 구성된다.

또 본 적용예에 있어서는, 특히 상기 포토센서어레이(110)에 인접하는 주변영역에 비정질실리콘반도체층을 이용한 박막트랜지스터(상기한 전계효과형 트랜지스터(FETx))를 도 33, 도 34에 나타난 바와 같이 소정의 회로형태를 갖도록 접속함으로써 튜게이트드라이버(120B)의 레벨시프트회로부(123)가 구성되고, 또한 해당 레벨시프트회로부(123)에 인접하는 영역에 저온폴리실리콘반도체층을 이용한 박막트랜지스터(상기한 전계효과형 트랜지스터(FETp 및 FETn))를 도 22, 도 33, 도 34에 나타난 바와 같이 소정의 회로형태를 갖도록 접속함으로써 튜게이트드라이버(120B)의 시프트레지스터회로부(121) 및 출력버퍼부(122)가 구성된다. 그리고 이들 포토센서어레이(110) 및 각 드라이버회로가 상기 기판(SUB)상에 일체적으로 형성되어 있다.

또 이와 같은 포토센서(PS) 및 드라이버회로에 있어서는, 적어도 상기 드라이버회로(튜게이트드라이버(120B)의 레벨시프트회로부(123)를 제외한다)를 구성하는 전계효과형 트랜지스터(FETp 및 FETn)에 이용되는 폴리실리콘반도체층이 포토센서(PS) 및 튜게이트드라이버(120B)의 레벨시프트회로부(123)에 이용되는 비정질실리콘반도체층에 대하여 하층측(기판(SUB)측)에 설치된 구성을 갖고 있다.

여기에서 포토센서(PS) 및 튜게이트드라이버(120B)의 레벨시프트회로부(123)와, 각 드라이버회로(튜게이트드라이버(120B)의 레벨시프트회로부(123)를 제외한다)를 구성하는 박막트랜지스터는 상기한 제 5 실시형태에 나타난 바와 같이, 상호 도전체층을 공유하는 일 없이 독립된 제조프로세스에 의해 형성하는 것이어도 좋고, 제 6 실시형태에 나타난 바와 같이, 적어도 일부의 도전층(예를 들면 포토센서(PS)의 보텀게이트전극(BGx) 및 레벨시프트회로부(123)에 적용되는 전계효과형 트랜지스터(FETx)의 게이트전극(Gx)과, 레벨시프트회로부(123)를 제외하는 각 드라이버회로에 적용되는 전계효과형 트랜지스터(FETp, FETn)의 게이트전극(Gp, Gn))을 동일한 도전체층에 설치하여 동일한 제조프로세스로 동시에 형성하는 것이어도 좋다.

이와 같이 본 적용예에 관련되는 화상처리장치에 상기한 바와 같은 본 발명에 관련되는 트랜지스터어레이의 소자구조 및 제조방법을 적용함으로써 제 1 적용예와 마찬가지로 포토센서어레이 및 드라이버회로의 동작특성을 양호하게 유지하여 피사체화상을 양호하게 판독할 수 있는 동시에, 장치규모의 소형화, 부품수나 제조프로세스의 삭감을 꾀할 수 있는 화상처리장치를 실현할 수 있다.

또 튜게이트드라이버(120B)의 출력부가 적어도 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터(비정질실리콘박막트랜지스터)를 적용하여 구성된 레벨시프트회로부(123)를 갖고 있는 것에 의해 폴리실리콘반도체층을 이용한 전계효과형 트랜지스터(폴리실리콘박막트랜지스터)를 적용하여 구성된 시프트레지스터회로부(121)나 출력버퍼부(122)에 있어서, 폴리실리콘박막트랜지스터의 ON전류가 비교적 크고, 전자이동도가 비교적 큰 것에 의해 신호생성동작을 비교적 신속하

게 실행할 수 있으며, 한편 출력부의 레벨시프트회로부(123)에 있어서, 비교적 높은 내압특성을 갖는 비정질실리콘박막트랜지스터를 적용하고 있기 때문에 비교적 큰 전압진폭을 갖는 주사신호(상기한 바와 같은 수십V의 전압진폭을 갖는 리셋 펄스(OTI))를 양호하게 생성할 수 있다. 이에 따라 톱게이트드라이버(120B) 전체로서 적당한 동작속도를 실현하면서 적절한 전압범위를 갖는 주사신호를 소자파괴를 발생시키는 일 없이 양호하게 생성하여 톱게이트라인(111)에 인가할 수 있기 때문에 상기한 기본적인 구동제어방법(도 19 참조)을 그대로 적용하여 동작특성이 양호하고, 신뢰성이 높은 화상처리장치를 제공할 수 있다.

이상과 같이 상기한 각 적용예에 있어서는, 비정질실리콘반도체층을 이용한 더블게이트형 포토센서를 이차원 배열한 포토센서어레이와, 저온폴리실리콘반도체층을 이용한 전계효과형 트랜지스터만으로 이루어지는 드라이버회로, 또는 출력부만을, 비정질실리콘반도체층을 이용한 전계효과형 트랜지스터를 적용한 드라이버회로를 구비하고, 이들이 단일한 기관상에 일체적으로 형성된 화상처리장치에 대하여 설명했는데, 본 발명에 관련되는 트랜지스터어레이는 이와 같은 화상처리장치의 적용에 한정되는 것은 아니다.

발명의 효과

요컨대 상기한 각 실시형태에 나타난 바와 같은 비정질실리콘반도체층과 저온폴리실리콘반도체층이 혼재한 소자구조를 갖고, 비정질실리콘반도체층을 이용한 화소가 배열된 화소어레이(특정한 부하이어도 좋다)와, 해당 화소어레이에 대하여 소정의 구동신호를 생성, 출력(인가)하는 드라이버회로가 단일한 기관상에 일체적으로 형성되어 있는 것이면 본 발명을 양호하게 적용할 수 있으며, 예를 들면 액정용량이나 유기EL소자 등의 발광소자를 포함하는 주지의 표시화소(구체적으로는, 액정용량과 화소트랜지스터로 이루어지는 액정화소나 유기EL소자와 화소구동회로로 이루어지는 표시화소 등)를 2차원배열한 화소어레이 및 해당 화소어레이의 각 표시화소를 선택상태로 설정하고, 해당 표시화소에 대하여 소정의 계조신호를 공급하여 소망의 화상정보를 표시하도록 제어하는 드라이버회로(주사드라이버나 데이터드라이버, 전원드라이버 등)를 구비한 주지의 화상표시장치(화상처리장치)에, 본 발명에 관련되는 트랜지스터어레이를 적용하는 것이어도 좋다.

도면의 간단한 설명

도 1은 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 1 실시형태를 나타내는 개략단면도.

도 2A~D는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 3A~D는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 4A~C는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 5는 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 2 실시형태를 나타내는 개략단면도.

도 6A~D는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 7A, B는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 8은 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 3 실시형태를 나타내는 개략단면도.

도 9A~C는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 10은 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 4 실시형태를 나타내는 개략단면도.

도 11A~D는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 12는 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 5 실시형태를 나타내는 개략단면도.

도 13A~D는 본 실시형태에 관련되는 소자구조를 갖는 트랜지스터어레이의 제조방법을 나타내는 프로세스단면도.

도 14는 본 발명에 관련되는 트랜지스터어레이의 소자구조의 제 6 실시형태를 나타내는 개략단면도.

- 도 15A~C는 본 소자구조에 관련되는 화상처리장치의 제조방법을 나타내는 프로세스단면도.
- 도 16A, B는 본 소자구조에 관련되는 화상처리장치의 제조방법을 나타내는 프로세스단면도.
- 도 17은 본 발명에 관련되는 트랜지스터어레이에 적용 가능한 증간접속배선의 구성의 한 예를 나타내는 개략단면도.
- 도 18은 본 발명에 관련되는 트랜지스터어레이를 화상처리장치에 적용한 경우의 제 1 예를 나타내는 개략전체구성도.
- 도 19는 상기한 포토센서어레이에 있어서의 기본적인 구동제어방법을 나타내는 타이밍차트.
- 도 20은 본 적용예에 관련되는 화상처리장치를 지문판독장치에 적용한 경우의 주요부 단면도.
- 도 21은 본 적용예에 관련되는 화상처리장치에 적용 가능한 튜게이트드라이버 또는 보텀게이트드라이버의 한 구성예를 나타내는 개략블록도.
- 도 22는 본 구성예에 관련되는 튜게이트드라이버 또는 보텀게이트드라이버에 적용 가능한 시프트레지스터회로부의 한 예를 나타내는 회로구성도.
- 도 23A~D는 본 구성예에 관련되는 시프트레지스터회로부 및 출력버퍼부에 적용되는 논리소자의 회로구성도.
- 도 24는 본 적용예에 관련되는 화상처리장치에 적용 가능한 소스드라이버의 제 1 구성예를 나타내는 개략블록도.
- 도 25는 본 구성예에 관련되는 소스드라이버의 기능을 설명하기 위한 회로개념도.
- 도 26은 본 구성예에 관련되는 소스드라이버에 적용 가능한 시프트레지스터회로부의 한 예를 나타내는 회로구성도.
- 도 27은 본 구성예에 관련되는 소스드라이버에 적용 가능한 프리차지회로부, 샘플링회로부, 소스풀로워회로부 및 패러렐-시리얼변환회로부의 한 예를 나타내는 회로구성도.
- 도 28은 본 적용예에 관련되는 화상처리장치에 적용 가능한 소스드라이버의 제 2 구성예를 나타내는 개략블록도.
- 도 29는 본 구성예에 관련되는 소스드라이버의 기능을 설명하기 위한 회로개념도.
- 도 30은 본 구성예에 관련되는 소스드라이버에 적용 가능한 프리차지회로부, 패러렐-시리얼변환회로부, 소스풀로워회로부 및 리셋회로부의 한 예를 나타내는 회로구성도.
- 도 31은 본 적용예에 관련되는 화상처리장치에 적용 가능한 구동제어방법의 한 예를 나타내는 타이밍차트.
- 도 32는 본 발명에 관련되는 트랜지스터어레이를 화상처리장치에 적용한 경우의 제 2 예를 나타내는 개략전체구성도.
- 도 33은 본 적용예에 관련되는 화상처리장치에 적용 가능한 튜게이트드라이버의 한 구성예를 나타내는 개략블록도.
- 도 34는 본 구성예에 관련되는 튜게이트드라이버에 적용 가능한 출력버퍼부 및 레벨시프트회로부의 한 예를 나타내는 회로구성도.
- 도 35는 본 구성예에 관련되는 레벨시프트회로부의 각 단자 및 접점에 있어서의 신호전압의 변화를 나타내는 시뮬레이션 결과이다.

※도면의 주요부분에 대한 부호의 설명

PS: 포토센서

FETp, FETn, FETx: 전계효과형 트랜지스터

Gp, Gn, Gx: 게이트전극 BGx: 보텀게이트전극

TGx: 탑게이트전극 SUB: 기판

11, 51: 반도체층 21p, 21n: 반도체층

100A, 100B: 화상처리장치 110: 포토센서어레이

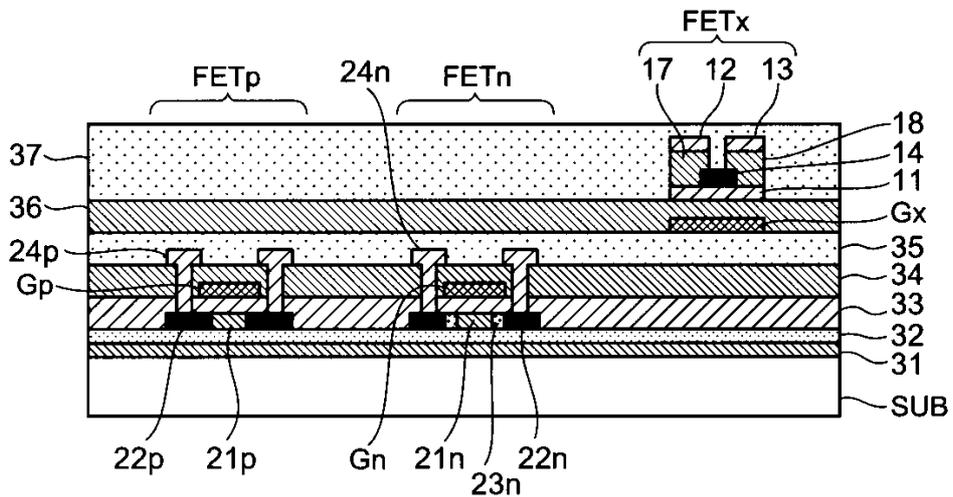
120A, 120B: 탑게이트드라이버 123: 레벨시프트회로부

130: 보텀게이트드라이버 140, 140A, 140B: 소스드라이버

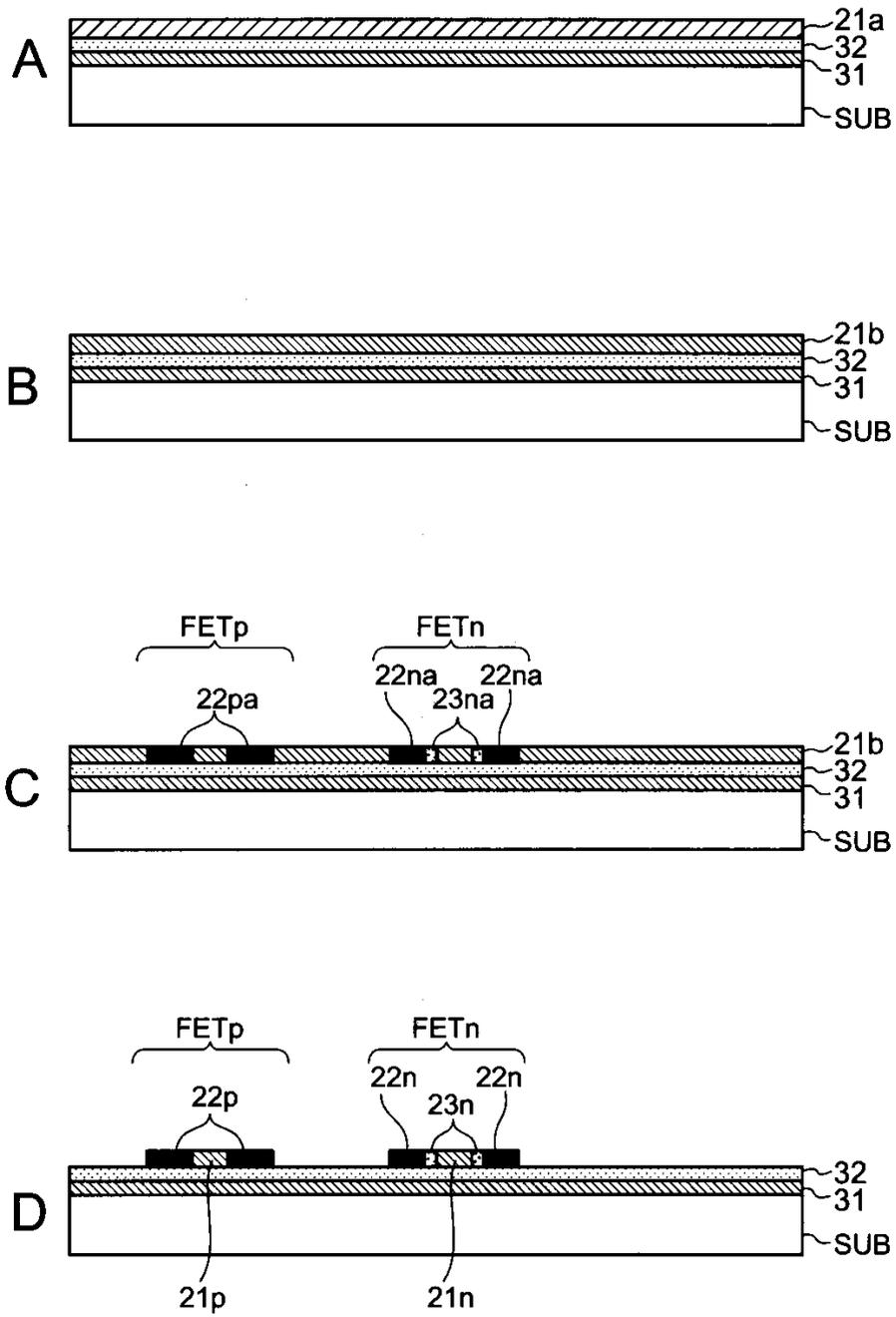
150: 시스템컨트롤러

도면

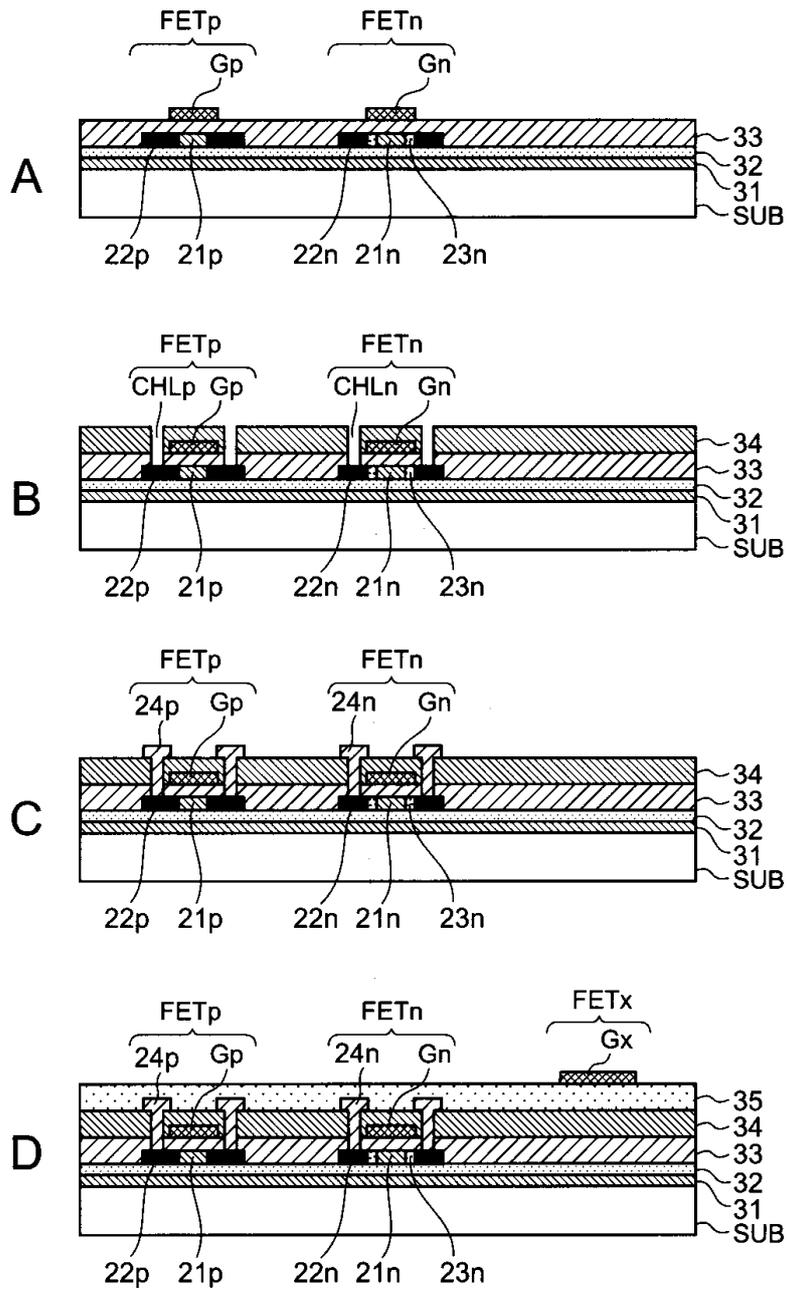
도면1



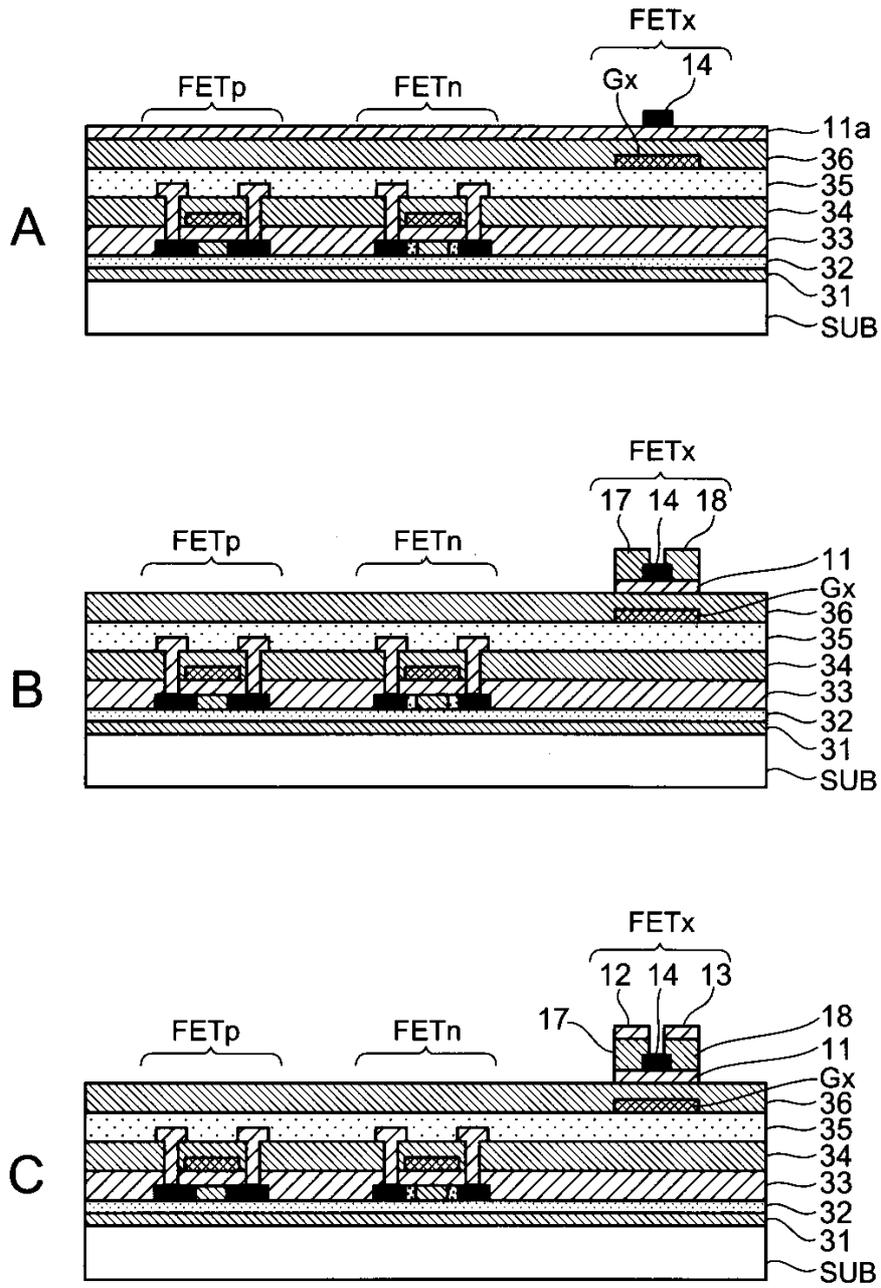
도면2



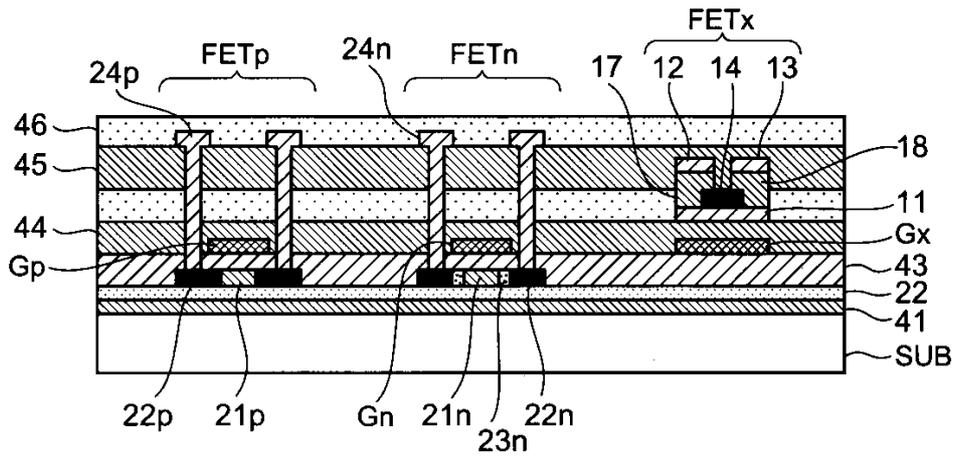
도면3



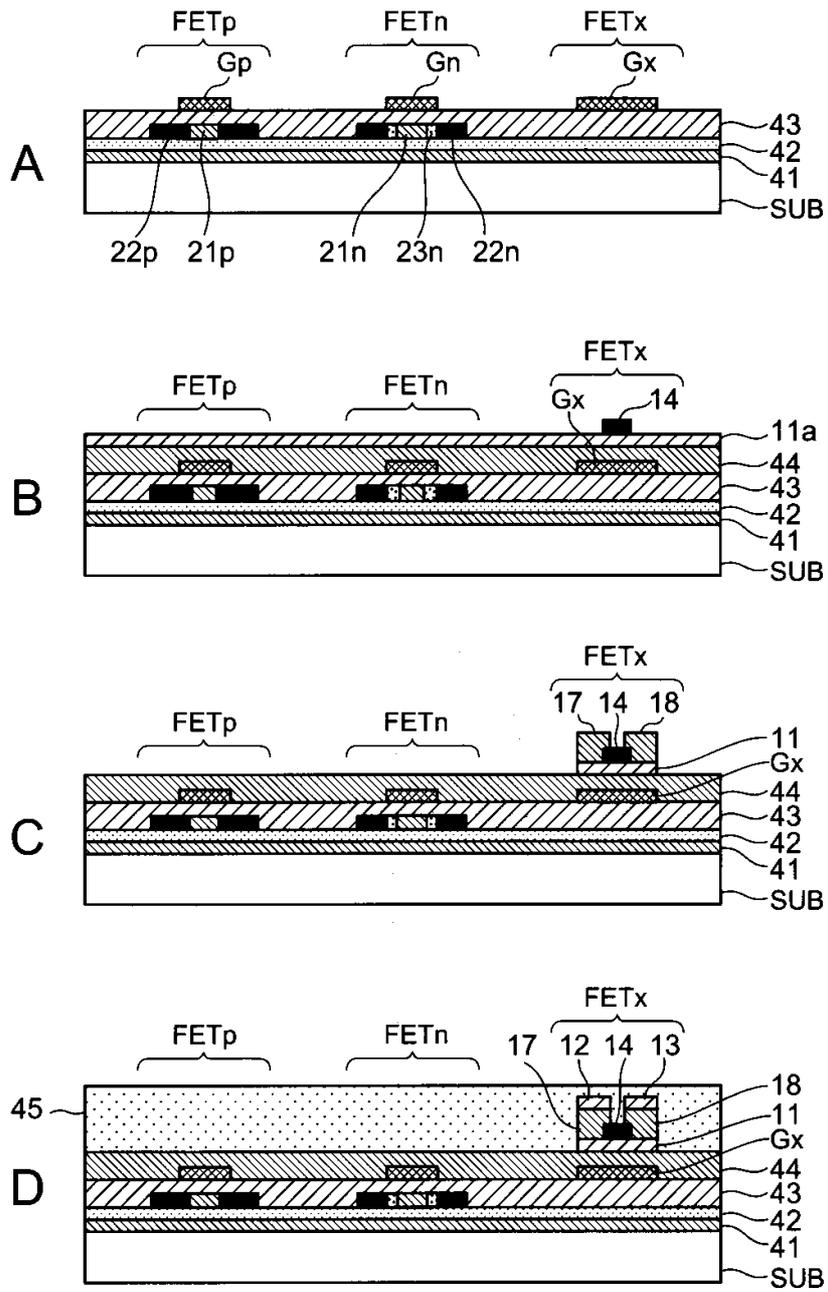
도면4



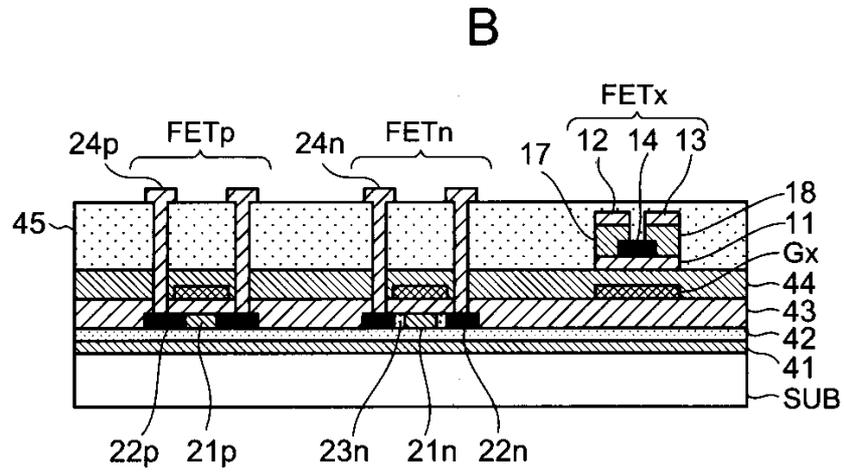
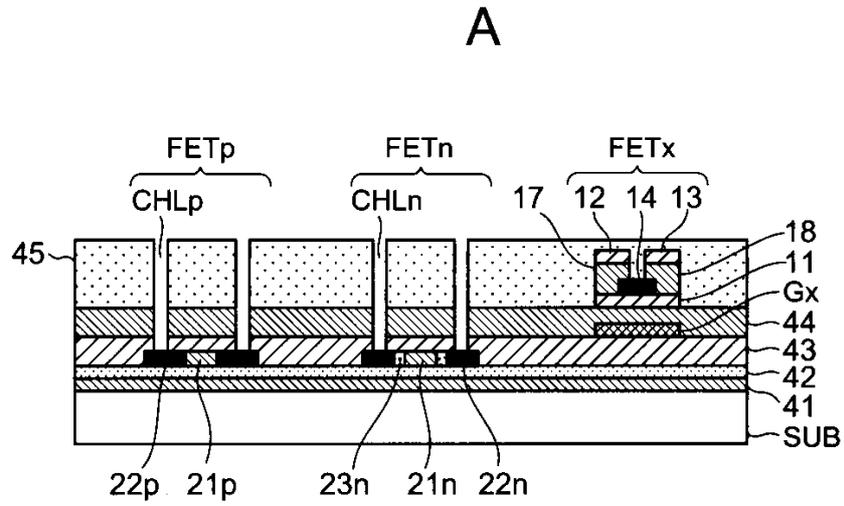
도면5



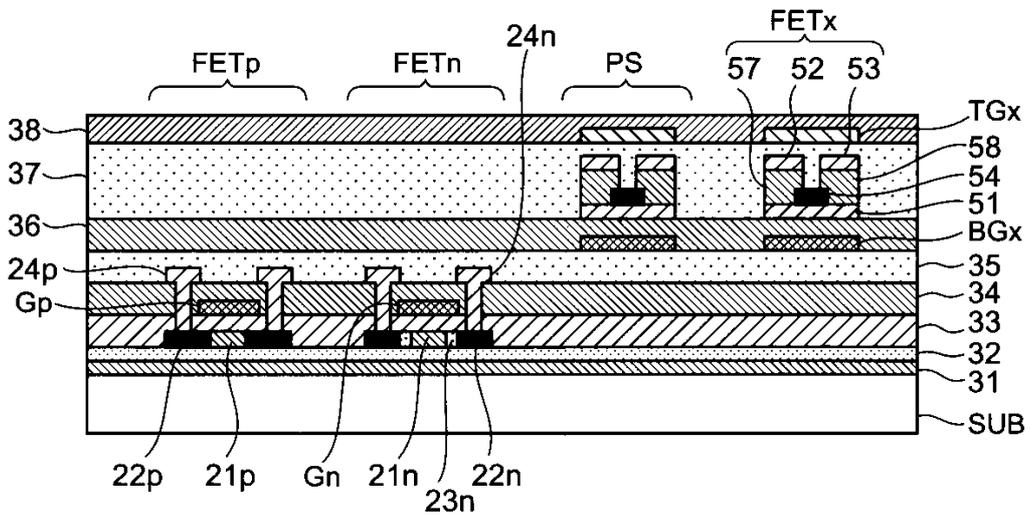
도면6



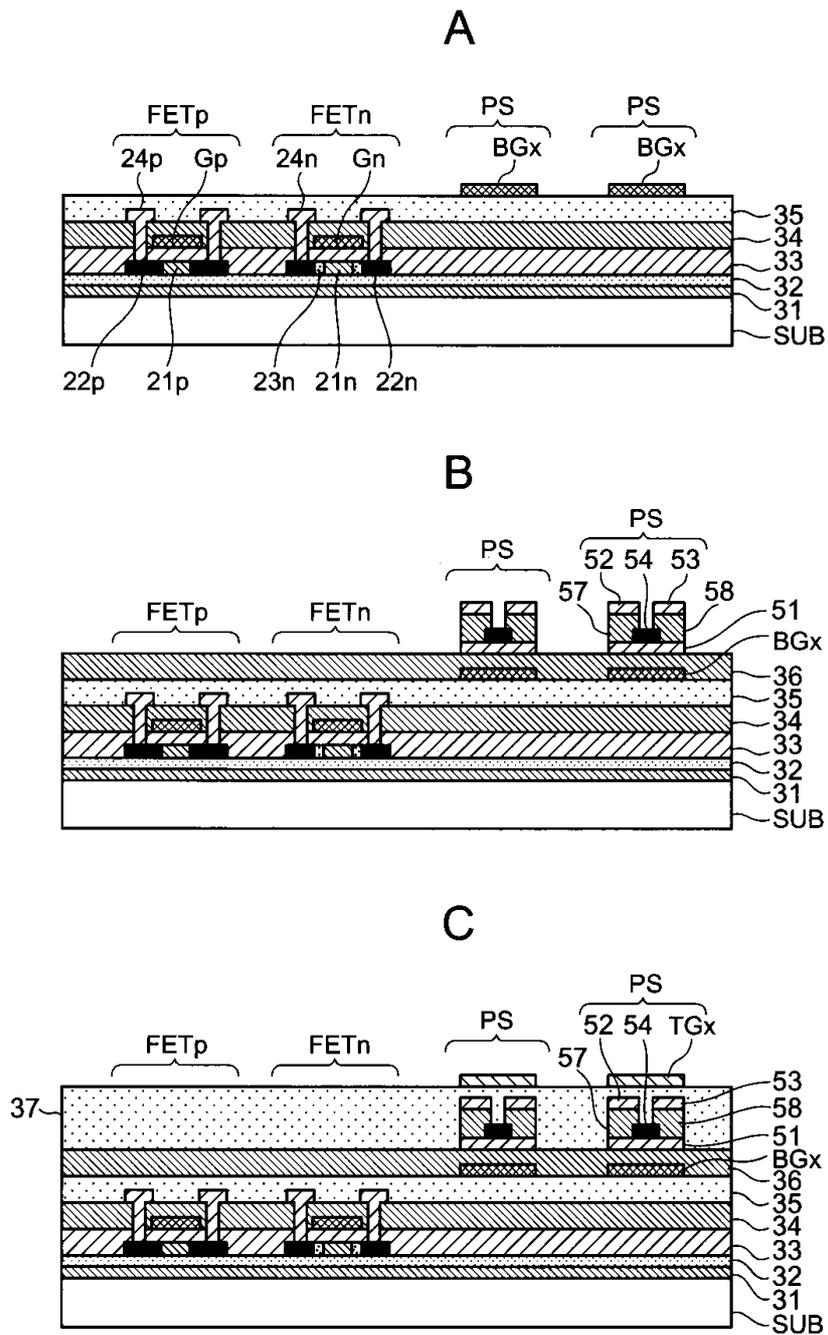
도면7



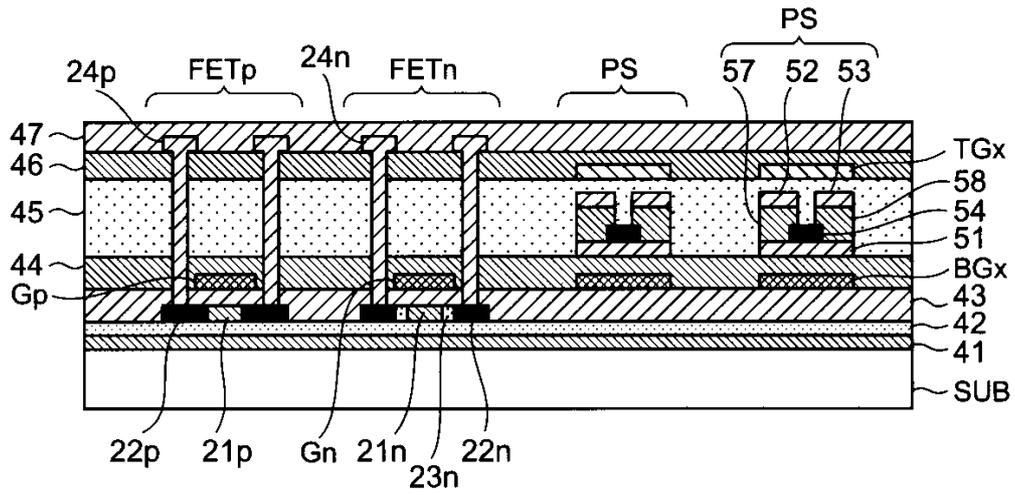
도면8



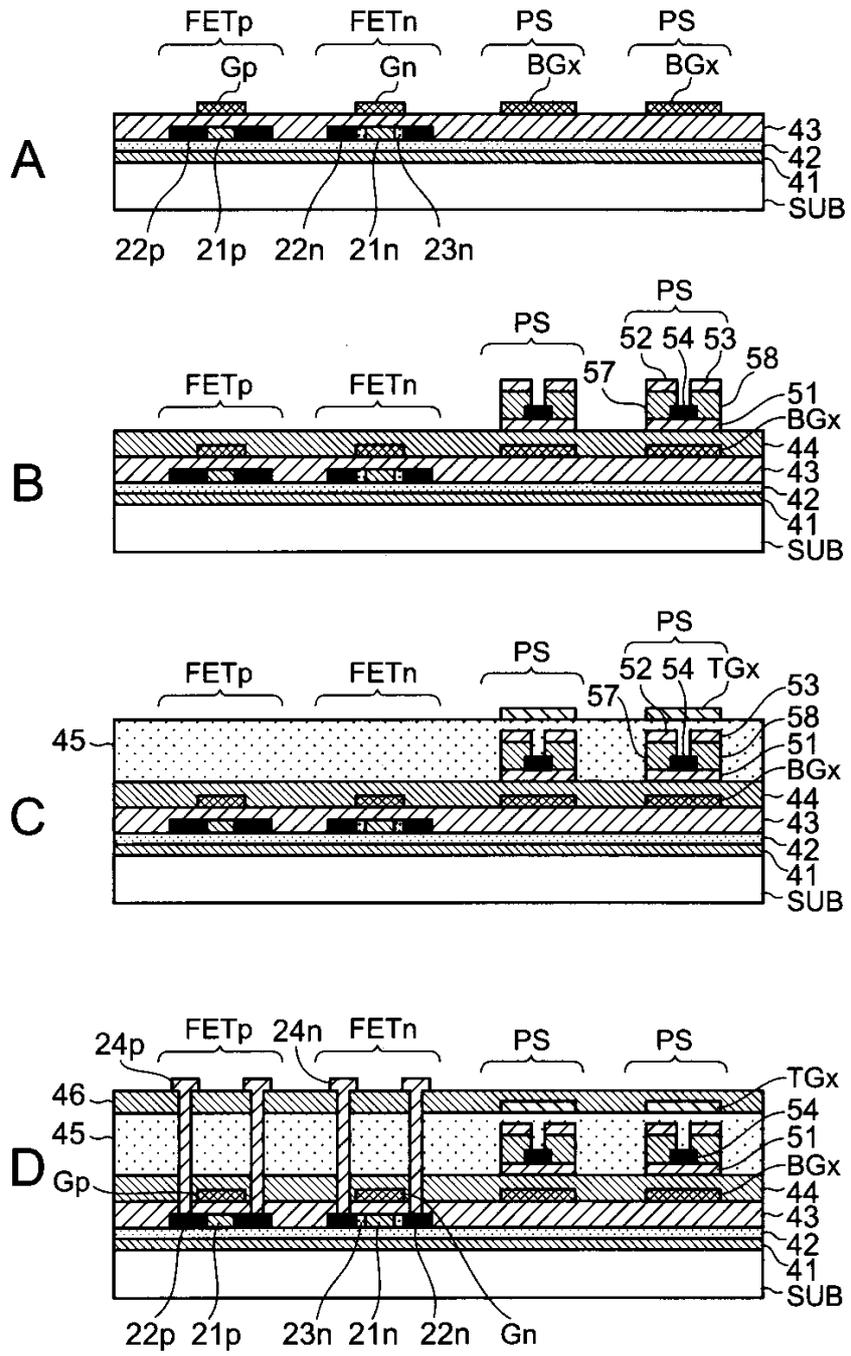
도면9



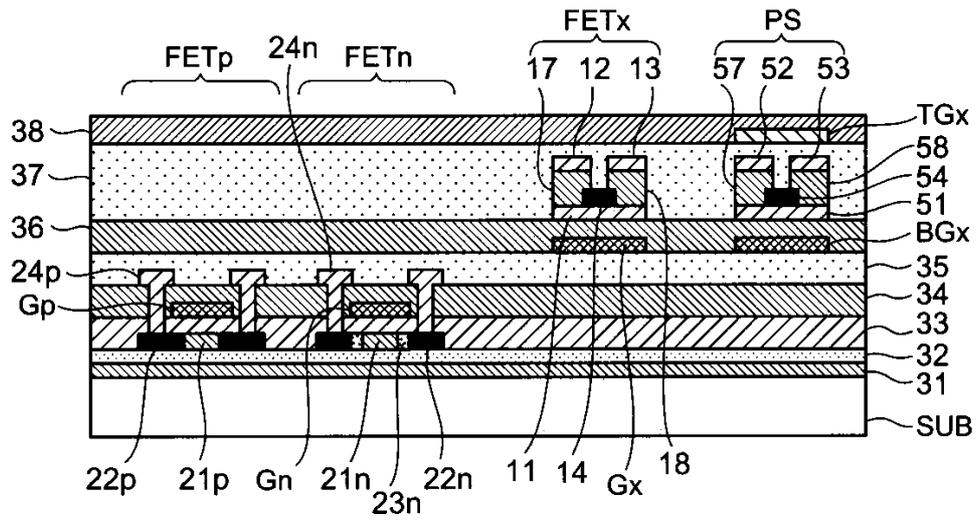
도면10



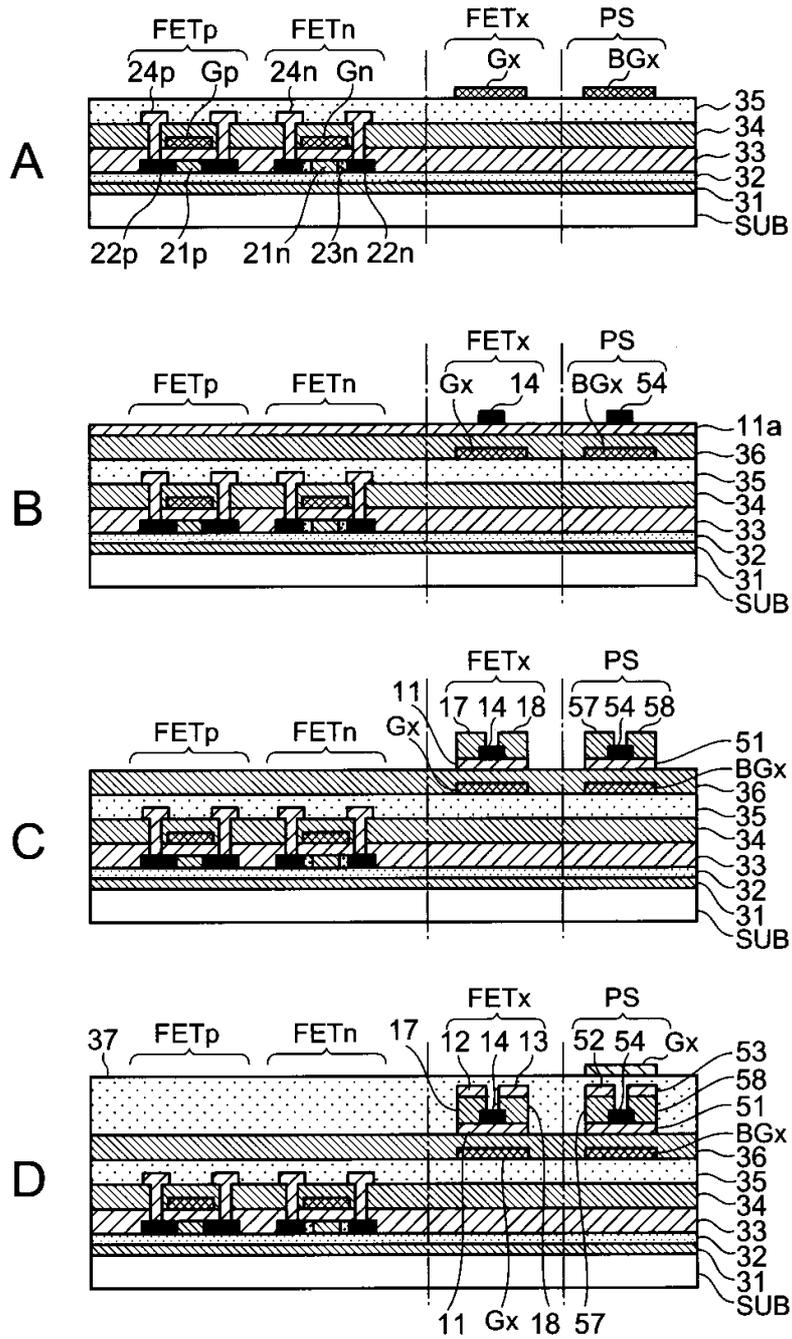
도면11



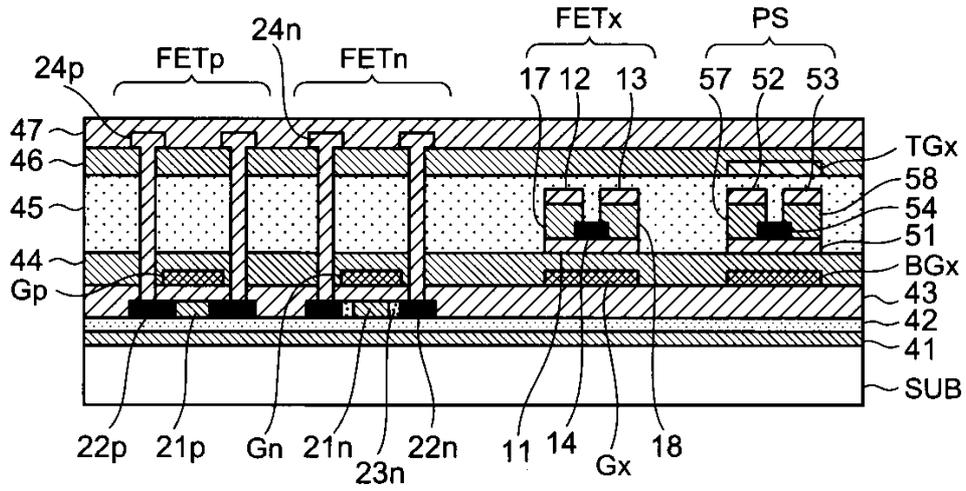
도면12



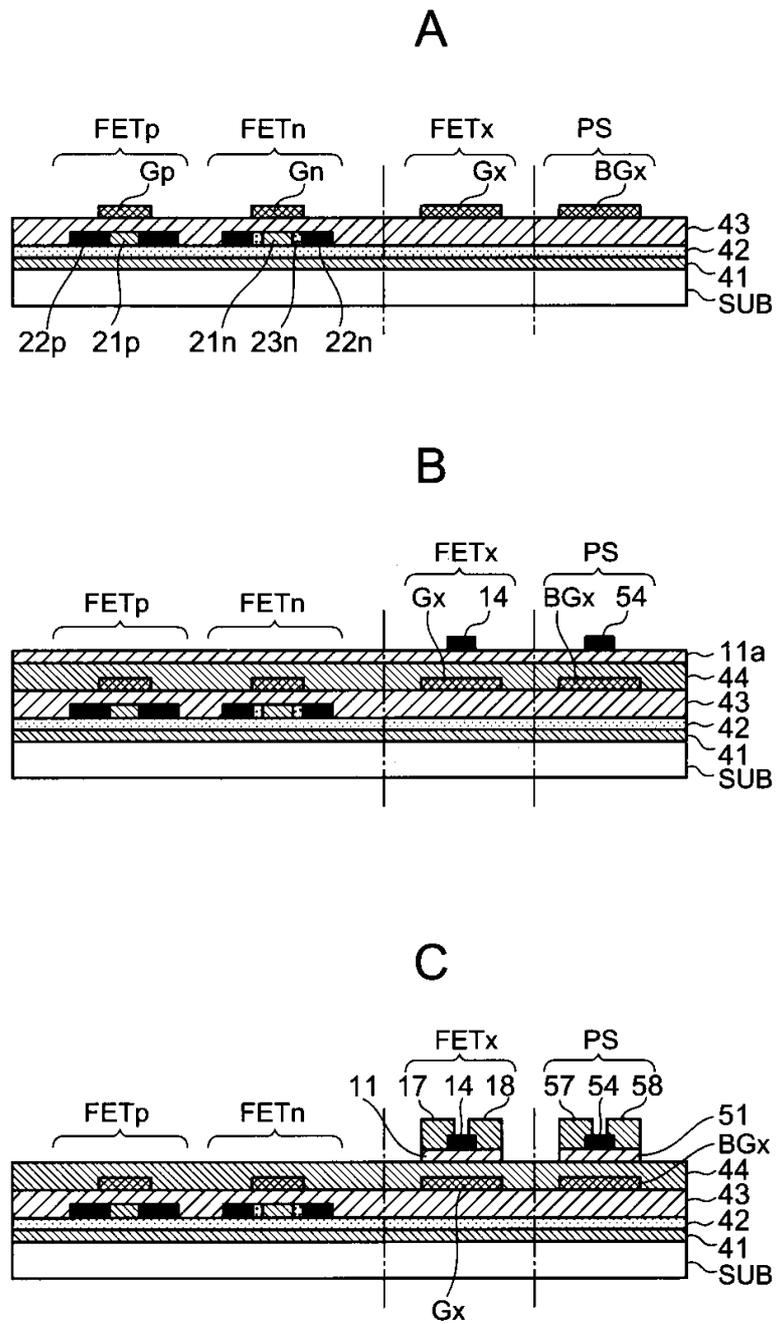
도면13



도면14

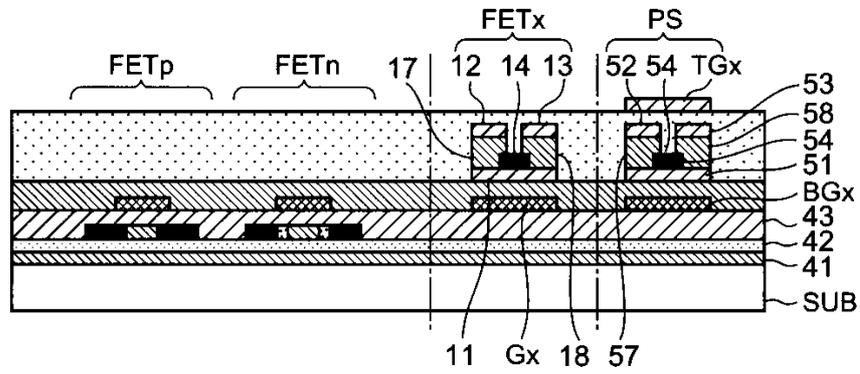


도면15

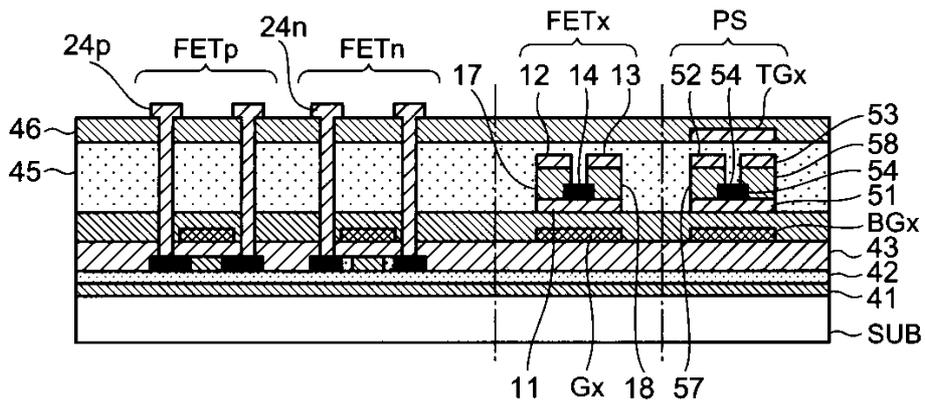


도면16

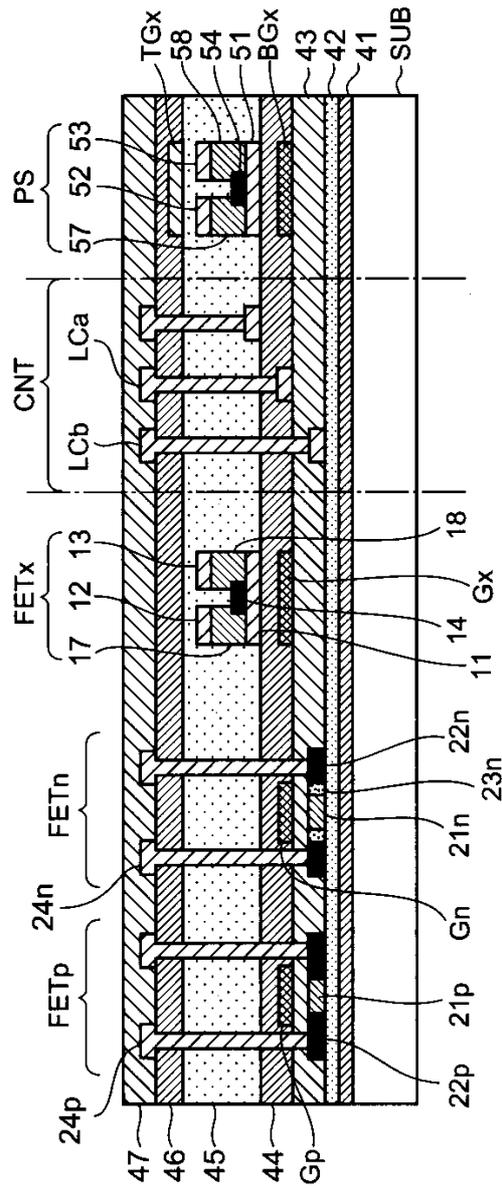
A



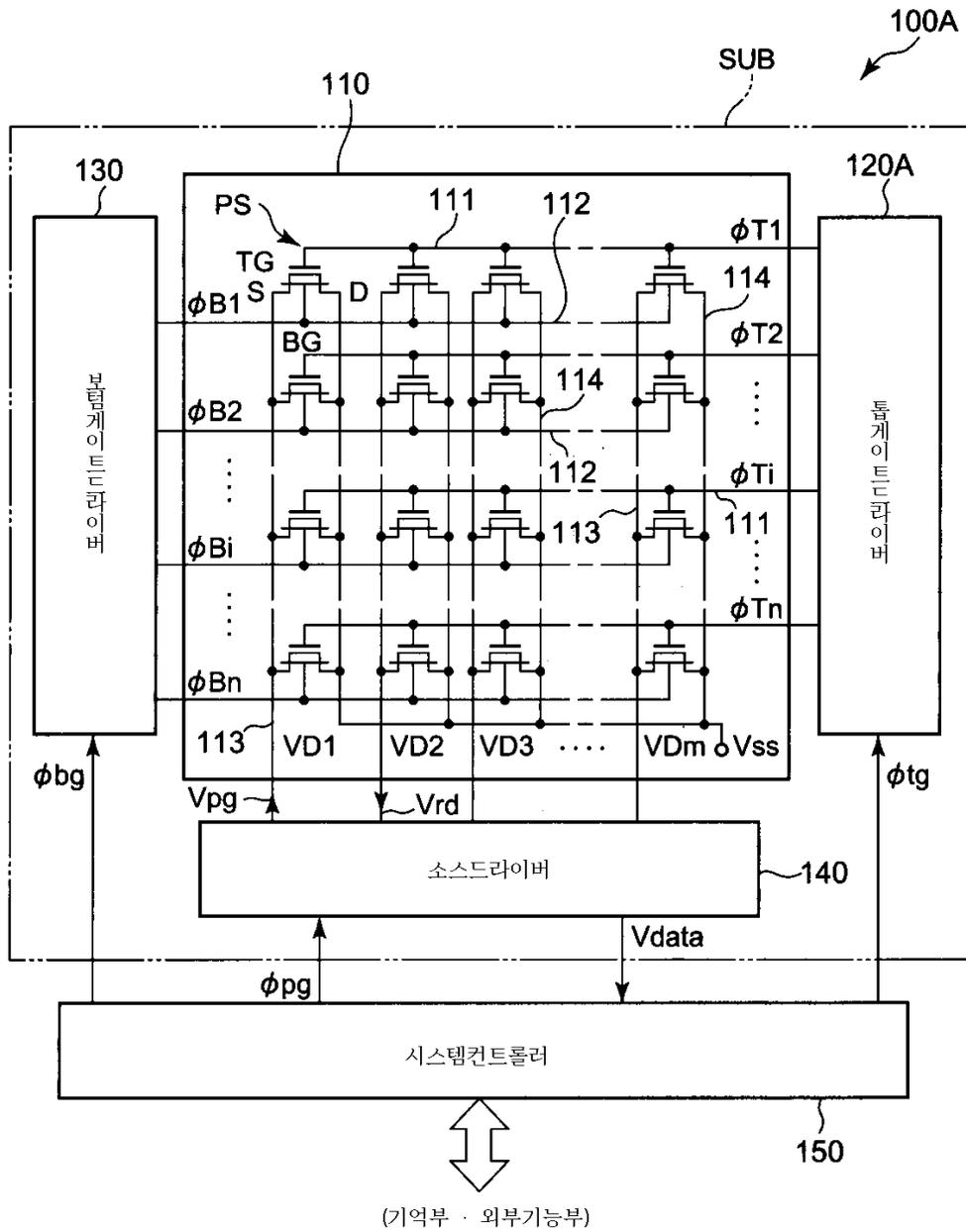
B



도면17

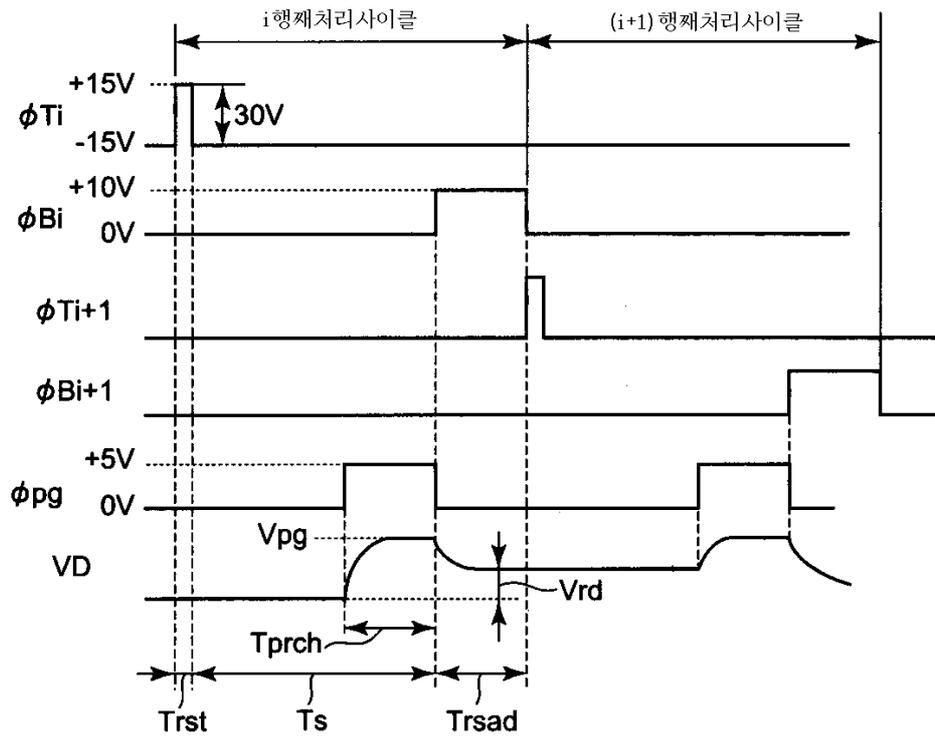


도면18

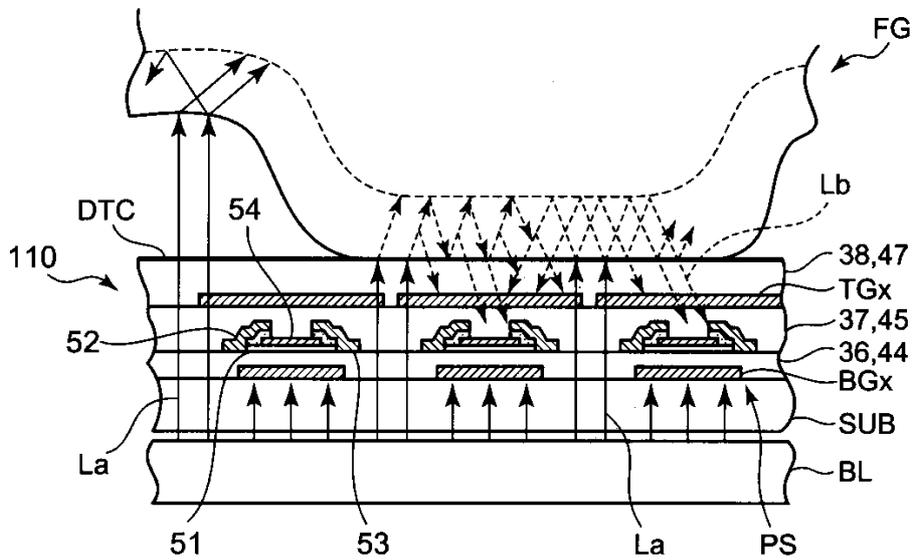


(기억부 · 외부기능부)

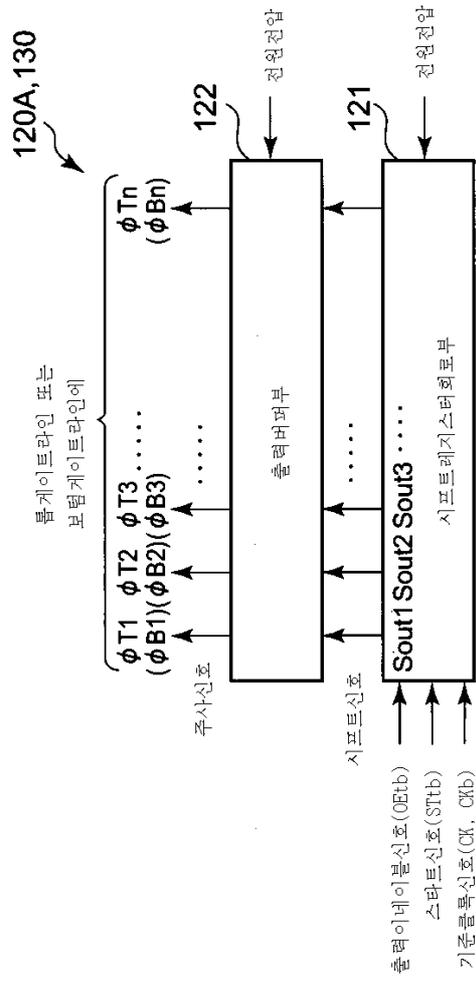
도면19



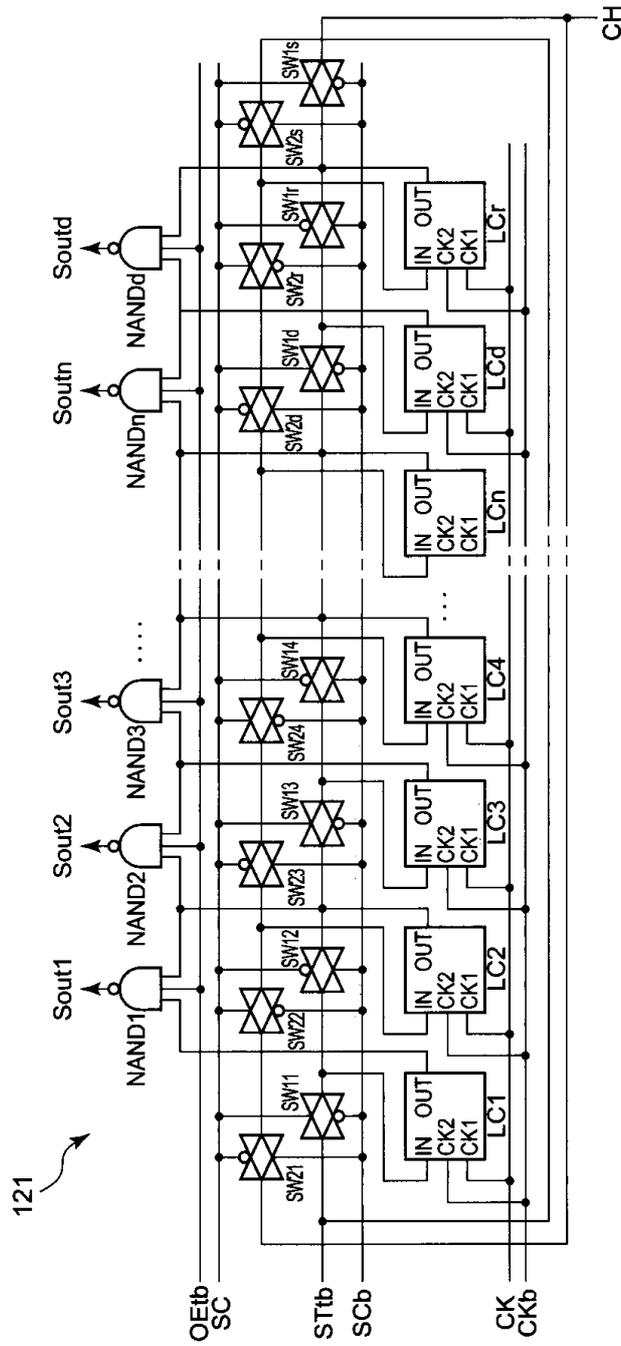
도면20



도면21

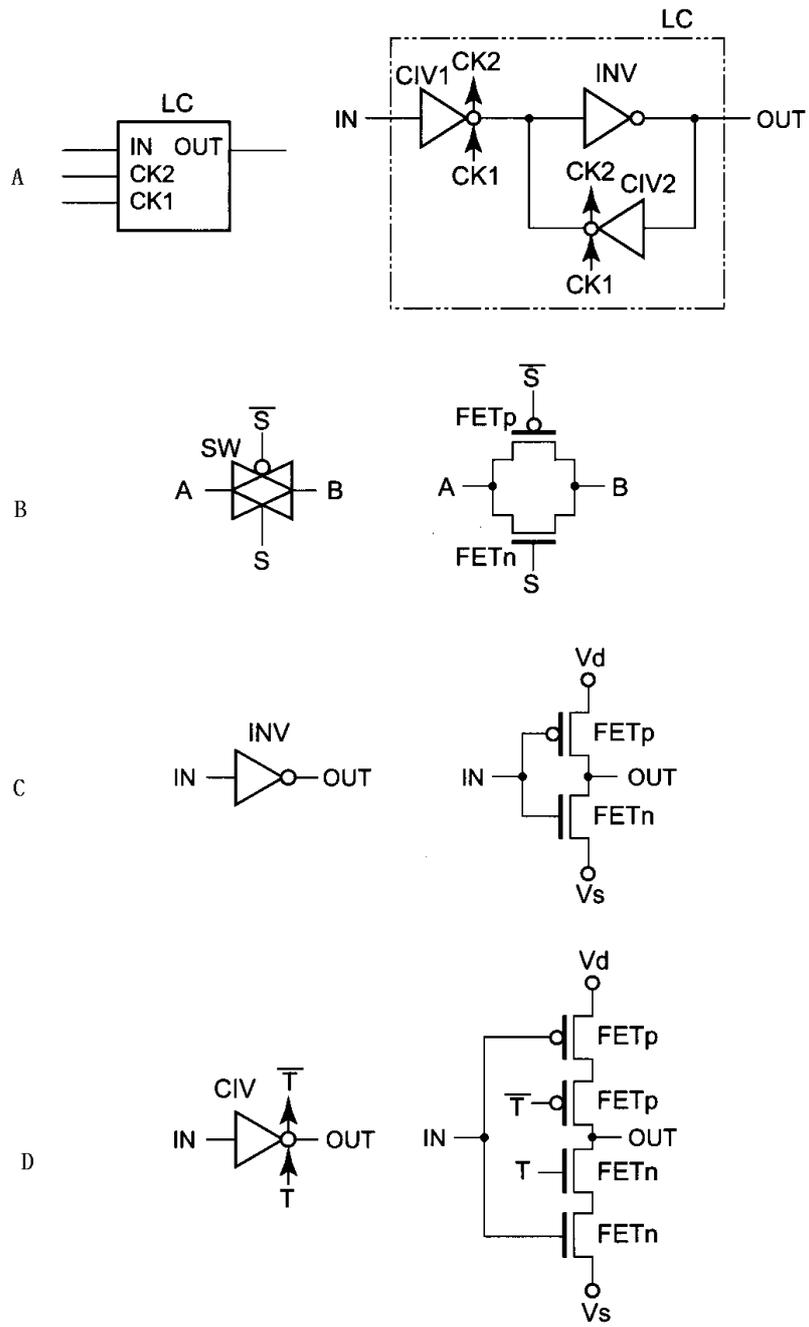


도면22

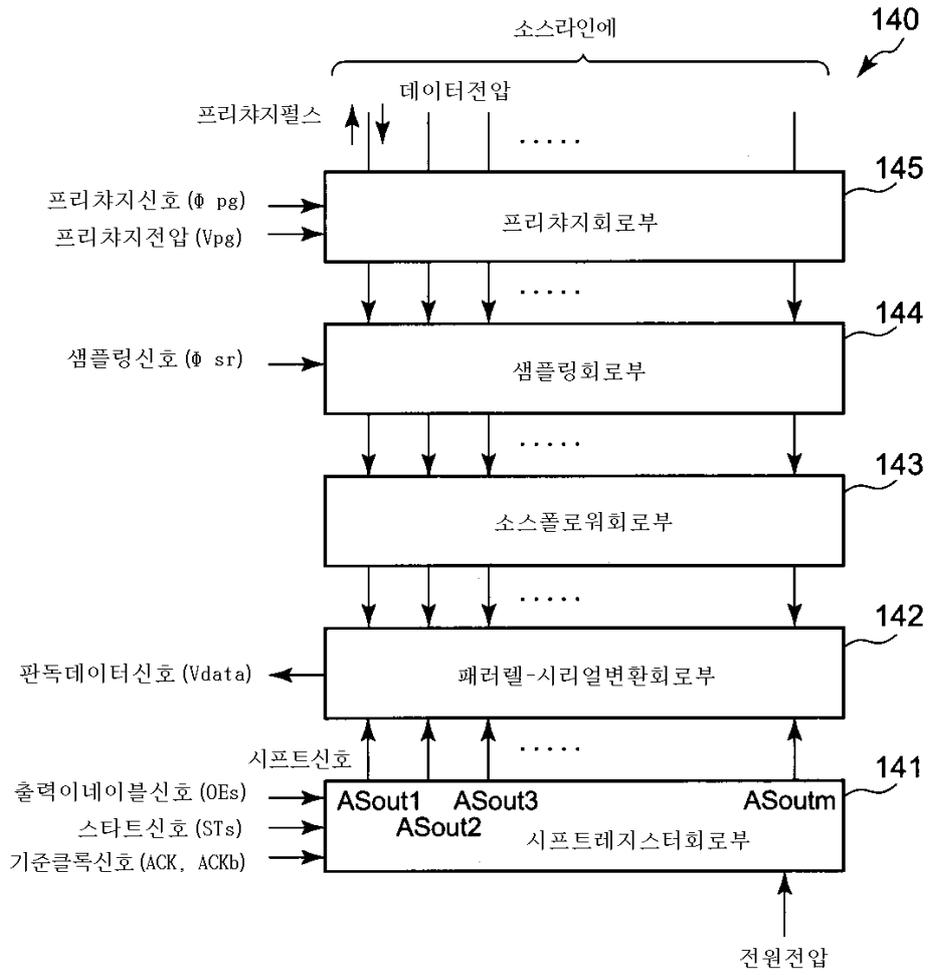


121 ↗

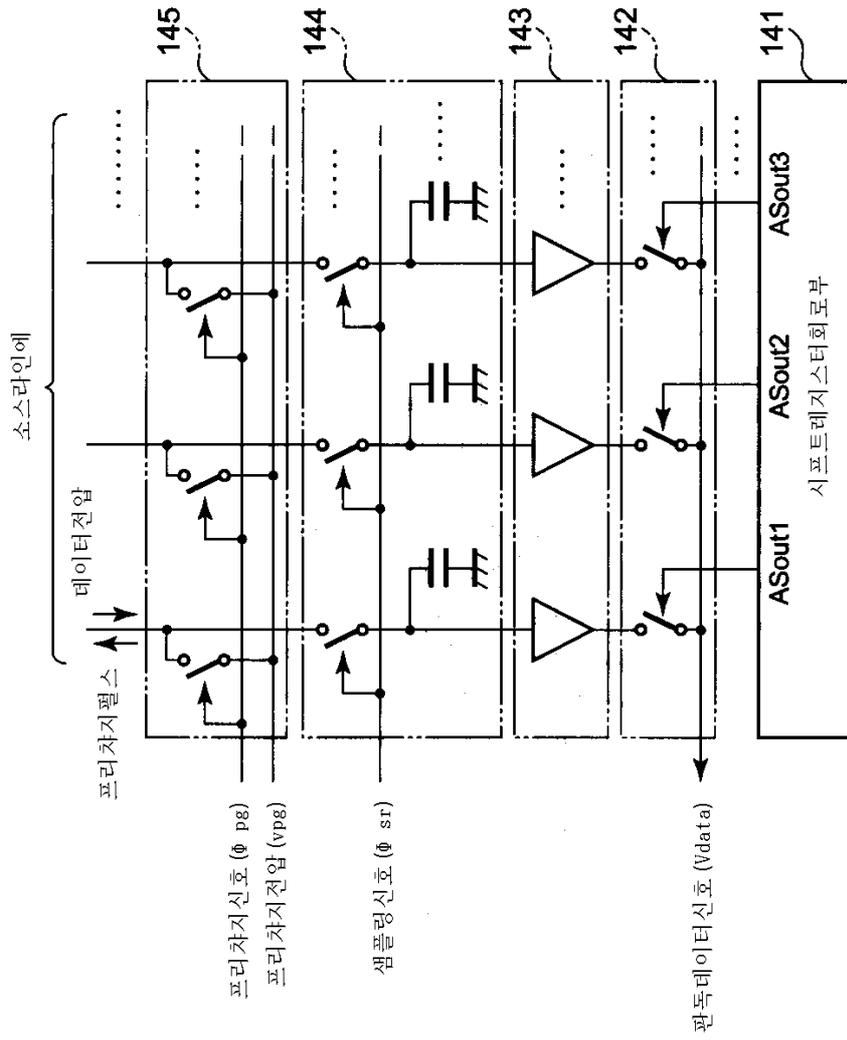
도면23



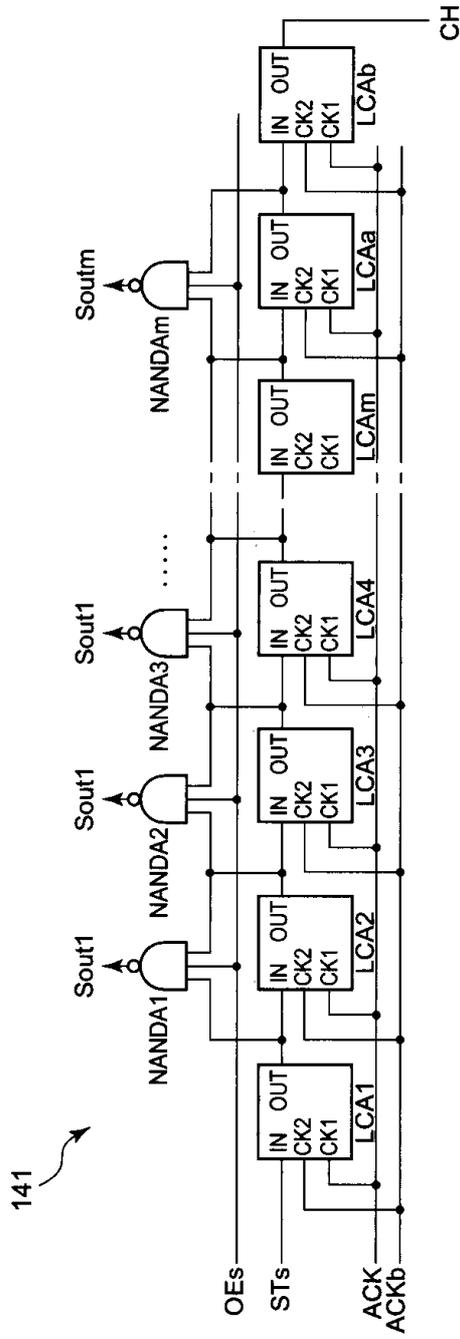
도면24



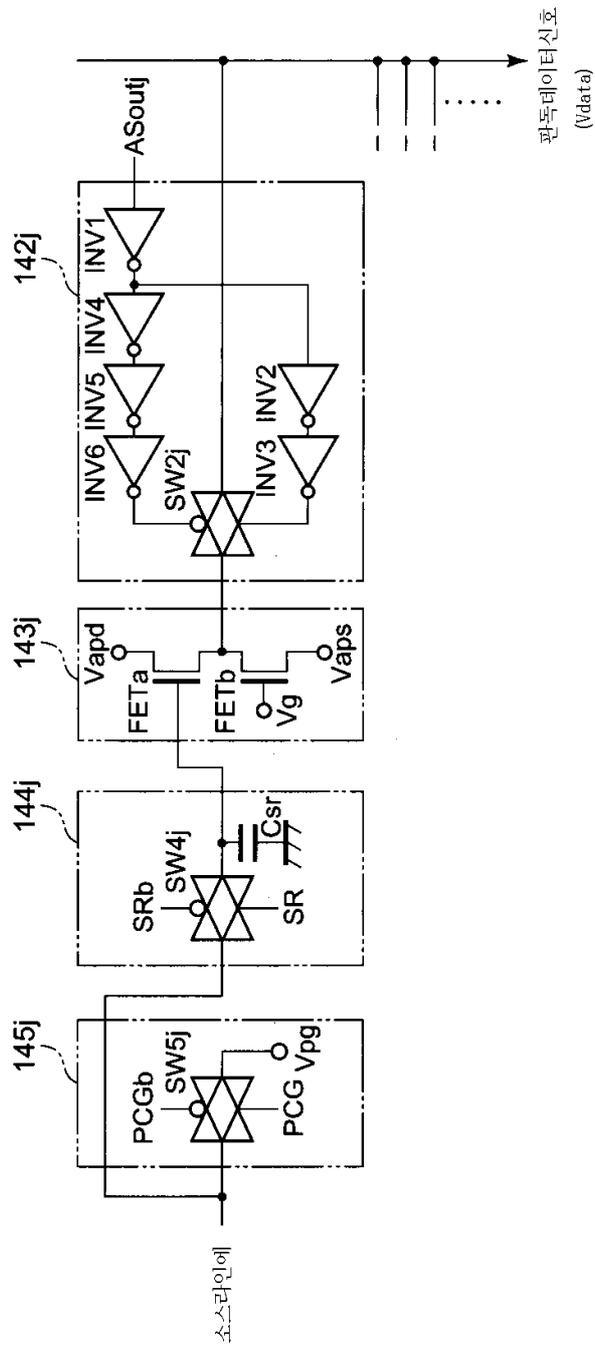
도면25



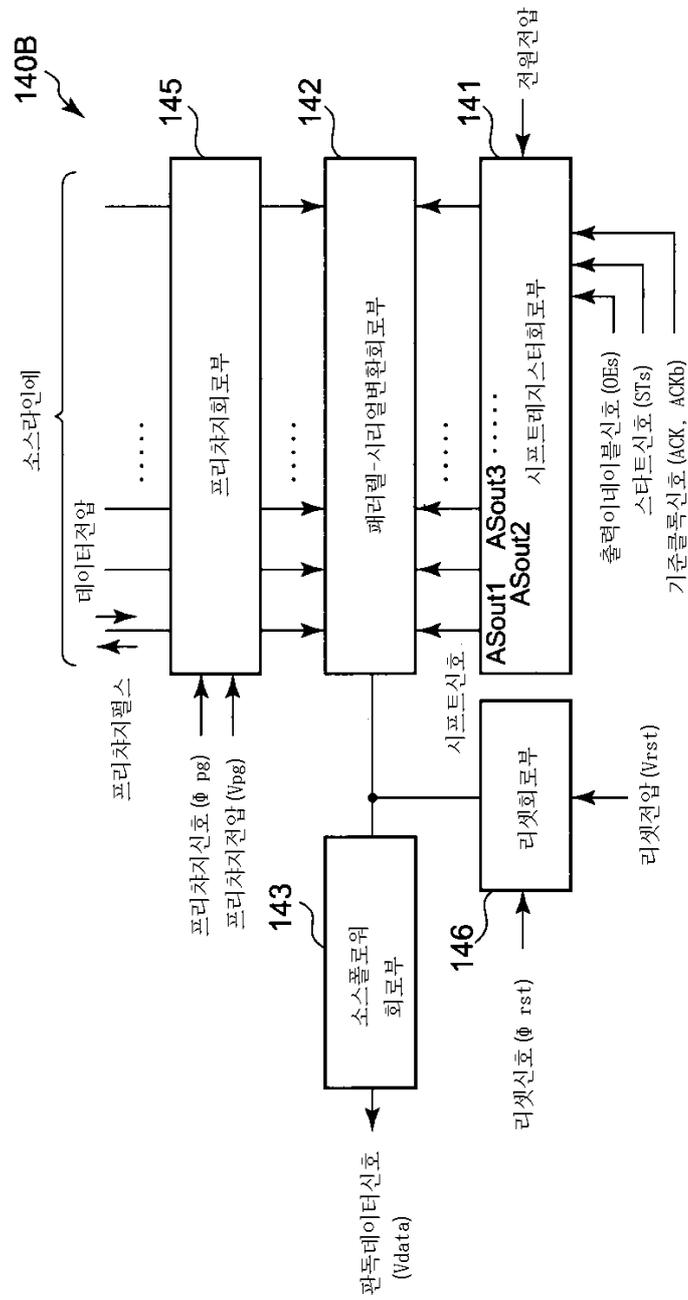
도면26



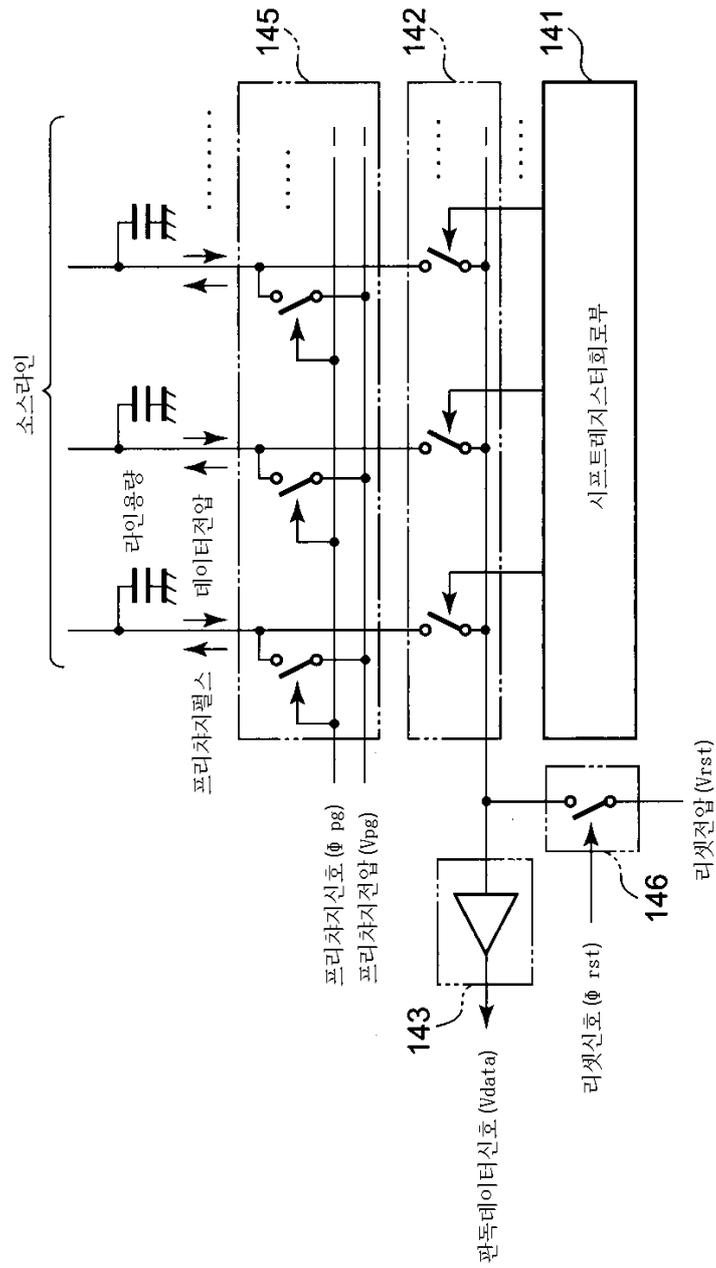
도면27



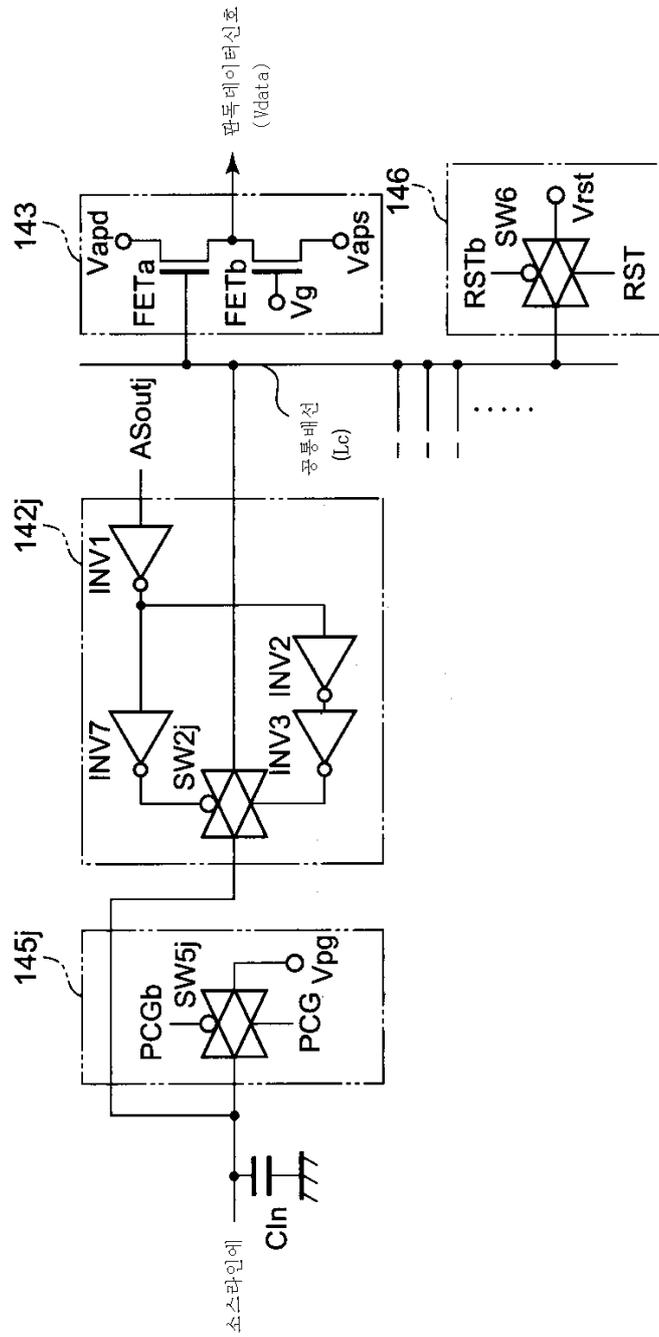
도면28



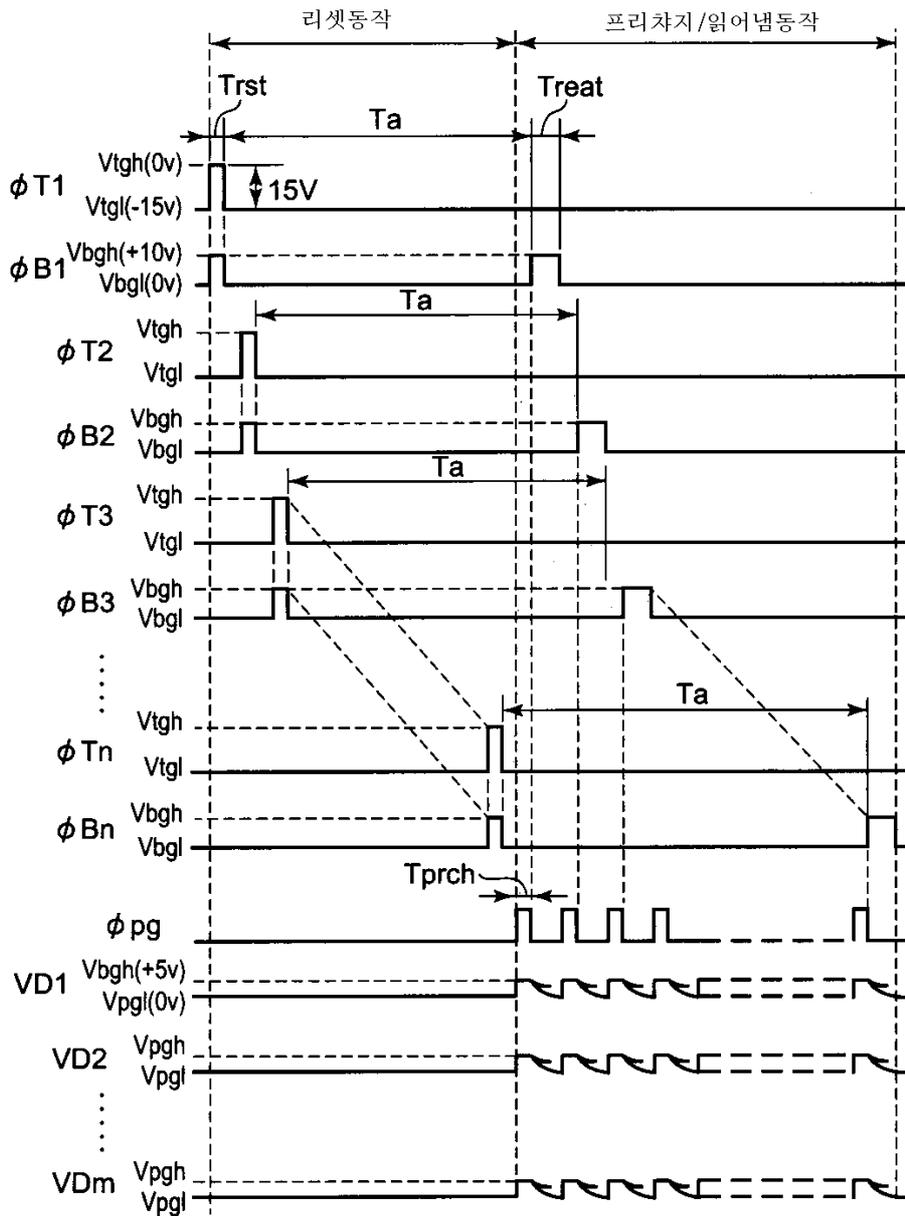
도면29



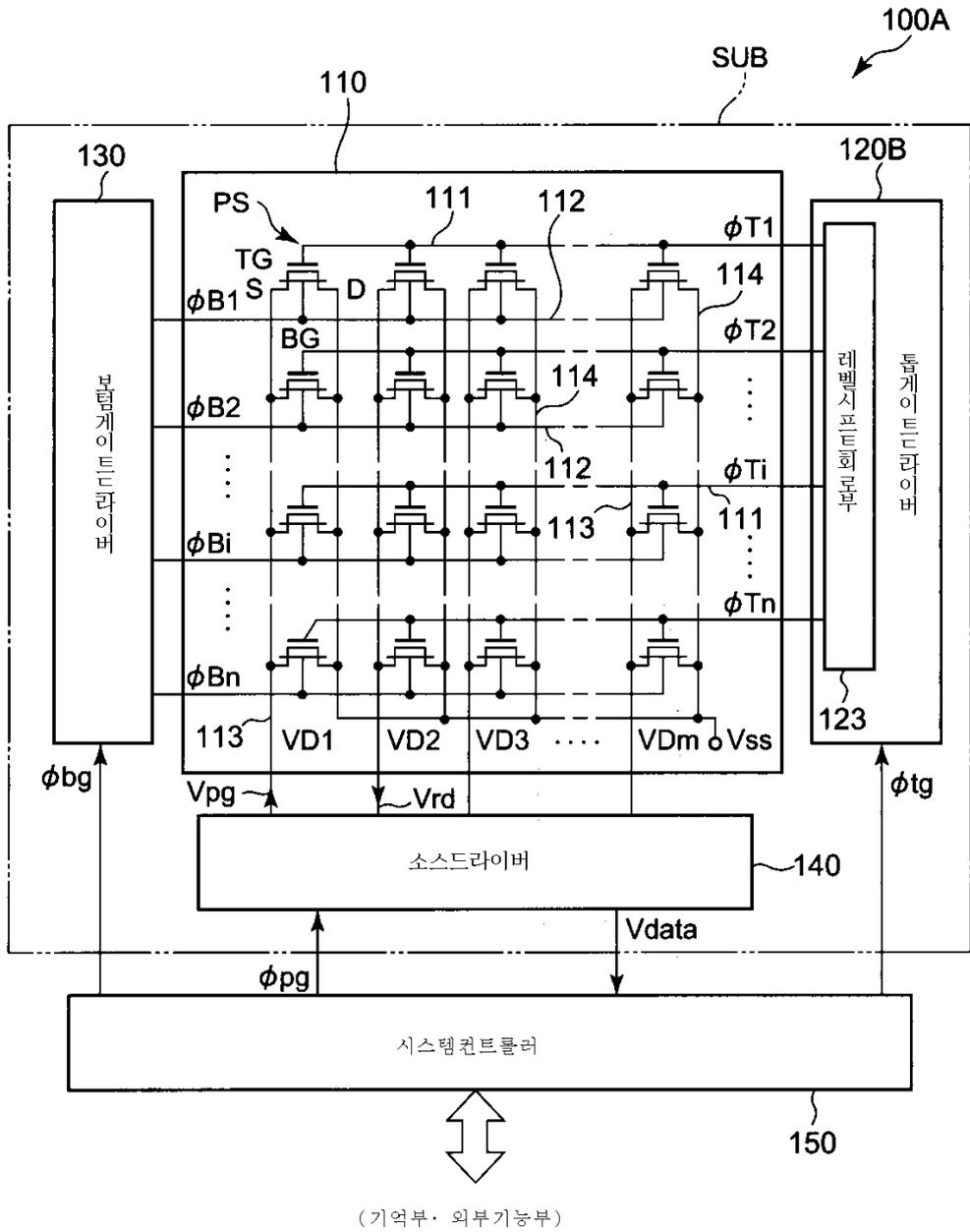
도면30



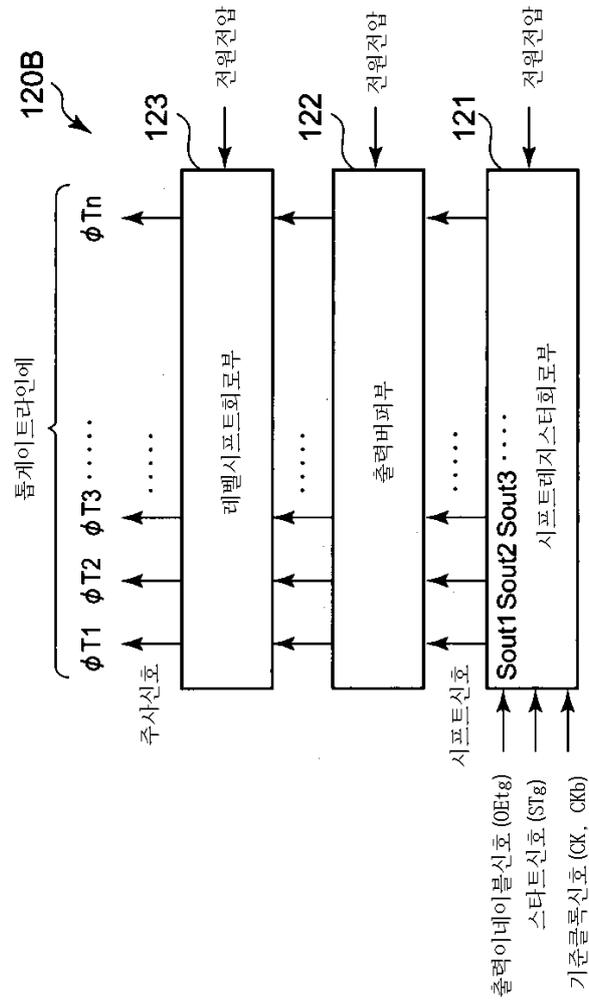
도면31



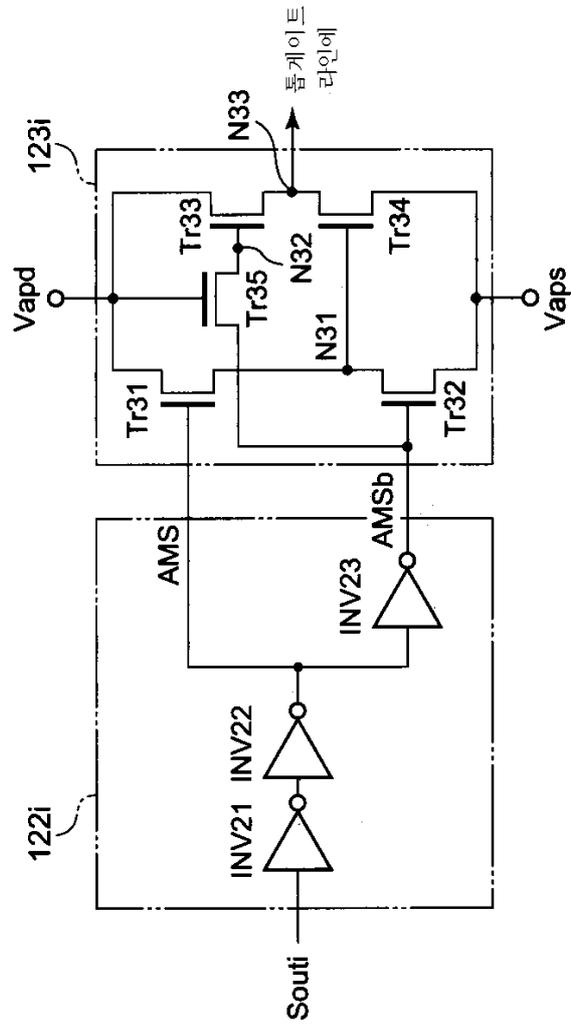
도면32



도면33



도면34



도면35

