

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-511984  
(P2008-511984A)

(43) 公表日 平成20年4月17日(2008.4.17)

(51) Int.Cl. F I テーマコード (参考)  
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 B 5 F 1 0 2  
 HO 1 L 29/812 (2006.01)

審査請求 有 予備審査請求 未請求 (全 16 頁)

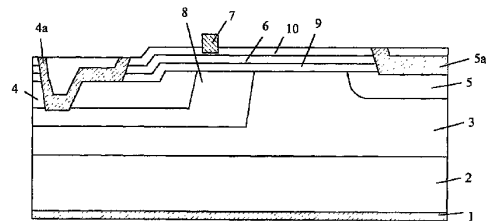
(21) 出願番号 特願2007-529763 (P2007-529763)  
 (86) (22) 出願日 平成16年9月1日(2004.9.1)  
 (85) 翻訳文提出日 平成19年4月4日(2007.4.4)  
 (86) 国際出願番号 PCT/SE2004/001253  
 (87) 国際公開番号 W02006/025772  
 (87) 国際公開日 平成18年3月9日(2006.3.9)

(71) 出願人 507043184  
 クリー スウェーデン エービー  
 スウェーデン国 エスイー-164 40  
 キスタ, エステレガタン 3  
 (74) 代理人 100091683  
 弁理士 ▲吉▼川 俊雄  
 (72) 発明者 ハリス, クリストファー  
 スウェーデン国 エスイー-170 33  
 ソルナ, カール マルムステン ス  
 ヴェーグ 8  
 (72) 発明者 コンスタンティノフ, アンドレイ  
 スウェーデン国 エスイー-191 42  
 ソレントゥナ, ピルヴェーゲン 44  
 Fターム(参考) 5F102 GB01 GC01 GD04 GJ02 GL07  
 GL08 GR07 GR12 GR13 HC01  
 最終頁に続く

(54) 【発明の名称】 チャンネル層乾燥下部上部スペーサ層が含まれる横方向場効果トランジスタおよびその加工法

(57) 【要約】

横方向に等間隔で配置されると同時に高ドーピング化第1導電型のソース領域層(4)およびドレイン領域層(5)、横方向に拡張すると同時にソース領域層(4)およびドレイン領域(5)を相互接続する低ドーピング濃度の第1導電型チャンネル層(6)が含まれる高切換え周波数向けの横方向場効果トランジスタ。本トランジスタにはチャンネル層(6)特性が制御されるために設置されるゲート電極(7)、ならびにゲート電極(7)と少なくとも部分的に重なりと同時にドレイン領域層(5)まである横方向距離にあるチャンネル層(6)下に設置される高ドーピング化第2導電型ベース層(8)が含まれ、前記高ドーピング化第2導電型ベース層(8)がソース領域層(4)に短絡される。本トランジスタには、また次の、a)チャンネル層(6)に隣接すると同時にゲート電極(7)の少なくとも近傍でチャンネル層(6)とゲート電極(7)との間に位置する半導体材料が含まれるスペーサ層(10)および/またはb)チャンネル層(6)に隣接すると同時にチャンネル層(6)と高ドーピング化第2導電型ベース層(8)間に位置する半導体材料が含まれ



## 【特許請求の範囲】

## 【請求項 1】

横方向に定間隔で配置されると同時に高ドーピング化第 1 導電型のソース層 (4) およびドレイン領域層 (5)、横方向に拡がると同時にオン状態のトランジスタのこれらの層間の電流伝導のためソース領域層 (4) とドレイン領域層 (5) を相互接続する低ドーピング濃度の第 1 導電型チャンネル層 (6)、およびゲート電極 (7) に加えられる電位の変動により伝導あるいは遮断するチャンネル層 (6) 特性の制御用に設置されるゲート電極 (7)、並びにゲート電極 (7) と少なくとも部分的に重なると同時にドレイン領域層 (5) まで、ある横方向の距離にあるチャンネル層 (6) 下に設置される高ドーピング化第 2 導電型ベース層 (8) が含まれて前記高ドーピング化第 2 導電型ベース層 (8) がソース領域層 (4) に短絡されるとともに、以下の

a) チャンネル層 (6) に隣接すると同時に、少なくともゲート電極 (7) の近傍においてチャンネル層 (6) とゲート電極 (7) の間に位置する半導体材料が含まれるスペーサ層 (10) および / または

b) チャンネル層 (6) に隣接すると同時にゲート電極 (7) の少なくとも近傍にチャンネル層 (6) と高ドーピング化第 2 導電型ベース層 (8) 間に位置する半導体材料が含まれるスペーサ層 (9) のうちの少なくとも 1 つが含まれることを特徴とする高切換え周波数向け横方向場効果トランジスタ。

## 【請求項 2】

チャンネル層 (6) および高ドーピング化第 2 導電型ベース層 (8) 間に位置するスペーサ層 (9) がチャンネル層 (6) とゲート電極 (7) 間に位置するスペーサ層 (10) より厚いことを特徴とする請求項 1 に記載のトランジスタ。

## 【請求項 3】

ゲート電極 (7) がゲート電極 (7) とチャンネル層 (6) 間に位置するスペーサ層 (10) 内に引っ込められることを特徴とする請求項 1 あるいは請求項 2 に記載のトランジスタ。

## 【請求項 4】

スペーサ層 (9、10) が高ドーピング化第 2 導電型ベース層 (8) からドレイン領域層 (5) まで延びることを特徴とする請求項 1 から請求項 3 までのいずれかに記載のトランジスタ。

## 【請求項 5】

スペーサ層 (9、10) がソース領域層 (4) からドレイン領域層 (5) まで全体に拡がることを特徴とする請求項 1 から請求項 3 までのいずれかに記載のトランジスタ。

## 【請求項 6】

トランジスタの前記層に次の、シリコン、シリコンカーバイド、IIIBニトリド群、ガリウムヒ素、あるいは任意のその他 III-V 半導体群のうちの半導体材料の少なくとも一つが含まれることを特徴とする請求項 1 から請求項 5 までのいずれかに記載のトランジスタ。

## 【請求項 7】

トランジスタの前記層に 6H、4H、3C、および 15R として知られるシリコンカーバイドの任意の主結晶型ポリタイプが含まれることを特徴とする請求項 1 から請求項 6 までのいずれかに記載のトランジスタ。

## 【請求項 8】

シリコンカーバイドがトランジスタの層を構成する半導体材料として使用される場合に第 1 導電型が n 型であると同時に第 2 導電型が p 型であることを特徴とする請求項 1 から請求項 7 までのいずれかに記載のトランジスタ。

## 【請求項 9】

チャンネル層 (6) のドーピング濃度がスペーサ層 (9、10) のドーピング濃度より高いことを特徴とする請求項 1 から請求項 8 までのいずれかに記載のトランジスタ。

## 【請求項 10】

シリコンカーバイドがチャンネル層 (6) の半導体材料として使用される場合にこの層のド

10

20

30

40

50

ーピング濃度が $1 \sim 10 \times 10^{17} \text{ cm}^{-3}$ であることを特徴とする請求項 1 から請求項 9 までのいずれかに記載のトランジスタ。

【請求項 1 1】

シリコンカーバイドがチャンネル層 (6) の半導体材料として使用される場合にこの層の厚みが $0.1 \sim 0.3 \mu\text{m}$ の間であることを特徴とする請求項 1 から請求項 10 までのいずれかに記載のトランジスタ。

【請求項 1 2】

シリコンカーバイドがチャンネル層 (6) の半導体材料として使用される場合に該ドーピング濃度の製品およびこの層の厚み (ドーズ量) がおよそ $1 \times 10^{13} \text{ cm}^{-2}$ であることを特徴とする請求項 1 から請求項 11 までのいずれかに記載のトランジスタ。

10

【請求項 1 3】

シリコンカーバイドが高ドーピング化第 2 導電型ベース層 (8) の半導体材料として使用される場合にこの層のドーピング剤としてアルミニウム、ベリリウムあるいはボロンがとして使用されることを特徴とする請求項 1 から請求項 12 までのいずれかに記載のトランジスタ。

【請求項 1 4】

高ドーピング化第 2 導電型ベース層 (8) がゲート電極 (7) と完全に重なることを特徴とする請求項 1 から請求項 13 までのいずれかに記載のトランジスタ。

【請求項 1 5】

ゲート電極 7 とスペーサ層 10 との間に設置されるトランジスタに絶縁層が含まれることを特徴とする請求項 1 から請求項 14 までのいずれかに記載のトランジスタ。

20

【請求項 1 6】

1 MHz を越える、好ましくは 1GHz を越える切換え周波数向けに構成されることを特徴とする請求項 1 から請求項 15 までのいずれかに記載のトランジスタ。

【請求項 1 7】

少なくとも一つの場効果トランジスタが含まれる請求項 1 から請求項 16 までのいずれかに記載の装置。

【請求項 1 8】

ゲート電極 (7) がその後引き続いて形成される位置の少なくとも近傍において、パターン化された第 2 導電型ベース層 (8)、すなわち制約された横方向拡がりを伴うベース層の上面のスペーサ層 (9) の形成、スペーサ層 (9) の上面の第 1 導電チャンネル層 (6) の形成、および/または第 1 導電型チャンネル層 (6) の上面のスペーサ層 (10) の形成段階が含まれることを特徴とする請求項 1 から請求項 16 までのいずれかに記載の横方向場効果トランジスタの製造方法。

30

【請求項 1 9】

スペーサ層 (9, 10) およびパターン化された高ドーピング化第 2 導電型ベース層 (8) がエピタキシャルに成長することを特徴とする請求項 18 に記載のトランジスタの製造方法。

【請求項 20】

請求項 1 から請求項 16 までのいずれかに記載のトランジスタの使用あるいは 1W を越える電力が使用される切換え高周波数信号向けの請求項 17 に記載の装置。

40

【請求項 21】

請求項 1 から請求項 16 までのいずれかに記載のトランジスタの使用あるいはワイヤレス通信システム、デジタル放送、極超短波暖房、レーダーシステム向けの基地ステーションおよびプラズマ発生におけるといったような高電力無線周波数および極超短波の応用における請求項 17 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は高切換え周波数 (1MHz を越えるとともに好ましくは 1GHz を越える) 向けの JFET,

50

MESFET, MISFET あるいはMOSFETといった横方向場効果トランジスタに関する。該トランジスタには、横方向に定間隔で配置されると同時に高ドーピング化n型のソース領域層およびドレイン領域層、横方向に拡がると同時にトランジスタのオン状態のこれらの層間の電流伝導のためにソース領域層とドレイン領域層が相互連結される低ドーピング濃度のn型チャンネル層が含まれる。

【0002】

トランジスタにはゲート電極に加えられる電位の変動によって伝導あるいは遮断するチャンネル層の特性の制御のために設置されるゲート電極までも含まれる。さらに、トランジスタには、ゲート電極に少なくとも部分的に重なると同時にドレイン領域層までである横方向距離にあるチャンネル層下に設置される高ドーピング化p型ベース層が含まれ、前記高ドーピング化p型ベース層がソース領域層に短絡される。

10

【0003】

本発明はまた少なくとも一つのこのようなトランジスタが含まれる装置およびこのような場効果トランジスタの製造方法にも関係する。本発明の方法が使用されて製造される場効果トランジスタは、特に、携帯電話、デジタル放送、極超短波暖房、レーダーシステムといったワイヤレス通信システム向け基地ステーションおよびプラズマ発生におけるような高出力無線周波数および極超短波向けに意図されるが、これらに限るものではない。場効果トランジスタ(FET)では、ゲートはソース領域とドレイン領域間に形成される基本的なチャンネル層に流れる層電流を制御するために利用される。トランジスタの作動中に電圧はゲートとソースならびにドレイン領域間の電場を生み出すためにゲートに供給され、これがチャンネルの導線性を帯びる。

20

【0004】

ゲートにある大きさの電位が加えられると同時に、空乏領域がチャンネル層下の該領域に拡がるチャンネル層が形成され、これによりチャンネル層を通過する電流が遮断されると同時にトランジスタがオフ状態にあることとなる。この電圧が加えられない時には空乏領域は形成されず、チャンネル層は連続的になると同時に電流がソースおよびドレイン接触間に流れるとともにトランジスタはオン状態になる。従って、これら両極端間の作用電圧に関して装置を流れる電流は作用電圧自身の関数である。

【0005】

FETのゲートはコンデンサーの電荷量が装置を流れる電流を規制するコンデンサーとして作用する。高周波装置により充電あるいは放電に必要な時間が最小化されるようこの静電容量の大きさが最小化されて切換え速度が最適化される。静電容量の合計はゲート長すなわちトランジスタのソース領域とドレイン領域の間のゲートの横方向範囲に応じて変化する。高周波場効果トランジスタはオン状態でチャンネル電流が増加するだけでなくチャンネルおよびゲート静電容量のキャリア乗換え時間が最小となるよう短いゲートが必要とされる。従って、ゲートが短いほどますます高い出力かつますます高い作用周波数が生じる。

30

【0006】

しかしながら、望ましくない短チャンネル効果はゲート長が減少するにつれて無視できなくなってくる。非常に短いゲートを伴うトランジスタにより増加するドレインバイアスを伴うドレイン飽和電流は示されないことがしばしばであると同時に、その代わりに、増加するドレインバイアスを伴うドレイン電流の連続的上昇が観察される。これはドレインバイアスによるゲート下のチャンネルの変調のため起こる。さらに、極端な場合には寄生2極式トランジスタは高ドレインバイアスでスイッチオンとなる場合があって、この状態でソースおよびドレインは寄生トランジスタのコレクタ兼エミッタとして作用すると同時に、基板あるいはバッファ層であるチャンネル層の隣の層がその後ベースとなる。この効果は低出力高周波数トランジスタにとっては特に重要ではないかも知れないが、高出力トランジスタの性能を徐々に支配し、ドレインバイアスにより全出力が増加するよう出来るだけ高くすべきである。

40

【0007】

50

近年では、高出力かつ高周波数トランジスタのシリコンカーバイド (SiC) の利用に関心が増えてきている。SiCトランジスタはシリコンおよび従来のIII-V群半導体が適切には機能し得ない高温ならびに腐食環境における利用に相応しい。SiCはその広いバンドギャップ、高熱伝導性、高飽和電子ドリフト速度、低絶縁常数、ならびに高電気絶縁破壊場のため半導体として極めて有用である。さらに、SiCは熱的、化学的かつ機械的に安定している。

【0008】

米国特許6 127 695号には、ソース領域層および横方向に等間隔で配置されるドレイン領域層ならびに高ドーピング化n型が含まれる高周波数切換え向けの横方向SiC場効果トランジスタが公開されている。低ドーピング濃度のn型チャンネル層は、オン状態のトランジスタのこれらの層の間に電流を伝えるために横方向に延びると同時にソース領域層およびドレイン領域層を相互接続する。高ドーピング化p型ベース層、あるいは「空乏ストッパー」は少なくとも部分的にゲートに重なると同時にドレイン領域層まで横方向のある距離にあるチャンネル層に隣接して設置され、前記ベース層はソース領域層に短絡される。

10

【0009】

高ドーピング化p型ベース層により場効果トランジスタのあり得る作用速度が増加すると同時に、これによりソース領域層からドレイン領域層までの空乏領域の拡張が阻止されてより高い出力で作用することが可能となる。従って、電場は高ドーピング化ベース層によって完全に遮断される結果、たとえゲートの横方向長さが非常に短くても寄生2極トランジスタは形成不可能となる。さらに、こうして生まれたp-n接合部はショットキーバリアよりさらに高圧の遮断が可能であり可能な出力が上昇する結果になる。高ドーピング化ベース層の横方向拡張部は限られるのでドレイン対ゲート静電容量が低く維持されるドレイン領域の下方には延びない。

20

【0010】

一方で、このような構造は、トランジスタ性能の改良によっても、絶縁体の存在に捕まるキャリアになりやすく、結局は、キャリアはトラップ(すなわち、絶縁体と半導体間の境界部における電氣的に活性な欠陥)によってこれらの元のバンドに逃げ戻るまでしばらく收容される。トラッピングによりチャンネル層を流れる電流が減少すると同時に構成要素の性能が影響される。高ドレインバイアスが作用する場合に表面状態に関連する不安定性が生じる点もまた発見された。

30

【特許文献1】米国特許6 127 695号

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明の目的は前置きで定義されたタイプの横方向場効果トランジスタを提供することであり、これは増加した作用速度を持ち、高出力で作用され得るとともに先行技術よりもさらに熱的に安定しておりかつ先行技術のトランジスタの場合に関連する上述の欠点を排除するものである。

【課題を解決するための手段】

【0012】

この目的は横方向に定間隔で配置されると同時に高ドーピング化第1導電型のソース領域層およびドレイン領域層、横方向に延びると同時にオン状態のトランジスタのこれらの層間に電流を伝えるためのソース領域層とドレイン領域層を相互に接続する低ドーピング濃度の第1導電型チャンネル層が含まれる高切換え周波数向けの横方向場効果トランジスタによって達成される。該トランジスタにはゲート電極に加えられる電位の変動により伝導あるいは遮断するチャンネル層の特性が制御されるために設置されるゲート電極もまた含まれる。

40

【0013】

トランジスタには、また、高ドーピング化第2導電型ベース層すなわち、少なくとも部分的にゲート電極と重なると同時にドレイン領域層まで一定横方向距離にあるチャンネル層下

50

に設置される空乏ストッパーが含まれ、前記の高ドーピング化第2導電型ベース層はソース領域層に短絡される。さらに、該トランジスタには次の少なくとも1つが含まれる。すなわち、a)チャンネル層に隣接すると同時にチャンネル層とゲート電極の少なくとも周辺にあるゲート電極間に位置する半導体材料が含まれるスペーサ層、および/または、b)チャンネル層に隣接すると同時に、ゲート電極の少なくとも周辺にあるチャンネル層と高ドーピング化第2導電型ベース層間に位置する半導体材料が含まれるスペーサ層

【発明の効果】

【0014】

両スペーサ層が利用される場合にチャンネル層を通る電流はゲート電極およびトランジスタの表面から、および/または、高ドーピング化第2導電型ベース層からある距離に位置する。チャンネル層とゲート電極間のスペーサ層の利用によりトラッピングが排除されるのでチャンネル層のより高い通過電流が可能となる。

10

【0015】

チャンネル層と高ドーピング化第2導電型ベース層間のスペーサ層の利用により、高ドーピング化第2導電型ベース層が寄生ゲートであるのでトランジスタの性能が改善される。本発明のさらに別の好ましい実施例によると、チャンネル層と高ドーピング化第2導電型ベース層間に位置するスペーサ層はチャンネル層とゲート電極間に位置するスペーサ層より厚い。従って、チャンネル層はこれにより閾値電圧が制御されると同時に良好なショットキー接触がもたらされるよう高ドーピング化第2導電型ベース層から出来るだけ都合良く遠くかつゲート電極に出来るだけ近くに配置される。

20

【0016】

また本発明の別の好ましい実施例によると、ゲート電極は閾値電圧が制御されるようゲート電極とチャンネル層間に位置するスペーサ層に引っ込められる。チャンネル層にゲート電極が近いほどショットキー接触は良くなる。

【0017】

本発明の好ましい実施例によると、スペーサ層/層群は高ドーピング化第2導電型ベース層からドレイン領域層まで延びる。本発明のまた別の好ましい実施例によると、スペーサ層はソース領域層からドレイン領域層まで全体に延びる。

【0018】

本発明のさらに好ましい実施例によると、前記トランジスタの層には以下の半導体材料、すなわち、6H, 4H, 2H, 3C および 15Rとして知られるシリコンカーバイドの任意の主結晶ポリタイプが含まれるシリコン、シリコンカーバイド、およびIIIB群ニトリド、ガリウムヒ素あるいは任意のその他III-V群半導体のうちの少なくとも一つが含まれる。

30

【0019】

本発明のさらに別の好ましい実施例によると、シリコンカーバイドがトランジスタの層を構成する半導体材料として使用される場合、第1導電型はn型であると同時に第2導電型はp型である。自由電子の移動性がSiCのバレンスバンドの正孔よりさらに相当高いので、n型導電性チャンネルはSiCトランジスタで好まれる。

【0020】

本発明の好ましい実施例によると、チャンネル層のドーピング濃度はスペーサ層(層群)のドーピング濃度よりさらに高い。本発明のさらに別の好ましい実施例によると、シリコンカーバイドはこの層向けの半導体材料として使用される場合、チャンネル層のドーピング濃度は $1 \sim 10 \times 10^{17} \text{ cm}^{-3}$ である。

40

【0021】

チャンネル層は高度にドーピングされるのでチャンネル層におけるキャリアの移動性は不純物によるキャリアの拡散により抑制される。しかしながら、高ドーピング化チャンネル層におけるキャリアの移動性は高温にて極めて低い温度依存性を有する。これにより常に相当な熱散逸のある高温での適用ならびに高出力の適用における使用に相応しいさらに高い熱的安定性のある構成要素がもたらされる。

50

## 【0022】

本発明の好ましい実施例によると、シリコンカーバイドがチャンネル層向けの半導体材料として使用される場合、この層は $0.1 \sim 0.3 \mu\text{m}$ の厚みを有する。本発明の別の好ましい実施例によると、シリコンカーバイドがチャンネル層向けの半導体材料として使用される場合、ドーピング濃度の製品でこの層の厚み（ドーズ量）はおよそ $1 \times 10^{13} \text{cm}^{-2}$ である。

## 【0023】

本発明の好ましい実施例によると、シリコンカーバイドが第2導電型ベース層向けの半導体材料として使用される場合、高度にドーピングされるこの層向けのドーピング剤としてアルミニウム、ベリリウム、あるいはボロンが使用される。アルミニウムは、アルミニウム受容体が例えばボロンより低い熱的活性エネルギーを有すると同時に、従って、アルミニウムドーピングされたSiC層向けに、より高い導電性が得られるので好ましいタイプのドーピング剤である。本発明の好ましい実施例によると、より良好な高温能力がもたらされるようゲート電極とスペーサ層間に1つの絶縁層が間に設置される。

10

## 【0024】

本発明のさらに別の好ましい実施例によると、高度にドーピングされる第2導電型ベース層はゲート電極と全体的に重なる。本発明のさらに別の好ましい実施例によると、高ドーピング化p型ベース層によりソースとゲートのドレイン側縁との間の全体領域が保護され得る。

## 【0025】

本発明はまた上述の任意の好ましい実施例による少なくとも1つの場効果トランジスタが含まれる装置にも関係する。

20

## 【0026】

本発明はまた上述の任意の好ましい実施例による横方向場効果トランジスタの製造方法にも関連する。該方法にはパターン化された第2導電型ベース層上のスペーサ層、すなわち、制約された横方向拡張部を伴うベース層の形成、スペーサ層上の第1導電型チャンネル層の形成、およびゲート電極および/またはゲート電極が連続して形成される予定の位置近傍の第1導電型チャンネル層上のスペーサ層の形成の段階が含まれる。

## 【0027】

本発明のさらに別の好ましい実施例によると、スペーサ層（層群）およびパターン化された高ドーピング化第2導電型ベース層がエピタキシャルに成長される。

30

## 【0028】

本発明は、1 MHzを越える、好ましくは1 GHzを越える切換え高周波数向けの本発明によるトランジスタの利用に関すると同時に、これにより1 Wを越える出力を伴う高周波数信号が切換えられる。さらに、本発明の有利な特色と合わせて追加の利点が以下の説明ならびにその他の従属する請求項により明らかになるう。

## 【0029】

すべての図面において同一の特色部分を指示するため同一番号が振られた。

## 【0030】

以降の説明と図面により本発明が公開された実施例に限定されることは意図されていない。公開された実施例はあくまでも本発明の原理を例示するにすぎない。

40

## 【発明を実施するための最良の形態】

## 【0031】

次に続く例はSiC場効果トランジスタに関連するが本発明は任意の半導体材料が含まれる場効果トランジスタに関係する。SiC中の自由電子の移動性はバレンスバンド正孔の移動性よりも相当に高いためすべての極超短波SiCトランジスタはn-p-n型である。従って、n-p-nトランジスタが例に挙げられる。

## 【0032】

図1に示されるトランジスタには金属化層1の裏面側の上部にSiCの層が含まれる。該トランジスタには半絶縁基板層2およびキャリア搬送時の半絶縁基板にあるディーブセンター効果を最小にするp型緩衝層3が含まれる。緩衝層のドーピングレベルは高周波数損失

50

を低レベルに保つよう低くなくてはならない。

【0033】

該トランジスタにはさらに横方向に等間隔に配置される高ドーピング化ソース領域層4および高ドーピング化ドレイン領域層5が含まれる。ソース接触4aおよびドレイン接触5aがこれらの層上に設置される。n型チャンネル層6が横方向に延びると同時に、トランジスタがオン状態にあるこれらの層間に電流が伝えられるためにソース領域層4とドレイン領域層5と相互に接続される。チャンネル層6厚みはおよそ0.2 $\mu\text{m}$ である。

【0034】

該トランジスタにはまたソース領域層4とドレイン領域層5間のチャンネル層6の上部に設置されると同時に、ゲート電極7とチャンネル層6との間に位置するスペーサ層10のくぼみに置かれるゲート電極7も含まれる。該ゲート電極7は、ソース抵抗が最小となると同時にオン状態電流が最大となるようにソース領域層4aの縁に極めて近くに設置されるかあるいはこれに重ねられる。電圧がソース接触4aとドレイン接触5a間に加えられる時、電流はゲート電極7によって制御されてこれらの2ヶ所の接触間のチャンネル層6に流れ、つまりはゲート電極7により前記電流はこれに作用する電位によって制御される。

10

【0035】

高ドーピング化p型ベース層8がゲート電極7に重なると同時にドレイン領域層5までである横方向距離のあるチャンネル層6下に設置される。高ドーピング化p型ベース層8は金属ソース接触4aによってソース領域層4に短絡される。ソース領域4は高ドーピング化p型ベース層8と直接接触状態で設置される。ソース領域層4と高ドーピング化p型ベース層8間に形成されるpn接続部は静電容量が高く、これによりソースまでの高周波数信号の効果的なシンクがもたらされる。

20

【0036】

描かれたトランジスタはチャンネル層6に隣接すると同時に、チャンネル層6と高ドーピング化p型ベース層8間に位置する半導体材料だけでなくチャンネル層6に近接すると同時にチャンネル層6とゲート電極7間に位置する半導体材料が含まれるスペーサ層10も含まれるスペーサ層9が含まれる点で先行技術によるトランジスタとは異なる。示された実施例のスペーサ層9および10はソース領域層4からドレイン領域層5まですべての方向に拡がる。MISFETSでは、絶縁層はより良好な高温能力がもたらされるようにゲート電極7とスペーサ層10との間に設置され得る。

30

【0037】

図1に示されるトランジスタを構成する層には、例えば、高ブレークダウン場および高キャリア移動性によるポリタイプ4Hが含まれる。この場合には、チャンネル層6のドーピング濃度は $1 \sim 10 \times 10^{17} \text{cm}^{-3}$ である。スペーサ層9および10のドーピング濃度はさらに低い(例えば $1 \times 10^{16} \text{cm}^{-3}$ )。ドーピング濃度値は例示の理由だけで挙げられたもので、さらに正確な値は出力のさらに詳細な仕様および所要の周波数応答により決まる。

【0038】

アルミニウム、ベリリウムあるいはボロンが高ドーピング化p型ベース層8向けのドーピング剤として使用される。前記高ドーピング化p型ベース層8は好ましくは溶解性限界までドーピングされると同時に、これは $10^{20} \sim 10^{21} \text{cm}^{-3}$ の範囲のSiCのドーピング剤としてのアルミニウム向けである。しかしながら、ドーピングレベルは採用される製造工程の観点からは低いほど都合がよいはずであるので、採用されるドーピングレベルはさらに低くても良いがドーピング濃度はいずれの場合も $10^{18} \text{cm}^{-3}$ を越えるとともに好ましくは $10^{19} \text{cm}^{-3}$ を越えなくてはならない。

40

【0039】

高ドーピング化p型ベース層8の重量の大きいドーピングがソースからドレインまで空乏領域の拡張が阻止されるべきであるのでまず第1に必要である。高ドーピング化p型ベース層8の横方向の拡張は限定される結果ドレイン領域層5の下方には拡張しないが、これはドレイン対ゲート静電容量が低く保たれるために必要である。さらに、ベース層8はゲート電極7と部分的に重なることが必要とされるだけである。示された実施例では、高ド

50



ーピング化 p 型ベース層 8 は全体がゲート電極 7 と重なる。

【 0 0 4 0 】

図 1 によるあるトランジスタの製造方法には、好ましくは化学蒸着 (CVD) による半絶縁基板層 2 の上部の低ドーピング化 ( $3 \times 10^{15} \text{cm}^{-3}$ ) p 型緩衝層 3 の成長段階が含まれる。その後、適当なマスクが緩衝層に貼付けられると同時に、孔が 1 つマスク上に作られ、この上にアルミニウムイオンが高ドーピング p 型ベース層 8 の形成用の前記孔を通じて移植される。該マスクは順次移動されるとともにアルミニウムイオンが 1700 以上の温度での焼き鈍しによって活性化される。高ドーピング p 型ベース層 8 はシリコンが半導体材料として使用される場合には、また、拡散によっても形成され得る。低ドーピング化 n 型スペーサ層 9 はベース層 8 および緩衝層の上部でエピタキシャルに成長し、その後さらに高いドーピング化 n 型チャネル層 6、またさらにその後の低ドーピング化 n 型スペーサ層 10 が後に続く。この 3 層チャネル層構造 9-6-10 はゲート電極 7 および高ドーピング化第 2 導電型ベース層 8 との間の少なくともゲート電極 7 の近傍に形成される。

10

【 0 0 4 1 】

ソース領域層 4 およびドレイン領域層 5 は高ドーピング化 p 型ベース層 8 に関して横方向に等間隔で配置されるドレイン領域層を伴う横方向に等間隔で配置された位置にて 3 層チャネル層構造 9-6-10 の上部にエピタキシャルに成長する。これは実際にはチャネル層構造上部のある層の成長並びにその後のそこへのマスクの蒸着ならびに該マスクの作成によって得られ、ソース領域層 4 a およびドレイン領域層 5 a が定められる。ソース並びにドレイン領域はイオン移植による形成も可能であると同時にこれらはその後移植されるドーピング剤が電氣的に活性になるために焼き鈍しされ得る。

20

【 0 0 4 2 】

最終的に、ゲート電極 7 が高ドーピング化 p 型ベース層 8 と少なくとも部分的に重なるチャネル層構造の上部に貼付けられると同時に、金属化層 1、ソース金属接触 4 a およびドレイン金属接触 5 a がそれぞれソース領域層 4 およびドレイン領域層 5 に貼付けられ、金属化層が貼り付けられて、ベース層 8 はソース領域層 4 まで短絡される。

【 0 0 4 3 】

これらが図 1 による横方向場効果トランジスタの製造方法の最も重要な段階である。本方法はしかしながら通常の技術専門家には明らかな別の従来手段が含まれると同時に、1 種以上の場効果トランジスタが含まれる任意の装置の製造用に採用可能である。例えば、本トランジスタにはさらに SiC MESFETs 向けの酸化物 二トリド酸化物 (ONO) 不動態化層といった最終的な不動態化が含まれ得る。

30

【 0 0 4 4 】

図 2 には薄いドーピング断面を伴うチャネル層を有するトランジスタと比較した本発明の好ましい実施例 (図 1 に示される通り) による 3 層チャネル層構造を持つトランジスタのドレインバイアス対ドレイン電流のプロット図が示される。測定は  $0.4 \times 200 \mu\text{m}$  ゲートならびに  $0.1 \text{mm}$  幅チャネル層を有するトランジスタについて行われた。

曲線 1 1 により薄いドーピング断面を有するチャネル層のある先行技術によるトランジスタのチャネル層特性が示される。曲線 1 2 により中央チャネル層 6 がチャネル層 6 に隣接するスペーサ層 9、10 よりも高いドーピング濃度を有する 3 層チャネル層構造 9-6-10 を持つ本発明の好ましい実施例によるトランジスタのチャネル層特性が示される。

40

【 0 0 4 5 】

本発明によるトランジスタ (曲線 1 2) に関するドレイン電流は同一ドレイン電圧について既知のトランジスタ (1 1) に関するドレイン電流よりも 2 倍だけ大きいことが理解できる。3 層チャネル層構造により従って相当さらに高い電流がチャネル層 6 に沿って流れ得るのでトランジスタ性能が向上する。

【 0 0 4 6 】

図 3 により本発明の好ましい実施例によるトランジスタの様々なゲート電圧でのドレインバイアス対ドレイン電流のプロット図が示される。不安定性 1 3 は高ドレインバイアスが作用する場合のみに生じる。

50



## 【手続補正書】

【提出日】平成19年8月30日(2007.8.30)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

## 【請求項1】

横方向に定間隔で配置されると同時に高ドーピング化第1導電型のソース層(4)およびドレイン領域層(5)、横方向に拡がると同時にオン状態のトランジスタのこれらの層間の電流伝導のためソース領域層(4)とドレイン領域層(5)を相互接続する低ドーピング濃度の第1導電型チャンネル層(6)、およびゲート電極(7)に加えられる電位の変動により伝導あるいは遮断するチャンネル層(6)特性の制御用に設置されるゲート電極(7)、並びにゲート電極(7)と少なくとも部分的に重なると同時にドレイン領域層(5)まで、ある横方向の距離にあるチャンネル層(6)下に設置される高ドーピング化第2導電型ベース層(8)が含まれて前記高ドーピング化第2導電型ベース層(8)がソース領域層(4)に短絡されるとともに、以下の

a)チャンネル層(6)に隣接すると同時に、少なくともゲート電極(7)の近傍においてチャンネル層(6)とゲート電極(7)の間に位置する半導体材料が含まれるスペーサ層(10)および/または

b)チャンネル層(6)に隣接すると同時にゲート電極(7)の少なくとも近傍にチャンネル層(6)と高ドーピング化第2導電型ベース層(8)間に位置する半導体材料が含まれるスペーサ層(9)のうち少なくとも1つが含まれることを特徴とする横方向場効果トランジスタ。

## 【請求項2】

チャンネル層(6)および高ドーピング化第2導電型ベース層(8)間に位置するスペーサ層(9)がチャンネル層(6)とゲート電極(7)間に位置するスペーサ層(10)より厚いことを特徴とする請求項1に記載のトランジスタ。

## 【請求項3】

ゲート電極(7)がゲート電極(7)とチャンネル層(6)間に位置するスペーサ層(10)内に引っ込められることを特徴とする請求項1あるいは請求項2に記載のトランジスタ。

## 【請求項4】

スペーサ層(9、10)が高ドーピング化第2導電型ベース層(8)からドレイン領域層(5)まで延びることを特徴とする請求項1から請求項3までのいずれかに記載のトランジスタ。

## 【請求項5】

スペーサ層(9、10)がソース領域層(4)からドレイン領域層(5)まで全体に拡がることを特徴とする請求項1から請求項3までのいずれかに記載のトランジスタ。

## 【請求項6】

トランジスタの前記層に次の、シリコン、シリコンカーバイド、IIIBニトリド群、ガリウムヒ素、あるいは任意のその他III-V半導体群のうち半導体材料の少なくとも一つが含まれることを特徴とする請求項1から請求項5までのいずれかに記載のトランジスタ。

## 【請求項7】

トランジスタの前記層に6H、4H、3C、および15Rとして知られるシリコンカーバイドの任意の主結晶型ポリタイプが含まれることを特徴とする請求項1から請求項6までのいずれかに記載のトランジスタ。

## 【請求項8】

シリコンカーバイドがトランジスタの層を構成する半導体材料として使用される場合に第

1 導電型が n 型であると同時に第 2 導電型が p 型であることを特徴とする請求項 1 から請求項 7 までのいずれかに記載のトランジスタ。

【請求項 9】

チャンネル層 (6) のドーピング濃度がスペーサ層 (9, 10) のドーピング濃度より高いことを特徴とする請求項 1 から請求項 8 までのいずれかに記載のトランジスタ。

【請求項 10】

シリコンカーバイドがチャンネル層 (6) の半導体材料として使用される場合にこの層のドーピング濃度が  $1 \sim 10 \times 10^{17} \text{ cm}^{-3}$  であることを特徴とする請求項 1 から請求項 9 までのいずれかに記載のトランジスタ。

【請求項 11】

シリコンカーバイドがチャンネル層 (6) の半導体材料として使用される場合にこの層の厚みが  $0.1 \sim 0.3 \mu\text{m}$  の間であることを特徴とする請求項 1 から請求項 10 までのいずれかに記載のトランジスタ。

【請求項 12】

シリコンカーバイドがチャンネル層 (6) の半導体材料として使用される場合に該ドーピング濃度の製品およびこの層の厚み (ドーピング量) がおよそ  $1 \times 10^{13} \text{ cm}^{-2}$  であることを特徴とする請求項 1 から請求項 11 までのいずれかに記載のトランジスタ。

【請求項 13】

シリコンカーバイドが高ドーピング化第 2 導電型ベース層 (8) の半導体材料として使用される場合にこの層のドーピング剤としてアルミニウム、ベリリウムあるいはボロンがととして使用されることを特徴とする請求項 1 から請求項 12 までのいずれかに記載のトランジスタ。

【請求項 14】

高ドーピング化第 2 導電型ベース層 (8) がゲート電極 (7) と完全に重なることを特徴とする請求項 1 から請求項 13 までのいずれかに記載のトランジスタ。

【請求項 15】

ゲート電極 7 とスペーサ層 10 との間に設置されるトランジスタに絶縁層が含まれることを特徴とする請求項 1 から請求項 14 までのいずれかに記載のトランジスタ。

【請求項 16】

1 MHz を越える、好ましくは 1GHz を越える切換え周波数向けに構成されることを特徴とする請求項 1 から請求項 15 までのいずれかに記載のトランジスタ。

【請求項 17】

少なくとも一つの場効果トランジスタが含まれる請求項 1 から請求項 16 までのいずれかに記載の装置。

【請求項 18】

ゲート電極 (7) がその後引き続いて形成される位置の少なくとも近傍において、パターン化された第 2 導電型ベース層 (8)、すなわち制約された横方向拡がりに伴うベース層の上面のスペーサ層 (9) の形成、スペーサ層 (9) の上面の第 1 導電チャンネル層 (6) の形成、および/または第 1 導電型チャンネル層 (6) の上面のスペーサ層 (10) の形成段階が含まれることを特徴とする請求項 1 から請求項 16 までのいずれかに記載の横方向場効果トランジスタの製造方法。

【請求項 19】

スペーサ層 (9, 10) およびパターン化された高ドーピング化第 2 導電型ベース層 (8) がエピタキシャルに成長することを特徴とする請求項 18 に記載のトランジスタの製造方法。

【請求項 20】

請求項 1 から請求項 16 までのいずれかに記載のトランジスタの使用あるいは 1W を越える電力が使用される請求項 17 に記載の装置。

【請求項 21】

請求項 1 から請求項 16 までのいずれかに記載のトランジスタの使用あるいはワイヤレス

通信システム、デジタル放送、極超短波暖房、レーダーシステム向けの基地ステーションおよびプラズマ発生におけるといったような高電力無線周波数および極超短波の応用における請求項 17 に記載の装置。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/SE 2004/001253

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC7: H01L 29/78, H01L 21/335 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC7: H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
EPO-INTERNAL, WPI DATA, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6150680 A (EASTMAN, L.F. ET AL), 21 November 2000 (21.11.2000), column 2, line 6 - column 3, line 24 --	1-21
A	US 6207994 B1 (RUMENNIK, V. ET AL), 27 March 2001 (27.03.2001), figure 3, abstract --	1-21
A	US 6127695 A (HARRIS, C. ET AL), 3 October 2000 (03.10.2000), abstract -- -----	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 1 April 2005		Date of mailing of the international search report 25-04-2005
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Erik Miliander /OGU Telephone No. +46 8 782 25 00

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/SE 2004/001253

US	6150680	A	21/11/2000	AU	2895699 A	20/09/1999
				CA	2323747 A	10/09/1999
				EP	1058948 A	13/12/2000
				WO	9945594 A,B	10/09/1999
<hr/>						
US	6207994	B1	27/03/2001	AU	2746700 A	25/08/2000
				EP	1163700 A	19/12/2001
				EP	1465260 A	06/10/2004
				EP	1467411 A	13/10/2004
				US	6570219 B	27/05/2003
				US	6633065 B	14/10/2003
				US	6639277 B	28/10/2003
				US	6724041 B	20/04/2004
				US	6768172 B	27/07/2004
				US	6777749 B	17/08/2004
				US	6787437 B	07/09/2004
				US	6800903 B	05/10/2004
				US	6828631 B	07/12/2004
				US	20020050613 A	02/05/2002
				US	20020053698 A	09/05/2002
				US	20020153556 A	24/10/2002
				US	20030025155 A	06/02/2003
				US	20030042541 A	06/03/2003
				US	20030151093 A	14/08/2003
				US	20030151101 A	14/08/2003
				US	20040207012 A	21/10/2004
				US	20040217419 A	04/11/2004
				WO	0046859 A	10/08/2000
				US	6168983 B	02/01/2001
				WO	9820562 A	14/05/1998
<hr/>						
US	6127695	A	03/10/2000	AU	2838200 A	25/08/2000
				SE	9900358 D	00/00/0000
				WO	0046850 A	10/08/2000
				AT	260816 T	15/03/2004
				AU	751336 B	15/08/2002
				AU	2865299 A	27/09/1999
				BR	9908748 A	04/12/2001
				CA	2361752 A	10/08/2000
				CN	1339173 T	06/03/2002
				DE	69915271 D,T	20/01/2005
				EP	1071611 A,B	31/01/2001
				EP	1163696 A	19/12/2001
				JP	2002536832 T	29/10/2002
				NO	20004575 A	08/11/2000
				US	6293417 B	25/09/2001

---

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

【要約の続き】

るスペーサ層(9)の少なくともどちらかも含まれる。

【選択図】図1