



(12)发明专利

(10)授权公告号 CN 106652869 B

(45)授权公告日 2020.04.24

(21)申请号 201610973641.4

(22)申请日 2016.11.07

(65)同一申请的已公布的文献号
申请公布号 CN 106652869 A

(43)申请公布日 2017.05.10

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 商广良 韩明夫 韩承佑 林允植
董学

(74)专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 刘伟

(51)Int.Cl.
G09G 3/20(2006.01)

(56)对比文件

CN 101533186 A,2009.09.16,
US 2004066474 A1,2004.04.08,
US 2005168665 A1,2005.08.04,

审查员 刘俊

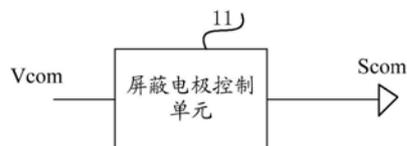
权利要求书2页 说明书7页 附图4页

(54)发明名称

用于显示面板的控制电路、驱动方法和显示装置

(57)摘要

本发明提供一种用于显示面板的控制电路、驱动方法和显示装置。所述用于显示面板的控制电路用于控制显示面板,所述显示面板包括屏蔽电极、栅线以及栅极驱动电路;对应的屏蔽电极分别设置于一行栅线上方,用于遮挡该行栅线,所述用于显示面板的控制电路包括屏蔽电极控制单元;所述屏蔽电极通过所述屏蔽电极控制单元与公共电极连接;所述屏蔽电极控制单元用于当一行栅线打开时控制对应的屏蔽电极处于浮空状态。本发明有效减少栅极信号充放电需要的时间,确保像素充电时间,同时减少漏电区域,确保像素高开口率边框。



1. 一种用于显示面板的控制电路,所述显示面板包括屏蔽电极、栅线以及栅极驱动电路;对应的屏蔽电极分别设置于一行栅线上方,用于遮挡该行栅线,其特征在于,所述用于显示面板的控制电路包括屏蔽电极控制单元;

所述屏蔽电极通过所述屏蔽电极控制单元与公共电极连接;

所述屏蔽电极控制单元用于当一行栅线打开时控制对应的屏蔽电极处于浮空状态。

2. 如权利要求1所述的用于显示面板的控制电路,其特征在于,所述屏蔽电极控制单元包括多个控制模块;

一所述控制模块分别与对应的屏蔽电极、栅极驱动电路的对应行栅极驱动信号输出端以及所述公共电极连接,用于当该行栅极驱动信号输出端输出的栅极驱动信号的电位为第一电平时控制该屏蔽电极处于浮空状态,并当该行栅极驱动信号输出端输出的栅极驱动信号的电位为第二电平时控制该屏蔽电极与该公共电极连接。

3. 如权利要求2所述的用于显示面板的控制电路,其特征在于,所述控制模块包括:

反相器,输入端与对应行栅极驱动信号输出端连接,用于对该行栅极驱动信号输出端输出的栅极驱动信号进行反相操作;以及,

开关晶体管,控制极与所述反相器的输出端连接,第一极与所述屏蔽电极连接,第二极与所述公共电极连接,用于当所述反相器输出第二电平控制对应的屏蔽电极处于浮空状态,当所述反相器输出第一电平时控制对应的屏蔽电极与所述公共电极连接。

4. 如权利要求2所述的用于显示面板的控制电路,其特征在于,所述控制模块包括:

控制器,分别与对应行栅极驱动信号输出端、相邻上一行栅极驱动信号输出端和相邻下一行栅极驱动信号输出端连接,用于当对应行栅极驱动信号的电位为第一电平、相邻上一行栅极驱动信号的电位为第一电平或相邻下一行栅极驱动信号的电位为第一电平时输出第二电平,当所述对应行栅极驱动信号、相邻上一行栅极驱动信号和相邻下一行栅极驱动信号都为第二电平时输出第一电平;以及,

开关晶体管,控制极与所述控制器的输出端连接,第一极与对应的屏蔽电极连接,第二极与所述公共电极连接,用于当所述控制器输出第二电平控制对应的屏蔽电极处于浮空状态,当所述控制器输出第一电平时控制对应的屏蔽电极与所述公共电极连接。

5. 如权利要求4所述的用于显示面板的控制电路,其特征在于,与设置于第一行栅线上方的屏蔽电极连接的控制模块包括:

第一控制器,分别与第一行栅极驱动信号输出端、第二行栅极驱动信号输出端和起始信号输出端连接,用于当第一行栅极驱动信号的电位为第一电平、第二行栅极驱动信号的电位为第一电平或起始信号为第一电平时输出第二电平,当所述第一行栅极驱动信号、所述第二行栅极驱动信号和所述起始信号都为第二电平时输出第一电平;以及,

第一开关晶体管,控制极与所述第一控制器的输出端连接,第一极与第一条屏蔽电极连接,第二极与公共电极连接,用于当所述第一控制器输出第二电平控制第一条屏蔽电极处于浮空状态,当所述第一控制器输出第一电平时控制第一条屏蔽电极与所述公共电极连接。

6. 如权利要求1所述的用于显示面板的控制电路,其特征在于,所述屏蔽电极控制单元包括多个控制模块;

所述控制模块分别与对应的屏蔽电极、公共电极和对应行栅极驱动电路中的节点连

接,用于在该节点的控制下,当所述对应行栅极驱动电路控制对应行栅线打开时,控制对应的屏蔽电极处于浮空状态,当所述对应行栅极驱动电路控制对应行栅线关闭时,控制对应的屏蔽电极与所述公共电极连接。

7.如权利要求6所述的用于显示面板的控制电路,其特征在于,所述控制模块包括一个开关晶体管;

所述开关晶体的控制极与所述对应行栅极驱动电路中的下拉节点连接,所述开关晶体的第一极与所述对应的屏蔽电极连接,所述开关晶体的第二极与所述公共电极连接;该开关晶体管用于当该下拉节点的电位为第一电平时导通,当该下拉节点的电位为第二电平时断开。

8.如权利要求6所述的用于显示面板的控制电路,其特征在于,当对应行栅极驱动电路中设有至少两个下拉节点时,所述控制模块包括至少两个开关晶体管;

每一开关晶体的控制极分别与该对应行所述至少两个下拉节点中的一个连接,该开关晶体的第一极与对应的屏蔽电极连接,该开关晶体的第二极与公共电极连接,该开关晶体管用于当该下拉节点的电位为第一电平时导通,当该下拉节点的电位为第二电平时断开。

9.一种显示面板的驱动方法,所述显示面板包含如权利要求1所述的控制电路,其特征在于,所述驱动方法包括:当一行栅线打开时屏蔽电极控制单元控制对应的屏蔽电极处于浮空状态。

10.一种显示装置,其特征在于,包括如权利要求1至8中任一权利要求所述的显示面板的控制电路。

用于显示面板的控制电路、驱动方法和显示装置

技术领域

[0001] 本发明涉及显示面板控制技术领域,尤其涉及一种用于显示面板的控制电路、驱动方法和显示装置。

背景技术

[0002] 为了提高像素开口率,减少栅线周边漏光,会采用屏蔽电极遮挡部分栅线。在现有技术中,当栅线打开时,设置于该栅线上方的屏蔽电极仍然与公共电极连接,而由于遮挡栅线后栅线负载电容大幅增加,栅线驱动延迟也大大增加,导致栅极信号充放电需要的时间延长,使得当应用于超高分辨率时,无法满足像素充电的需求,并且漏电区域增加,无法保证像素高开口率边框的要求。

发明内容

[0003] 本发明的主要目的在于提供一种用于显示面板的控制电路、驱动方法和显示装置,解决现有技术中当栅线打开时,设置于该栅线上方的屏蔽电极仍然与公共电极连接,而由于遮挡栅线后栅线负载电容大幅增加,栅线驱动延迟也大大增加,导致栅极信号充放电需要的时间延长,使得当应用于超高分辨率时,无法满足像素充电的需求,并且漏电区域增加,无法保证像素高开口率边框的要求的问题。

[0004] 为了达到上述目的,本发明提供了一种用于显示面板的控制电路,所述显示面板包括屏蔽电极、栅线以及栅极驱动电路;对应的屏蔽电极分别设置于一行栅线上方,用于遮挡该行栅线,所述用于显示面板的控制电路包括屏蔽电极控制单元;

[0005] 所述屏蔽电极通过所述屏蔽电极控制单元与公共电极连接;

[0006] 所述屏蔽电极控制单元用于当一行栅线打开时控制对应的屏蔽电极处于浮空状态。

[0007] 实施时,所述屏蔽电极控制单元包括多个控制模块;

[0008] 一所述控制模块分别与对应的屏蔽电极、栅极驱动电路的对应行栅极驱动信号输出端以及所述公共电极连接,用于当该行栅极驱动信号输出端输出的栅极驱动信号的电位为第一电平时控制该屏蔽电极处于浮空状态,并当该行栅极驱动信号输出端输出的栅极驱动信号的电位为第二电平时控制该屏蔽电极与该公共电极连接。

[0009] 实施时,所述控制模块包括:

[0010] 反相器,输入端与对应行栅极驱动信号输出端连接,用于对该行栅极驱动信号输出端输出的栅极驱动信号进行反相操作;以及,

[0011] 开关晶体管,控制极与所述反相器的输出端连接,第一极与所述屏蔽电极连接,第二极与所述公共电极连接,用于当所述反相器输出第二电平控制对应的屏蔽电极处于浮空状态,当所述反相器输出第一电平时控制对应的屏蔽电极与所述公共电极连接。

[0012] 实施时,所述控制模块包括:

[0013] 控制器,分别与对应行栅极驱动信号输出端、相邻上一行栅极驱动信号输出端和

相邻下一行栅极驱动信号输出端连接,用于当对应行栅极驱动信号的电位为第一电平、相邻上一行栅极驱动信号的电位为第一电平或相邻下一行栅极驱动信号的电位为第一电平时输出第二电平,当所述对应行栅极驱动信号、相邻上一行栅极驱动信号和相邻下一行栅极驱动信号都为第二电平时输出第一电平;以及,

[0014] 开关晶体管,控制极与所述控制器的输出端连接,第一极与对应的屏蔽电极连接,第二极与所述公共电极连接,用于当所述控制器输出第二电平控制对应的屏蔽电极处于浮空状态,当所述控制器输出第一电平时控制对应的屏蔽电极与所述公共电极连接。

[0015] 实施时,与设置于第一行栅线上方的屏蔽电极连接的控制模块包括:

[0016] 第一控制器,分别与第一行栅极驱动信号输出端、第二行栅极驱动信号输出端和起始信号输出端连接,用于当第一行栅极驱动信号的电位为第一电平、第二行栅极驱动信号的电位为第一电平或起始信号为第一电平时输出第二电平,当所述第一行栅极驱动信号、所述第二行栅极驱动信号和所述起始信号都为第二电平时输出第一电平;以及,

[0017] 第一开关晶体管,控制极与所述第一控制器的输出端连接,第一极与第一条屏蔽电极连接,第二极与公共电极连接,用于当所述第一控制器输出第二电平控制第一条屏蔽电极处于浮空状态,当所述第一控制器输出第一电平时控制第一条屏蔽电极与所述公共电极连接。

[0018] 实施时,所述屏蔽电极控制单元包括多个控制模块;

[0019] 所述控制模块分别与对应的屏蔽电极、公共电极和对应行栅极驱动电路中的节点连接,用于在该节点的控制下,当所述对应行栅极驱动电路控制对应行栅线打开时,控制对应的屏蔽电极处于浮空状态,当所述对应行栅极驱动电路控制对应行栅线关闭时,控制对应的屏蔽电极与所述公共电极连接。

[0020] 实施时,所述控制模块包括一个开关晶体管;

[0021] 所述开关晶体管的控制极与所述对应行栅极驱动电路中的下拉节点连接,所述开关晶体管的第一极与所述对应的屏蔽电极连接,所述开关晶体管的第二极与所述公共电极连接;该开关晶体管用于当该下拉节点的电位为第一电平时导通,当该下拉节点的电位为第二电平时断开。

[0022] 实施时,当对应行栅极驱动电路中设有至少两个下拉节点时,所述控制模块包括至少两个开关晶体管;

[0023] 每一开关晶体管的控制极分别与该对应行所述至少两个下拉节点中的一个连接,该开关晶体管的第一极与对应的屏蔽电极连接,该开关晶体管的第二极与公共电极连接,该开关晶体管用于当该下拉节点的电位为第一电平时导通,当该下拉节点的电位为第二电平时断开。

[0024] 本发明还提供了一种显示面板的驱动方法,所述显示面板包含上述的控制电路,所述驱动方法包括:当一行栅线打开时屏蔽电极控制单元控制对应的屏蔽电极处于浮空状态。

[0025] 本发明还提供了一种显示装置,包括上述的显示面板的控制电路。

[0026] 与现有技术相比,本发明所述的显示面板的控制电路、驱动方法和显示装置通过在屏蔽电极与公共电极之间增加屏蔽电极控制单元,实现在栅极信号充放电时使屏蔽电极处于浮空状态,而在栅极信号保持关闭后控制屏蔽电极与公共电极连接,从而有效减少栅

极信号充放电需要的时间,确保像素充电时间,同时减少漏电区域,确保像素高开口率边框。

附图说明

- [0027] 图1A是本发明实施例所述的用于显示面板的控制电路的结构图;
- [0028] 图1B是屏蔽电极SCom上的电压 V_{shield} 与设置于该屏蔽电极SCom下的栅线输出的栅极驱动信号 V_{gout} 以及 V_{com} 之间的关系示意图;
- [0029] 图2是本发明另一实施例所述的用于显示面板的控制电路的结构框图;
- [0030] 图3是本发明所述的用于显示面板的控制电路的第一具体实施例的电路图;
- [0031] 图4是本发明所述的用于显示面板的控制电路的第二具体实施例的电路图;
- [0032] 图5是本发明又一实施例所述的用于显示面板的控制电路的结构框图;
- [0033] 图6是本发明所述的用于显示面板的控制电路的第三具体实施例的电路图;
- [0034] 图7是本发明所述的用于显示面板的控制电路的第四具体实施例的电路图;
- [0035] 图8是具有两个下拉节点的栅极驱动电路的一实施例的电路图;
- [0036] 图9是图8所示的栅极驱动电路中的VHD1、VHD2、PD1的电位和PD2的电位示意图。

具体实施方式

[0037] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 本发明实施例所述的用于显示面板的控制电路应用于显示面板;

[0039] 所述显示面板包括屏蔽电极、栅线以及栅极驱动电路;对应的屏蔽电极分别设置于一行栅线上方,用于遮挡该行栅线;

[0040] 如图1A所示,本发明实施例所述的用于显示面板的控制电路包括屏蔽电极控制单元11;

[0041] 屏蔽电极SCom通过所述屏蔽电极控制单元与输出公共电极电压 V_{com} 的公共电极连接;

[0042] 所述屏蔽电极控制单元11用于当一行栅线打开时控制对应的屏蔽电极SCom处于浮空状态。

[0043] 本发明实施例所述的用于显示面板的控制电路通过屏蔽电极控制单元在一行栅线打开时控制对应的屏蔽电极处于浮空状态,以使得对应的屏蔽电极的电位随着栅线电位的升高而升高,避免由于栅线和屏蔽电极之间的寄生电容从而导致的延长栅极信号充放电需要的时间的问题,确保像素充电时间,同时减少漏电区域,确保像素高开口率边框。

[0044] 在具体实施时,本发明实施例所述的用于显示面板的控制电路进一步控制当该行栅线关闭后通过屏蔽电极控制单元11控制对应的屏蔽电极与公共电极连接。

[0045] 本发明实施例所述的用于显示面板的控制电路通过在屏蔽电极与公共电极之间增加屏蔽电极控制单元11,实现在栅极信号充放电时使屏蔽电极处于浮空状态,而在栅极信号保持关闭后控制屏蔽电极与公共电极连接,从而有效减少栅极信号充放电需要的时

间,确保像素充电时间,同时减少漏电区域,确保像素高开口率边框。

[0046] 如图1B所示,为屏蔽电极SCom上的电压 V_{shield} 与设置于该屏蔽电极SCom下的栅线输出的栅极驱动信号 V_{gout} 以及 V_{com} 之间的关系示意图。当 V_{gout} 为低电平时 V_{shield} 等于 V_{com} ,当 V_{gout} 为高电平时,SCom处于浮空状态,因此 V_{shield} 的电压值随着 V_{gout} 的升高而升高。

[0047] 具体的,所述屏蔽电极控制单元可以包括多个控制模块;

[0048] 如图2所示,一所述控制模块21分别与对应的屏蔽电极Scom、输出公共电极电压 V_{com} 的公共电极、栅极驱动电路的对应行栅极驱动信号输出端 G_n 连接,用于当该行栅极驱动信号输出端 G_n 输出的栅极驱动信号的电位为第一电平时控制该屏蔽电极Scom处于浮空状态,并当该行栅极驱动信号输出端 G_n 输出的栅极驱动信号的电位为第二电平时控制该屏蔽电极Scom与该公共电极连接。

[0049] 在具体实施时,所述屏蔽电极控制单元包括对应于多个屏蔽电极的被各栅极驱动信号控制的多个控制模块,每一控制模块分别控制对应的屏蔽电极的状态。

[0050] 具体的,所述控制模块可以包括:

[0051] 反相器,输入端与对应行栅极驱动信号输出端连接,用于对该行栅极驱动信号输出端输出的栅极驱动信号进行反相操作;以及,

[0052] 开关晶体管,控制极与所述反相器的输出端连接,第一极与所述屏蔽电极连接,第二极与所述公共电极连接,用于当所述反相器输出第二电平控制对应的屏蔽电极处于浮空状态,当所述反相器输出第一电平时控制对应的屏蔽电极与所述公共电极连接。

[0053] 如图3所示,所述控制模块包括:

[0054] 反相器30,输入端与对应行栅极驱动信号输出端 G_n 连接,用于对该行栅极驱动信号输出端 G_n 输出的栅极驱动信号进行反相操作;以及,

[0055] 开关晶体管MC,栅极与所述反相器30的输出端连接,源极与所述屏蔽电极SCom连接,漏极与所述输出公共电极电压 V_{com} 的公共电极连接,用于当所述反相器30输出低电平控制对应的屏蔽电极SCom处于浮空状态,当所述反相器30输出高电平时控制对应的屏蔽电极SCom与所述公共电极连接。

[0056] 在本发明如图3所示的实施例中,MC为n型薄膜晶体管,当 G_n 输出高电平时,反相器30输出低电平,MC断开,从而SCom处于浮空状态,当 G_n 输出低电平时,反相器30输出高电平,MC开启,从而SCom与公共电极导通。

[0057] 在实际操作时,MC也可以为p型薄膜晶体管,此时控制模块21可以仅包括开关晶体管MC。

[0058] 根据另一种具体实施方式,所述控制模块包括:

[0059] 控制器,分别与对应行栅极驱动信号输出端、相邻上一行栅极驱动信号输出端和相邻下一行栅极驱动信号输出端连接,用于当对应行栅极驱动信号的电位为第一电平、相邻上一行栅极驱动信号的电位为第一电平或相邻下一行栅极驱动信号的电位为第一电平时输出第二电平,当所述对应行栅极驱动信号、相邻上一行栅极驱动信号和相邻下一行栅极驱动信号都为第一电平时输出第一电平;以及,

[0060] 开关晶体管,控制极与所述控制器的输出端连接,第一极与对应的屏蔽电极连接,第二极与所述公共电极连接,用于当所述控制器输出第二电平控制对应的屏蔽电极处于浮

空状态,当所述控制器输出第一电平时控制对应的屏蔽电极与所述公共电极连接。

[0061] 如图4所示,在另一实施例中,所述控制模块包括:

[0062] 控制器40,分别与对应行栅极驱动信号输出端 G_n 、相邻上一行栅极驱动信号输出端 G_{n-1} 和相邻下一行栅极驱动信号输出端 G_{n+1} 连接,用于当 G_n 输出高电平、 G_{n-1} 输出高电平或 G_{n+1} 输出高电平时输出低电平,当 G_n 输出低电平、 G_{n-1} 输出低电平并 G_{n+1} 也低电平时输出高电平;以及,

[0063] 开关晶体管MC,栅极与所述控制器40的输出端连接,源极与对应的屏蔽电极SCom连接,漏极与所述输出公共电极电压 V_{com} 的公共电极连接,用于当所述控制器40输出低电平控制对应的屏蔽电极SCom处于浮空状态,当所述控制器40输出高电平时控制对应的屏蔽电极SCom与所述公共电极连接。

[0064] 在如图4所示的实施例中,控制器40为3输入或非门。本发明如图4所示的控制模块的实施例可以在相邻上一行栅极驱动信号的控制下提前断开屏蔽电极SCom与公共电极之间的连接,并在相邻下一行栅极驱动信号的控制下推迟恢复SCom与公共电极之间的导通,确认最小化屏蔽电极对栅线充放电的影响,从而确保像素充电时间。

[0065] 在如图4所示的实施例中,MC为n型晶体管。在实际操作时,MC也可以为p型晶体管,此时控制器40需要当 G_n 输出高电平、 G_{n-1} 输出高电平或 G_{n+1} 输出高电平时输出高电平,当 G_n 输出低电平、 G_{n-1} 输出低电平并 G_{n+1} 也低电平时输出低电平。

[0066] 在实际操作时,与设置于第一行栅线上方的屏蔽电极连接的控制模块包括:

[0067] 第一控制器,分别与第一行栅极驱动信号输出端、第二行栅极驱动信号输出端和起始信号输出端连接,用于当第一行栅极驱动信号的电位为第一电平、第二行栅极驱动信号的电位为第一电平或起始信号为第一电平时输出第二电平,当所述第一行栅极驱动信号、所述第二行栅极驱动信号和所述起始信号都为第一电平时输出第一电平;以及,

[0068] 第一开关晶体管,控制极与所述第一控制器的输出端连接,第一极与第一条屏蔽电极连接,第二极与公共电极连接,用于当所述第一控制器输出第二电平控制第一条屏蔽电极处于浮空状态,当所述第一控制器输出第一电平时控制第一条屏蔽电极与所述公共电极连接。

[0069] 也即,第一行栅极驱动信号输出端不存在上一行栅极驱动信号输出端,则所述第一控制器相应与起始信号输出端连接。

[0070] 具体的,所述屏蔽电极控制单元包括可以多个控制模块;

[0071] 所述控制模块分别与对应的屏蔽电极、公共电极和对应行栅极驱动电路中的节点连接,用于在该节点的控制下,当所述对应行栅极驱动电路控制对应行栅线打开时,控制对应的屏蔽电极处于浮空状态,当所述对应行栅极驱动电路控制对应行栅线关闭时,控制对应的屏蔽电极与所述公共电极连接。

[0072] 在实际操作时,在栅线打开时(或超前、滞后一定时间,如1行时间),断开屏蔽电极和公共电极之间的连接,当栅线保持为低电平(关闭)时,连通屏蔽电极和公共电极,使屏蔽电极维持公共电极电压,避免漏光。

[0073] 如图5所示,控制模块50分别与对应的屏蔽电极SCom、输出公共电极电压 V_{com} 的公共电极和对应行栅极驱动电路GDC中的节点PC连接,在实际操作时,该节点PC可以为一个,也可以为多个。

[0074] 在实际操作时,所述对应行栅极驱动电路可以包含于GOA (Gate On Array,阵列基板行驱动) 电路中,即可以为对应行GOA单元。

[0075] 具体的,所述控制模块可以包括一个开关晶体管;

[0076] 所述开关晶体管的控制极与所述对应行栅极驱动电路中的下拉节点连接,所述开关晶体管的第一极与所述对应的屏蔽电极连接,所述开关晶体管的第二极与所述公共电极连接;该开关晶体管用于当该下拉节点的电位为第一电平时导通,当该下拉节点的电位为第二电平时断开。

[0077] 也即,所述节点PC可以为下拉节点。

[0078] 如图6所示,所述控制模块包括一个开关晶体管MC;

[0079] 所述开关晶体管MC的栅极与所述对应行的栅极驱动电路GDC中的下拉节点PD连接,所述开关晶体管MC的源极与所述对应的屏蔽电极SCom连接,所述开关晶体管MC的漏极与输出公共电极电压Vcom的公共电极连接;

[0080] 该开关晶体管MC用于当该下拉节点PD的电位为高电平时导通,当该下拉节点PD的电位为低电平时断开。

[0081] 在图6中,栅极驱动电路GDC的输出端Gout与相应栅线GL连接。

[0082] 在如图6所示的实施例中,MC为n型晶体管,当栅极驱动电路GDC输出的栅极驱动信号为高电平时PD的电位为低电平,当栅极驱动电路GDC输出的栅极驱动信号为低电平时PD的电位为高电平。

[0083] 在具体实施时,MC也可以为p型晶体管,只需控制其导通或关断的相应的信号的电位改变即可,在此对MC的类型不作限定。

[0084] 具体的,如图7所示,当对应行栅极驱动电路中设有两个下拉节点:第一下拉节点PD1和第二下拉节点PD2时,所述控制模块包括第一开关晶体管M1和第二开关晶体管M2;

[0085] M1的栅极与PD1连接,M2的栅极与PD2连接;

[0086] M1的源极和M2的源极都与屏蔽电极SCom连接;

[0087] M1的漏极和M2的漏极都与输出公共电极电压Vcom的公共电极连接;

[0088] M1用于当PD1的电位为高电平时导通,并用于当PD1的电位为低电平时断开;

[0089] M2用于当PD2的电位为高电平时导通,并用于当PD2的电位为低电平时断开。

[0090] 在图7中,栅极驱动电路GDC的输出端Gout与相应栅线GL连接。

[0091] 在如图7所示的实施例中,M1和M2都为n型晶体管,当PD1的电位为高电平或PD2的电位为高电平时,对应行栅极驱动电路输出低电平,当PD1的电位和PD2的电位都为低电平时,对应行栅极驱动电路输出高电平;

[0092] 则如图7所示的控制模块的实施例可以确保当对应行栅极驱动电路输出低电平时屏蔽电极SCom和公共电极导通,当对应行栅极驱动电路输出高电平时屏蔽电极SCom与公共电极不导通,以使得屏蔽电极SCom浮空。

[0093] 如图8所示,一行栅极驱动电路包括十八个晶体管T1-T18、输入端Input、输出第一高电平VHD1的第一高电平输出端、输出第二高电平VHD2的第二高电平输出端、进位信号输出端Carry Out、复位端Rst1、输出第一参考电压Vref1的第一参考电压输出端、输出第二参考电压Vref2的第二参考电压输出端,以及栅极驱动信号输出端Output;

[0094] 在如图8所示的栅极驱动电路的具体实施例中,该栅极驱动电路包括一个上拉节

点PU和两个下拉节点:第一下拉节点PD1和第二下拉节点PD2;

[0095] 在图8中,PD_CN1为第一下拉控制节点、PD_CN2为第二下拉控制节点。

[0096] 在实际操作时,当Output输出低电平时,PD1和PD2轮流输出高电平,当Output输出高电平时,PD1和PD2都输出低电平。

[0097] 图9是PD1的电位、PD2的电位、VHD1和VHD2的电压示意图。

[0098] 本发明实施例所述的显示面板的驱动方法,用于驱动包含上述的控制电路的显示面板;

[0099] 所述驱动方法包括:当一行栅线打开时屏蔽电极控制单元控制对应的屏蔽电极处于浮空状态。

[0100] 具体的,所述驱动方法还包括:当一行栅线关闭时屏蔽电极控制单元控制对应的屏蔽电极与公共电极连接。

[0101] 本发明实施例所述的用于显示面板的驱动方法通过屏蔽电极控制单元实现在栅极信号充放电时使屏蔽电极处于浮空状态,而在栅极信号保持关闭后控制屏蔽电极与公共电极连接,从而有效减少栅极信号充放电需要的时间,确保像素充电时间,同时减少漏电区域,确保像素高开口率边框。

[0102] 本发明实施例所述的显示装置包括上述的显示面板的控制电路。

[0103] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

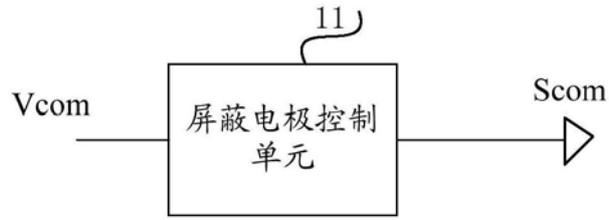


图1A

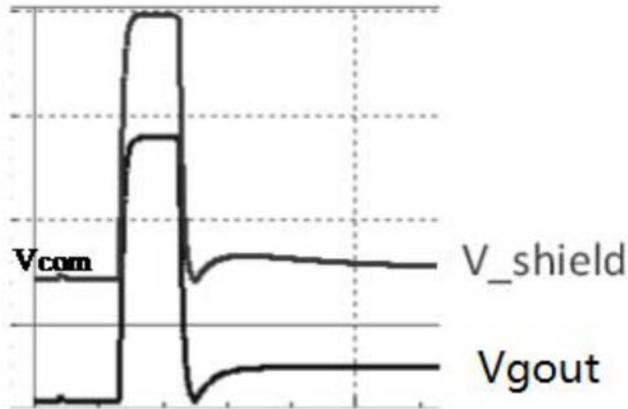


图1B

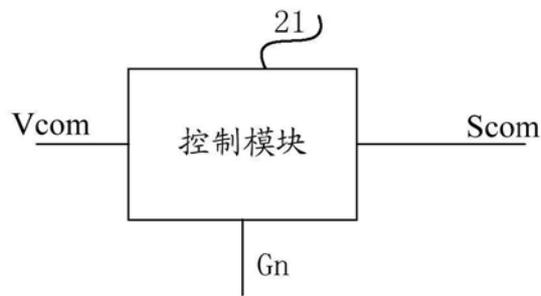


图2

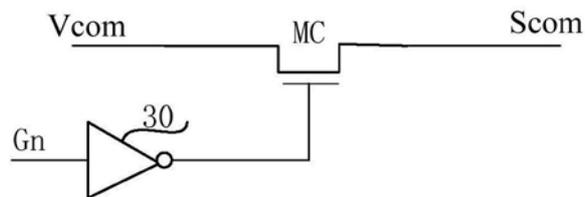


图3

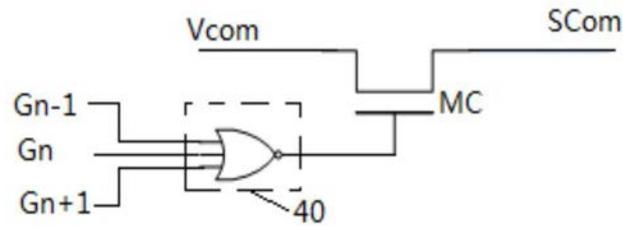


图4

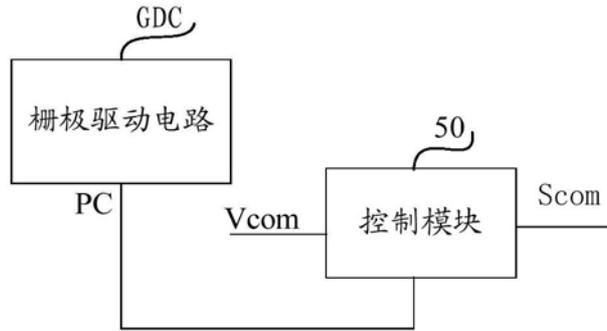


图5

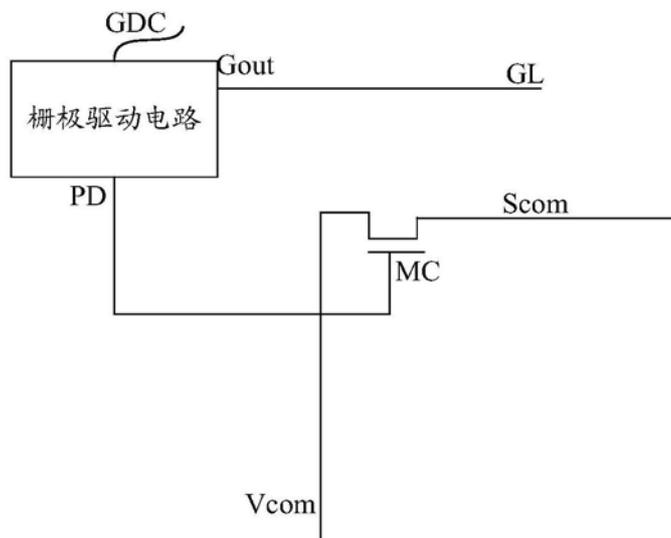


图6

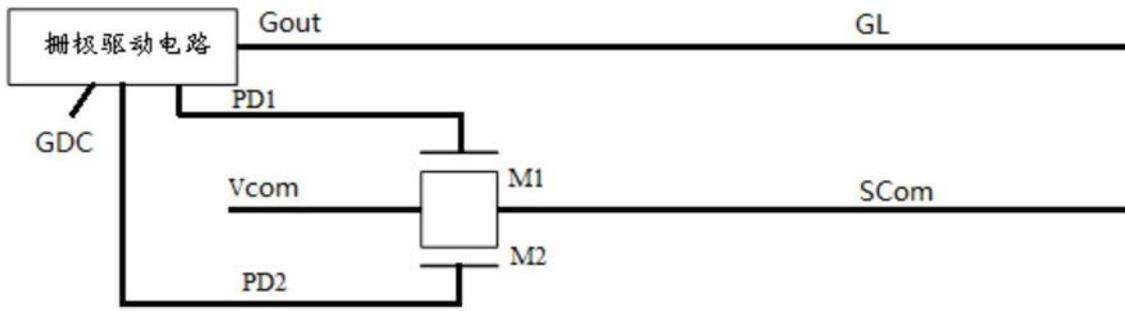


图7

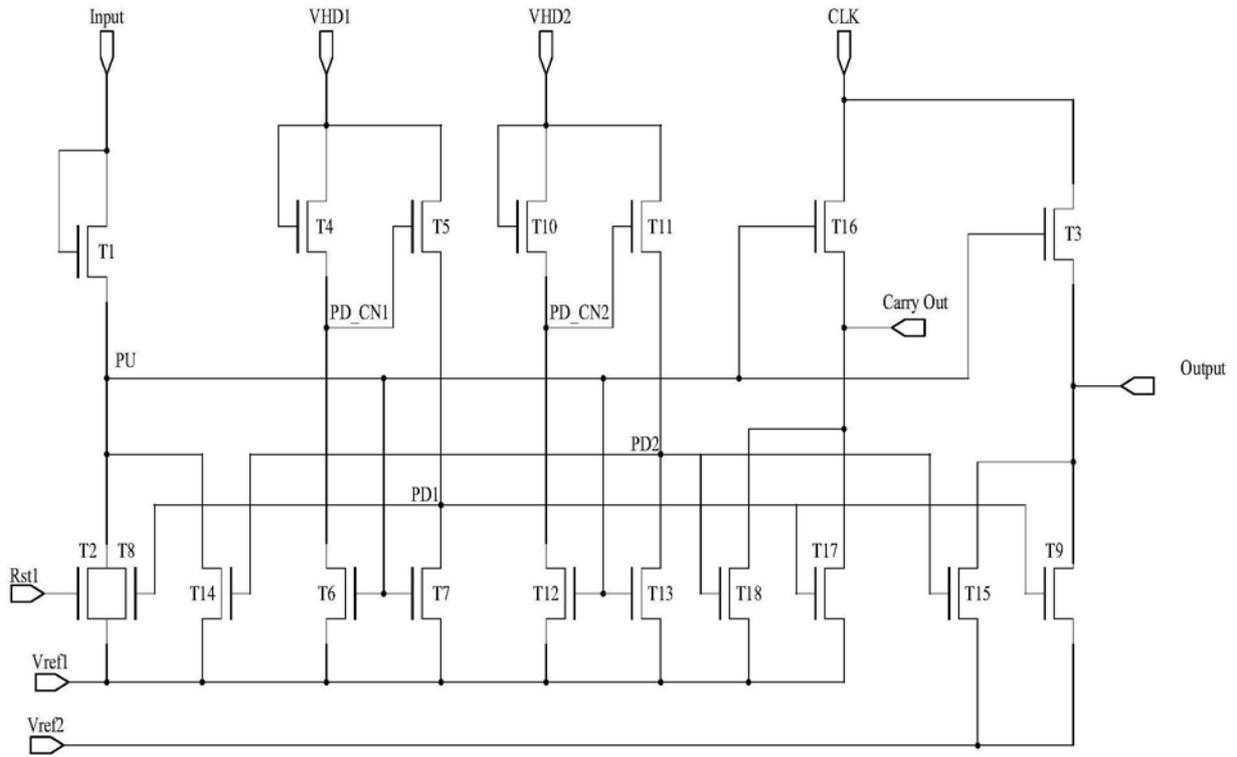


图8

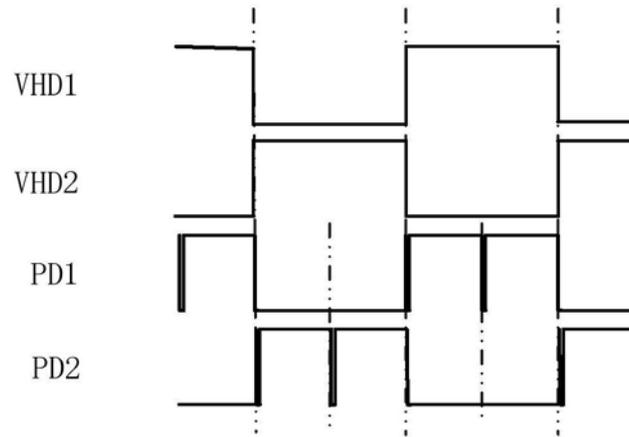


图9