



(12) 发明专利申请

(10) 申请公布号 CN 112164718 A

(43) 申请公布日 2021.01.01

(21) 申请号 202010888222.7

H01L 21/336 (2006.01)

(22) 申请日 2020.08.28

(71) 申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)
西源大道2006号

申请人 电子科技大学广东电子信息工程研
究院

(72) 发明人 章文通 祖健 朱旭晗 方冬
乔明 李肇基 张波

(74) 专利代理机构 成都点睛专利代理事务所
(普通合伙) 51232

代理人 敖欢

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

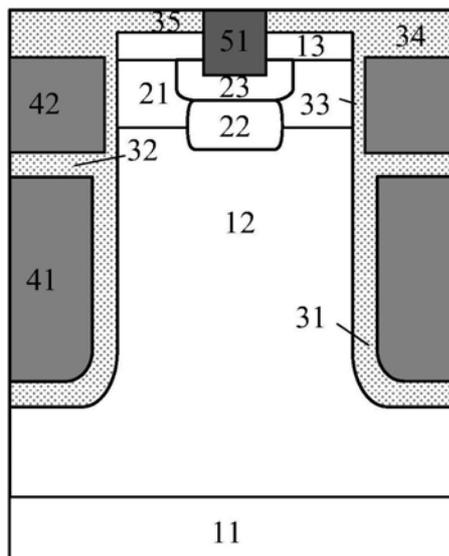
权利要求书2页 说明书5页 附图9页

(54) 发明名称

具有控制栅保护层的分离栅器件及其制造方法

(57) 摘要

本发明提供一种具有控制栅保护层的分离栅器件及其制造方法,包括第一导电类型衬底,第一导电类型漂移区,第二导电类型阱区,重掺杂第一导电类型区,重掺杂第二导电类型区,第二导电类型区,第一介质氧化层,第二介质氧化层,第三介质氧化层,第四介质氧化层,第五介质氧化层,控制栅多晶电极,分离栅多晶电极,源极金属接触;所述第二导电类型区位于重掺杂第二导电类型区下方作为控制栅保护层,在关态耐压时将原本指向控制栅的电场线转移至该第二导电类型区的电离负电荷,成功降低了控制栅靠近漂移区位置的电场峰值,消除了该处可能存在的提前击穿。



1. 一种具有控制栅保护层的分离栅器件,其特征包括:重掺杂第一导电类型衬底(11)、第一导电类型漂移区(12)、第一介质氧化层(31)、分离栅多晶电极(41)、第二介质氧化层(32)、第三介质氧化层(33)、控制栅多晶电极(42)、第四介质氧化层(34)、第二导电类型阱区(21)、重掺杂第一导电类型区(13)、第五介质氧化层(35)、第二导电类型区(22)、重掺杂第二导电类型区(23)、源极金属接触(51);

其中,第一导电类型漂移区(12)位于重掺杂第一导电类型衬底(11)上方,由第一介质氧化层(31)、第二介质氧化层(32)、第三介质氧化层(33)、第四介质氧化层(34)以及控制栅多晶电极(41)和分离栅多晶电极(42)组成的槽型结构位于第一导电类型漂移区(12)两侧,第五介质氧化层(35)和重掺杂第一导电类型区(13)都位于器件表面源极金属接触(51)左右两侧,重掺杂第二导电类型区(23)位于第二导电类型阱区(21)内源极金属接触(51)下方并与重掺杂第一导电类型区(13)短接,第二导电类型区(22)位于重掺杂第二导电类型区(23)下方并与第二导电类型阱区(21)相连。

2. 根据权利要求1所述的具有控制栅保护层的分离栅器件,其特征包括:重掺杂第二导电类型区(23)与第二导电类型阱区(21)相连,重掺杂第二导电类型区(23)与第二导电类型区(22)相连或不相连。

3. 根据权利要求1所述的具有控制栅保护层的分离栅器件,其特征包括:第二导电类型区(22)通过一次或多次注入得到。

4. 根据权利要求1所述的具有控制栅保护层的分离栅器件,其特征包括:源极金属接触(51)进一步延长至第二导电类型阱区(21)内靠近第一导电类型漂移区(12)的位置,或第一导电类型漂移区(12)内。

5. 根据权利要求1所述的具有控制栅保护层的分离栅器件,其特征包括:第二导电类型区(22)的下边界高于或低于控制栅多晶电极(42)下沿,或连续延伸到第一导电类型漂移区(12)内任一位置。

6. 根据权利要求1所述的具有控制栅保护层的分离栅器件,其特征包括:所使用的半导体材料是Si或SiC材料,相同的控制栅保护层结构所应用的半导体器件为槽栅VDMOS。

7. 根据权利要求1所述的具有控制栅保护层的分离栅器件,其特征包括:所述第一导电类型为N型,第二导电类型为P型;或第一导电类型为P型,第二导电类型为N型。

8. 权利要求1至7任意一项所述的具有控制栅保护层的分离栅器件的制造方法,其特征包括如下步骤:

步骤1:在衬底上通过外延或注入推结的方式得到漂移区;

步骤2:深槽刻蚀漂移区并热氧化得到第一介质氧化层;

步骤3:淀积刻蚀得到分离栅多晶电极;

步骤4:第二介质氧化层填充深槽,刻蚀后栅氧化得到第三介质氧化层;

步骤5:淀积刻蚀得到控制栅多晶电极,并淀积第四介质氧化层;

步骤6:注入推结第二导电类型阱区和重掺杂第一导电类型区;

步骤7:热氧化得到第五介质氧化层做注入保护,并刻蚀源极接触孔;

步骤8:通过源极接触孔注入重掺杂第二导电类型区和位于其下方的第二导电类型区;

步骤9:金属淀积形成源极金属接触。

9. 根据权利要求8所述的具有控制栅保护层的分离栅器件的制造方法,其特征包括:制

作步骤4中通过热氧化加淀积的方式得到栅氧化层。

具有控制栅保护层的分离栅器件及其制造方法

技术领域

[0001] 本发明属于半导体工艺制造技术领域,具体涉及一种具有控制栅保护层的分离栅器件。

背景技术

[0002] 功率器件由于其优越的特性被广泛应用于移动通信、汽车电子、移动终端等各个领域,槽型垂直沟道VDMOS作为最广泛应用的功率器件之一,对其结构的改进一直源源不断。其中分离栅VDMOS器件(Split-Gate VDMOS)由于分离栅电极起纵向场板辅助耗尽的作用,提高了漂移区掺杂浓度降低器件导通电阻,同时屏蔽了栅极与漏极之间的电容,带来了优异的开关特性,因此受到了广泛的关注。在传统分离栅器件中,控制栅长度过短容易带来断沟和导通电阻增加,控制栅长度较长时,指向控制栅的电场线将带来靠近控制栅的硅层电场峰值,可能导致提前击穿甚至控制栅拐角处栅氧击穿,在栅氧化层较薄和漂移区掺杂浓度增加时将更为明显。

发明内容

[0003] 本发明针对背景技术存在的缺陷,提出一种具有控制栅保护层的分离栅器件,在关态耐压时减少指向控制栅的电场线,降低靠近栅极处的硅层电场,消除提前击穿,同时也有降低漂移区表面场的作用。

[0004] 为实现上述发明目的,本发明技术方案如下:

[0005] 重掺杂第一导电类型衬底11、第一导电类型漂移区12、第一介质氧化层31、分离栅多晶电极41、第二介质氧化层32、第三介质氧化层33、控制栅多晶电极42、第四介质氧化层34、第二导电类型阱区21、重掺杂第一导电类型区13、第五介质氧化层35、第二导电类型区22、重掺杂第二导电类型区23、源极金属接触51;

[0006] 其中,第一导电类型漂移区12位于重掺杂第一导电类型衬底11上方,由第一介质氧化层31、第二介质氧化层32、第三介质氧化层33、第四介质氧化层34以及控制栅多晶电极41和分离栅多晶电极42组成的槽型结构位于第一导电类型漂移区12两侧,第五介质氧化层35和重掺杂第一导电类型区13都位于器件表面源极金属接触51左右两侧,重掺杂第二导电类型区23位于第二导电类型阱区21内源极金属接触51下方并与重掺杂第一导电类型区13短接,第二导电类型区22位于重掺杂第二导电类型区23下方并与第二导电类型阱区21相连。

[0007] 所述第二导电类型区22位于重掺杂第二导电类型区23下方与第二导电类型阱区21相连作为控制栅保护层,起降低控制栅拐角处电场峰值的作用。

[0008] 作为优选方式,重掺杂第二导电类型区23与第二导电类型阱区21相连,重掺杂第二导电类型区23与第二导电类型区22相连或不相连。

[0009] 作为优选方式,第二导电类型区22通过一次或多次注入得到。

[0010] 作为优选方式,源极金属接触51进一步延长至第二导电类型阱区21内靠近第一导

电类型漂移区12的位置或第一导电类型漂移区12内。

[0011] 作为优选方式,第二导电类型区22的下边界高于或低于控制栅多晶电极41下沿,或连续延伸到漂移区内任一位置。

[0012] 作为优选方式,所使用的半导体材料是Si或SiC材料,相同的控制栅保护层结构所应用的半导体器件为槽栅VDMOS。

[0013] 作为优选方式,所述第一导电类型为N型,第二导电类型为P型;或第一导电类型为P型,第二导电类型为N型。

[0014] 本发明还提供上述具有控制栅保护层的分离栅器件的制造方法,包括如下步骤:

[0015] 步骤1:在衬底上通过外延或注入推结的方式得到漂移区;

[0016] 步骤2:深槽刻蚀漂移区并热氧化得到第一介质氧化层;

[0017] 步骤3:淀积刻蚀得到分离栅多晶电极;

[0018] 步骤4:第二介质氧化层填充深槽,刻蚀后栅氧化得到第三介质氧化层;

[0019] 步骤5:淀积刻蚀得到控制栅多晶电极,并淀积第四介质氧化层;

[0020] 步骤6:注入推结第二导电类型阱区和重掺杂第一导电类型区;

[0021] 步骤7:热氧化得到第五介质氧化层做注入保护,并刻蚀源极接触孔;

[0022] 步骤8:通过源极接触孔注入重掺杂第二导电类型区和位于其下方的第二导电类型区;

[0023] 步骤9:金属淀积形成源极金属接触。

[0024] 作为优选方式,制作步骤4中先通过热氧化加淀积的方式得到栅氧化层。

[0025] 本发明的有益效果为:采用源极接触孔注入第二导电类型区的方式引入控制栅保护层,成功抑制了器件表面场随漂移区浓度增加,屏蔽了靠近控制栅的漂移区电场峰值,消除了该处可能存在的提前击穿,进一步提高了器件掺杂浓度降低比导通电阻。

附图说明

[0026] 图1为传统分离栅VDMOS器件结构示意图;

[0027] 图2为本发明实施例1的具有控制栅保护层的分离栅器件结构示意图;

[0028] 图3为本发明实施例2的具有控制栅保护层的分离栅器件结构示意图;

[0029] 图4为本发明实施例3的具有控制栅保护层的分离栅器件结构示意图;

[0030] 图5为本发明实施例4的具有控制栅保护层的分离栅器件结构示意图

[0031] 图6(a)-图6(1)为实施例1的具有控制栅保护层的分离栅器件工艺制作示意图;

[0032] 图6为传统分离栅器件和实施例1中具有控制栅保护层的分离栅器件在栅氧厚度15nm和 $0.09\Omega\cdot\text{cm}$ 漂移区电阻率条件下的仿真结果图;

[0033] 图7为传统分离栅器件和实施例1中具有控制栅保护层的分离栅器件击穿曲线仿真示意图;

[0034] 图8为传统分离栅器件和实施例1中具有控制栅保护层的分离栅器件仿真耐压曲线;

图9所示为传统分离栅器件和实施例1中具有控制栅保护层的分离栅器件沿图7中AA'线的电场分布;

[0035] 11为重掺杂第一导电类型衬底,12为第一导电类型漂移区,13为重掺杂第一导电

类型区, 14为第一导电类型区, 21为第二导电类型阱区, 22为第二导电类型区, 23为重掺杂第二导电类型区, 24为第四介质氧化层, 31为第一介质氧化层, 32为第二介质氧化层, 33为第三介质氧化层, 34为第四介质氧化层, 35为第五介质氧化层, 41为分离栅多晶电极, 42为控制栅多晶电极, 51为源极金属接触。

具体实施方式

[0036] 以下通过特定的具体实例说明本发明的实施方式, 本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用, 本说明书中的各项细节也可以基于不同观点与应用, 在没有背离本发明的精神下进行各种修饰或改变。

[0037] 如图1所示, 为传统分离栅器件结构示意图, 其特点在于存在通过源极接触孔注入位于第二导电类型阱区21内的重掺杂第二导电类型区23做欧姆接触, 无下方第二导电类型区22; 漂移区表面电场随漂移区浓度提高而快速增加, 关态耐压时在靠近控制栅的第一导电类型漂移区12中存在电场峰值, 有可能导致提前击穿甚至栅氧击穿。

[0038] 如图7所示为传统分离栅器件和实施例1中具有控制栅保护层的分离栅器件仿真结果图, 图8所示为二者仿真耐压曲线, 图9所示为二者沿图7中AA'线的电场分布, 可见通过引入控制栅保护层, 实施例1中的具有控制栅保护层的分离栅器件成功降低了控制栅处A'点电场峰值, 提高了器件耐压。

[0039] 实施例1

[0040] 如图2为本发明实施例1的具有控制栅保护层的分离栅器件, 具体包括:

[0041] 重掺杂第一导电类型衬底11、第一导电类型漂移区12、第一介质氧化层31、分离栅多晶电极41、第二介质氧化层32、第三介质氧化层33、控制栅多晶电极42、第四介质氧化层34、第二导电类型阱区21、重掺杂第一导电类型区13、第五介质氧化层35、第二导电类型区22、重掺杂第二导电类型区23、源极金属接触51;

[0042] 其中, 第一导电类型漂移区12位于重掺杂第一导电类型衬底11上方, 由第一介质氧化层31、第二介质氧化层32、第三介质氧化层33、第四介质氧化层34以及控制栅多晶电极41和分离栅多晶电极42组成的槽型结构位于第一导电类型漂移区12两侧, 第五介质氧化层35和重掺杂第一导电类型区13都位于器件表面源极金属接触51左右两侧, 重掺杂第二导电类型区23位于第二导电类型阱区21内源极金属接触51下方并与重掺杂第一导电类型区13短接, 第二导电类型区22位于重掺杂第二导电类型区23下方并与第二导电类型阱区21相连。

[0043] 所述第二导电类型区22位于重掺杂第二导电类型区23下方与第二导电类型阱区21相连作为控制栅保护层, 起降低控制栅拐角处电场峰值的作用。

[0044] 本实施例还提供一种具有超结结构的分离栅VDMOS器件制作方法, 具体包括如下步骤, 如图6(a)-6(1)所示:

[0045] 步骤1: 在衬底上通过外延或注入的方式得到漂移区, 如图6(a)所示;

[0046] 步骤2: 深槽刻蚀漂移区并热氧化得到第一介质氧化层, 如图6(b)和图6(c);

[0047] 步骤3: 淀积刻蚀得到分离栅多晶电极, 如图6(d)所示;

[0048] 步骤4: 第二介质氧化层填充深槽, 如图6(e)所示, 刻蚀后栅氧化得到第三介质氧

化层，如图6(f)和图6(g)；

[0049] 步骤5:淀积刻蚀得到控制栅多晶电极，并淀积第四介质氧化层，如图6(h)所示；

[0050] 步骤6:注入推结第二导电类型阱区和重掺杂第一导电类型区，如图6(i)所示；

[0051] 步骤7:热氧化得到第五介质氧化层做注入保护，并刻蚀源极接触孔，如图6(j)所示；

[0052] 步骤8:通过源极接触孔注入重掺杂第二导电类型区和位于其下方的第二导电类型区，如图6(k)所示；

[0053] 步骤9:金属淀积形成源极金属接触，如图6(l)所示。

[0054] 进一步地，重掺杂第二导电类型区23与第二导电类型阱区21相连，重掺杂第二导电类型区23与第二导电类型区22可相连或不相连；

[0055] 进一步地，第二导电类型区22通过一次或多次注入得到，其掺杂浓度随第一导电类型漂移区12掺杂浓度变化；

[0056] 进一步地，源极金属接触51进一步延长至第二导电类型阱区21内靠近第一导电类型区12处，或第一导电类型漂移区12内。

[0057] 进一步地，制作步骤4中先通过热氧化加淀积的方式得到栅氧化层。

[0058] 进一步地，相同的超结结构和制作方法可用于其他同类槽型垂直沟道器件中，所使用的半导体材料可以是Si或SiC等新一代半导体材料；相同的控制栅保护层结构所应用的半导体器件为槽栅VDMOS。

[0059] 实施例2

[0060] 图3为本发明实施例2的具有控制栅保护层的分离栅器件结构示意图，与实施例1不同之处在于：第二导电类型区域22分多次不同剂量和能量注入形成，其中能量越大注入剂量越小，形成从上至下宽度递减的梯形第二导电类型区22。通过降低深处第二导电类型区22的宽度，减小该处的JFET效应，进一步降低器件比导通电阻。

[0061] 实施例3

[0062] 图4(a)为本发明实施例3的具有控制栅保护层的分离栅器件结构示意图，在实施例1和2的基础上将源极金属接触51延伸至第二导电类型阱区21内靠近漂移区12处，配合更高能量的注入将第二导电类型区22引入漂移区深处进一步优化器件漂移区内部电场；

[0063] 图4(b)为本发明实施例3的另一变形，将源极金属接触51延伸至第一导电类型漂移区12内，形成肖特基接触，降低器件反向恢复时间，重掺杂第二导电类型区23和第二导电类型区22起屏蔽肖特基结处电场峰值和优化器件体内场的作用，其余制作方法和工作原理和实施例1相同。

[0064] 实施例4

[0065] 图5(b)为本发明实施例4的具有控制栅保护层的分离栅器件结构示意图，与实施例1不同之处在于在图6(f)所示的制作步骤4中增加一次如图5(a)所示的倾斜的第一导电类型注入，在第二导电类型区22两侧的漂移区中形成局部第一导电类型掺杂，抑制该处JFET效应带来的导通电阻增加，其余制作方法和工作原理与实施例1基本一致。

[0066] 上述实施例仅例示性说明本发明的原理及其功效，而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下，对上述实施例进行修饰或改变。因此，凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完

成的一切等效 修饰或改变,仍应由本发明的权利要求所涵盖。

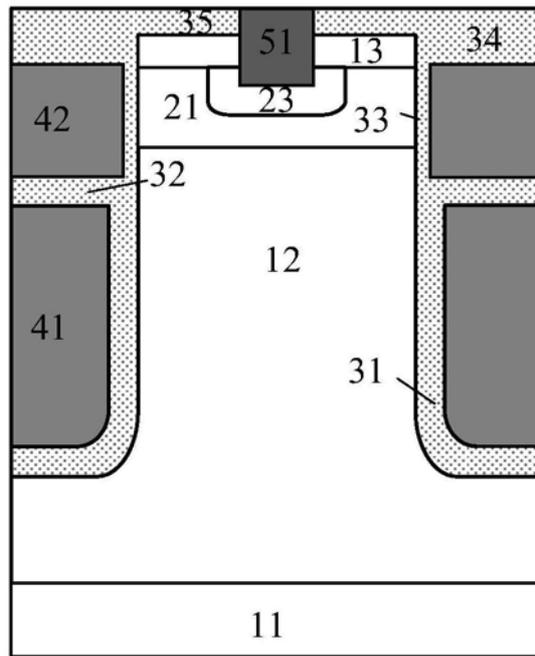


图1

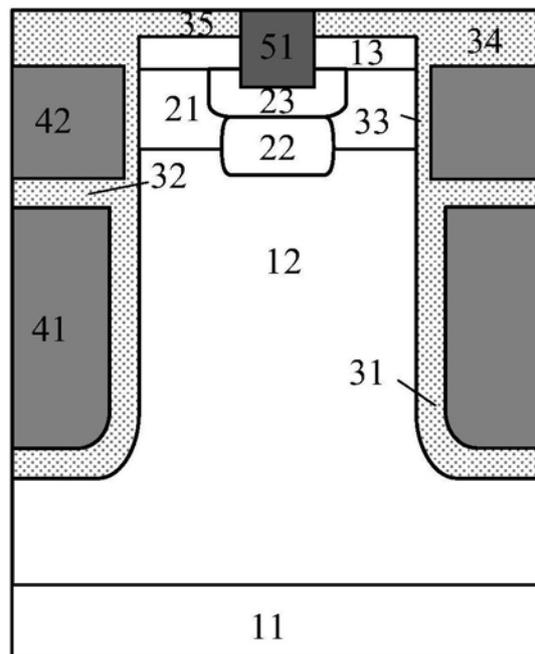


图2

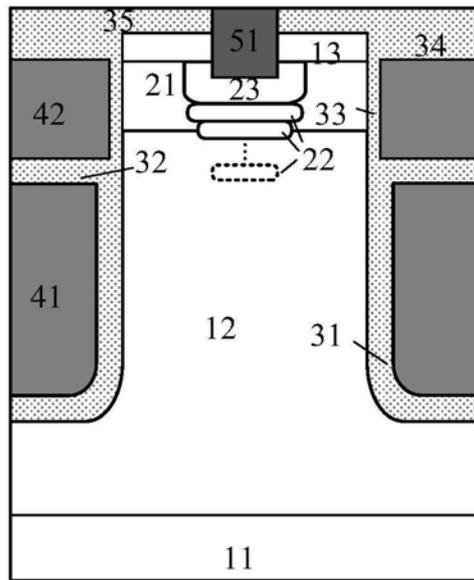


图3

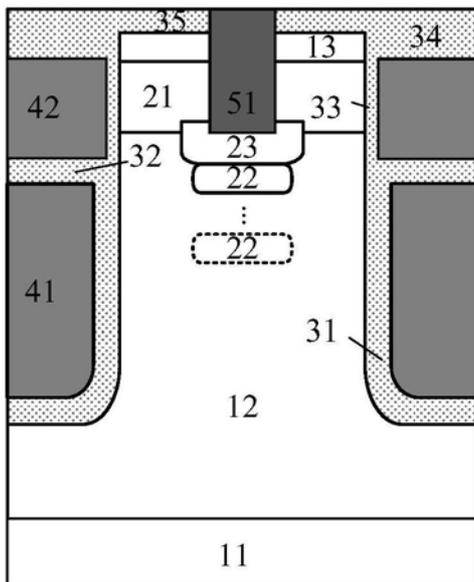


图 4(a)

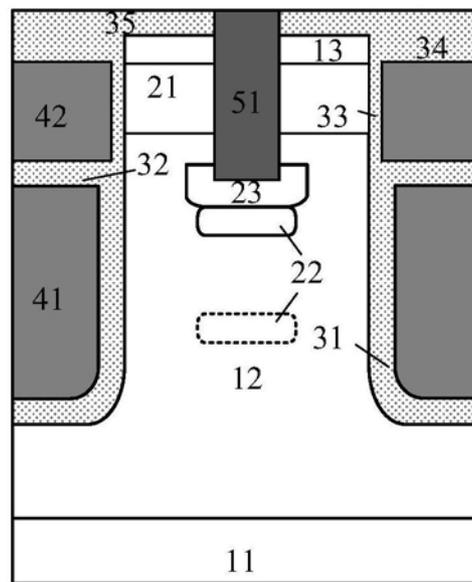


图 4(b)

图4

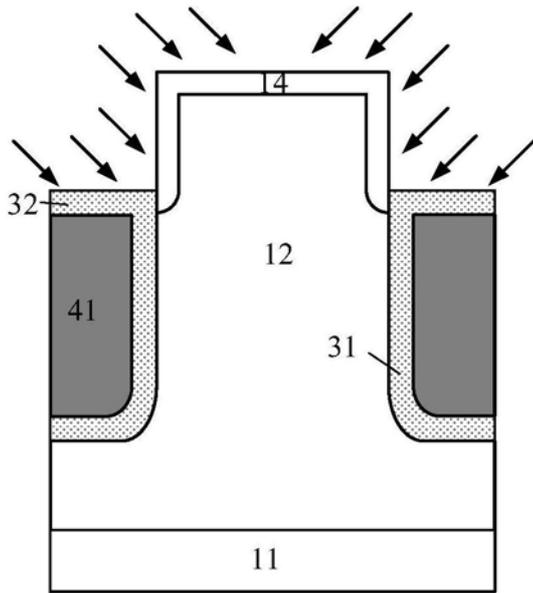


图 5 (a)

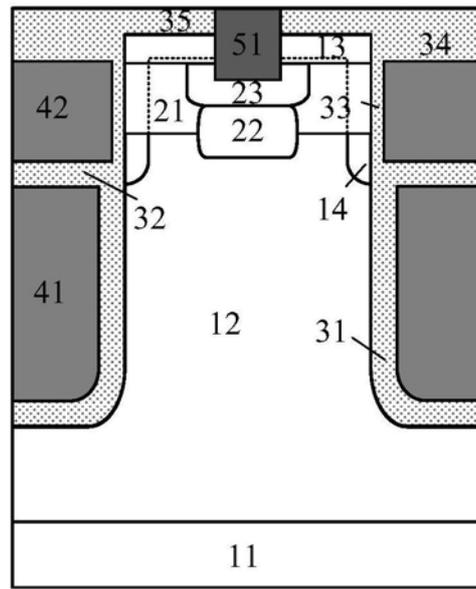


图 5 (b)

图5

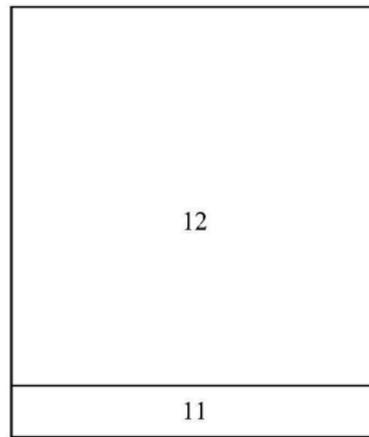


图6 (a)

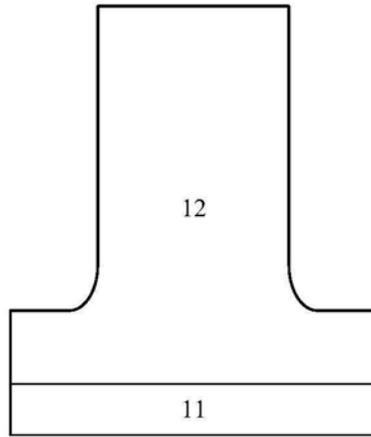


图6 (b)

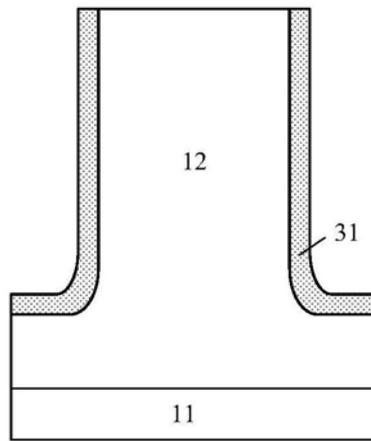


图6 (c)

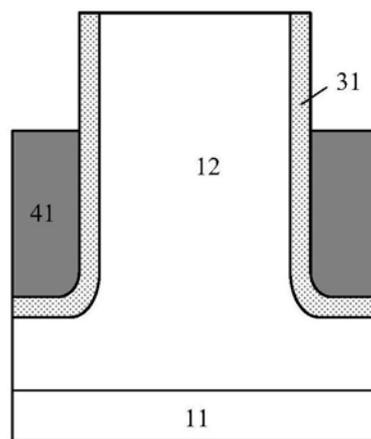


图6 (d)

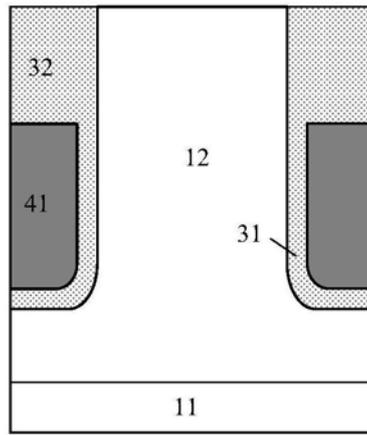


图6(e)

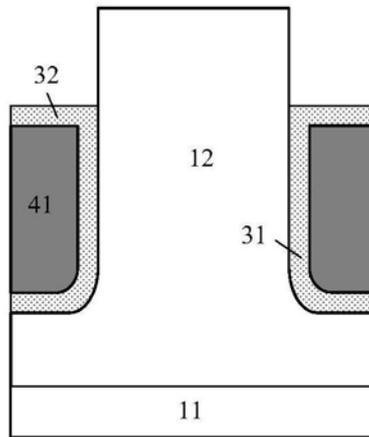


图6(f)

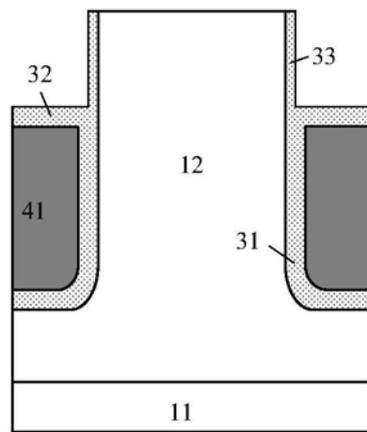


图6(g)

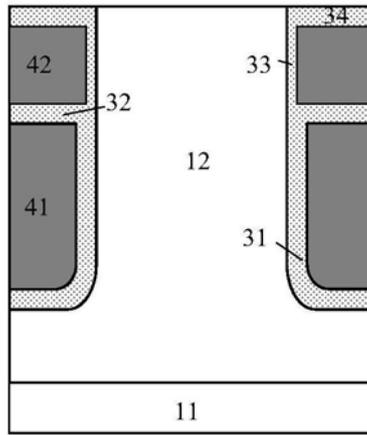


图6 (h)

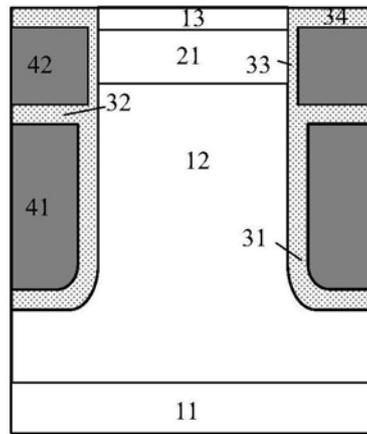


图6 (i)

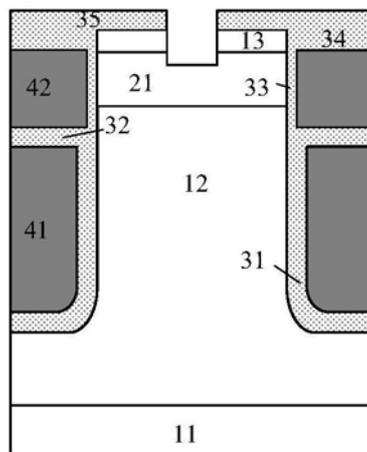


图6 (j)

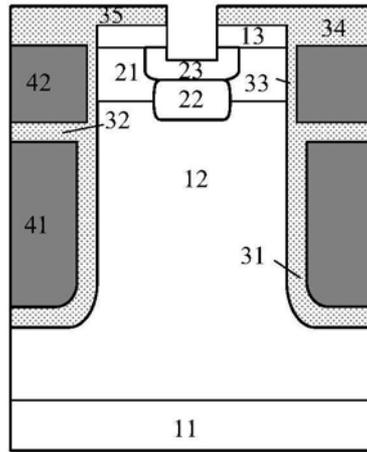


图6(k)

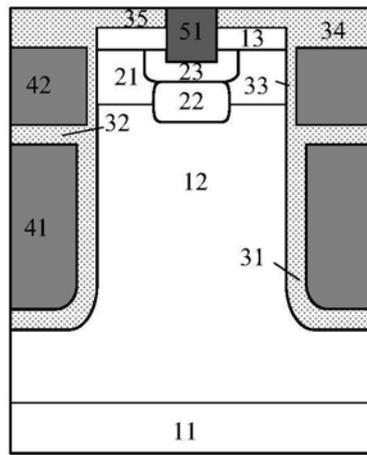


图6(l)

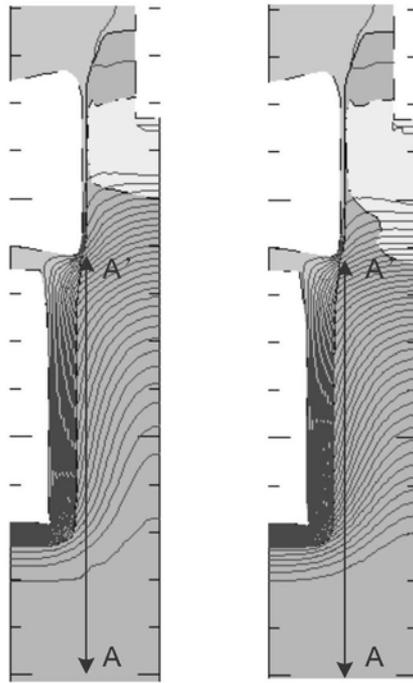


图7

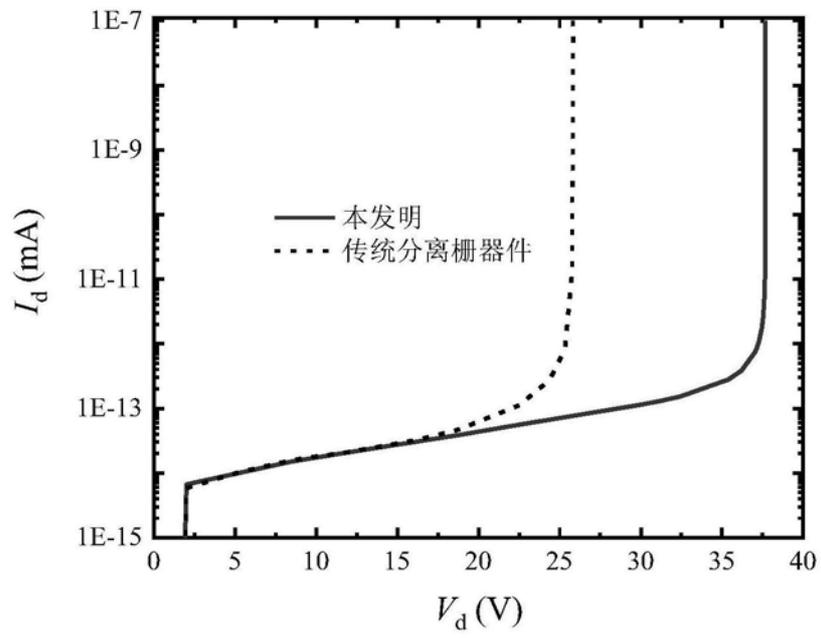


图8

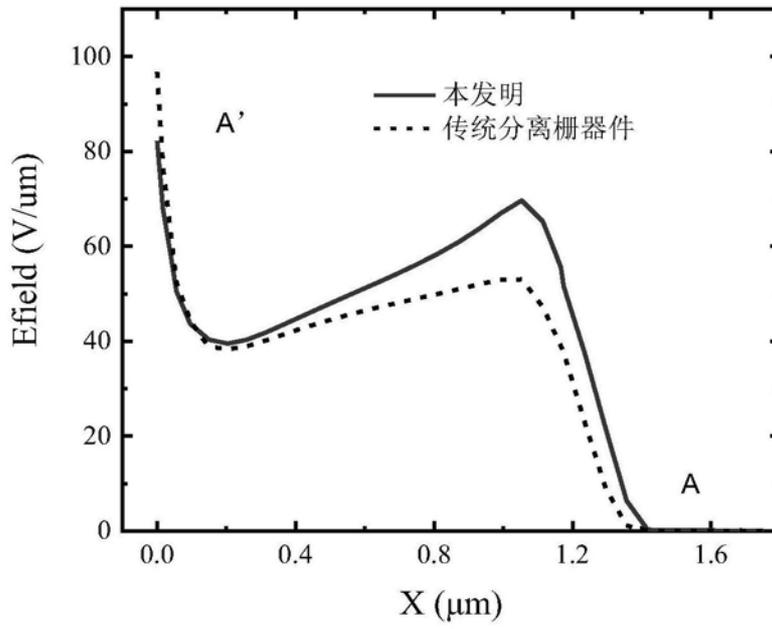


图9