



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월22일
(11) 등록번호 10-1825539
(24) 등록일자 2018년01월30일

(51) 국제특허분류(Int. Cl.)
H01L 21/8247 (2006.01) H01L 27/115 (2017.01)
(21) 출원번호 10-2010-0096989
(22) 출원일자 2010년10월05일
심사청구일자 2015년10월02일
(65) 공개번호 10-2012-0035468
(43) 공개일자 2012년04월16일
(56) 선행기술조사문헌
KR1020090047614 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
양상렬
경기도 화성시 병점3로 157, 주공아파트 803동
1806호 (병점동)
공유철
서울특별시 강동구 성내로14길 31, 301호 (성내동)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

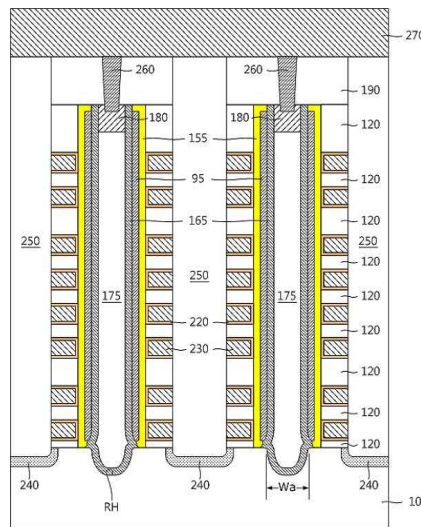
심사관 : 고연화

(54) 발명의 명칭 3차원 반도체 장치 및 그 제조 방법

(57) 요약

3차원 반도체 장치 및 그 제조 방법이 제공된다. 이 방법은 기판 상에 적층막 구조체를 형성하고, 적층막 구조체를 관통하는 개구부 및 개구부 둘레에 언더컷 영역을 형성하고, 언더컷 영역에 국소적으로 배치되는 절연 스페이서를 형성한 후, 절연 스페이서가 형성된 개구부 내에 반도체 패턴을 형성하는 단계를 포함한다.

대표도 - 도39



(72) 발명자

김진균

경기도 용인시 기흥구 구성로 90, 삼성래미안2차아파트 장미마을 214동 901호 (연남동)

신재진

서울특별시 노원구 노해로 508, 주공아파트 609동 1402호 (상계동)

김중호

경기도 수원시 영통구 영통로241번길 12-8, 301호 (신동)

최지훈

경기도 성남시 분당구 장안로51번길 10, 월드메르디앙빌라204호 (분당동)

(56) 선행기술조사문헌

KR100759839 B1*

JP02039529 A

JP2007180389 A

KR1020120129284 A

US08008722 B2

US08084819 B2

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판 상에, 차례로 그리고 교대로 적층된 제 1 막들 및 제 2 막들을 포함하는, 적층막 구조체를 형성하는 단계;
 상기 적층막 구조체를 관통하는 개구부(opening)를 형성하는 단계;
 상기 개구부에 의해 노출되는 상기 제 2 막의 측벽을 수평적으로 식각하여 언더컷 영역을 형성하는 단계;
 상기 언더컷 영역에 국소적으로 배치되는 절연 스페이서를 형성하는 단계; 및
 상기 절연 스페이서가 형성된 상기 개구부 내에 반도체 패턴을 형성하는 단계;
 상기 반도체 패턴으로부터 이격되어 상기 적층막 구조체를 관통하는 트렌치를 형성하는 단계;
 상기 트렌치에 의해 노출되는 상기 제 2 막을 제거하여, 상기 제 1 막들 사이에 리세스 영역들을 형성하는 단계; 및
 상기 리세스 영역들 각각의 내부에 도전 패턴들을 형성하는 단계를 포함하는 3차원 반도체 장치의 제조 방법.

청구항 2

청구항 1에 있어서,
 상기 적층막 구조체는, 그것의 최상부에 위치하는, 캐핑 마스크막을 더 포함하되, 상기 언더컷 영역을 형성하는 단계는 상기 캐핑 마스크막을 식각 마스크로 사용하여 상기 제 1 및 제 2 막들의 측벽들을 수평적으로 식각하는 단계를 포함하는 3차원 반도체 장치의 제조 방법.

청구항 3

청구항 1에 있어서,
 상기 언더컷 영역을 형성하는 단계는 상기 제 1 막들에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 상기 제 2 막들의 측벽들을 수평적으로 리세스하는 단계를 포함함으로써, 상기 개구부의 둘레에는 상기 제 1 막들에 의해 분리된 복수의 상기 언더컷 영역들이 형성되는 3차원 반도체 장치의 제조 방법.

청구항 4

청구항 1에 있어서,
 상기 절연 스페이서를 형성하는 단계는
 상기 언더컷 영역이 형성된 결과물을 콘포말하게 덮는 절연막을 형성하는 단계; 및
 상기 개구부의 바닥에서 상기 절연막을 제거하여, 상기 절연막을 상기 언더컷 영역 내부로 국소화(localize)시키는 단계를 포함하는 3차원 반도체 장치의 제조 방법.

청구항 5

청구항 4에 있어서,
 상기 절연 스페이서를 형성하는 단계는, 차례로 실시되는 이방성 및 등방성 식각 단계들을 통해, 상기 절연막을 식각하는 단계를 포함하되,
 상기 이방성 식각 단계는 상기 개구부 내부의 한정된 영역에서 상기 절연막을 식각함으로써, 상기 이방성 식각 단계 동안, 상기 언더컷 영역에 위치하는 상기 절연막의 부분에 대한 식각은 실질적으로 방지되는 3차원 반도체 장치의 제조 방법.

청구항 6

청구항 1에 있어서,

상기 기판은 상기 개구부 아래에 형성되는 리세스 홈을 포함하고,

상기 절연 스페이서는, 상기 리세스 홈에 포함되지 않는, 상기 언더컷 영역 내에 국소적으로 형성되어, 상기 리세스 홈의 내벽 전체는 상기 반도체 패턴과 직접 접촉하는 3차원 반도체 장치의 제조 방법.

청구항 7

청구항 1에 있어서,

상기 제 1 막은 절연성 물질로 형성되고, 상기 제 2 막은 도전성 물질을 포함하는 3차원 반도체 장치의 제조 방법.

청구항 8

청구항 1에 있어서,

상기 절연 스페이서는 상기 제 2 막에 대해 식각 선택성을 갖는 물질로 형성되어, 상기 리세스 영역들을 형성하는 동안 상기 반도체 패턴의 손상을 방지하는 3차원 반도체 장치의 제조 방법.

청구항 9

청구항 1에 있어서,

상기 도전 패턴들을 형성하기 전에,

상기 절연 스페이서를 식각하여 상기 반도체 패턴의 측벽을 노출시키도록 상기 리세스 영역을 확장하는 단계; 및

상기 확장된 리세스 영역의 내벽을 콘포말하게 덮는 수평막을 형성하는 단계를 더 포함하되,

상기 수평막은 실리콘 산화물, 실리콘 질화물 또는 고유전 유전막들(high-k dielectrics) 중의 적어도 하나를 포함하는 3차원 반도체 장치의 제조 방법.

청구항 10

청구항 1에 있어서,

상기 도전 패턴은 상기 리세스 영역에 의해 노출되는 상기 절연 스페이서의 측벽을 덮도록 형성됨으로써, 상기 절연 스페이서는 상기 반도체 패턴과 상기 도전 패턴의 측벽들 사이에 개재되는 3차원 반도체 장치의 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 3차원적으로 배열된 메모리 셀들을 포함하는 3차원 메모리 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

- [0002] 3D-IC 메모리 기술은 메모리 용량의 증대를 위한 기술로서, 메모리 셀들을 3차원적으로 배열하는 것과 관련된 제반 기술들을 의미한다. 메모리 용량은, 3D-IC 메모리 기술 이외에도, (1) 패턴 미세화 기술 및 (2) 다중 레벨 셀(MLC) 기술을 통해서도 증대될 수 있다. 하지만, 패턴 미세화 기술은 고비용의 문제를 수반하고, MLC 기술은 증가시킬 수 있는 셀당 비트의 수에서 제한될 수 밖에 없다. 이런 이유에서, 3D-IC 기술은 메모리 용량의 증대를 위한 필연적인 방법인 것으로 보인다. 물론, 패턴 미세화 및 MLS 기술들이 3D-IC 기술에 접목될 경우, 더욱 증가된 메모리 용량을 구현할 수 있다는 점에서, 패턴 미세화 및 MLS 기술들 역시 3D-IC 기술과는 독립적으로 발전할 것으로 기대된다.
- [0003] 3D-IC 기술의 하나로써, 펀치-앤-플러그(punch-and-plug) 기술이 최근 제안되었다. 상기 펀치-앤-플러그 기술은 다층의 박막들을 기판 상에 차례로 형성한 후 상기 박막들을 관통하는 플러그들을 형성하는 단계들을 포함한다. 이 기술을 이용하면, 제조 비용의 큰 증가없이 3D 메모리 소자의 메모리 용량을 크게 증가시킬 수 있기 때문에, 이 기술은 최근 크게 주목받고 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 이루고자 하는 일 기술적 과제는 반도체 패턴 두께의 불균일성을 줄일 수 있는 3차원 반도체 장치의 제조 방법을 제공하는 데 있다.
- [0005] 본 발명이 이루고자 하는 일 기술적 과제는 반도체 패턴 두께의 균일성이 향상된 3차원 반도체 장치를 제공하는 데 있다.

과제의 해결 수단

- [0006] 3차원 반도체 장치의 제조 방법이 제공된다. 이 방법은 기판 상에, 차례로 그리고 교대로 적층된 제 1 막들 및 제 2 막들을 포함하는, 적층막 구조체를 형성하고, 상기 적층막 구조체를 관통하는 개구부(opening)를 형성하고, 상기 개구부에 의해 노출되는 상기 제 2 막의 측벽을 수평적으로 식각하여 언더컷 영역을 형성하고, 상기 언더컷 영역에 국소적으로 배치되는 절연 스페이서를 형성한 후, 상기 절연 스페이서가 형성된 상기 개구부 내에 반도체 패턴을 형성하는 단계를 포함한다.
- [0007] 일부 실시예들에 따르면, 상기 적층막 구조체는, 그것의 최상부에 위치하는, 캐핑 마스크막을 더 포함할 수 있다. 상기 언더컷 영역을 형성하는 단계는 상기 캐핑 마스크막을 식각 마스크로 사용하여 상기 제 1 및 제 2 막들의 측벽들을 수평적으로 식각하는 단계를 포함할 수 있다.
- [0008] 다른 실시예들에 따르면, 상기 언더컷 영역을 형성하는 단계는 상기 제 1 막들에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 상기 제 2 막들의 측벽들을 수평적으로 리세스하는 단계를 포함할 수 있다. 이 경우, 상기 개구부의 둘레에는 상기 제 1 막들에 의해 분리된 복수의 상기 언더컷 영역들이 형성될 수 있다.
- [0009] 상기 절연 스페이서를 형성하는 단계는 상기 언더컷 영역이 형성된 결과물을 콘포말하게 덮는 절연막을 형성한 후, 상기 개구부의 바닥에서 상기 절연막을 제거하여 상기 절연막을 상기 언더컷 영역 내부로 국소화(localize)시키는 단계를 포함할 수 있다.
- [0010] 일부 실시예들에 따르면, 상기 개구부의 바닥에서 상기 절연막을 제거하는 단계는 상기 절연막 상에 보조 마스크막을 콘포말하게 형성하고, 상기 보조 마스크막을 패터닝하여 상기 개구부의 바닥에서 상기 절연막을 노출시키는 보조 스페이서를 형성한 후, 상기 보조 스페이서를 식각 마스크로 사용하여 상기 절연막을 식각하는 단계를 포함할 수 있다.
- [0011] 일부 실시예들에 따르면, 상기 절연막은 상기 개구부의 바닥 및 상기 언더컷 영역에서 서로 다른 불순물 농도를 갖도록 형성될 수 있으며, 상기 절연 스페이서를 형성하는 단계는 상기 절연막의 불순물 농도에서의 차이에 따른 식각 속도의 차이를 이용하여 실시될 수 있다.
- [0012] 일부 실시예들에 따르면, 상기 반도체 패턴을 형성하는 단계는 상기 절연 스페이서의 내측벽을 직접 덮는 반도체막을 증착하는 단계를 포함할 수 있으며, 상기 절연 스페이서는 실리콘, 산소 및 질소를 포함하는 절연성 물질로 형성될 수 있다. 예를 들면, 상기 절연 스페이서는 질소를 포함하는 실리콘 산화막, 실리콘 산화질화막,

실리콘 질화막 또는 이들의 조합막들 중의 적어도 하나로 형성될 수 있다.

[0013] 본 발명의 실시예들에 따르면, 상기 기판은 상기 개구부 아래에 형성되는 리세스 홈을 포함하고, 상기 절연 스페이서는, 상기 리세스 홈에 포함되지 않는, 상기 언더컷 영역 내에 국소적으로 형성되어, 상기 리세스 홈의 내벽 전체는 상기 반도체 패턴과 직접 접촉할 수 있다.

[0014] 3차원 반도체 장치가 제공된다. 이 장치는 하부 구조체 상에 차례로 그리고 교대로 적층된 층간절연막들 및 도전 패턴들; 상기 층간절연막들 및 상기 도전 패턴들을 관통하여 상기 하부 구조체의 상부면에 삽입되는 반도체 패턴; 및 상기 층간절연막들과 상기 반도체 패턴 사이에 배치되는 절연 스페이서를 포함할 수 있다. 상기 하부 구조체는 상기 반도체 패턴에 의해 삽입되는 리세스 홈을 포함하고, 상기 리세스 홈의 내벽 전체는 상기 반도체 패턴과 직접 접촉할 수 있다.

[0015] 일부 실시예들에 따르면, 상기 절연 스페이서는 실리콘, 산소 및 질소를 포함하는 절연성 물질로 형성될 수 있다.

[0016] 일부 실시예들에 따르면, 상기 반도체 패턴과 상기 절연 스페이서 사이에는 보조 스페이서가 더 배치될 수 있다. 이 경우, 상기 보조 스페이서는 상기 절연 스페이서 또는 상기 반도체 패턴에 의해 상기 하부 구조체로부터 이격될 수 있다. 또한, 상기 보조 스페이서는 반도체 물질들 중의 하나로 형성될 수 있다.

발명의 효과

[0017] 본 발명의 일 측면에 따르면, 식각 정지막으로 기능하는 절연 스페이서가 개구부의 내벽에 형성된다. 이에 따라, 희생막을 제거하는 공정에서 반도체 패턴의 측벽이 손상되는 기술적 문제는 유효하게 방지될 수 있다.

[0018] 본 발명의 다른 측면에 따르면, 절연 스페이서가 개구부 둘레의 언더컷 영역에 국소적으로 형성된다. 이에 따라, 기판 또는 하부 구조체에 형성되는 리세스 홈의 내벽 전체가 반도체 패턴과 직접 접촉한다. 이 경우, 상기 반도체 패턴을 경유하는 전류 경로가 길어지는 기술적 문제는 방지될 수 있다.

[0019] 상기 절연 스페이서의 국소화는 불순물 농도의 공간적 차이에 따른 식각 속도의 차이를 이용하는 방법 또는 보조 스페이서를 식각 마스크로 사용하는 방법 등을 통해 구현될 수 있다.

[0020] 본 발명의 또다른 측면에 따르면, 상기 절연 스페이서는 반도체 패턴 또는 보조 스페이서의 하지막(underlayer)으로 사용된다. 이 경우, 하지막으로서의 상기 절연 스페이서는 반도체 패턴 또는 보조 스페이서의 배양 시간 또는 두께 균일성을 개선할 수 있는 물성을 갖도록 형성된다. 예를 들면, 일부 실시예들로서 개시된 것처럼, 절연성 스페이서는 질소를 함유하는 산화물, 실리콘 산화 질화물 또는 실리콘 질화물일 수 있다.

도면의 간단한 설명

[0021] 도 1 내지 도 8는 본 발명의 기술적 사상의 제 1 측면(aspect)을 구현하는 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 9 내지 도 15는 본 발명의 기술적 사상의 제 2 측면을 구현하는 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 16은 불순물 농도에 따른 식각 속력을 예시적으로 도시하는 그래프이다.

도 17 내지 도 20은 본 발명의 기술적 사상의 제 4 측면을 구현하는 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 21 내지 도 27은 본 발명의 제 1 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 28 내지 도 32은 본 발명의 제 2 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 33 내지 도 36은 본 발명의 제 3 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 37 내지 도 39는 본 발명의 제 4 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 40은 본 발명에 따른 플래시 메모리 장치를 구비하는 메모리 카드의 일 예를 간략히 도시한 블록도이다.

도 41는 본 발명에 따른 메모리 시스템을 장착하는 정보 처리 시스템을 간략히 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0023] 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막을 다른 영역 또는 막과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.

[0024] 본 발명의 실시예들에 따른 3차원 반도체 장치는 셀 어레이 영역, 주변회로 영역, 센스 앰프 영역, 디코딩 회로 영역 및 연결 영역을 포함할 수 있다. 상기 셀 어레이 영역에는, 복수의 메모리 셀들 및 상기 메모리 셀들로의 전기적 연결을 위한 비트라인들 및 워드라인들이 배치된다. 상기 주변 회로 영역에는 상기 메모리 셀들의 구동을 위한 회로들이 배치되고, 상기 센스 앰프 영역에는 상기 메모리 셀들에 저장된 정보를 판독하기 위한 회로들이 배치된다. 상기 연결 영역은 상기 셀 어레이 영역과 상기 디코딩 회로 영역 사이에 배치될 수 있으며, 여기에는 상기 워드라인들과 상기 디코딩 회로 영역을 전기적으로 연결하는 배선 구조체가 배치될 수 있다.

[0025] 아래에서는, 3차원 반도체 장치의 셀 어레이 영역의 일부분과 관련된 기술적 특징들이 주로 설명될 것이다. 한편, 2009년 12월 18일에 출원된 한국특허출원번호 2009-0126854, 2010년 2월 18일에 출원된 한국특허출원번호 2010-0014751, 2010년 1월 22일에 출원된 한국특허출원번호 2010-0006124, 2009년 10월 19일에 출원된 한국특허출원번호 2009-0099370, 2009년 6월 8일에 출원된 미국특허출원번호 12/480,399는 상기 셀 어레이 영역뿐만 아니라 (주변회로 영역 또는 연결 영역과 같은) 다른 영역들과 관련된 기술적 특징들을 개시하고 있다. 한국특허출원번호 2009-0126854, 2010-0014751, 2010-0006124, 2009-0099370 및 미국특허출원번호 12/480,399에 개시된 내용들은 완전한 형태로서 이 출원의 일부로 포함된다.

[0026] 이에 더하여, 상기 한국특허출원번호 2010-0006124는 메모리 구조체를 형성하는 단계를 반복함으로써, 메모리 구조체를 다층으로 형성하는 구성을 개시하고 있다. 본 발명의 기술적 사상은 아래에서 설명될 메모리 구조체를 반복적으로 형성함으로써 다층의 메모리 구조체들을 형성하는 실시예들로 확장되어 구현될 수 있다.

[제조 방법-제 1 측면]

[0028] 도 1 내지 도 8는 본 발명의 기술적 사상의 제 1 측면(aspect)을 구현하는 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0029] 도 1을 참조하면, 기판(미도시) 상에 제 1 막들(120)(또는 주형막들) 및 제 2 막들(130)(또는 희생막들)을 차례로 그리고 교대로 증착한다. 그 결과, 도 1에 도시된 것처럼, 상기 희생막(130)은 수직적으로 적층된 주형막들(120) 사이에 개재될 수 있다.

[0030] 상기 희생막들(130)은 상기 주형막(120)에 대해 식각 선택성을 갖는 물질로 형성될 수 있다. 즉, 상기 희생막(130)은, 소정의 식각 레서피를 사용한 식각 공정에서, 상기 주형막(120)에 대한 식각을 실질적으로 방지하면서 제거될 수 있는 물질로 형성될 수 있다. 예를 들면, 상기 주형막(120)이 실리콘 산화막인 경우, 상기 희생막(130)은 실리콘 질화막일 수 있다. (한편, 아래에서, "식각 선택성"의 용어는 이러한 의미로서 사용될 것이다. 즉, 박막들 a 및 b 사이의 식각 선택성은, 사용되는 식각 레서피에서, 선택되는 박막 a와 선택되지 않는 박막 b의 식각 속도들의 비율(이하, 식각 선택비)을 통해 정량적으로 표현될 수 있으며, "식각 선택성을 갖는다"는 표

현은 이러한 식각 속도들 사이의 차이가 실질적으로 충분히 크다는 의미로 이해될 수 있다.)

- [0031] 도 2를 참조하면, 상기 주형막들(120) 및 상기 희생막들(130)을 관통하는 개구부(105)를 형성한 후, 상기 개구부(105)의 내측벽을 차례로 덮는 절연성 보호막(150) 및 반도체막(160)을 형성한다. 한편, 일부 실시예들에 따르면, 도시된 것처럼, 상기 반도체막(160)이 형성된 상기 개구부(105)를 채우는 매립 절연막(170)이 더 형성될 수 있다.
- [0032] 상기 절연성 보호막(150)은 상기 희생막(130)에 대해 식각 선택성을 갖는 물질로 형성될 수 있으며, 그것의 두께 및 물질의 종류 등은 상기 반도체막(160)의 물질 및 박막 구조에 따라 다양하게 변형될 수 있다. 본 발명의 일부 실시예들에 따르면, 상기 절연성 보호막(150)은 실리콘 산화물, 질소가 포함된 실리콘 산화물, 실리콘 산화질화물, 실리콘 질화물 또는 고유전 유전막들(high-k dielectrics) 중의 적어도 하나를 포함할 수 있다. 한편, 상기 절연성 보호막(150)과 상기 주형막(120)을 형성하는 제조 공정들(또는 증착 공정들)이 서로 다르기 때문에, 상기 절연성 보호막(150)은, 화학적 조성, 밀도 및 그것에 포함된 불순물 농도 중의 적어도 하나에 있어서, 상기 주형막(120)과 다르거나, 상기 절연성 보호막(150)과 상기 주형막(120) 사이에는 불연속적 경계면이 형성될 수 있다.
- [0033] 도 3를 참조하면, 상기 주형막들(120) 및 상기 희생막들(130)을 패터닝하여, 상기 희생막들(130)의 측벽들을 노출시키는 트렌치(200)를 형성한다. 상기 트렌치(200)는 상기 개구부(105)로부터 이격된 위치에서 상기 주형막들(120) 및 상기 희생막들(130)을 관통하도록 형성될 수 있다.
- [0034] 어어서, 상기 트렌치(200)에 의해 노출된 상기 희생막들(130)을 선택적으로 제거하여 상기 절연성 보호막(150)의 측벽을 노출시키는 리세스 영역(210)을 형성한다. 상기 리세스 영역(210)을 형성하는 단계는 상기 주형막(120) 및 상기 절연성 보호막(150)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 상기 희생막(130)을 등방적으로 식각하는 단계를 포함할 수 있다. 예를 들어, 상기 주형막(120) 및 상기 희생막(130)이 각각 실리콘 산화막 및 실리콘 질화막인 경우, 상기 리세스 영역(210)은 인산을 포함하는 식각액을 사용하여 형성될 수 있다. 한편, 상기 식각 레서피에 대해 상기 주형막(120) 및 상기 절연성 보호막(150)이 상기 희생막(130)에 대해 충분히 큰 식각 선택비를 갖지 않는 경우, 도 3에 도시된 것처럼, 상기 희생막(130)에 인접하는 상기 절연성 보호막(150)의 표면은 상기 희생막(130)을 식각하는 동안 부분적으로 리세스될 수 있다.
- [0035] 이후, 도 4에 도시된 것처럼, 상기 절연성 보호막(150)의 노출된 부분을 선택적으로 제거하여 상기 절연성 보호막(150)에 인접하는 상기 반도체막(160)의 표면을 노출시킨 후, 도 5에 도시된 것처럼, 상기 반도체막(160)의 노출된 표면을 차례로 덮는 정보저장막(220) 및 도전 패턴(230)을 형성한다. 상기 정보저장막(220)은 수평적으로 연장되어, 도시된 것처럼, 상기 도전 패턴(230)의 상부면 및 하부면을 덮을 수 있다.
- [0036] 상기 반도체막(160)의 표면을 노출시키는 단계는 상기 반도체막(160)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시될 수 있다. 일 실시예에 따르면, 상기 식각 레서피는 상기 주형막(120)에 대해서도 식각 선택성을 갖도록 선택될 수 있다.
- [0037] 다른 실시예에 따르면, 상기 주형막(120) 및 상기 절연성 보호막(150)은 충분히 높은 식각 선택비를 갖지 않는 물질들로 형성될 수 있다. 즉, 상기 주형막(120) 및 상기 절연성 보호막(150)은 상기 반도체막(160)의 표면을 노출시키는 동안 함께 식각될 수 있다. 이 경우, 상기 절연성 보호막(150)의 노출된 부분을 제거하는 동안, 상기 리세스 영역(210)의 두께(즉, 수직하게 인접한 두 주형막들 사이의 거리)는 도 1에 도시된 상기 희생막(130)의 최초 증착 두께보다 커질 수 있다.
- [0038] 한편, 상기 주형막(120) 및 상기 절연성 보호막(150)의 식각 속력들(etch rates)은 서로 다를 수 있다. 예를 들어, 상기 절연성 보호막(150)의 식각 속력이 상기 주형막(120)의 식각 속력보다 클 경우, 상기 절연성 보호막(150)의 수직적 두께는, 평균값에 있어서, 상기 주형막(120)의 수직적 두께보다 감소될 수 있다. 이 경우, 도 6에 도시된 것처럼, 상기 정보저장막(220)의 일부분은 상기 주형막(120)과 상기 반도체막(160)의 측벽들 사이로 연장될 수 있다. 반면, 상기 절연성 보호막(150)의 식각 속력이 상기 주형막(120)의 식각 속력보다 작을 경우, 상기 절연성 보호막(150)의 수직적 두께는 상기 주형막(120)의 수직적 두께보다 클 수 있다. 즉, 도 7에 도시된 것처럼, 상기 절연성 보호막(150)은 상기 정보저장막(220)과 상기 반도체막(160)의 측벽들 사이로 연장된 부분을 가질 수 있다.
- [0039] 본 발명의 변형된 실시예에 따르면, 상기 반도체막(160)을 형성하기 전에, 상기 절연성 보호막(150)을 형성하는 단계가 생략될 수 있다. 이 경우, 도 8에 도시된 것처럼, 상기 반도체막(160)은 상기 주형막(120)에 직접 접촉하도록 형성된다. 하지만, 상기 반도체막(160)이 상기 희생막(130)에 대해 충분히 큰 식각 선택성을 갖지 않는

물질로 형성되는 경우, 상기 리세스 영역(210)을 형성하는 동안 상기 반도체막(160)의 표면이 리세스될 수 있다. 제품의 특성이 상기 반도체막(160)의 두께 균일성에 크게 영향을 받는다면, 이러한 리세스는 방지되어야 한다.

[0040] 한편, 본 발명의 일부 실시예들에 따르면, 상기 트렌치(200)로부터의 거리가 다른, 복수의 개구부들(105) 및 이를 채우는 반도체막들(160)이 한 쌍의 인접하는 트렌치들(200) 사이에 형성될 수 있다. 예를 들면, 한 쌍의 인접하는 트렌치들(200) 사이에는, 상기 트렌치(200)로부터의 거리가 다른, 2개 내지 8개의 반도체막들(160)이 형성될 수 있다. 이러한 구조의 경우, 상기 반도체막(160)에 대한 식각 손상 및 두께 불균일성이 더욱 심화될 수 있다. 왜냐하면, 상기 리세스 영역(210)을 형성하기 위해 사용되는 식각 물질에 오래 노출될수록 상기 반도체막(160)에 대한 식각 손상은 증가하기 때문에, 상기 트렌치(200)에 가까울수록, 상기 반도체막(160)에 대한 식각 손상은 심화될 수 있다.

[0041] 도 1 내지 도 7을 참조하여 설명된 것처럼, 상기 절연성 보호막(150)은 상기 희생막(130)과 상기 반도체막(160) 사이에 개재되어 상기 리세스 영역(210)을 형성하는 동안 상기 반도체막(160)의 식각 손상을 예방한다. 이에 따라, 도 8을 참조하여 설명된 실시예와 달리, 상기 반도체막(160)의 두께 균일성은 확보될 수 있다. 예를 들면, 본 발명의 일부 실시예들에 따르면, 상기 절연성 보호막(150)의 측벽 상에서 측정되는 상기 반도체막(160)의 두께(T1)와 상기 정보저장막(220)의 측벽 상에서 측정되는 상기 반도체막(160)의 두께(T2) 사이의 차이(즉, T1-T2)는 상기 반도체막(160)의 평균적인 두께의 1/10보다 작을 수 있다.

[0042] **[제조 방법-제 2 측면]**

[0043] 도 9 내지 도 15는 본 발명의 기술적 사상의 제 2 측면을 구현하는 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 16은 불순물 농도에 따른 식각 속력을 예시적으로 도시하는 그래프이다.

[0044] 도 9를 참조하면, 기판(10) 상에 적층막 구조체(100)를 형성한 후, 이를 관통하는 개구부(105)를 형성한다.

[0045] 상기 적층막 구조체(100)는 차례로 그리고 교대로 형성되는 제 1 막들(120)(또는 주형막들) 및 제 2 막들(130)(또는 희생막들)을 포함할 수 있다. 이에 더하여, 상기 적층막 구조체(100)는 그것의 최상부에 형성되는 캐핑 마스크막(140)을 더 포함할 수 있다. 상기 제 1 막(120)은 상기 제 2 막(130)에 대해 식각 선택성을 갖는 물질로 형성될 수 있고, 상기 캐핑 마스크막(140)은 상기 제 1 및 제 2 막들(120, 130) 모두에 대해 식각 선택성을 갖는 물질로 형성될 수 있다. 즉, 화학적 조성 또는 물리적 구조에 있어서, 상기 제 1 막(120) 및 상기 제 2 막(130)은 서로 다른 물질이고, 상기 캐핑 마스크막(140)은 상기 제 1 및 제 2 막들(120, 130) 모두와 다른 물질일 수 있다. 예를 들면, 상기 제 1 막(120), 상기 제 2 막(130) 및 상기 캐핑 마스크막(140)은 상술한 식각 선택성의 요건을 충족시키되, 그 각각은 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 실리콘 게르마늄, 실리콘, 카바이드 중에서 선택되는 하나를 포함할 수 있다. 일부 실시예들에 따르면, 상기 제 1 막(120)은 실리콘 산화물이고, 상기 제 2 막(130)은 실리콘 질화물이고, 상기 캐핑 마스크막(140)은 실리콘, 실리콘 카바이드 또는 실리콘 게르마늄 중의 적어도 하나일 수 있다.

[0046] 상기 개구부(105)는 상기 기판(10)의 상부면을 리세스시키도록 형성될 수 있다. 이에 따라, 상기 개구부(105) 아래의 상기 기판(10)에는, 리세스 홈(RH)이 형성될 수 있다. 상기 리세스 홈(RH)은, 도 9에 도시된 것처럼, 아래로 갈수록 좁아지는 폭을 갖도록 형성될 수 있지만, 그것의 모양은 다양하게 변형될 수 있다.

[0047] 도 10을 참조하면, 상기 캐핑 마스크막(140)을 식각 마스크로 사용하여, 상기 개구부(105)에 의해 노출되는, 상기 제 1 및 제 2 막들(120, 130)의 측벽들을 수평적으로 식각한다. 이에 따라, 도시된 것처럼, 상기 캐핑 마스크막(140)과 상기 기판(10) 사이에는 언더컷 영역(UC)이 형성될 수 있다. 수평적인 측면에서, 상기 언더컷 영역(UC)은 상기 제 1 및 제 2 막들(120, 130)과 상기 개구부(105) 사이의 영역에 형성될 수 있다.

[0048] 상기 언더컷 영역(UC)을 형성하는 단계는 상기 기판(10)에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 상기 제 1 및 제 2 막들(120, 130)을 등방적으로 식각하는 단계를 포함할 수 있다. 이 단계는 상기 제 1 및 제 2 막들(120, 130)을 동시에 식각하는 방식 또는 이들 중의 하나 및 다른 하나를 순차적으로 식각하는 방식을 통해 실시될 수 있다. 예를 들면, 상기 제 1 막(120)을 식각한 후, 상기 제 2 막(130)을 식각하는 과정을 통해 상기 언더컷 영역(UC)을 형성할 수 있다. 이 경우, 상기 언더컷 영역(UC)은 상기 제 1 막(120)의 근방에서보다 상기 제 2 막(130)의 근방에서 더 넓은 폭을 가질 수 있다.

[0049] 도 11을 참조하면, 상기 언더컷 영역(UC)이 형성된 결과물 상에 절연성 보호막(150)을 형성한다. 상기 절연성

보호막(150)은 상기 언더컷 영역(UC)의 폭(즉, 상기 개구부(105)와 상기 언더컷 영역(UC)의 외측벽들 사이의 거리)보다 작은 두께로 콘포말하게 형성될 수 있다. 이에 따라, 상기 절연성 보호막(150)은 상기 제 1 및 제 2 막들(120, 130)의 측벽들 및 상기 리세스 홈(RH)의 내벽을 덮도록 형성된다. 이때, 상기 제 1 및 제 2 막들(120, 130)의 측벽들을 덮는 상기 절연성 보호막(150)의 부분은, 상기 캐핑 마스크막(140)에 의해 가려지는(shadow), 상기 언더컷 영역(UC) 내에 형성된다.

[0050] 일부 실시예들에 따르면, 상기 절연성 보호막(150)은 상기 제 1 막(120) 또는 상기 제 2 막(130)에 대해 식각 선택성을 갖는 물질로 형성될 수 있다. 예를 들면, 상기 절연성 보호막(150)은 상기 제 2 막(130)과 다른 물질로 형성될 수 있다. 보다 구체적으로, 상기 절연성 보호막(150)은 실리콘 산화물, 질소가 포함된 실리콘 산화물, 실리콘 산화질화물, 실리콘 질화물 또는 고유전 유전막들(high-k dielectrics) 중의 적어도 하나를 포함할 수 있다. 한편, 상기 절연성 보호막(150)과 상기 제 1 막(120)을 형성하는 제조 공정들(또는 증착 공정들)이 서로 다르기 때문에, 상기 절연성 보호막(150)은, 화학적 조성, 밀도 및 그것에 포함된 불순물 농도 중의 적어도 하나에 있어서, 상기 제 1 막(120)과 다르거나, 상기 절연성 보호막(150)과 상기 제 1 막(120) 사이에는 불연속적 경계면이 형성될 수 있다.

[0051] 도 12를 참조하면, 상기 절연성 보호막(150)의 상기 리세스 홈(RH)을 덮는 부분(150c)(이하, 제 3 부분)에 불순물들을 주입한다. 이러한 불순물 주입은, 상기 제 1 및 제 2 막들(120, 130)의 측벽들을 덮는, 상기 절연성 보호막(150)의 부분(150a)(이하, 제 1 부분)에서는 억제될 수 있다.

[0052] 일부 실시예들에 따르면, 상기 불순물 주입은 상기 캐핑 마스크막(140)을 이온 마스크로 사용하는 이온 주입 공정(IIP)을 이용하여 실시될 수 있다. 이 경우, 상기 불순물들은 상기 캐핑 마스크막(140)을 덮는 상기 절연성 보호막(150)의 일부분(150b)(이하, 제 2 부분)에 주입될 수 있다. 하지만, 상기 캐핑 마스크막(140)이 이온 마스크로 사용되기 때문에, 상기 제 1 부분(150a)으로의 불순물 주입은 상술한 것처럼 억제될 수 있다. 결과적으로, 상기 절연성 보호막(150)은 불순물 농도에서 차이를 갖는 복수의 부분들을 갖게 된다. 일부 실시예들에 따르면, 이러한 불순물 농도에서의 차이를 구현하기 위해, 상기 이온 주입 공정(IIP)에서 사용되는 상기 불순물들은 상기 기판(10)의 상부면에 실질적으로 수직하게 입사될 수 있다.

[0053] 이후, 상기 절연성 보호막(150)의 상기 제 2 부분(150b)을 상기 언더컷 영역(UC) 내에 잔존시키면서, 상기 절연성 보호막(150)의 상기 제 3 부분(150c)을 선택적으로 제거한다. 이에 따라, 상기 리세스 홈(RH)의 내벽(즉, 바닥면 및 측벽) 전체가 노출될 수 있다. 일부 실시예들에 따르면, 이 과정은 도 14에 도시된 것처럼 상기 캐핑 마스크막(140) 및 상기 기판(10)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 상기 절연성 보호막(150)을 등방적으로 식각하는 단계를 포함할 수 있다. 이 경우, 상술한 불순물 농도의 공간적 차이에 의해, 상기 절연성 보호막(150)의 상기 제 3 부분(150c)은 선택적으로 제거되고, 상기 언더컷 영역(UC) 내에는 국소화된 절연 스페이서(155)가 잔존할 수 있다.

[0054] 도 16을 참조하여 이러한 선택적 제거 공정을 보다 구체적으로 설명한다. 도 16은 발명자들에 의해 수행된 실험 결과를 도시하는 실험 그래프이다. 실험은 실리콘 산화막에 보론(B) 이온들을 주입한 후, 식각 속력을 측정하였다. 실험에서 사용된 식각액 및 이온 에너지는 동일하였다. 그래프의 가로축은 식각 시간이고, 세로축은 식각량이고, 곡선들 C1, C2 및 C3는 각각 0 , 5.0×10^{12} , 5.0×10^{14} 의 도즈(dose)로 보론이 주입된 시료로부터 얻는 실험 결과를 나타낸다. 도면으로부터 알 수 있는 것처럼, 이온이 주입된 경우가 그렇지 않는 경우에 비해 더 빠른 식각 속력 특성을 보였다. 특히, 곡선 C1과 C3를 비교하면, 대략 80 내지 100초의 식각 시간 동안, 50 옴스트롬의 식각량의 차이가 얻어질 수 있었다. 즉, 불순물 농도의 차이는 식각 속력의 차이를 가져왔다. 따라서, 도 13을 참조하여 설명된 것처럼, 도핑된 상기 제 3 부분(150c)이 선택적으로 제거하는 동안, 도핑되지 않은(undoped) 상기 제 1 부분(150a)은 상기 언더컷 영역(UC) 내에 잔존할 수 있다.

[0055] 변형된 실시예들에 따르면, 상기 절연성 보호막(150)을 등방적으로 식각하기 전에, 도 13에 도시된 것처럼, 상기 절연성 보호막(150)을 이방적으로 식각하는 단계가 더 실시될 수 있다. 이 단계는 상기 캐핑 마스크막(140)을 식각 마스크로 사용할 수 있다. 이에 따라, 상기 절연성 보호막(150)은 상기 리세스 홈(RH)의 바닥 그리고 상기 캐핑 마스크막(140)의 상부에서 제거되고, 상기 언더컷 영역(UC) 내에 잔존할 수 있다. 한편, 이방적 식각의 결과로서, 상기 절연성 보호막(150)은 상기 리세스 홈(RH)의 측벽 상에도 잔존할 수 있다. 상기 리세스 홈(RH)의 측벽 상에 잔존하는 상기 절연성 보호막(150)의 부분(150c)은 도 14를 참조하여 설명된 등방적 식각 단계에서 제거될 수 있다.

[0056] 도 15를 참조하면, 상기 절연 스페이서(155)가 형성된 결과물 상에 반도체막(160)을 형성한다. 상기 반도체막(160)은 상기 리세스 홈(RH)의 내벽 및 상기 절연 스페이서(155)의 내벽을 실질적으로 콘포말하게 덮도록 형성

될 수 있다. 일부 실시예들에 따르면, 상기 반도체막(160)은 화학적기상증착 또는 원자층증착 기술을 사용하여 형성되는 실리콘막일 수 있다.

[제조 방법-제 3 측면]

한편, 본 발명의 기술적 사상의 제 3 측면에 따르면, 상기 절연 스페이서(155)는 상기 반도체막(160)의 증착 공정에서의 기술적 어려움을 극복하는데 기여할 수 있다.

발명자들의 실험에 따르면, 상기 반도체막(160)의 증착 공정은 그것에 의해 덮이는 하지막(underlayer)의 물성에 영향을 받았다. 예를 들면, 상기 반도체막(160)을 소정의 두께로 형성하는데 소요되는 시간(또는, 배양시간 (incubation time)) 또는 상기 반도체막(160)의 두께의 균일성(uniformity)는 상기 하지막의 물성에 의존적이었다. 보다 구체적으로, 상기 반도체막(160)이 화학적기상증착 또는 원자층증착 기술을 사용하여 형성되는 다결정 실리콘인 경우, 발명자들의 실험에 따르면, 상기 반도체막(160)의 배양시간 및 두께 균일성은 실리콘 산화막에 비해 실리콘 질화막이 우수하였다. 이러한 실험 결과를 고려한 본 발명의 일부 실시예들에 따르면, 상기 절연 스페이서(155) 또는 상기 절연성 보호막(150)은 질소를 함유하는 산화물, 실리콘 산화 질화물 또는 실리콘 질화물일 수 있다.

[제조 방법-제 4 측면]

도 17 내지 도 20은 본 발명의 기술적 사상의 제 4 측면을 구현하는 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 설명의 간결함을 위해, 도 9 내지 도 15를 참조하여 설명된 방법과 중복되는 기술적 특징들에 대한 설명은 생략될 수 있다.

도 17을 참조하면, 상기 이온 주입 공정(IIP)을 실시하기 전에, 상기 절연성 보호막(150)을 콘포말하게 덮는 보조 마스크막(90)을 형성한다. 일부 실시예에 따르면, 상기 보조 마스크막(90)은 반도체 특성을 갖는 물질일 수 있다. 예를 들면, 상기 보조 마스크막(90)은 증착 기술을 사용하여 형성되는 다결정 실리콘막일 수 있다.

도 18을 참조하면, 상기 보조 마스크막(90)을 이방성 식각하여 상기 개구부(105)의 바닥에서 상기 절연성 보호막(150)을 노출시키는 보조 스페이서(95)를 형성한다. 상기 캐핑 마스크막(140)은 상기 보조 마스크막(90)을 이방성 식각하는 동안 식각 마스크로 사용될 수 있으며, 이에 따라, 도시된 것처럼 상기 보조 스페이서(95)는 상기 언더컷 영역(UC) 내부 또는 그 근방에 국소화될 수 있다.

이어서, 이온 주입 공정(IIP)을 실시하여 상기 노출된 절연성 보호막(150) 내에 불순물들을 주입한다. 이에 따라, 상기 캐핑 마스크막(140) 상의 제 2 부분(150b) 및 상기 개구부(105)의 바닥면 상의 제 3 부분(150c)은 불순물들로 도핑된다. 이때, 상기 보조 스페이서(95)는 불순물들이 상기 언더컷 영역(UC)에 형성된 상기 절연성 보호막(150)의 부분으로 주입되는 것을 방지하는 이온 마스크로 기능할 수 있다. 이에 따라, 상기 언더컷 영역(UC)의 제 1 부분(150a)은 도핑되지 않는다. 결과적으로, 도 12를 참조하여 설명된 것처럼, 상기 절연성 보호막(150)은 불순물들이 주입되는 제 2 및 제 3 부분들(150b, 150c) 및 도핑되지 않은 제 1 부분(150a)을 갖게 된다.

이어서, 도 19에 도시된 것처럼 상기 절연성 보호막(150)을 이방적으로 식각하는 단계 및 도 20에 도시된 것처럼 상기 절연성 보호막(150)을 등방적으로 식각하는 단계를 차례로 수행하고, 상기 상기 리세스 홈(RH)의 내벽을 덮는 반도체막(160)을 형성한다. 도 16을 참조하여 설명된 것처럼, 불순물 농도의 차이는 식각 속력의 차이를 가져오기 때문에, 도 14를 참조하여 설명된 것처럼, 상기 제 3 부분(150c)을 선택적으로 제거되어, 상기 리세스 홈(RH)의 내벽 전체가 노출된다. 한편, 앞서서도 설명된 것처럼, 변형된 실시예들에 따르면, 상기 이방성 및 등방성 식각 단계들 중의 하나는 생략될 수 있다.

상기 캐핑 마스크막(140) 및 상기 보조 스페이서(95)는, 상기 이방성 및 등방성 식각 단계들에서, 상기 절연성 보호막(150)의 제 1 부분(150a), 상기 제 1 막들(120) 그리고 상기 제 2 막들(130)의 식각을 방지하는 식각 마스크로 사용될 수 있다. 이때, 상기 보조 스페이서(95)가 상기 절연성 보호막(150)의 제 1 부분(150a)의 식각을 방지하기 때문에, 불순물 농도에서의 공간적 차이를 이용하지 않더라도, 상기 제 3 부분(150c)은 선택적으로 제거될 수 있다. 따라서, 본 발명의 기술적 사상은 상기 이온 주입 공정(IIP)을 생략하는 또다른 변형된 실시예들을 통해서도 구현될 수 있다.

- [0067] 아래에서는 도 21 내지 도 38를 참조하여, 본 발명의 기술적 사상의 상술한 여러 측면들 중의 적어도 하나를 구현하도록 구성되는, 3차원 반도체 장치의 제조 방법에 대한 실시예들을 예시적으로 설명할 것이다. 하지만, 본 발명의 기술적 사상이 도 21 내지 도 38를 참조하여 설명되는 아래의 실시예들에 한정적으로 적용될 수 있는 것은 아니다.
- [0068] **[제조 방법-제 1 실시예]**
- [0069] 도 21 내지 도 27은 본 발명의 기술적 사상의 상술한 여러 측면들 중의 적어도 하나를 구현하도록 구성된 제 1 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0070] 도 21을 참조하면, 기판(10) 상에 적층막 구조체(100)를 형성한 후, 이를 관통하는 개구부(105)를 형성한다.
- [0071] 상기 기판(10)은 반도체 특성을 갖는 물질들, 절연성 물질들, 절연성 물질에 의해 덮인 반도체 또는 도전체 중의 하나일 수 있다. 예를 들면, 상기 기판(10)은 실리콘 웨이퍼일 수 있다. 또한, 상기 적층막 구조체(100)는 차례로 그리고 교대로 형성되는 제 1 막들(120)(또는 주형막들) 및 제 2 막들(130)(또는 희생막들)을 포함할 수 있다. 이에 더하여, 상기 적층막 구조체(100)는 그것의 최상부에 형성되는 캐핑 마스크막(140)을 더 포함할 수 있다. 적층 수에서의 차이를 제외하면, 상기 적층막 구조체(100)는 도 9를 참조하여 설명된 방법을 사용하여 형성될 수 있다. 아래에서는, 본 발명의 기술적 사상에 대한 보다 쉬운 이해를 위해, 상기 주형막들(120)은 실리콘 산화막이고 상기 희생막들(130)은 실리콘 질화막인 실시예를 예시적으로 설명할 것이다.
- [0072] 일부 실시예에 따르면, 상기 개구부들(105)은 홀 모양으로 형성될 수 있다. 즉, 상기 개구부들(105) 각각은 그것의 깊이가 그것의 폭보다 적어도 5배 이상 큰 모양으로 형성될 수 있다. 이에 더하여, 이 실시예에 따르면, 상기 개구부들(105)은 상기 기판(10)의 상부면(즉, xy 평면) 상에 2차원적으로 형성될 수 있다. 즉, 상기 개구부들(105) 각각은 x 및 y 방향을 따라 다른 것들로부터 이격되어 형성되는 고립된 영역일 수 있다.
- [0073] 상기 개구부들(105)을 형성하는 단계는 상기 적층막 구조체(100) 상에 상기 개구부들(105)의 위치를 정의하는 소정의 마스크 패턴을 형성하는 단계 및 이를 식각 마스크로 사용하여 상기 적층막 구조체(100)를 이방성 식각하는 단계를 포함할 수 있다. 일부 실시예들에 따르면, 상기 개구부(105)는 상기 기판(10)의 상부면을 노출시키도록 형성될 수 있으며, 상기 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 상기 기판(10)은 소정의 깊이로 리세스될 수 있다. 즉, 상기 개구부(105) 아래에는 리세스 홈(RH)이 형성될 수 있다.
- [0074] 도 22을 참조하면, 상기 개구부(105)를 통해 노출되는 상기 주형막들(120) 및 상기 희생막들(130)의 측벽들을 식각하여, 상기 개구부(105)로부터 수평적으로 연장되어 형성되는 갭 영역인, 언더컷 영역(UC)을 형성한다. 이후, 상기 언더컷 영역(UC) 및 상기 개구부(105)를 채우는 절연 스페이서들(155), 반도체막(160) 및 매립 절연막(170)을 형성한다.
- [0075] 상기 언더컷 영역들(UC) 및 상기 절연 스페이서들(155)은 도 10 내지 도 14를 참조하여 설명된 제조 방법을 적용하여 형성될 수 있다. 그 결과로서, 상기 절연 스페이서들(155)은, 도 22에 도시된 것처럼, 실질적으로 상기 언더컷 영역(UC) 내부에 국소적으로 형성될 수 있다. 또한, 상기 반도체막(160)은 상기 리세스 홈(RH)의 내벽 전체와 직접 접촉하도록 형성될 수 있다.
- [0076] 한편, 본 발명의 일부 실시예들에 따르면, 상기 반도체막(160)은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 다결정 실리콘막일 수 있다. 또한, 상기 반도체막(160)은 상기 개구부(105)의 폭의 1/50 내지 1/5의 범위에서 선택되는 두께로 형성될 수 있다. 변형된 실시예에 따르면, 상기 반도체막(160)은 에피택시얼 기술들 중의 한가지를 사용하여 형성될 수 있다. 2010년 2월 2일에 출원된 한국출원번호 2010-0009628은 상기 반도체막(160)을 형성하기 위한 방법으로 사용될 수 있는 에피택시얼 기술들을 개시하고 있으며, 여기에 개시된 내용들은 완전한 형태로서 이 출원의 일부로 포함된다. 본 발명의 다른 변형된 실시예들에 따르면, 상기 반도체막(160)은 유기 반도체막 및 탄소 나노 구조체들 중의 한가지일 수도 있다.
- [0077] 도 23을 참조하면, 상기 반도체막(160)을 평탄화 식각하여, 2차원적으로 분리된 반도체 패턴들(165)을 형성한다. 이 단계는 적어도 상기 캐핑 마스크막(140)의 상부면을 노출시키도록 실시될 수 있다. 하지만, 도시된 것처럼 상기 캐핑 마스크막(140)을 제거하여 상기 주형막(120)을 노출시키도록 실시될 수도 있다.
- [0078] 한편, 상기 반도체 패턴들(165)의 상부 영역에 접속하는 패드 패턴들(180)이 더 형성될 수 있다. 상기 패드 패턴들(180)을 형성하는 단계는 상기 매립 절연막(170)을 리세스하여 상기 개구부(105)의 상부 영역에 갭 영역을 형성하고, 이를 채우는 패드 도전막을 형성한 후, 상기 패드 도전막을 평탄화 식각하는 단계들을 포함할 수 있다.

다.

- [0079] 상기 갭 영역은 상기 매립 절연막(170)을 선택적으로 식각하여 상기 개구부(105) 내에서 상기 반도체막(160)의 상부 측벽을 노출시킴으로써 형성될 수 있다. 이에 따라, 상기 매립 절연막(170)은 상기 개구부(105) 내에 국소화된 매립 절연 패턴(175)을 형성한다.
- [0080] 상기 패드 도전막은 상기 반도체막(160)과 다른 도전형을 갖는 반도체 물질일 수 있다. 예를 들면, 상기 패드 도전막은 증착 기술을 사용하여 형성되는 n형 다결정 실리콘막일 수 있다. 변형된 실시예들에 따르면, 상기 패드 도전막을 형성한 후, 상기 반도체막(160) 또는 상기 패드 도전막 내에 불순물을 주입하는 단계가 더 실시될 수도 있다. 한편, 상기 패드 도전막을 평탄화 식각하는 단계는 상기 반도체막(160)을 평탄화하는 단계와 동시에 수행될 수 있다.
- [0081] 도 24을 참조하면, 상기 적층막 구조체(100)을 관통하면서 상기 희생막들(130) 및 상기 주형막들(120)의 측벽들을 노출시키는 트렌치들(200)을 형성한다. 상기 트렌치들(200)은 상기 개구부들(105)로부터 이격되어 이들 사이를 가로지를 수 있다.
- [0082] 상기 트렌치들(200)을 형성하는 단계는 상기 적층막 구조체(100)의 상부에 상부 절연막(190)을 형성한 후, 상기 상부 절연막(190)을 식각 마스크로 사용하여 상기 적층막 구조체(100)를 구성하는 막들을 이방성 식각하는 단계를 포함할 수 있다. 이때, 상기 트렌치들(200)은 상기 기판(10)의 상부면을 노출시키도록 형성될 수 있다. 또한, 상기 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 상기 트렌치(200) 아래의 기판(10)은 소정의 깊이로 리세스될 수 있다.
- [0083] 일부 실시예에 따르면, 도 24에 도시된 것처럼, 한 쌍의 트렌치들(200)이 상기 개구부들(105) 각각의 양측에 형성될 수 있다. 즉, 상기 트렌치(200)를 가로지르는 방향을 따라 배열되는 상기 개구부들(105)과 상기 트렌치들(200)의 수들은 실질적으로 동일할 수 있다. 하지만, 본 발명의 기술적 사상이 이러한 실시예에 한정되는 것은 아니다. 예를 들면, 한 쌍의 인접하는 트렌치들(200) 사이에는, 2차원적으로 배열되는 복수의 반도체 패턴들(165)이 배치될 수 있다. 즉, (한 쌍의 인접하는 트렌치들(200) 사이에 배치되는) 상기 반도체 패턴들(165) 중의 적어도 둘은, 상기 트렌치(200)로부터의 거리에서, 서로 다를 수 있다.
- [0084] 도 25을 참조하면, 상기 노출된 희생막들(130)을 선택적으로 제거하여 상기 주형막들(120) 사이에 리세스 영역들(210)을 형성한다. 상기 리세스 영역들(210)은 상기 트렌치들(200)로부터 수평적으로 연장되어 형성되는 갭 영역일 수 있으며, 상기 절연 스페이서들(155)의 측벽들을 노출시키도록 형성된다. 보다 구체적으로, 상기 리세스 영역(210)의 외곽 경계(outer boundary)는 그것의 상/하부에 위치하는 상기 주형막들(120) 및 그것의 양측에 위치하는 상기 트렌치들(200)에 의해 한정된다. 또한, 상기 리세스 영역(210)의 내부 경계(internal boundary)는 그것을 수직하게 관통하는 상기 절연 스페이서들(155)에 의해 정의된다.
- [0085] 상기 리세스 영역들(210)을 형성하는 단계는 상기 주형막들(120) 및 상기 절연 스페이서들(155)에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 상기 희생막들(130)을 수평적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 상기 희생막들(130)이 실리콘 질화막이고 상기 주형막들(120)이 실리콘 산화막인 경우, 상기 수평적 식각 단계는 인산을 포함하는 식각액을 사용하여 수행될 수 있다. 이 실시예에 따르면, 도 2 내지 도 4를 참조하여 설명된 것처럼, 상기 절연 스페이서들(155)은 상기 리세스 영역(210)을 형성하는 단계에서 상기 반도체 패턴(165)이 리세스되는 것을 방지하는 보호막 또는 식각 정지막으로 기능할 수 있다.
- [0086] 도 26을 참조하면, 상기 리세스 영역들(210)을 채우는 수평 구조체들을 형성한다. 상기 수평 구조체는 상기 리세스 영역(210)의 내벽을 덮는 정보저장막(220) 및 상기 리세스 영역(210)의 나머지 공간을 채우는 도전 패턴(230)을 포함할 수 있다.
- [0087] 이 실시예에 따르면, 상기 수평 구조체를 형성하기 전에, 상기 절연 스페이서(155)의 노출된 측벽을 식각하여, 상기 반도체 패턴(165)의 측벽을 노출시키는 단계가 실시될 수 있다. 이 단계는 도 3 및 도 4를 참조하여 설명된 방법을 이용하여 실시될 수 있다. 이에 따라, 상기 절연 스페이서(155)은 수직적으로 분리되어, 그 각각은 수직적 위치에 있어서 상기 주형막들(120)과 상기 반도체 패턴(165)의 측벽들 사이에 국소적으로 배치될 수 있다. 수직적으로 분리된 상기 절연 스페이서들(155)은 링 모양의 패턴일 수 있다.
- [0088] 상기 수평 구조체들을 형성하는 단계는 상기 리세스 영역들(210)을 차례로 채우는 정보저장막(220) 및 도전막을 차례로 형성한 후, 상기 트렌치들(200) 내에서 상기 도전막을 제거하여 상기 리세스 영역들(210) 내에 상기 도전 패턴들(230)을 남기는 단계를 포함할 수 있다. 상기 정보저장막(220)은 도시된 것처럼 상기 절연 스페이서

(155)를 식각함으로써 노출되는 상기 반도체 패턴(165)의 측벽에 직접 접촉하도록 형성될 수 있다.

- [0089] 상기 정보저장막(220)은 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 상기 도전막은, 상기 정보저장막(220)에 의해 덮인, 상기 리세스 영역들(210)을 채우도록 형성될 수 있다. 이때, 상기 트렌치들(200)은 상기 도전막에 의해 완전히 또는 부분적으로 채워질 수 있다. 상기 도전막은 도핑된 실리콘, 금속 물질들, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 예를 들면, 상기 도전막은 탄탈륨 질화막 또는 텅스텐을 포함할 수 있다. 일 실시예에 따르면, 상기 도전막은 상기 트렌치(200)의 내벽을 콘포말하게 덮도록 형성될 수 있으며, 이 경우, 상기 도전 패턴(230)을 형성하는 단계는 상기 트렌치(200) 내에서 상기 도전막을 등방적 식각의 방법으로 제거하는 단계를 포함할 수 있다. 다른 실시예에 따르면, 상기 도전막은 상기 트렌치(200)를 채우도록 형성될 수 있으며, 이 경우 상기 도전 패턴(230)을 형성하는 단계는 상기 트렌치(200) 내에서 상기 도전막을 이방성 식각하는 단계를 포함할 수 있다.
- [0090] 플래쉬 메모리를 위한 본 발명의 일 실시예에 따르면, 상기 도전 패턴들(230)을 형성한 후, 불순물 영역들(240)을 형성하는 단계가 더 실시될 수 있다. 상기 불순물 영역들(240)은 이온 주입 공정을 통해 형성될 수 있으며, 상기 트렌치(200)를 통해 노출된 상기 기판(10) 내에 형성될 수 있다. 한편, 상기 불순물 영역들(240)은 상기 기판(10)과 다른 도전형을 가질 수 있다.
- [0091] 도 27을 참조하면, 상기 트렌치들(200)을 채우는 전극 분리 패턴(250)을 형성한 후, 상기 패드 패턴들(180) 각각에 접속하는 상부 플러그들(260) 및 상기 상부 플러그들(260)을 연결하는 상부 배선들(270)을 차례로 형성한다. 상기 상부 배선들(270) 각각은 상기 상부 플러그(260)를 통해 상기 반도체 패턴(165)에 전기적으로 연결될 수 있으며, 상기 도전 패턴들(230)을 가로지르도록 형성될 수 있다. 낸드 플래시 메모리를 위한 실시예에 따르면, 상기 상부 배선들(270)은 복수의 셀 스트링들의 일단들에 접속하는 비트라인들로 사용될 수 있다.
- [0092] **[제조 방법-제 2 실시예]**
- [0093] 도 28 내지 도 32은 본 발명의 기술적 사상의 상술한 여러 측면들 중의 적어도 하나를 구현하도록 구성된 제 2 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 설명의 간결함을 위해, 상술한 제조 방법들과 중복되는 기술적 특징에 대한 설명은 생략될 수 있다.
- [0094] 도 28을 참조하면, 기판(10) 상에 적층막 구조체(100)를 형성하고, 상기 적층막 구조체(100)를 관통하는 개구부(105)를 형성한 후, 상기 개구부(105)의 내벽을 덮는 보호막(150)을 콘포말하게 형성한다.
- [0095] 이 실시예에 따르면, 상기 보호막(150)을 형성하기 전에, 상기 개구부(105)에 의해 노출되는 상기 희생막들(130)의 측벽들을 리세스하여, 상기 주형막들(120) 사이에 언더컷 영역들(UC)을 형성할 수 있다. 이 경우, 하나의 개구부(105) 둘레에는, 서로 다른 높이에 형성되는 복수의 상기 언더컷 영역들(UC)이 형성될 수 있다.
- [0096] 상기 보호막(150)은 상기 언더컷 영역들(UC)을 채우도록 형성될 수 있다. 즉, 상기 보호막(150)은 상기 언더컷 영역들(UC) 각각의 두께의 절반보다 두껍고 상기 개구부(105)의 폭의 절반보다 얇은 두께로 형성될 수 있다.
- [0097] 한편, 변형된 실시예에 따르면, 도시된 것처럼, 상기 적층막 구조체(100)는 앞선 실시예들에서와 달리 캐핑 마스크막(140)을 포함하지 않을 수 있다. 즉, 이 실시예에 따른 적층막 구조체는 상기 희생막들(130) 및 상기 주형막들(120)로 구성될 수 있다.
- [0098] 도 29을 참조하면, 상기 보호막(150)을 패터닝하여 상기 언더컷 영역(UC)에 잔존하는 보호 스페이서들(155)을 형성한다. 상기 보호 스페이서들(155)을 형성하는 단계는 도 10 내지 도 14를 참조하여 설명된 제조 방법을 이용하여 실시될 수 있다. 또다른 방법으로, 상기 보호 스페이서들(155)은 상기 보호막(150)을 등방적으로 식각하는 단계를 통해 상기 언더컷 영역(UC) 내에 국소화될 수 있다. 앞선 실시예들에서와 마찬가지로, 상기 보호막(150)은 상기 리세스 홈(RH) 내에서 완전히 제거되어, 상기 리세스 홈(RH)의 내벽 전체가 노출될 수 있다.
- [0099] 도 30을 참조하면, 상기 개구부(105)의 내벽을 덮는 반도체막(160)을 형성한 후, 상기 개구부(105)의 나머지 공간을 채우는 매립 절연 패턴들(175) 및 패드 패턴들(180)을 형성한다. 이 단계는 도 22 및 도 23을 참조하여 설명된 제조 방법을 이용하여 수행될 수 있다.
- [0100] 도 31을 참조하면, 상기 반도체막(160)을 패터닝하여 상기 개구부들(105) 내에 국소화된 반도체 패턴들(165)을 형성한 후, 상기 적층막 구조체(100)를 관통하는 트렌치들(200)을 형성한다. 이어서, 상기 희생막들(130)을 선택적으로 제거하여 상기 보호 스페이서들(155)을 노출시키는 리세스 영역들(210)을 형성한다. 이 과정은 도 24

및 도 25를 참조하여 설명된 제조 방법을 이용하여 수행될 수 있다.

- [0101] 도 32을 참조하면, 상기 리세스 영역(210)의 내벽을 덮는 정보저장막(220) 및 상기 리세스 영역(210)의 나머지 공간을 채우는 도전 패턴(230)을 형성한 후, 상기 트렌치들(200)을 채우는 전극 분리 패턴(250), 상기 패드 패턴들(180) 각각에 접속하는 상부 플러그들(260) 및 상기 상부 플러그들(260)을 연결하는 상부 배선들(270)을 차례로 형성한다. 상기 전극 분리 패턴(250)을 형성하기 전에, 불순물 영역들(240)을 형성하는 단계가 더 실시될 수 있다. 이 단계는 도 26 및 도 27를 참조하여 설명된 제조 방법을 이용하여 수행될 수 있다.
- [0102] 한편, 일부 실시예에 따르면, 상기 보호 스페이서(155)를 제거하는 단계가 생략될 수 있다. 이 경우, 도 32에 도시된 것처럼, 상기 정보저장막(220)과 상기 반도체 패턴(165) 사이에는 상기 보호 스페이서(155)가 개재될 수 있다. 하지만, 다른 실시예에 따르면, 도 26을 참조하여 설명된 것처럼, 상기 보호 스페이서(155)를 제거한 후, 상기 반도체 패턴(165)의 측벽에 직접 접속하는 상기 정보저장막(220)을 형성할 수 있다.
- [0103] 상기 언더컷 영역들(UC)이 상기 희생막들(130)의 측벽 상에 국소적으로 형성되기 때문에, 상기 보호 스페이서(155)는, 도 32에 도시된 것처럼, 상기 주형막들(120)과 상기 반도체 패턴(165) 사이에 형성되지 않는다. 따라서, 상기 보호 스페이서(155)는 앞서 설명된 실시예들과 달리 절연성 물질로 한정될 필요가 없다. 즉, 이 실시예에 따르면, 상기 보호 스페이서(155)는 절연성 물질, 도전성 물질 및 반도체 물질 중의 적어도 하나일 수 있다. 예를 들어, 도 32에 도시된 것처럼, 상기 보호 스페이서(155)가 상기 정보저장막(220)과 상기 반도체 패턴(165) 사이에 개재될 경우, 상기 보호 스페이서(155)는 상기 반도체 패턴(165)과 같은 반도체 물질이거나 상기 정보저장막(220)을 구성하는 물질일 수 있다.
- [0104] **[제조 방법-제 3 실시예]**
- [0105] 도 33 내지 도 36은 본 발명의 기술적 사상의 상술한 여러 측면들 중의 적어도 하나를 구현하도록 구성된 제 3 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 설명의 간결함을 위해, 상술한 제조 방법들과 중복되는 기술적 특징에 대한 설명은 생략될 수 있다.
- [0106] 도 33을 참조하면, 기판(10) 상에 하부 도전 영역(50)을 형성한 후, 상기 하부 도전 영역(50) 상에 적층막 구조체(100)를 형성한다. 이어서, 상기 적층막 구조체(100)를 판통하여 상기 하부 도전 영역(50)에 리세스 홈(RH)을 정의하는 개구부(105)를 형성한다.
- [0107] 일부 실시예들에 따르면, 상기 하부 도전 영역(50)은 상기 기판(10) 내에 불순물을 주입함으로써 형성되는 불순물 영역일 수 있다. 이 경우, 상기 하부 도전 영역(50)은 상기 기판(10)과 다른 도전형을 갖도록 형성될 수 있다.
- [0108] 이 실시예에 따르면, 상기 적층막 구조체(100)는 차례로 그리고 교대로 형성되는 제 1 막들(120) 및 제 2 막들(130)을 포함하되, 상기 제 1 막들(120)은 절연성 물질(예를 들면, 실리콘 산화물)이고, 상기 제 2 막들(130)은 도전성 물질(예를 들면, 도핑된 다결정 실리콘)일 수 있다. 이에 더하여, 그것의 최상부에 형성되는 캐핑 마스크막(140)을 더 포함할 수 있다. 상기 캐핑 마스크막(140)은 상기 제 1 및 제 2 막들(120, 130) 모두와 다른 물질일 수 있다. 예를 들면, 상기 캐핑 마스크막(140)은 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 실리콘 게르마늄, 실리콘, 카바이드 중에서, 상기 제 1 및 제 2 막들(120, 130)과 다른 것으로 선택되는 하나일 수 있다.
- [0109] 도 34을 참조하면, 상기 개구부(105)를 통해 노출되는 상기 제 1 막들(120) 및 상기 제 2 막들(130)의 측벽들을 식각하여, 상기 개구부(105)로부터 수평적으로 연장되어 형성되는 갭 영역인, 언더컷 영역(UC)을 형성한다. 이후, 상기 언더컷 영역(UC)에, 절연 스페이서(155) 및 보조 스페이서(95)를 형성한다. 이 과정은 도 17 내지 도 20을 참조하여 설명된 제조 방법을 이용하여 실시될 수 있다. 그 결과, 상기 절연 스페이서(155) 및 상기 보조 스페이서(95)는 상기 언더컷 영역(UC) 내에 국소적으로 배치되고, 상기 리세스 홈(RH)의 내벽 전체가 노출된다.
- [0110] 도 35을 참조하면, 상기 리세스 홈(RH) 및 상기 보조 스페이서(95)의 내벽들을 덮는 반도체막(160)을 형성한 후, 상기 개구부(105)의 나머지 공간을 채우는 매립 절연 패턴들(175) 및 패드 패턴들(180)을 형성한다. 이 단계는 도 22 및 도 23을 참조하여 설명된 제조 방법 또는 도 30을 참조하여 설명된 제조 방법을 이용하여 수행될 수 있다.
- [0111] 도 36을 참조하면, 상기 반도체막(160)을 패터닝하여, 상기 개구부들(105) 내에 국소화된 반도체 패턴들(165)을 형성한 후, 상기 패드 패턴들(180) 각각에 접속하는 상부 플러그들(260) 및 상기 상부 플러그들(260)을 연결하

는 상부 배선들(270)을 차례로 형성한다. 이 과정은 도 32를 참조하여 설명된 제조 방법을 이용하여 수행될 수 있다.

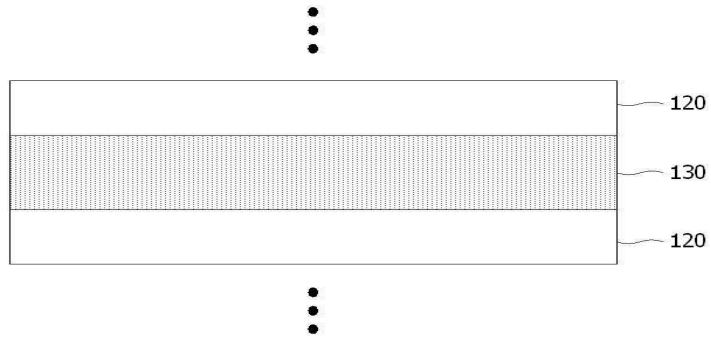
- [0112] 한편, 상기 캐핑 마스크막(140)을 제거한 후, 상부 절연막(190)을 형성하는 단계가 더 실시될 수 있다. 상기 캐핑 마스크막(140)은 상기 반도체 패턴들(165) 및 상기 패드 패턴들(180)에 대해 식각 선택성을 갖는 식각 방법을 사용하여 선택적으로 제거될 수 있다. 상기 상부 플러그들(260)은 상기 상부 절연막(190)을 관통하여 상기 패드 패턴들(180)에 접속할 수 있다.
- [0113] 도 36에 도시된 것처럼, 상기 절연 스페이서(155)는 상기 보조 스페이서(95) 및 상기 제 2 막들(130) 사이에 개재된다. 데이터 저장을 위한 요소가 상기 보조 스페이서(95)와 상기 제 2 막들(130) 사이에 형성하는 일부 메모리 반도체 장치들의 경우, 상기 절연 스페이서(155)는 정보저장을 위한 요소로 사용될 수 있다. 예를 들면, 상기 절연 스페이서(155)는 전하 저장을 위한 다층 박막 구조일 수 있다.
- [0114]
- [0115] **[제조 방법-제 4 실시예]**
- [0116] 도 37 내지 도 39는 본 발명의 기술적 사상의 상술한 여러 측면들 중의 적어도 하나를 구현하도록 구성된 제 4 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 설명의 간결함을 위해, 상술한 제조 방법들과 중복되는 기술적 특징에 대한 설명은 생략될 수 있다.
- [0117] 도 37을 참조하면, 도 21 및 도 22를 참조하여 설명된 제조 방법을 이용하여, 개구부들(105)이 형성된 적층막 구조체(100)를 기판(10) 상에 형성한 후, 상기 개구부(105)로부터 수평적으로 연장되어 형성되는 갭 영역인, 언더컷 영역(UC)을 형성한다. 이어서, 도 17 내지 도 20을 참조하여 설명된 제조 방법을 이용하여, 상기 언더컷 영역(UC) 및 상기 개구부(105)를 채우는 절연 스페이서들(155), 보조 스페이서(95) 및 반도체 패턴(165)을 형성한다. 이에 따라, 도 37에 도시된 것처럼, 상기 반도체 패턴(165)은 리세스 홈(RH)의 내벽 전체를 덮고, 상기 절연 스페이서(155)는 상기 언더컷 영역(UC) 내에 국소적으로 형성된다. 이에 더하여, 도 22 및 도 23을 참조하여 설명된 제조 방법을 이용하여, 상기 반도체 패턴(165)이 형성된 상기 개구부(105)를 채우는, 매립 절연 패턴(175) 및 패드 패턴(180)을 차례로 형성한다.
- [0118] 도 38을 참조하면, 상기 적층막 구조체(100)를 관통하는 트렌치들(200)을 형성한 후, 상기 희생막들(130)을 제거하여 상기 절연 스페이서(155)의 측면을 노출시키는 리세스 영역들(210)을 형성한다. 이 과정은 도 24 및 도 25를 참조하여 설명된 제조 방법을 이용하여 실시될 수 있다.
- [0119] 이 실시예에 따르면, 상기 절연 스페이서(155)는 정보저장을 위한 요소로서 사용될 수 있다. 이 경우, 상기 절연 스페이서(155)는 적어도 하나의 터널 절연막, 적어도 하나의 전하저장막 또는 적어도 하나의 블록킹 절연막 중의 적어도 하나를 포함할 수 있다. 상기 터널 절연막은 상기 전하저장막과 상기 반도체 패턴(165) 사이에 개재되고, 상기 블록킹 절연막은 상기 전하저장막과 상기 도전 패턴(230) 사이에 개재될 수 있다.
- [0120] 상기 전하저장막은 트랩 사이트들이 풍부한 절연막들 및 나노 입자들을 포함하는 절연막들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 전하저장막은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 돛들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다. 더 구체적인 예로, 상기 전하저장막은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다.
- [0121] 상기 터널 절연막은 상기 전하저장막보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있다. 예를 들면, 상기 터널 절연막은 화학 기상 증착 또는 원자층 증착 기술들 중의 하나를 사용하여 형성되는 실리콘 산화막일 수 있다. 상기 블록킹 절연막은 상기 터널 절연막보다 작고 상기 전하저장막보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있다. 예를 들면, 상기 블록킹 절연막은 알루미늄 산화막 및 hafnium 산화막 등과 같은 고유전막들을 포함할 수 있다.
- [0122] 변형된 실시예들에 따르면, 상기 절연 스페이서(155)는, 상술한 실시예들에서와 유사하게, 상기 리세스 영역(210)을 형성하는 동안 상기 보조 스페이서(95)가 식각되는 것을 방지하는 식각 정지막으로 기능할 수 있다.
- [0123] 도 39를 참조하면, 상기 리세스 영역(210)의 내벽을 덮는 정보저장막(220) 및 상기 리세스 영역(210)의 나머지 공간을 채우는 도전 패턴(230)을 형성한 후, 상기 트렌치들(200)을 채우는 전극 분리 패턴(250), 상기 패드 패턴들(180) 각각에 접속하는 상부 플러그들(260) 및 상기 상부 플러그들(260)을 연결하는 상부 배선들(270)을 차

례로 형성한다. 상기 전극 분리 패턴(250)을 형성하기 전에, 불순물 영역들(240)을 형성하는 단계가 더 실시될 수 있다. 이 단계는 도 26 및 도 27를 참조하여 설명된 제조 방법을 이용하여 수행될 수 있다.

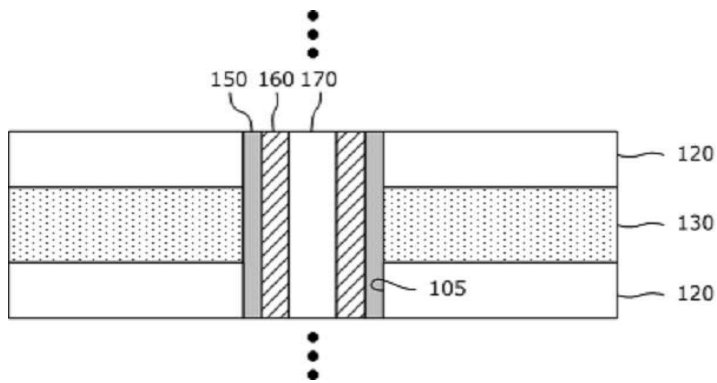
- [0124] 도 40은 본 발명에 따른 플래시 메모리 장치를 구비하는 메모리 카드(1200)의 일 예를 간략히 도시한 블록도이다. 도 40을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명에 따른 플래시 메모리 장치(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.
- [0125] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로써 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0126] 이상의 본 발명의 플래시 메모리 장치 및 메모리 카드 또는 메모리 시스템에 따르면, 더미 셀들의 소거 특성이 개선된 플래시 메모리 장치(1210)를 통해서 신뢰성 높은 메모리 시스템을 제공할 수 있다. 특히, 최근 활발히 진행되는 반도체 디스크 장치(Solid State Disk:이하 SSD) 장치와 같은 메모리 시스템에서 본 발명의 플래시 메모리 장치가 제공될 수 있다. 이 경우, 더미 셀로부터 야기되는 읽기 에러를 차단함으로써 신뢰성 높은 메모리 시스템을 구현할 수 있다.
- [0127] 도 41는 본 발명에 따른 플래시 메모리 시스템(1310)을 장착하는 정보 처리 시스템(1300)을 간략히 보여주는 블록도이다. 도 41를 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 플래시 메모리 시스템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor:CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0128] 또한, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키징되어 실장될 수 있다.

도면

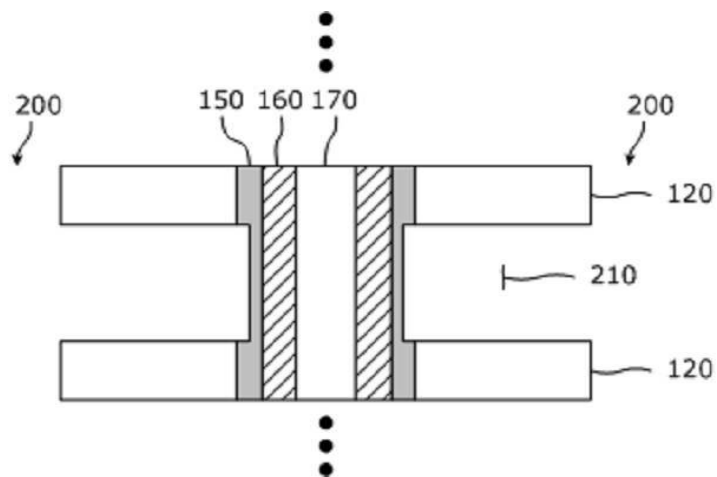
도면1



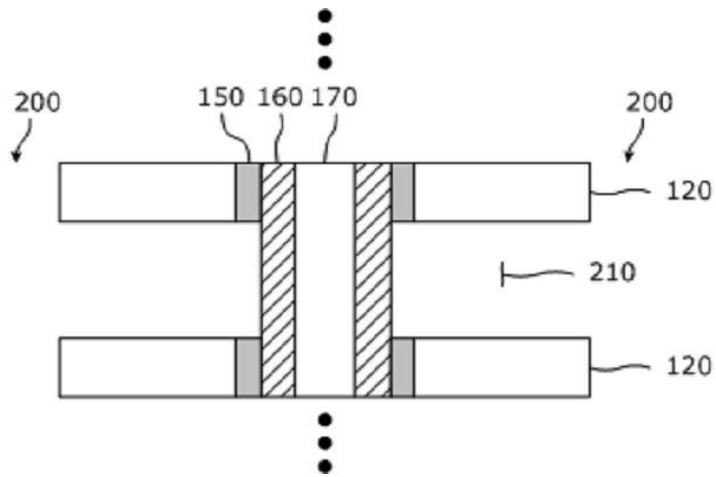
도면2



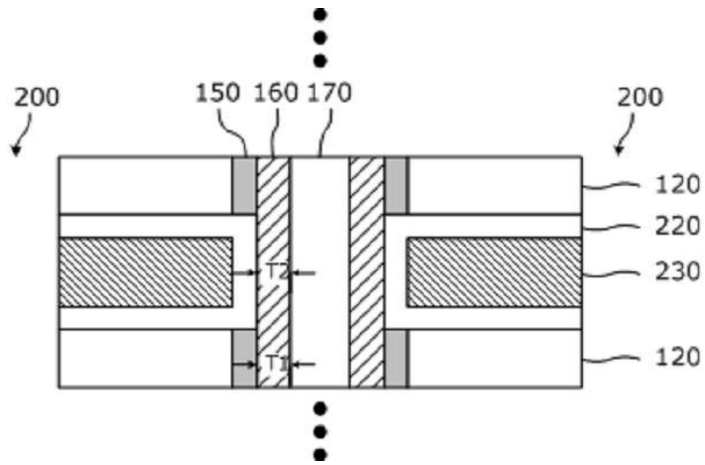
도면3



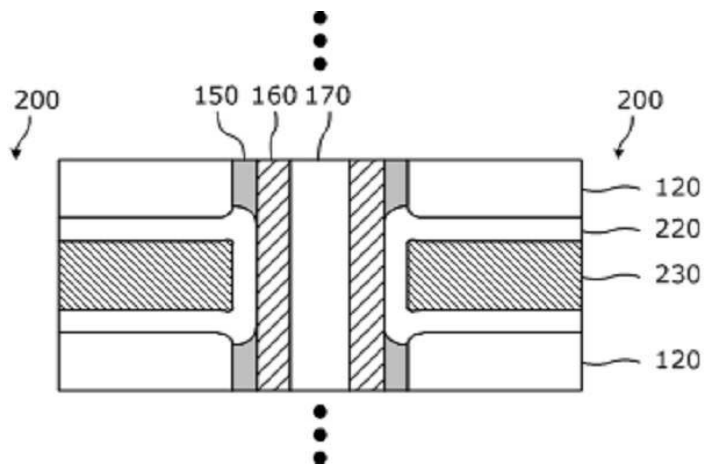
도면4



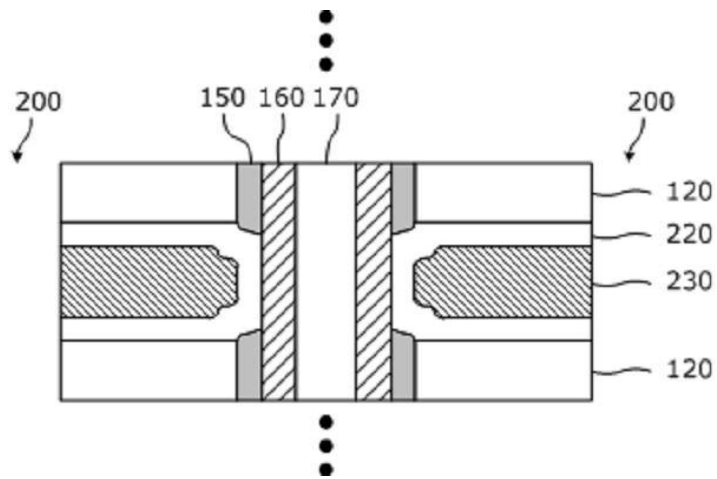
도면5



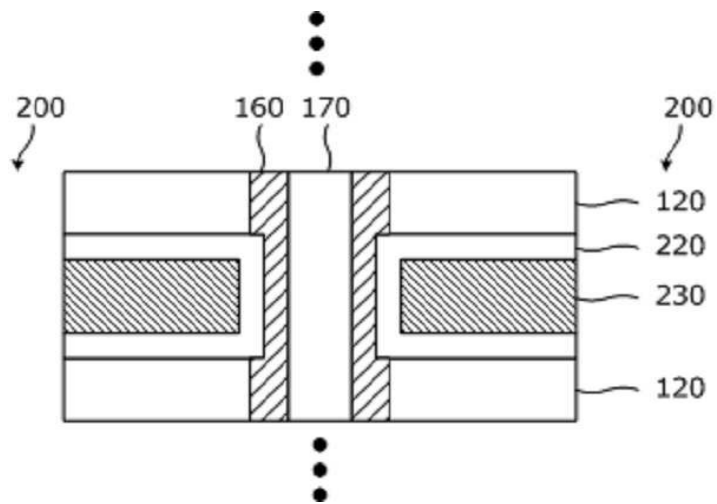
도면6



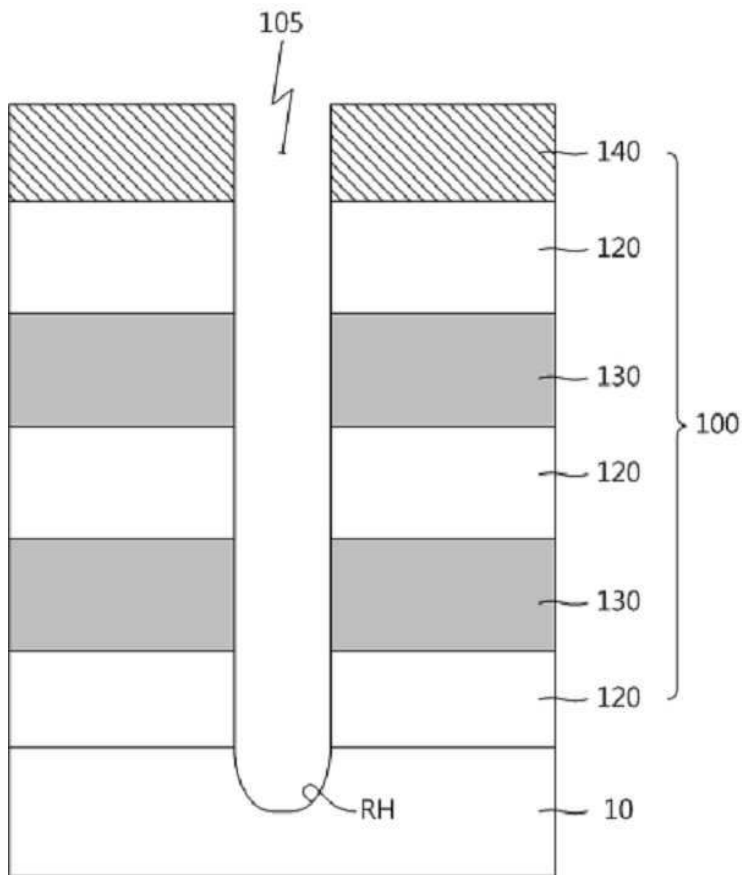
도면7



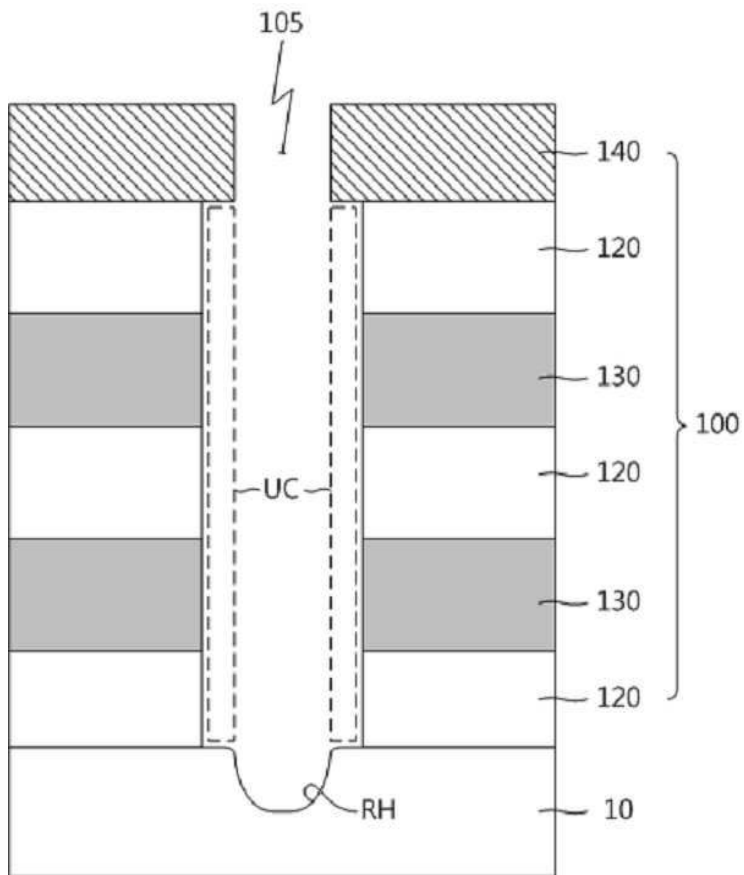
도면8



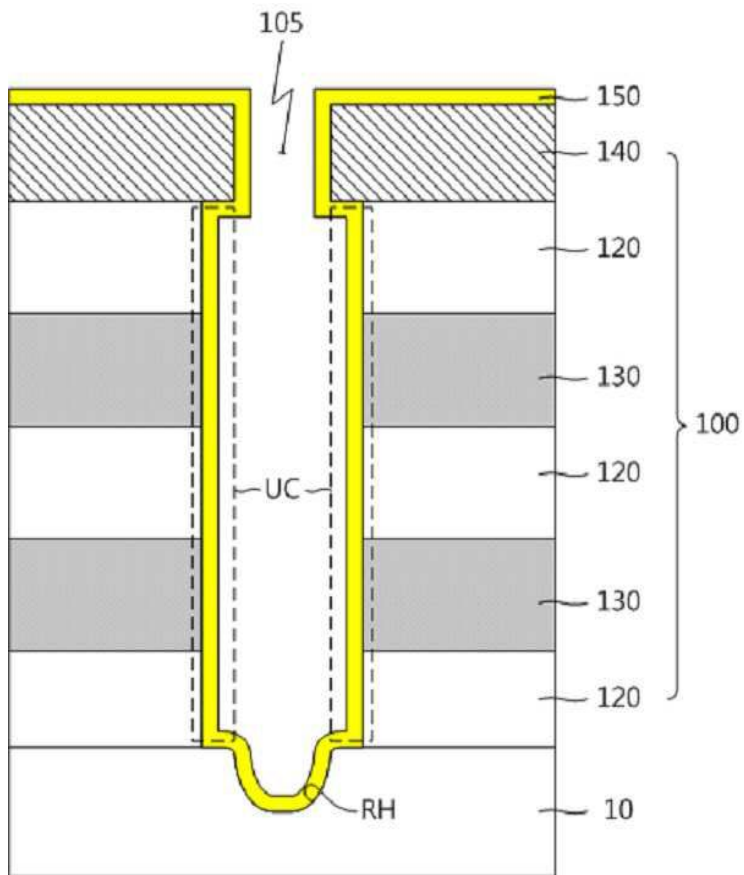
도면9



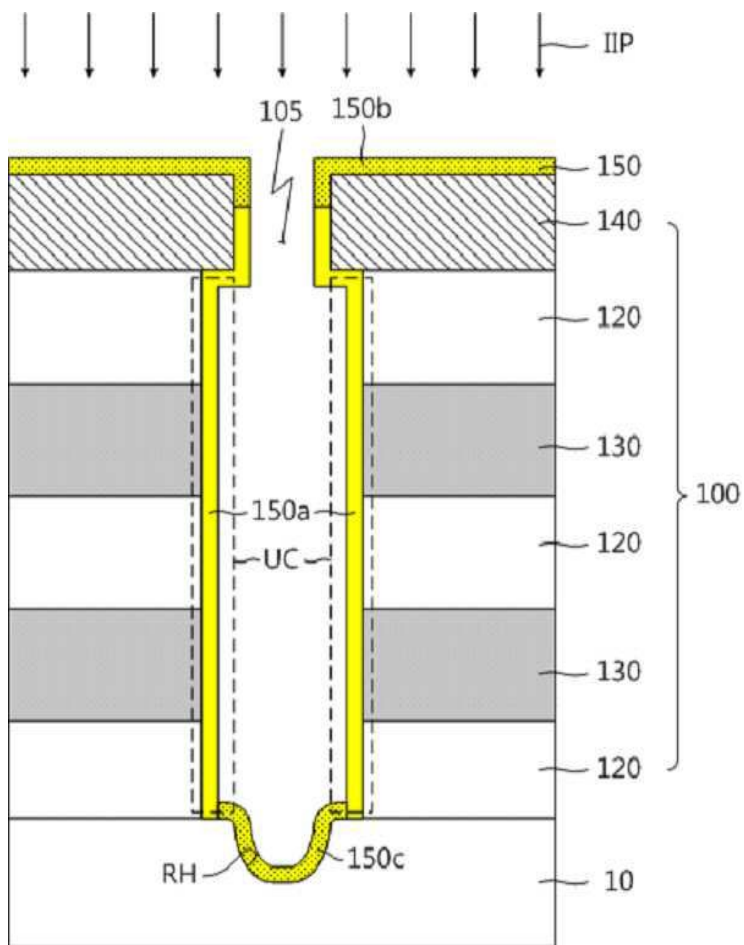
도면10



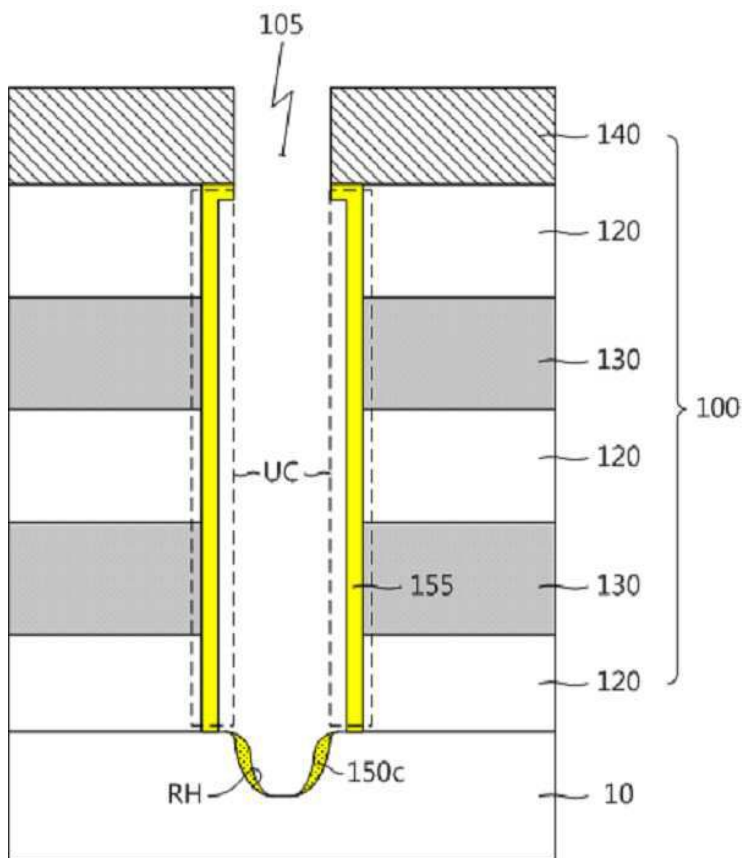
도면11



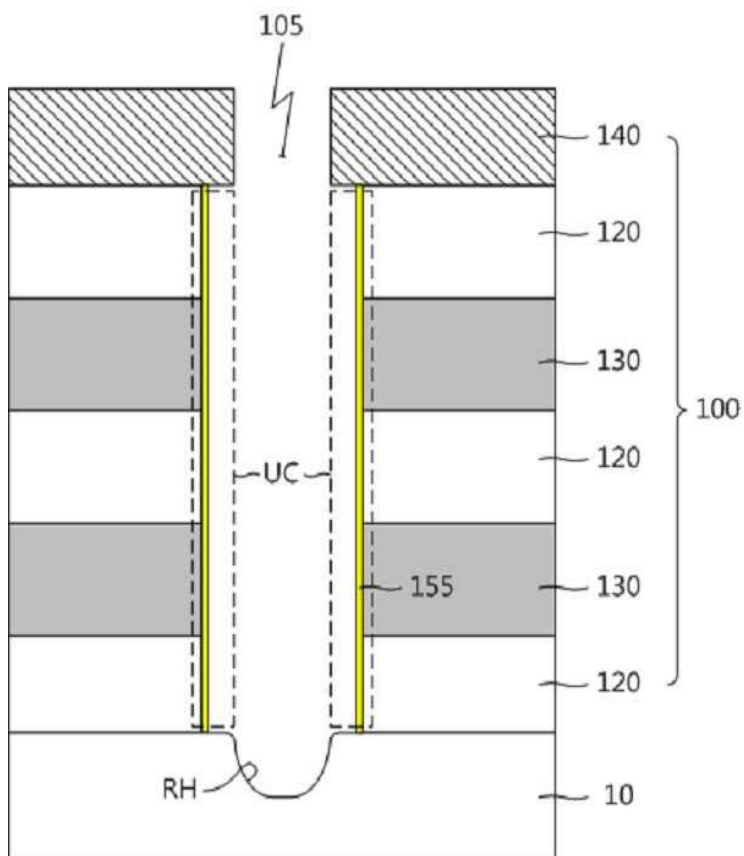
도면12



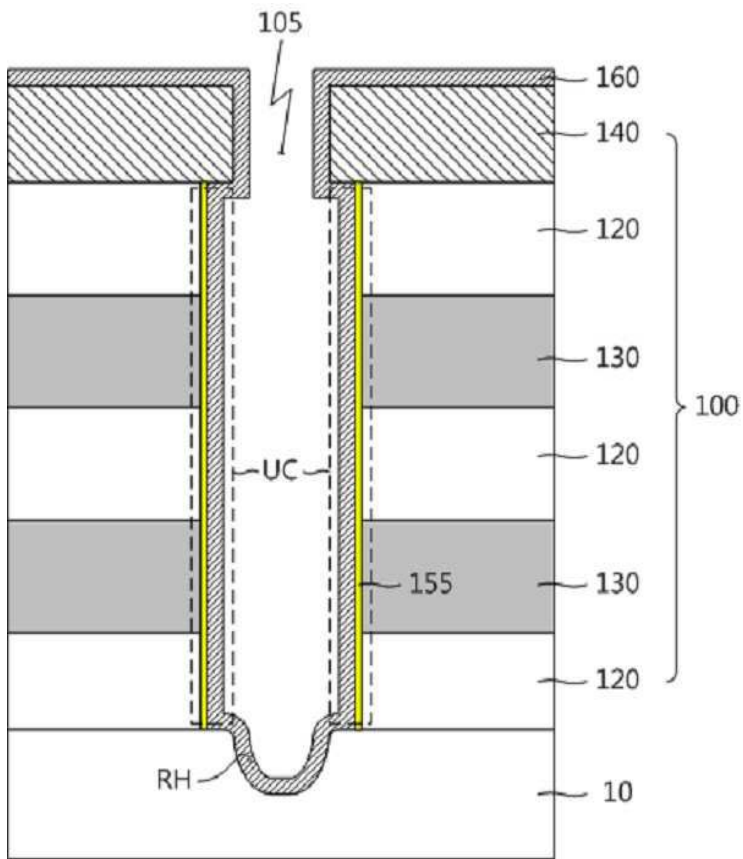
도면13



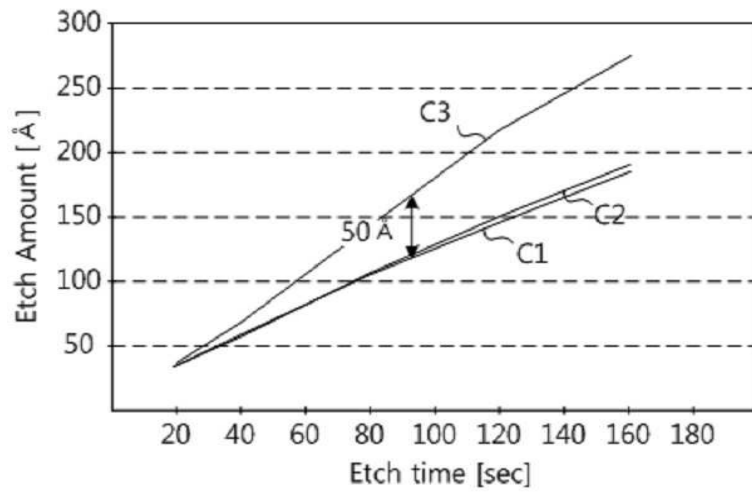
도면14



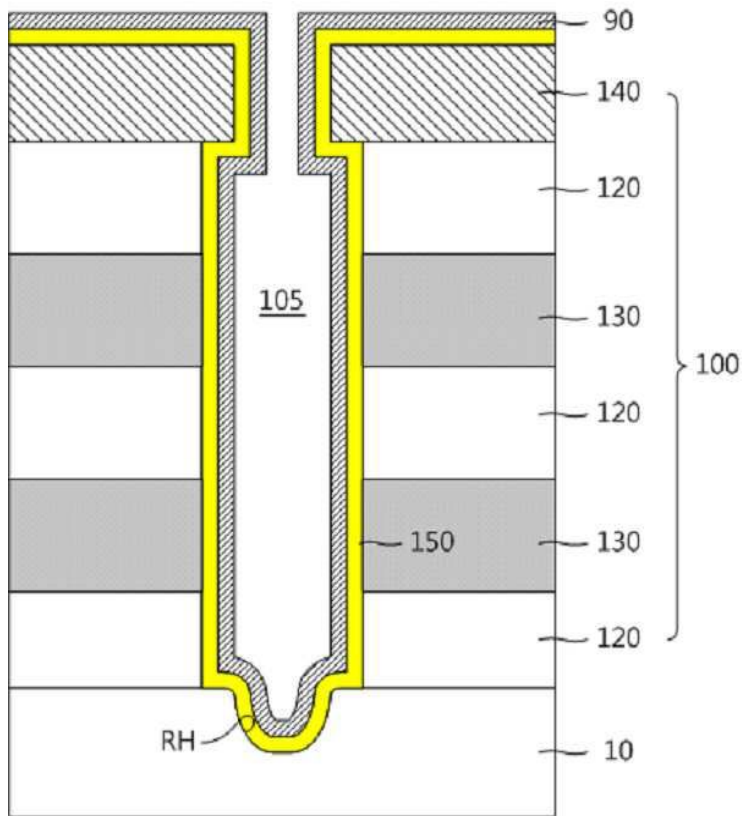
도면15



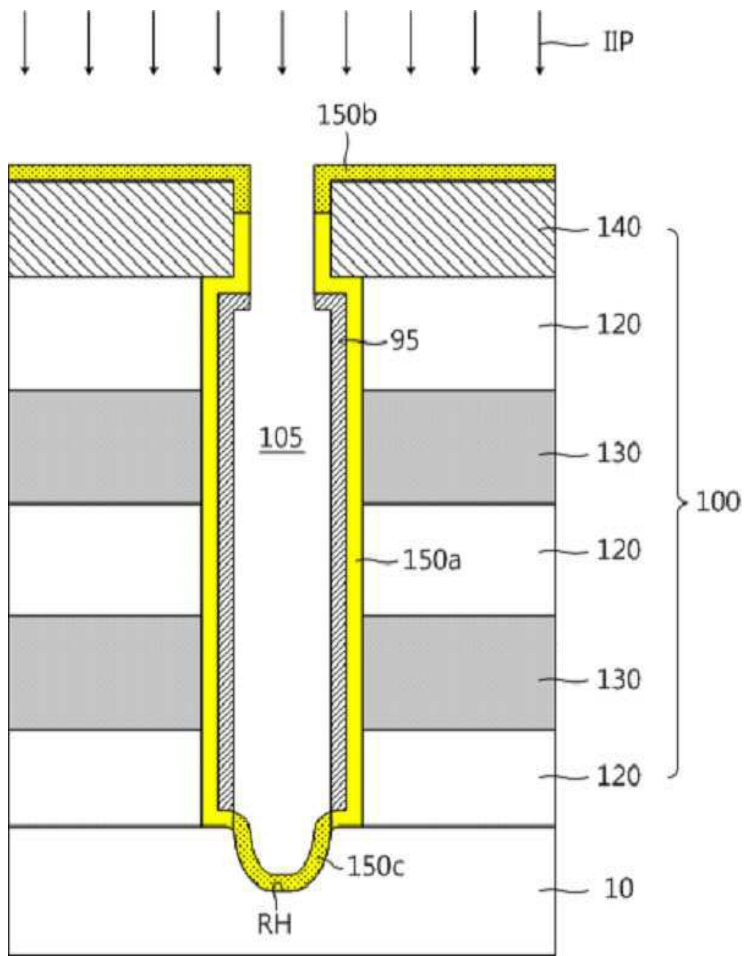
도면16



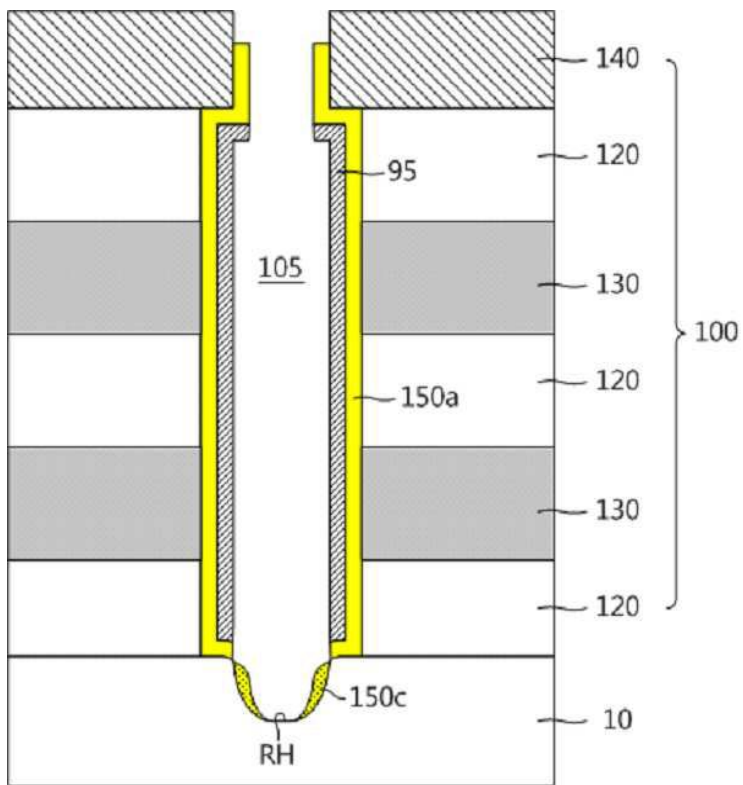
도면17



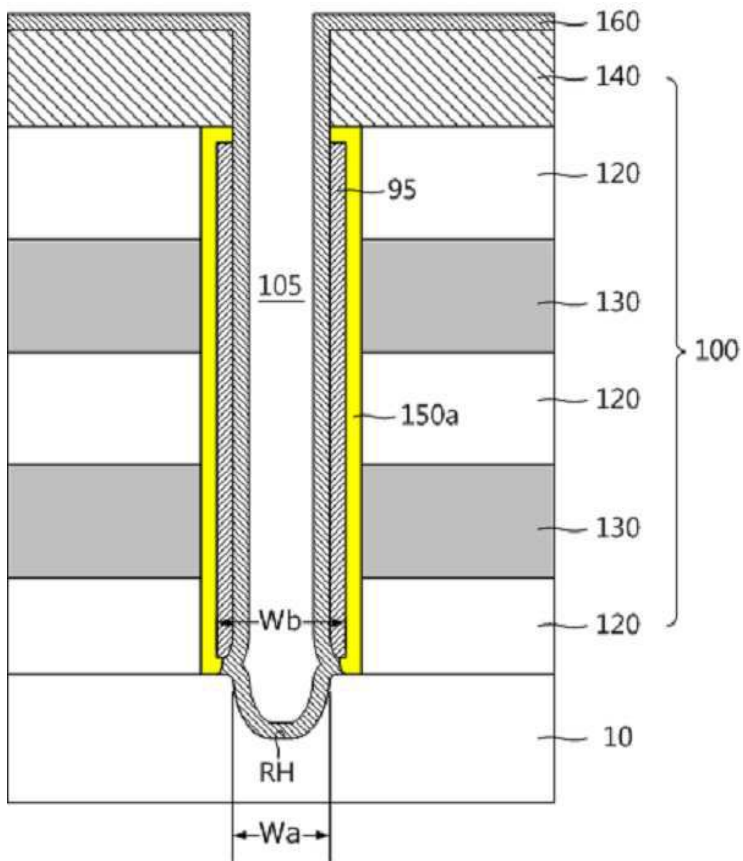
도면18



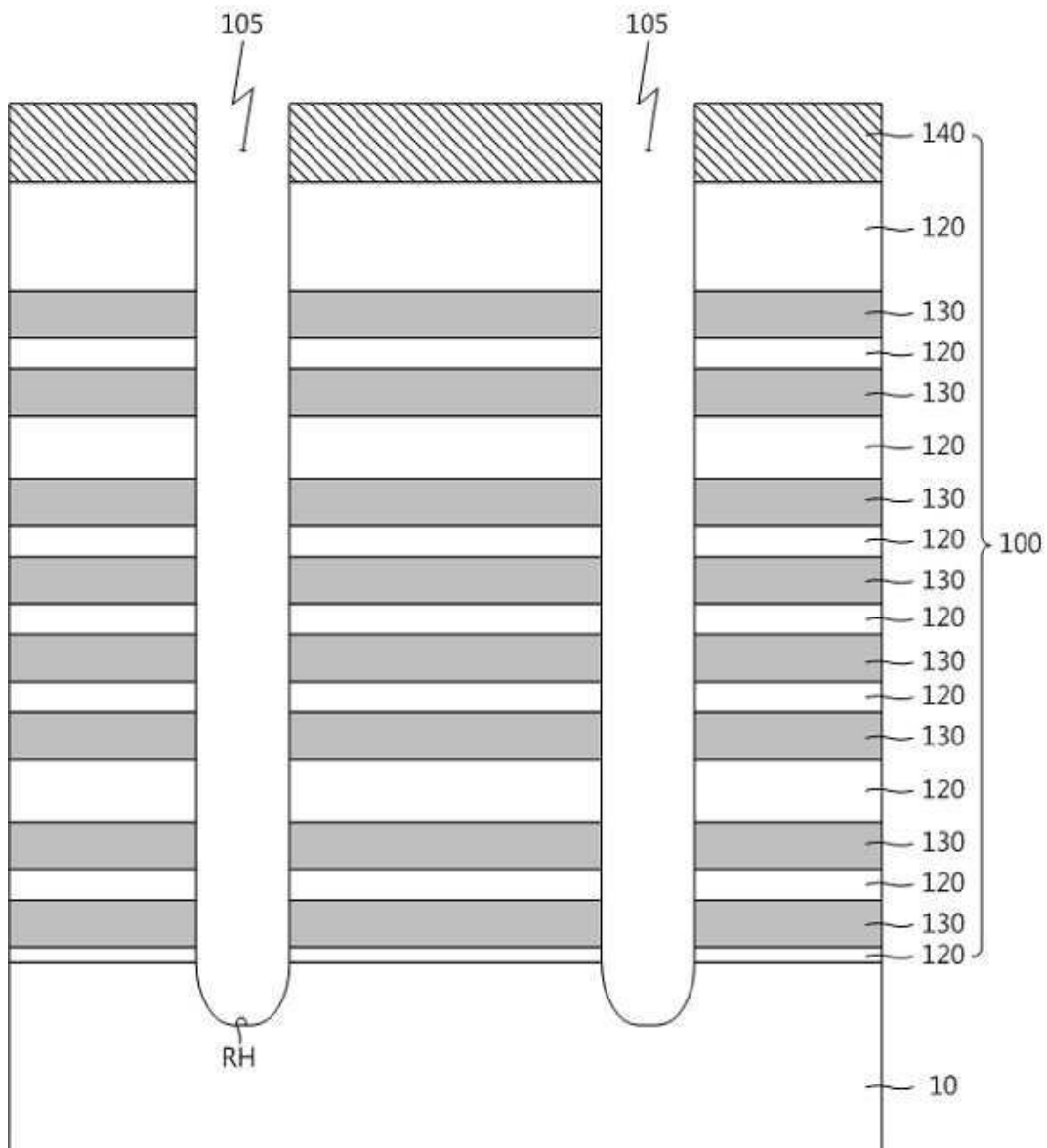
도면19



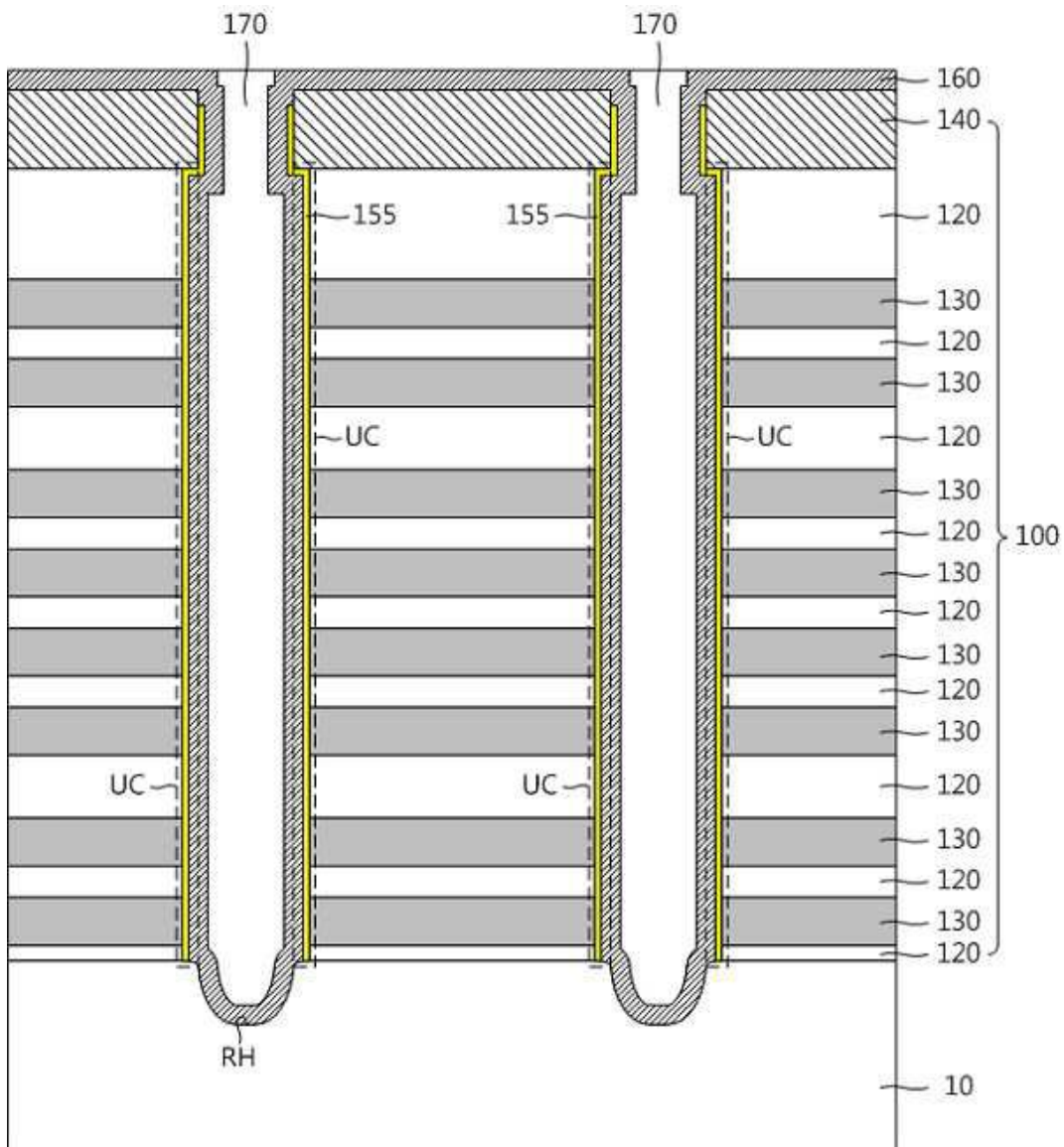
도면20



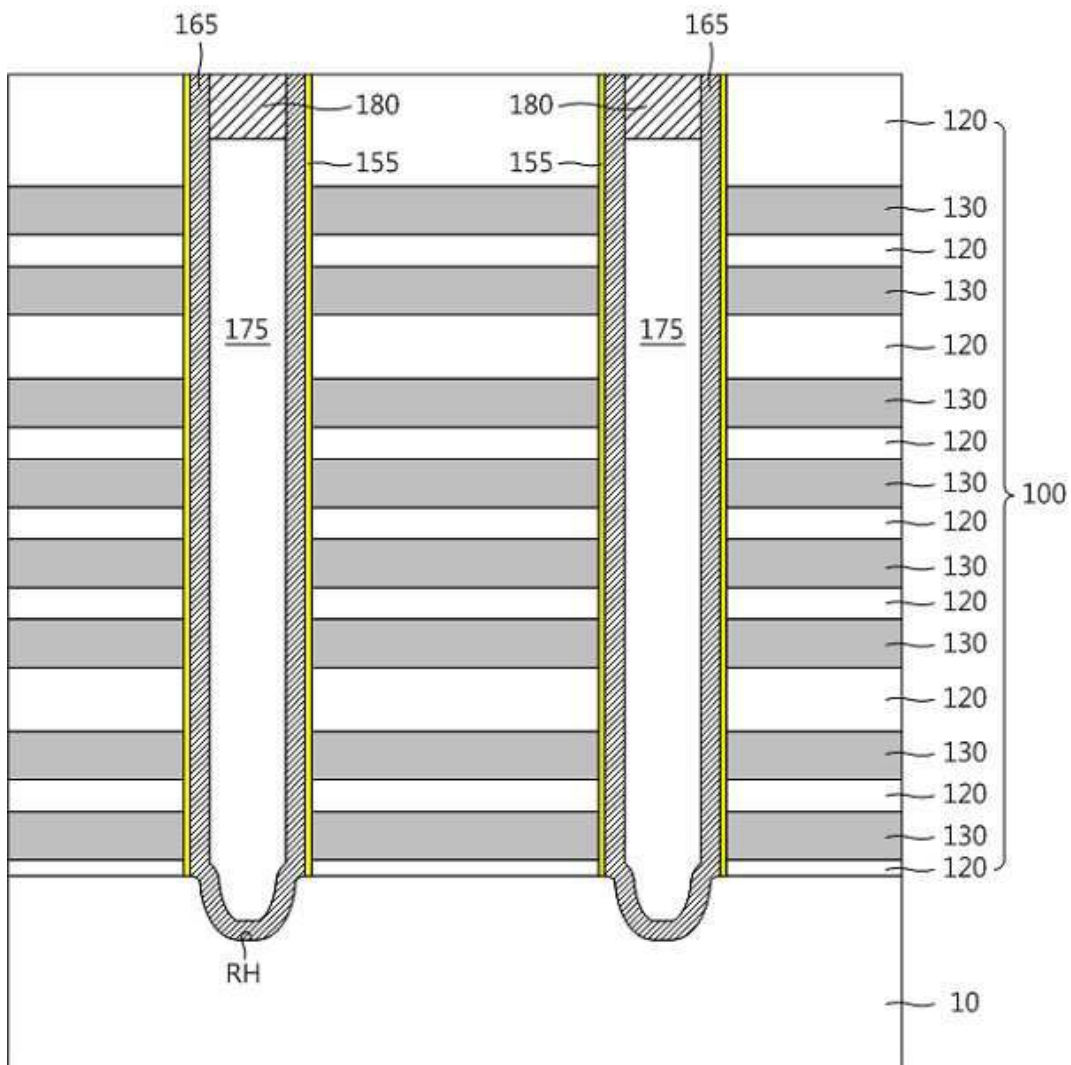
도면21



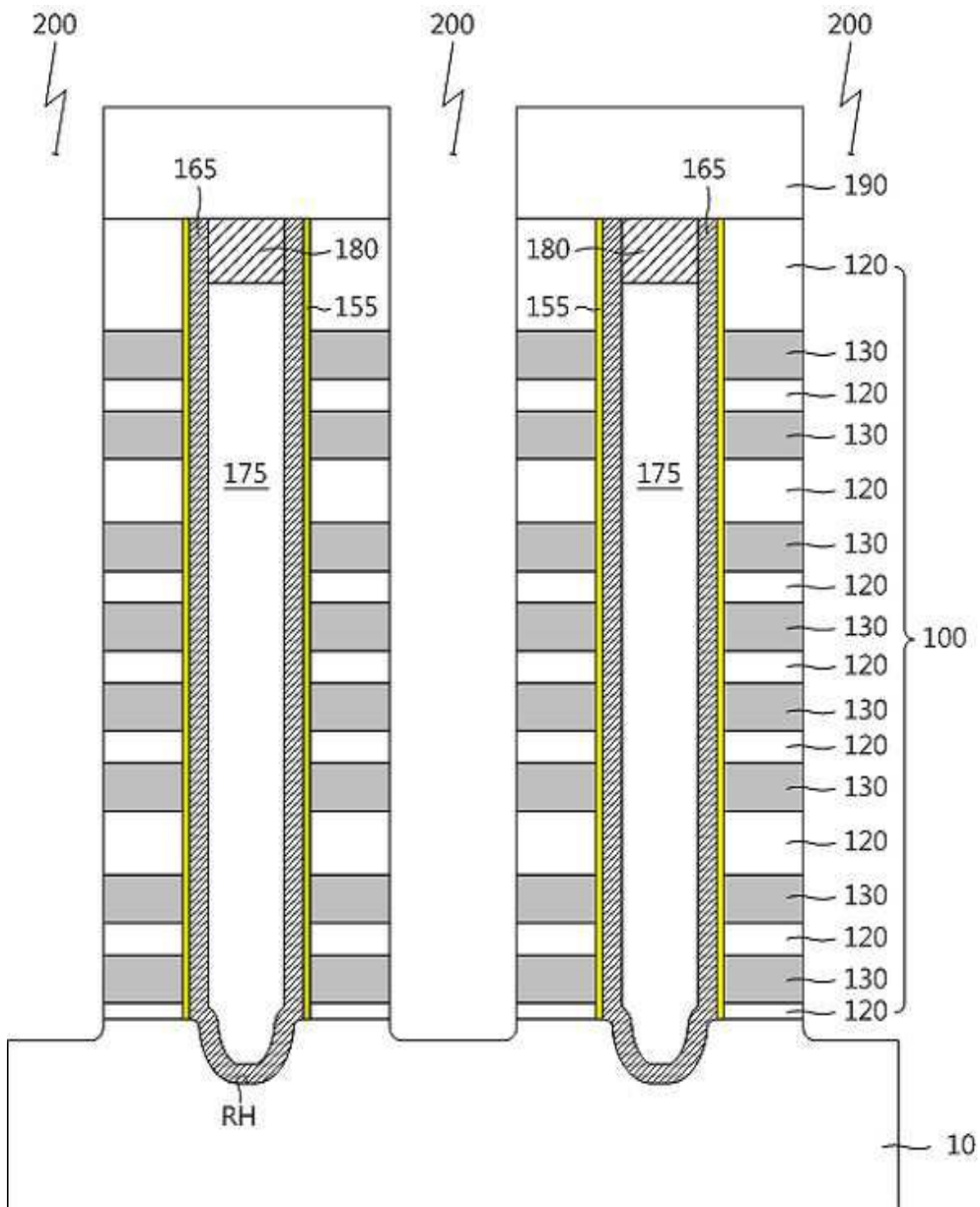
도면22



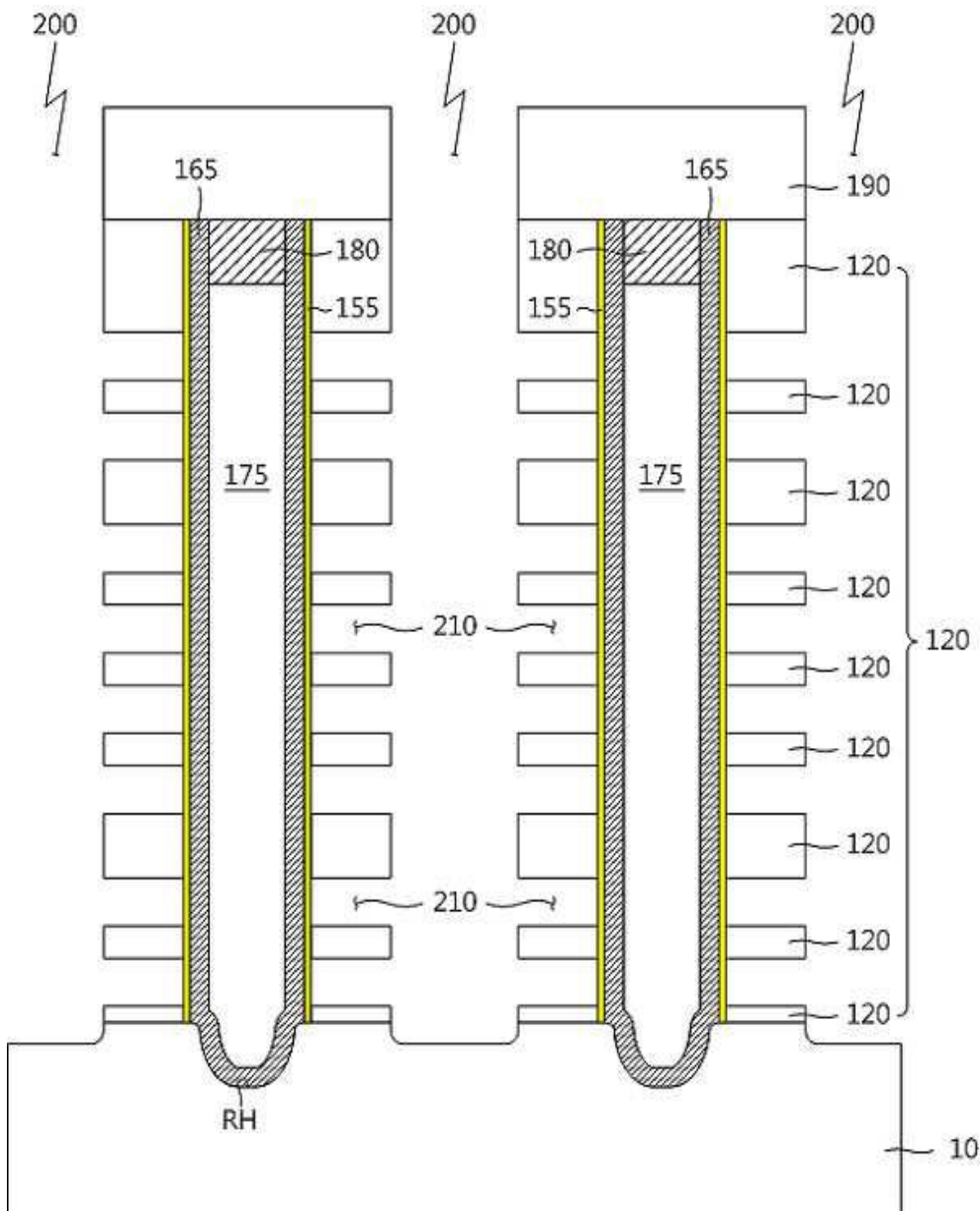
도면23



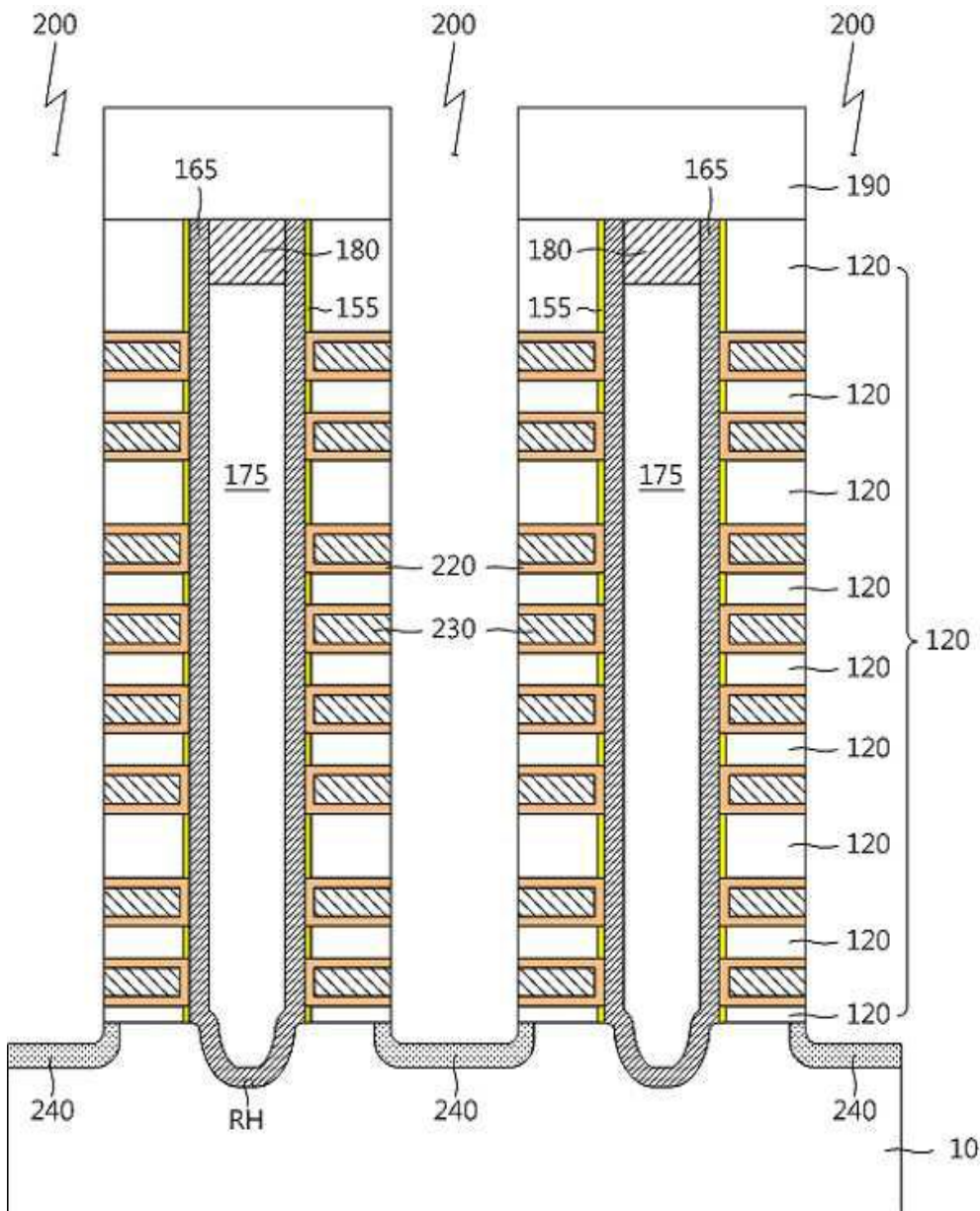
도면24



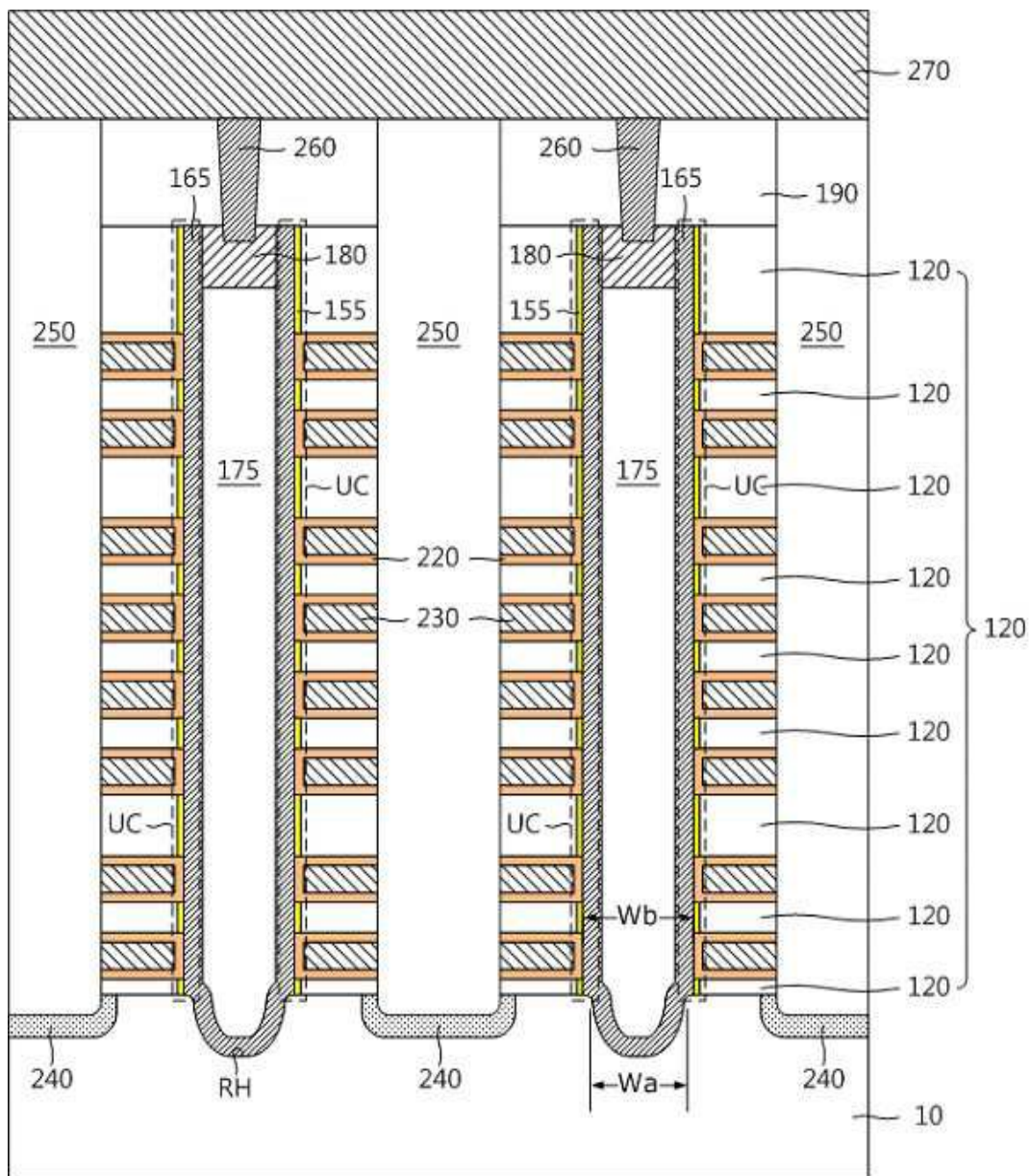
도면25



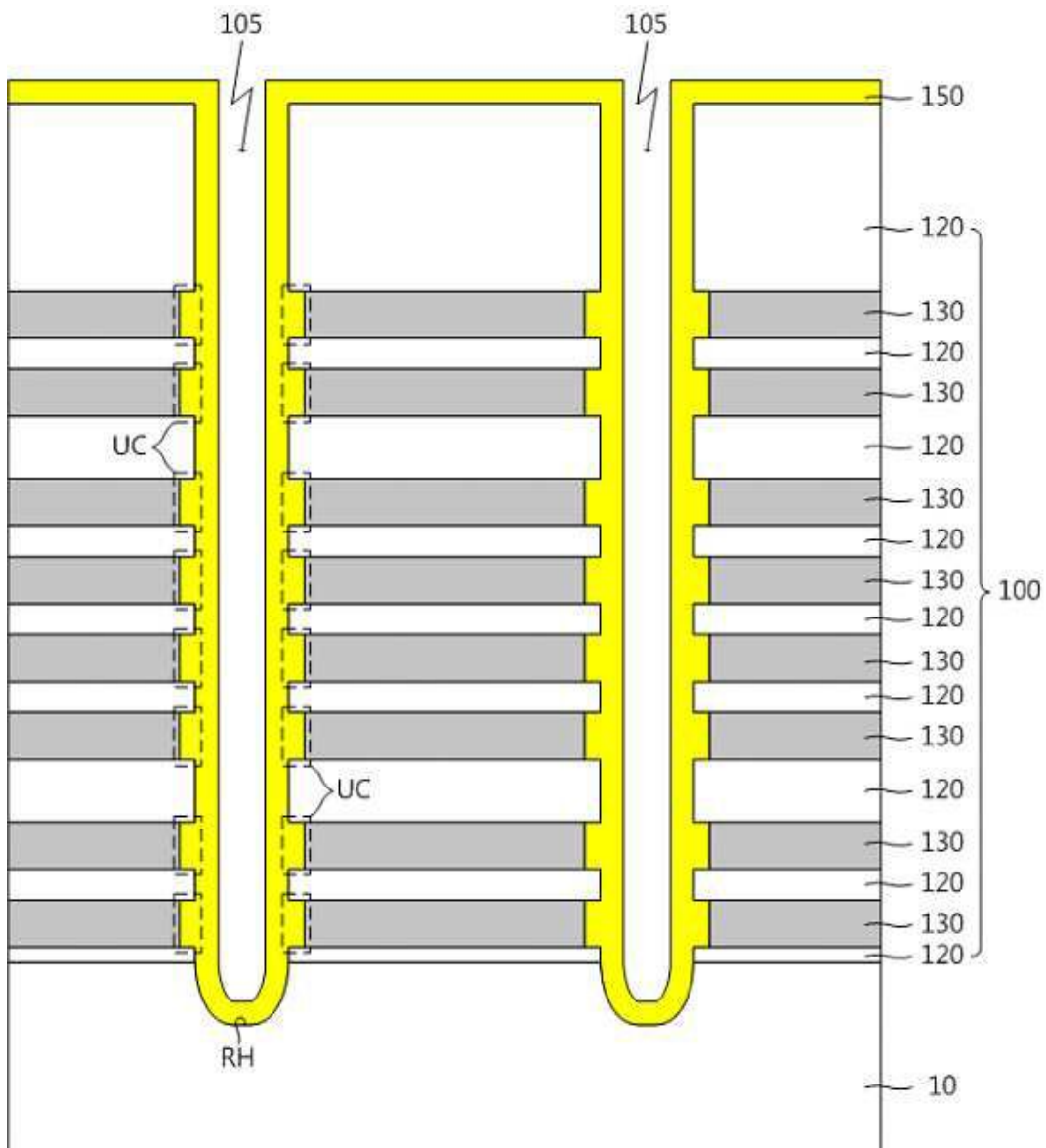
도면26



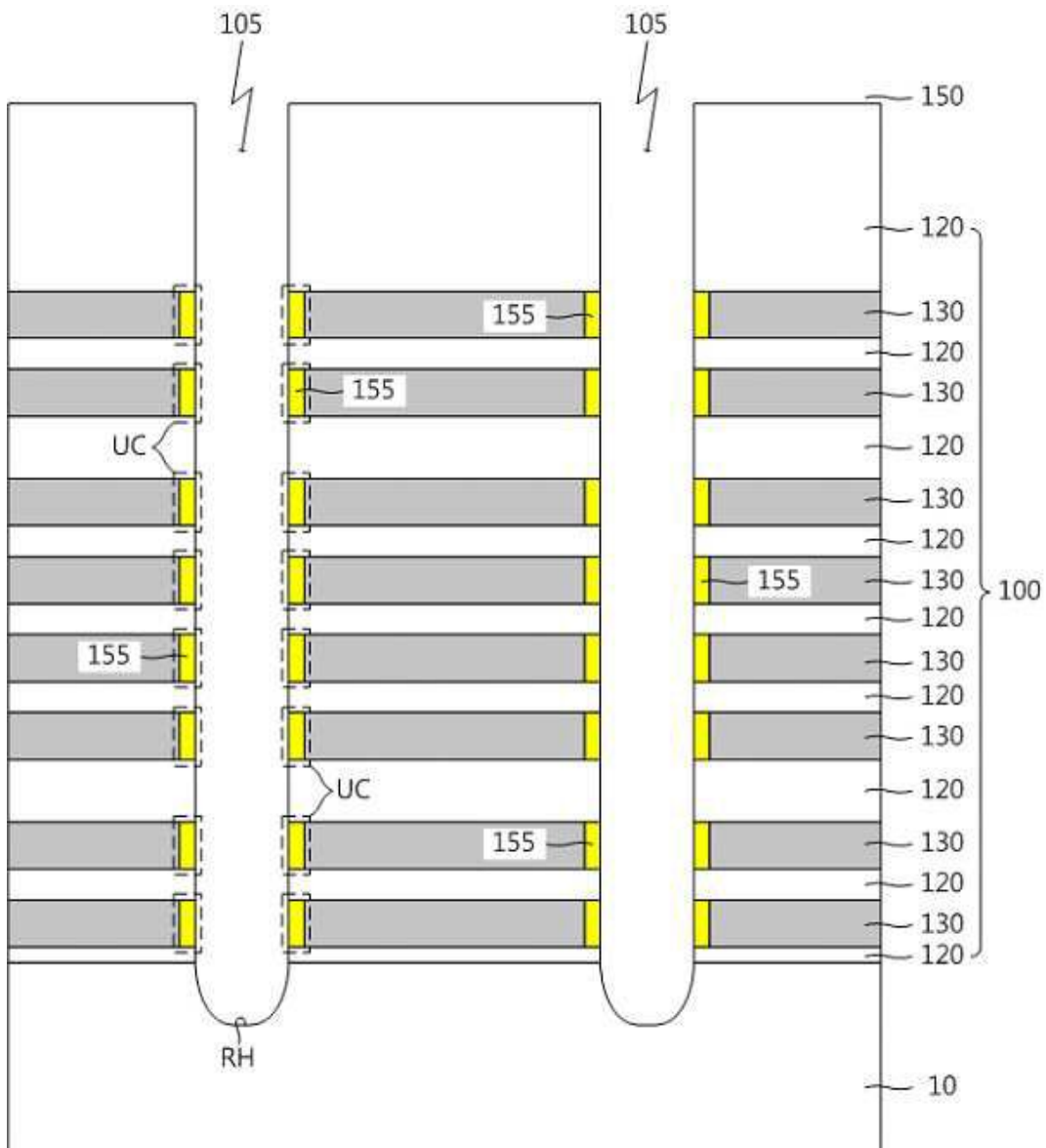
도면27



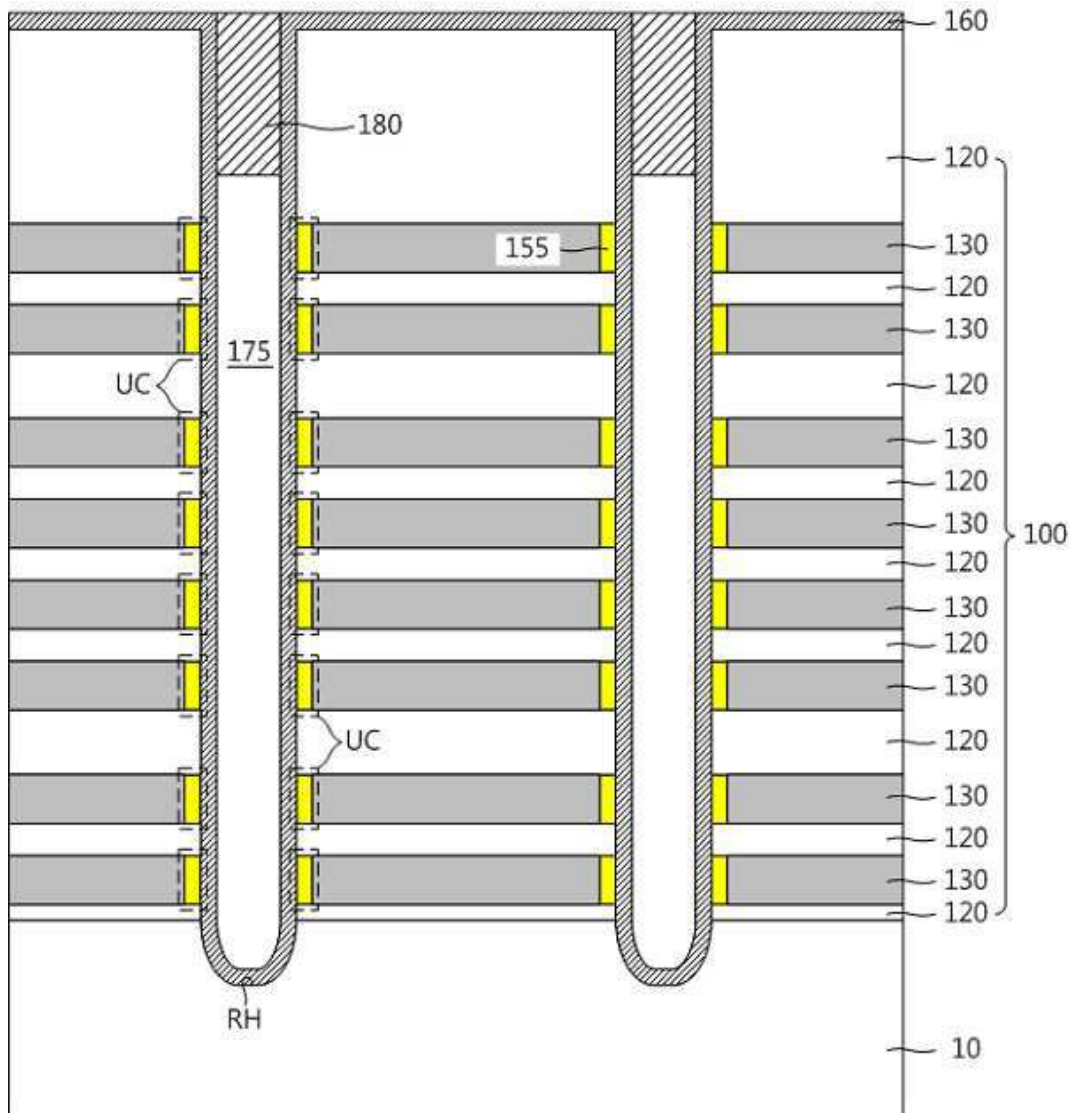
도면28



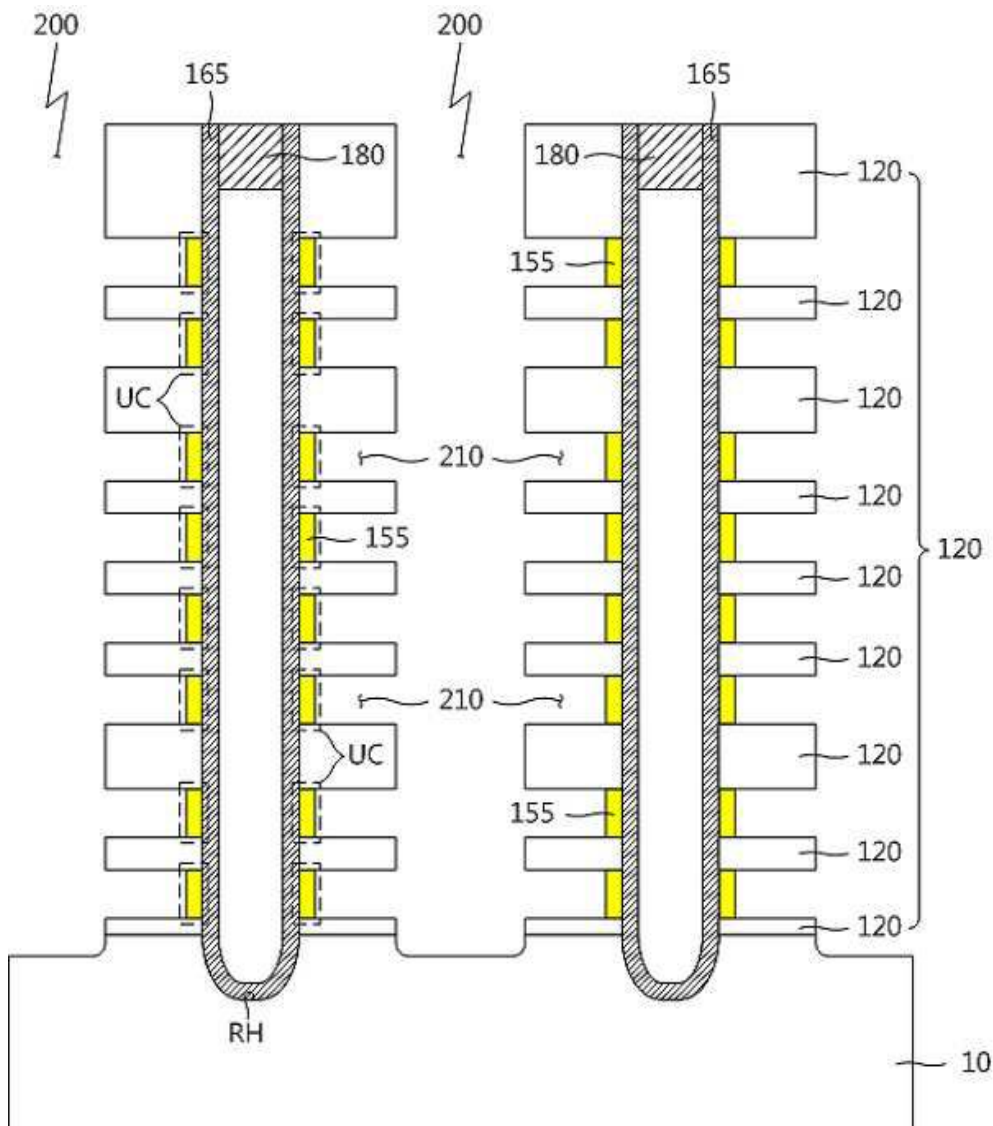
도면29



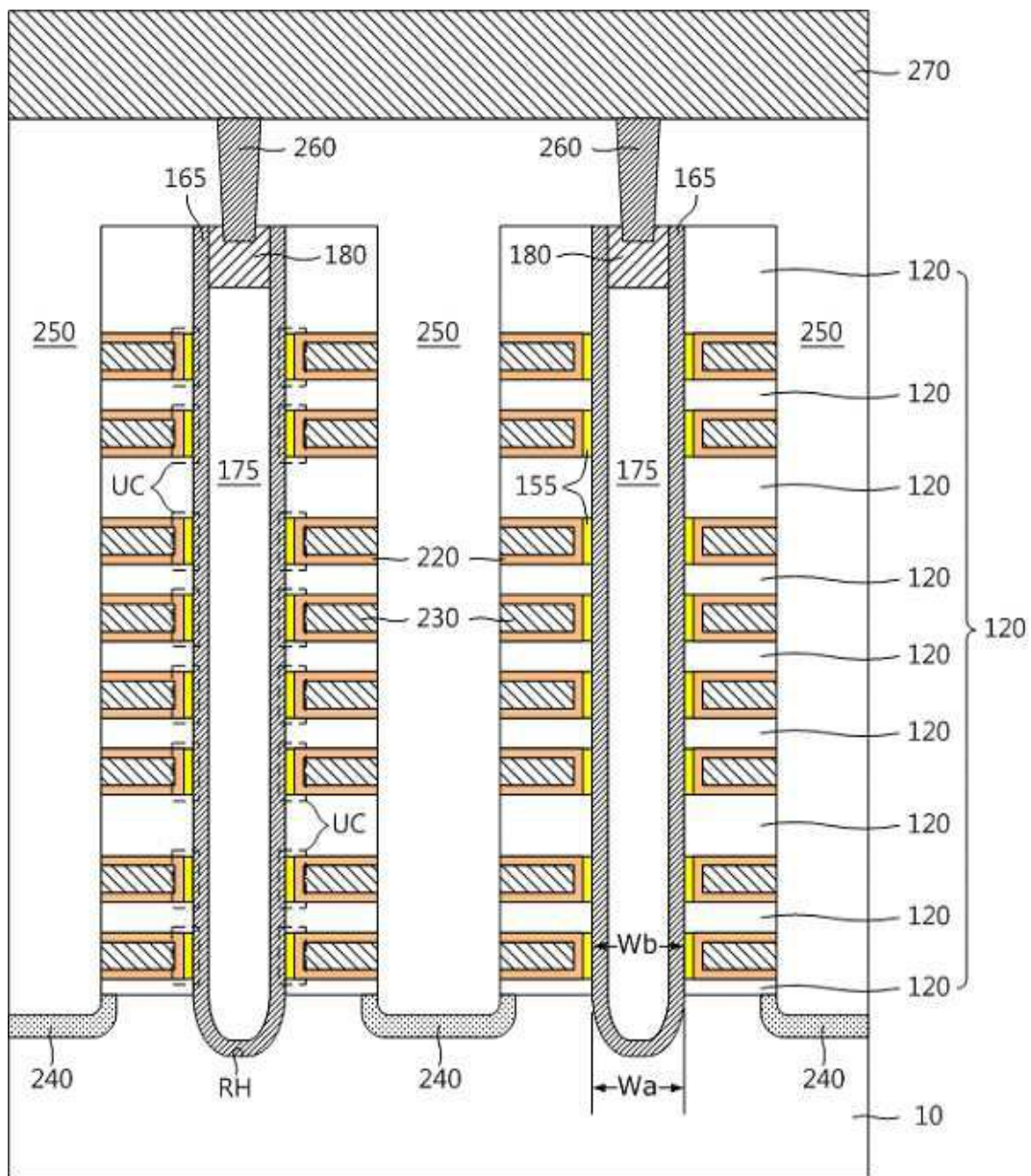
도면30



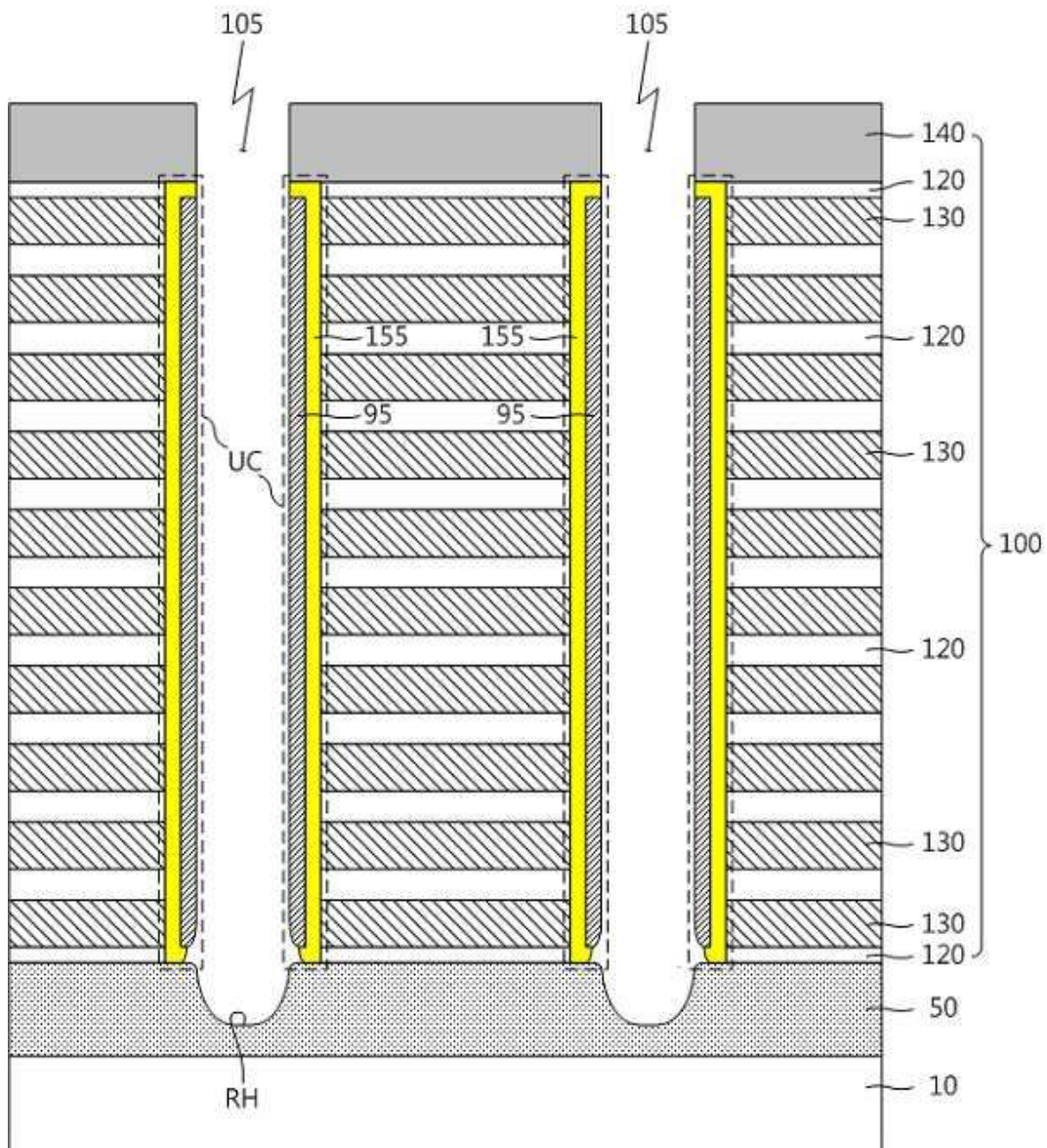
도면31



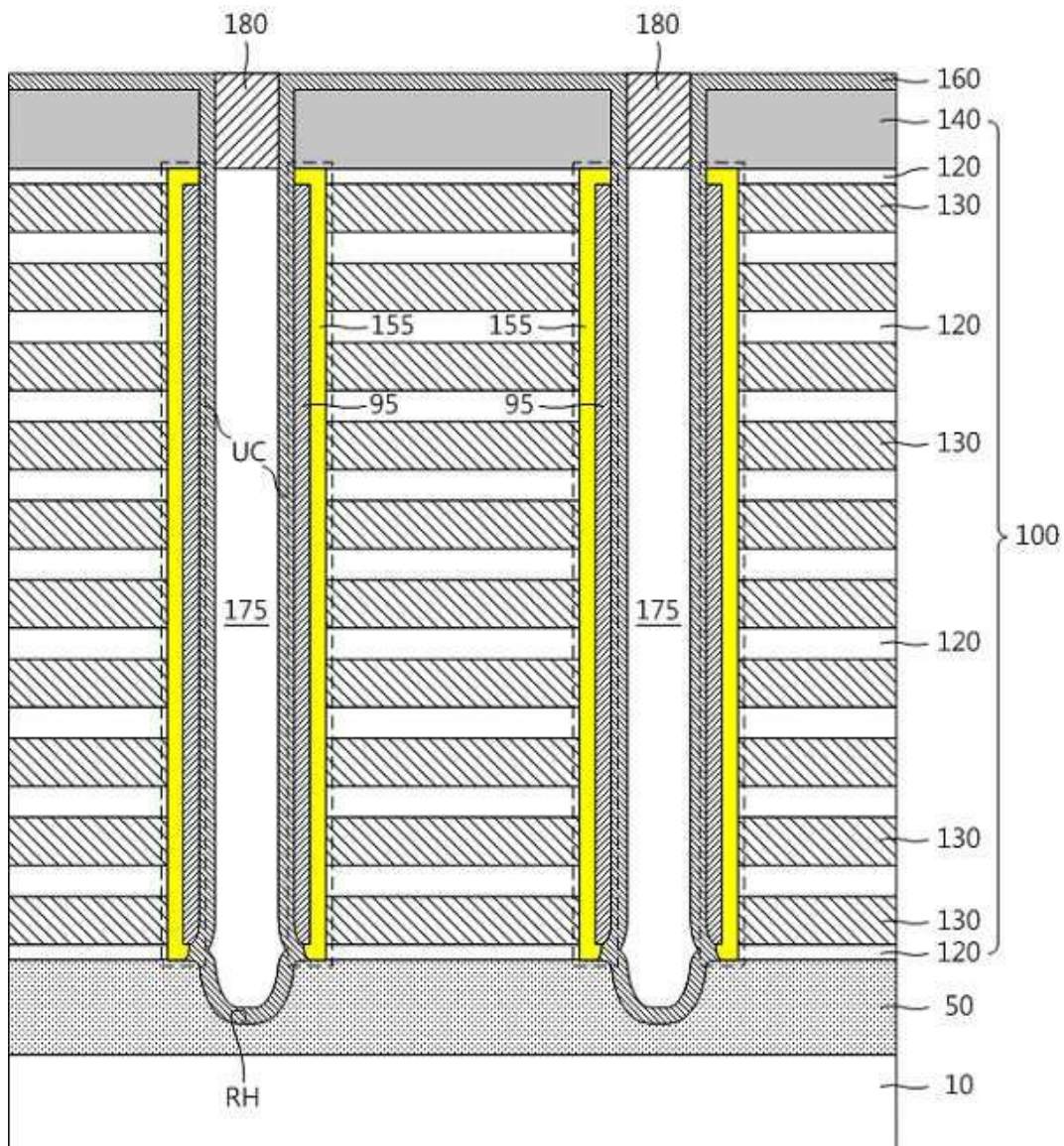
도면32



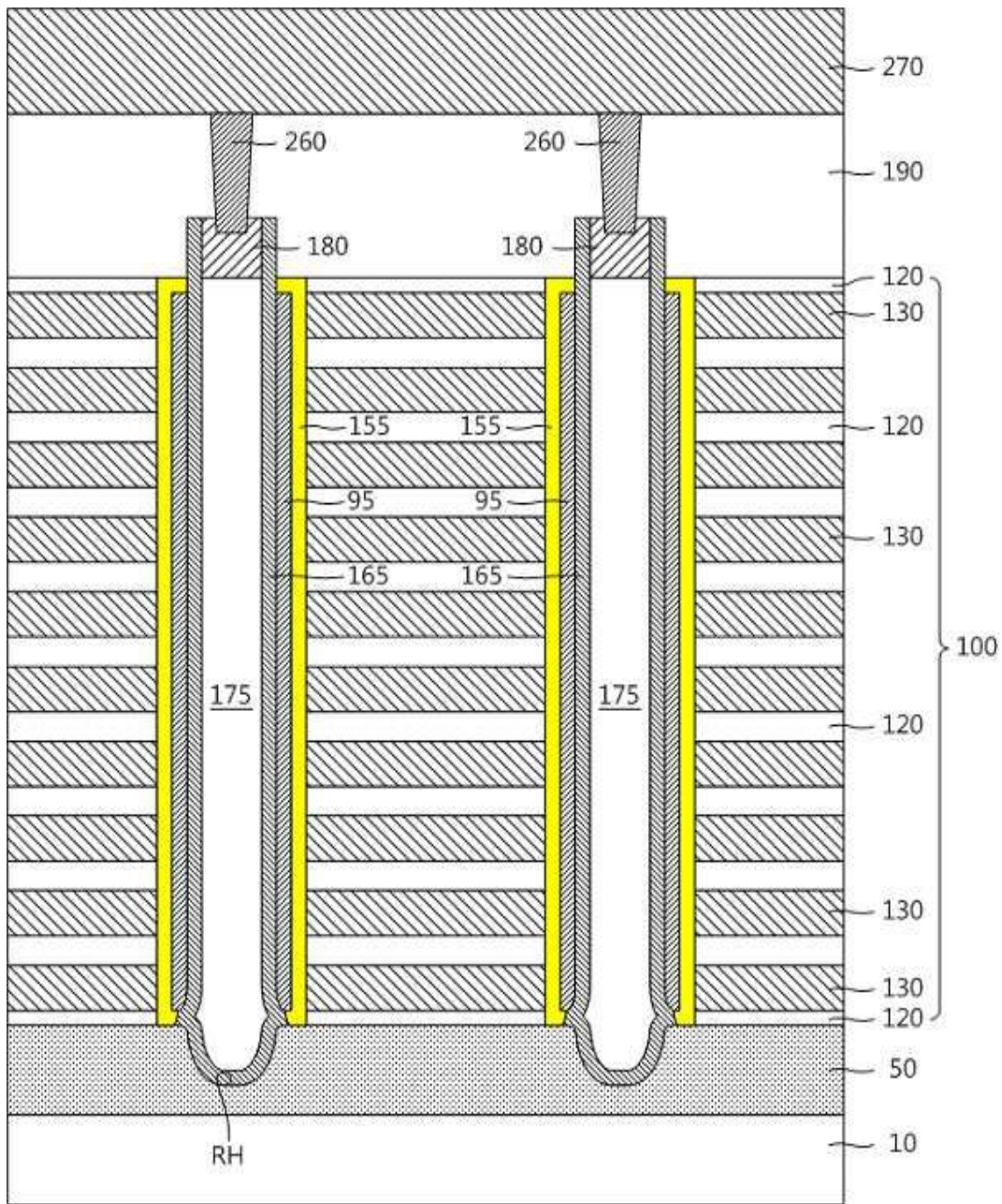
도면34



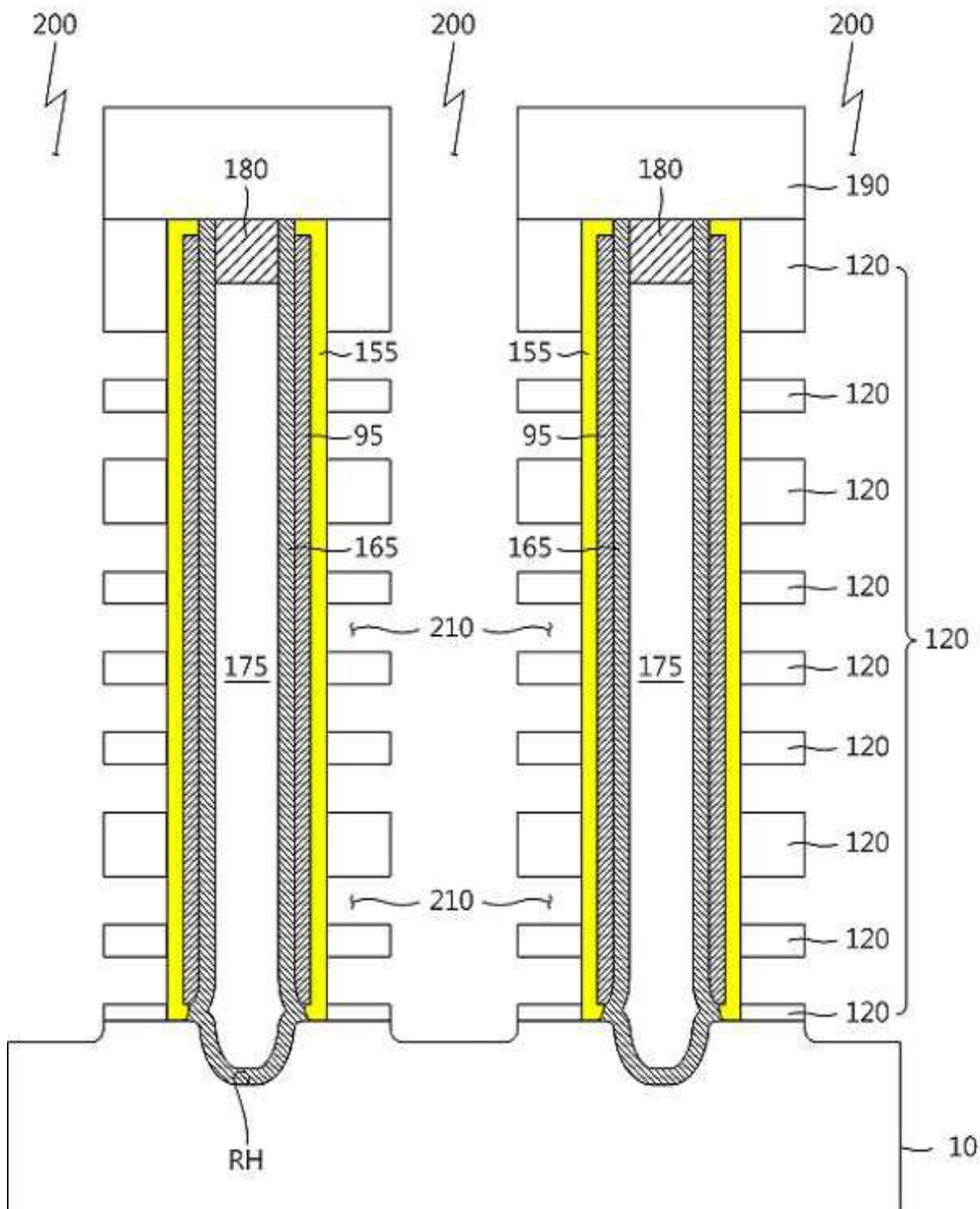
도면35



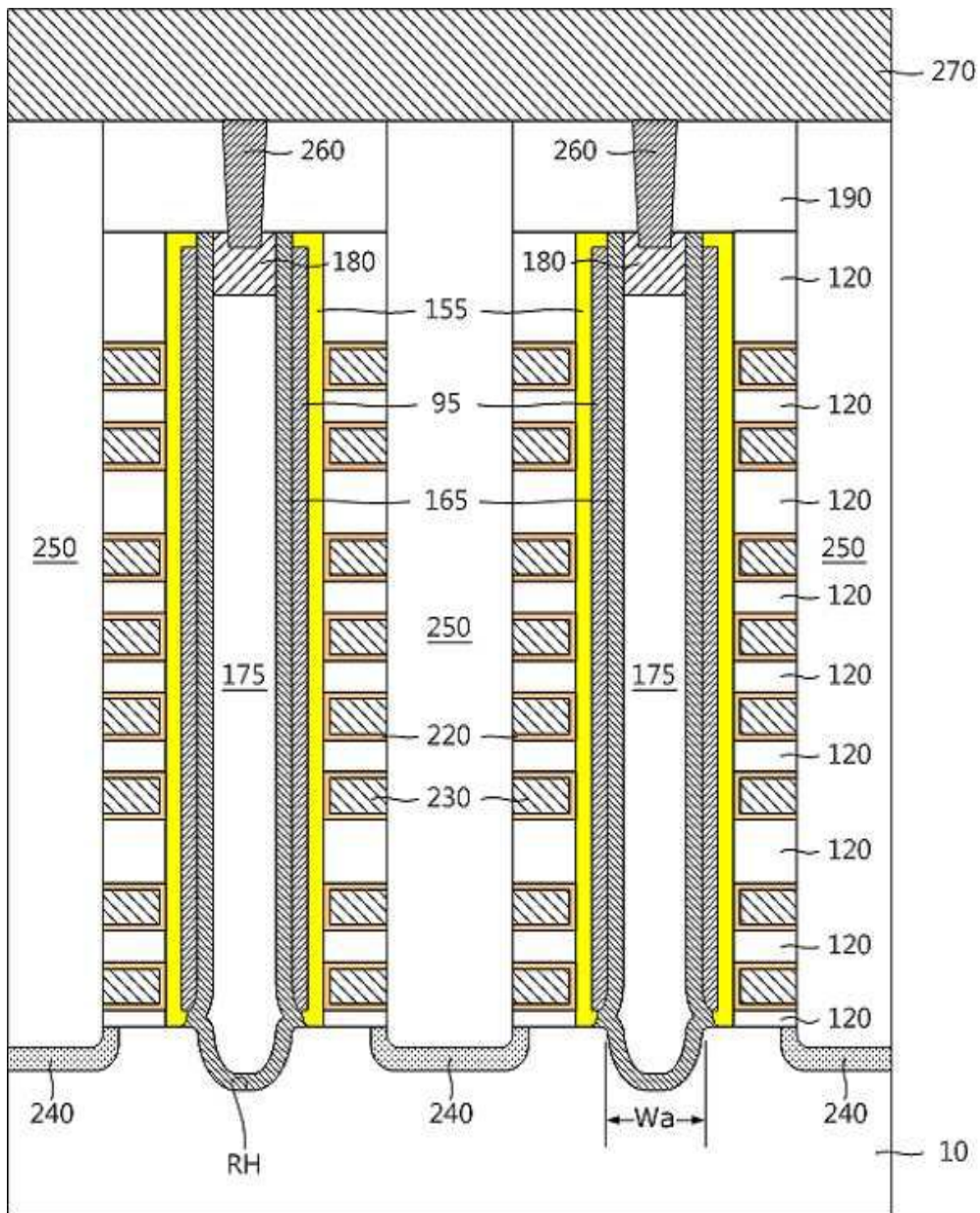
도면36



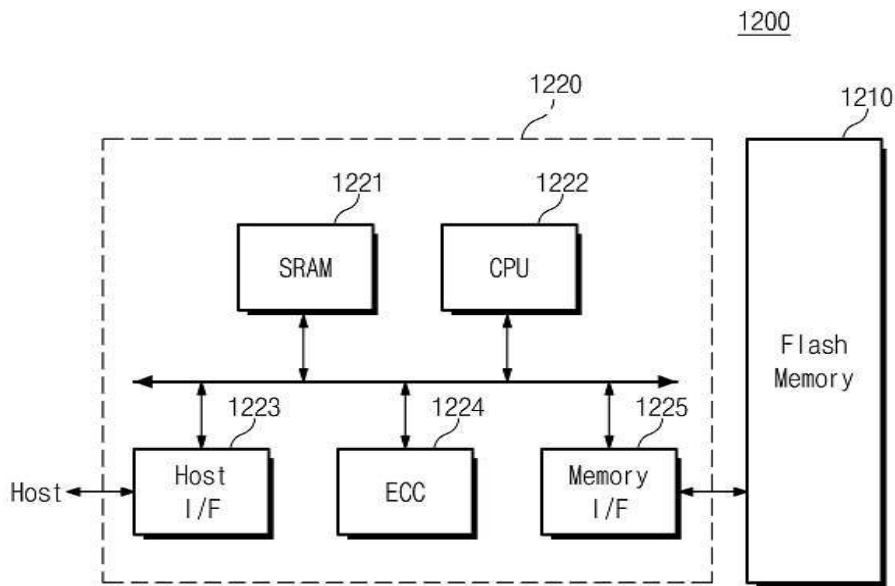
도면38



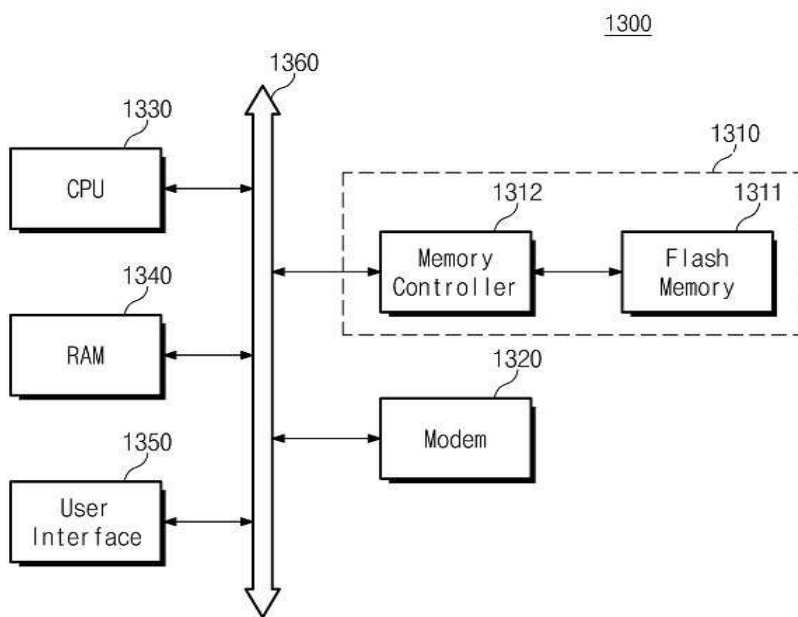
도면39



도면40



도면41



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 발명(고안)의 설명

【보정세부항목】 식별번호 [0075]

【변경전】

도 &&& 내지 도&&&를

【변경후】

도 10 내지 도 14를