

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-354036

(P2005-354036A)

(43) 公開日 平成17年12月22日(2005.12.22)

(51) Int. Cl.⁷

HO 1 L 21/336
HO 1 L 21/28
HO 1 L 21/288
HO 1 L 29/786
HO 1 L 51/00

F I

HO 1 L 29/78 6 1 6 K
HO 1 L 21/28 E
HO 1 L 21/288 Z
HO 1 L 29/78 6 1 7 J
HO 1 L 29/78 6 1 7 V

テーマコード (参考)

4 M 1 0 4
5 F 1 1 0

審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2005-96594 (P2005-96594)
(22) 出願日 平成17年3月30日 (2005.3.30)
(31) 優先権主張番号 特願2004-145155 (P2004-145155)
(32) 優先日 平成16年5月14日 (2004.5.14)
(33) 優先権主張国 日本国(JP)

(71) 出願人 000003193
凸版印刷株式会社
東京都台東区台東1丁目5番1号
(74) 代理人 100064908
弁理士 志賀 正武
(74) 代理人 100108578
弁理士 高橋 詔男
(74) 代理人 100089037
弁理士 渡邊 隆
(74) 代理人 100101465
弁理士 青山 正和
(74) 代理人 100094400
弁理士 鈴木 三義
(74) 代理人 100108453
弁理士 村山 靖彦

最終頁に続く

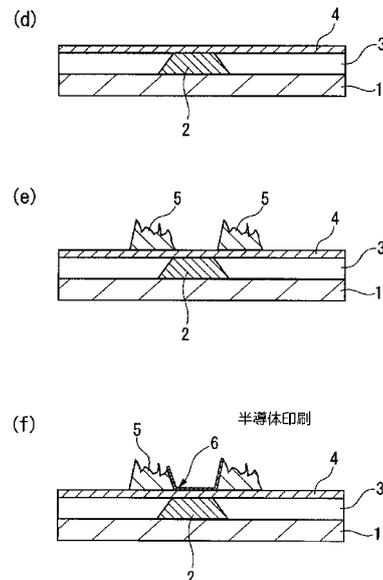
(54) 【発明の名称】 半導体装置の形成方法

(57) 【要約】 (修正有)

【課題】 安価な材料を使用して高価なプロセスの利用を避け、高性能な半導体装置を安価に大量に提供する。

【解決手段】 少なくとも可撓性絶縁基板 1 上にゲート電極 2 を形成する工程と、該ゲート電極表面を平坦化材 3 で被覆する工程と、該平坦化材及びゲート電極の一部を研磨する工程と、該研磨した平坦化材の表面にゲート絶縁膜 4 を形成する工程と、該ゲート絶縁膜上にソース・ドレイン電極 5 を形成する工程と、該ソース・ドレイン電極間に半導体層 6 を形成する工程を含む形成方法により半導体装置を形成する。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

少なくとも、可撓性絶縁基板上にゲート電極を形成する工程と、該ゲート電極表面を平坦化材で被覆する工程と、該平坦化材及びゲート電極の一部を研磨する工程と、該研磨した平坦化材の表面にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にソース・ドレイン電極を形成する工程と、該ソース・ドレイン電極間に半導体層を形成する工程を含むことを特徴とする半導体装置の形成方法。

【請求項 2】

前記ゲート電極をスクリーン印刷法により形成することを特徴とする請求項 1 に記載の半導体装置の形成方法。

10

【請求項 3】

前記ゲート電極を銅貼り基板をエッチングして形成することを特徴とする請求項 1 に記載の半導体装置の形成方法。

【請求項 4】

前記ゲート絶縁膜をスピンコート法により形成することを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置の形成方法。

【請求項 5】

前記平坦化材の一部を研磨除去する工程を湿式研磨を使用して行うことを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置の形成方法。

【請求項 6】

前記半導体層を、有機半導体溶液をインクジェット滴下した後加熱乾燥して形成することを特徴とする請求項 1 から請求項 5 のいずれか 1 項に記載の半導体装置の形成方法。

20

【請求項 7】

前記半導体層が酸化物半導体であることを特徴とする請求項 1 から請求項 5 のいずれか 1 項に記載の半導体装置の形成方法。

【請求項 8】

前記可撓性絶縁基板がポリエステル樹脂またはポリイミド樹脂からなることを特徴とする請求項 1 から請求項 7 のいずれか 1 項に記載の半導体装置の形成方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、ICカード、電子ペーパー、RFIDタグ等に使用する半導体装置とその形成方法に関するものである。

【背景技術】

【0002】

近年、ICカードや電子ペーパー、RFIDタグ等が注目されている。これらには半導体装置が使用されている。半導体装置は年々多機能化が進んでいるが、逆に薄型化、軽量化が進行しており、それを実現するため限られたスペースへの集積化や素子の薄型化が求められている。

また、半導体装置に使用される基板を薄くして薄型化を計ろうとすると、素子が壊れ易くなる。例えば、ICカードは、カードホルダや財布などに収納され持ち運ばれるが、ポケットやカバンなどの中で外部からの力により曲げ、捻りなどを加えられることも多く、フレキシブルで壊れにくいことが強く求められている。また、ワイヤボンディングなどで配線する必要があるため、曲げ、捻りなどで素子自身や配線などが壊れるなど信頼性を著しく低下させる問題がある。

40

しかも現在の半導体製造プロセスは、プラスチックフィルムが耐えられない高温プロセスを必要とする。

このため半導体装置を安価に大量に供給し、しかもフレキシブルな基材上に半導体装置を形成するためには、印刷法を用いて形成した半導体装置も出現している（例えば、特許文献 1 参照。）。

50

【0003】

印刷法が注目されるのには、以下のような理由によっている。すなわち、(1)低温での加工が可能であるので基材に可撓性の樹脂フィルムを使用することが可能となる、(2)このため、ロール状の樹脂フィルムを用いていわゆるロール・ツー・ロールプロセスで高速生産することが可能となる、(3)溶液状の半導体が利用できるので印刷加工が容易である、等の理由が挙げられる。このような理由からフレキシブルな基材上に形成した半導体装置を大量にしかも安価に提供することが可能となる。

【0004】

印刷法を用いた半導体装置の形成方法としては、例えばオフセット印刷法を使用してレジストインキや遮光性インキを塗布し半導体パターンや回路基板を形成する方法(例えば、特許文献2参照。)、あるいはインクジェットプリント法により導電性高分子溶液を用いて配線パターンを形成する方法(例えば、特許文献3参照。)等が知られている。

10

【特許文献1】再公表特許W098-29261号公報

【特許文献2】特開平7-240523号公報

【特許文献3】特開2003-123047号公報

【0005】

実際に印刷法が適用可能な材料としては、電極材料については導電パターンを形成するためのポリマー厚膜ペーストが広く用いられており、金や銀などのナノサイズの金属粒子をインキ状に加工したものが市販されている。

また、半導体材料についてはポリチオフェン、ポリアリルアミンの誘導体、ペンタセン前駆体等がある。また、有機物に限らず溶液として調整可能であればセレン化カドミウム、シリコン、ゲルマニウム等の微粒子、あるいはこれらの金属有機化合物等も利用することができる。

20

また、プラスチックフィルムが使用可能な温度で製膜できる半導体材料としてInGaZnO系、InGaO系、ZnGaO系、InZnO系、ZnO、SnO₂等の酸化物半導体も使用可能である。

さらに、絶縁膜材料としてはポリビニルフェノールやポリメチルメタアクリレート等の高分子材料が利用できるほか、コンデンサ用に用いられているチタン酸バリウム等の高誘電体を、所定の割合で適度な粘度の樹脂を練り合わせてペースト状にしたものが利用できる。

30

これらの材料を用いることで、印刷法による半導体装置が現実のものとなっており、その研究報告も数多く発表されている。

なお、ここで印刷法による半導体装置とは、半導体の構成要素である電極、絶縁膜、半導体の全てを印刷法により形成する場合に限らず、これらの一部の要素を印刷法により形成した場合も含めるものとする。

【発明の開示】

【発明が解決しようとする課題】

【0006】

一般にICカード等で使用される半導体装置は、ゲート電極、ゲート絶縁膜、ソース・ドレイン電極及び半導体膜を積層した、いわゆるTF_T(Thin Film Transistor)タイプの半導体装置である。この半導体装置においては、ゲート電極が薄いほど高速性の目安である遮断周波数が高くなり、素子の大きさが小さいほど寄生容量や回路抵抗が小さくなり、動作が速くなって高性能を発揮するとされている。

40

このような半導体装置を形成するには、(1)ゲート電極とソース・ドレイン電極の相対的な位置を正確に決め、(2)ソース・ドレイン電極間の距離(チャンネル長)を正確に決める、という2つの課題がある。

従来フォトリソプロセスを利用した半導体装置の形成方法では、各層の重ね合わせを光学的な位置読み取りで行い、機械的にフォトマスクの位置を合わせて露光することが行われている。

光学的な位置合わせは正確であるものの装置が高価であり、生産性も低いので製品コス

50

トの上昇は避けられない。

【0007】

半導体装置のコスト低減のためには真空プロセスの使用を避け、ゲート電極も銅貼り基板や厚膜ペーストを使用するのが効果的であるが、正確な位置合わせを行うためには従来のもと同様高価な装置が必要である。このため自己整合的に位置合わせができることが望ましい。

【0008】

本発明は、上記課題を解決するためになされたものであって、安価な材料を使用して高価なプロセスの利用を避け、高性能な半導体装置を安価に大量に提供することを目的とする。

10

【課題を解決するための手段】

【0009】

上記課題を解決するため本発明は、少なくとも、可撓性絶縁基板上にゲート電極を形成する工程と、該ゲート電極表面を平坦化材で被覆する工程と、該平坦化材及びゲート電極の一部を研磨する工程と、該研磨した平坦化材の表面にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にソース・ドレイン電極を形成する工程と、該ソース・ドレイン電極間に半導体層を形成する工程を含む半導体装置の形成方法を採用した。

このような方法を採用すれば、広い面積を平坦化できるのでゲート電極を薄くかつ正確に形成することができ、安価な材料を使用してゲート電極やソース・ドレイン電極の位置が正確に規定でき、チャンネル長も一定となって性能の良い半導体装置を安価に大量に提供することが可能となる。

20

【0010】

本発明においては、前記ゲート電極をスクリーン印刷法により形成することができる。あるいは前記ゲート電極を銅貼り基板をエッチングして形成することもできる。

このような方法でゲート電極を形成すれば、安価な材料を使用できるのでコスト削減を図ることができる。

本発明においては、前記ゲート絶縁膜をスピコート法やダイコート法により形成することができる。

平坦化材を含めて表面を鏡面加工してあるのでスピコート法により広い面積に一気に形成することができ、形成速度を高めて能率的に加工することができる利点がある。

30

さらに、前記平坦化材の一部を研磨除去する工程を湿式研磨法を使用して行うこともできる。

また、前記半導体層を、有機半導体溶液をインクジェット滴下した後加熱乾燥して形成することができる。

前記半導体層が酸化物半導体である手段を採用することができる。

さらに、前記可撓性絶縁基板としてポリエステル樹脂またはポリイミド樹脂を使用することが好ましい。

【発明の効果】

【0011】

本発明によれば、安価な材料を使用して高価なプロセスの利用を避け、高性能な半導体装置を安価に大量に提供することが可能となる。

40

【発明を実施するための最良の形態】

【0012】

図1に本発明で形成する半導体装置の断面構造を示す。

本発明で形成する半導体装置10は、可撓性の絶縁体からなる基板1上にゲート電極2が形成されており、該ゲート電極2の周囲は平坦化材3で埋められている。ゲート電極2を含む平坦化材3の表面はゲート絶縁膜4により覆われている。

該ゲート絶縁膜4上にはゲート電極2を挟んだ位置にソース電極5-1とドレイン電極5-2が一定の距離を保って形成され、チャンネルを構成している。そしてソース電極5-1とドレイン電極5-2の間にはそれぞれの端部に接続して半導体層6が設けられている

50

。このように構成された基板の表面のソース電極 5 - 1 とドレイン電極 5 - 2 上にボンディングパッド 7 を設けて、それ以外の部分を保護膜 8 で被覆して半導体装置 10 としている。

【0013】

次に、本発明の半導体装置の形成方法につき図面を使用して説明する。なお、以下の図面においては説明を判りやすくするために、縮尺は必ずしも正確に描いてはいない。

図 2 及び図 3 は本発明の半導体装置の形成方法を説明する工程断面図である。

先ず、図 2 (a) に示すように、可撓性の絶縁体からなる基板 1 上にゲート電極 2 を形成する。

基板 1 としては、半導体素子を薄く小型に形成し、しかも折れ曲げに強い可撓性を持たせるために、ポリエステル樹脂フィルムやポリイミド樹脂フィルムを使用するのが好ましい。10
勿論用途によってはガラスやアルミナ等の無機絶縁基板も利用できる。

ゲート電極 2 は、例えば導電性の厚膜ペーストを所定の位置にスクリーン印刷等を利用して印刷した後焼成して形成しても良いし、あるいは銅箔を貼った銅貼り基板を使用して、所定の形状にパターニングして形成したものであっても良い。厚膜ペーストとしては、特に制限はないが、導電率が高く、適度の粘性を有して印刷したときにムラ無く塗布できるものであればよい。例えば、銀 (Ag) と炭素 (C) の微粒子を有機ポリマー中に分散させて適当な粘度に調製したものが利用できる。ゲート電極 2 の厚さは、10 ~ 20
 μm の範囲でなるべく薄くするのがよい。

厚膜ペーストをスクリーン印刷して形成したゲート電極 2 の厚さは数十 μm と厚く、表面も凹凸を有して、この上にゲート絶縁膜を介してソース・ドレイン電極を形成しても正確な寸法・形状のソース・ドレイン電極を形成することは困難である。20

また、銅貼り基板を使用して所定の形状にパターニングして形成したゲート電極も、厚さが厚いので高性能の半導体装置は得られない。

【0014】

そこで、図 2 (b) に示すように、上記ゲート電極 2 を含む基板表面に平坦化材 3 を塗布してゲート電極 2 を被覆する。平坦化材としては、ポリビニルフェノールやポリメチルアクリレート等の高分子材料の他、ソルダーレジストやチタン酸バリウムを有機溶媒中に分散させてペースト状にしたものが利用できる。平坦化材の塗布方法としては特に制限はなく、公知の印刷方法、すなわちスクリーン印刷のような有版印刷法、インクジェット印刷法、30
静電印刷のような無版印刷法等を使用することができる。

【0015】

次いで、図 2 (c) に示すように、ゲート電極 2 を含む平坦化材 3 の一部を研磨除去して鏡面に仕上げる。

研磨方法は特に制限はなく、公知の方法が利用できる。例えば、半導体分野で広く用いられている化学的機械研磨 (CMP) を使用して、研磨材とエッチング剤によるバフ研磨により研磨することができる。高速で能率良く研磨加工するには、耐水研磨紙を用いた後、バフ研磨する方法を採用するのがよい。研磨紙の砥粒粒度としては、例えば、# 500、# 1200、# 2400、# 4000 を用いて研磨した後、バフ及びアルミナ懸濁研磨液やシリカ懸濁研磨液で研磨加工することにより、鏡面研磨することができる。研磨後の厚さは 10 ~ 20 μm となるように研磨する。40

【0016】

次いで、図 3 (d) に示すように、鏡面研磨されたゲート電極 2 及び平坦化材 3 の表面にゲート絶縁膜 4 を塗布する。ゲート絶縁膜としては、ポリビニルフェノールやポリメチルアクリレート等の高分子材料の他、ソルダーレジストやチタン酸バリウムを有機溶媒中に分散させてペースト状にしたものが利用できる。塗布方法も特に制限はなく、公知のロールコート法、グラビアコート法、ダイコート法あるいはスピンコート法等が利用できる。また、ゲート絶縁膜 4 の厚さは 1 μm 以下とするのが適当である。

【0017】

次いで、図 3 (e) に示すように、ゲート絶縁膜 4 の上面に、ゲート電極 2 を挟んで所 50

定の間隔を開けてソース・ドレイン電極 5 を形成する。

ソース・ドレイン電極 5 は導電性の厚膜ペーストをスクリーン印刷等を利用して印刷した後焼成して形成する。ソース・ドレイン電極 5 の厚さは、10 ~ 20 μm 程度が適当である。

【0018】

次いで、図 3 (f) に示すように、ソース・ドレイン電極 5 を結んで半導体層 6 を形成する。半導体層 6 は、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等、既知の有機半導体や、InGaZnO 系、InGaO 系、ZnGaO 系、InZnO 系、ZnO、SnO₂ 等の酸化物半導体が使用可能である。

10

最後に半導体層 6 を含むソース・ドレイン電極 5 上にボンディングパッドを設け、ボンディングパッドを除く基板表面の全面を保護膜で覆って半導体装置とする。

【実施例】

【0019】

(実施例 1)

厚さ 100 μm のポリエステルフィルム上に、銀及びカーボンを導電体としたポリマー厚膜ペーストをスクリーン印刷により印刷して、これを乾燥炉で 150 で 30 分間加熱硬化させて厚さ 20 μm のゲート電極とした。

しかる後、ゲート電極を含むフィルム表面に平坦化層としてソルダーレジストをスクリーン印刷して 150 で加熱硬化させた。硬化後の平坦化層の厚さは 30 μm であった。

20

【0020】

その後、平坦化層表面を湿式研磨装置で研磨した。研磨は # 500、# 1200、# 2400、# 4000 の耐水研磨紙を用いて研磨した後、パフ及びアルミナ懸濁液とシリカ懸濁液で鏡面研磨して表面を平坦化した。この結果、ゲート電極を含む平坦化層の厚さは 12 μm となった。

【0021】

次いで、平坦化層表面にネガ型フォトリソレジストをスピンコートして成膜した後、紫外線照射して硬化させ、ゲート絶縁膜とした。ゲート絶縁膜の膜厚は 1 μm であった。

次いで、ゲート絶縁膜上の所定位置に銀及びカーボンを導電体としたポリマー厚膜ペーストをスクリーン印刷して、ソース・ドレイン電極を形成した。

30

さらに、ソース・ドレイン電極を連結してポリチオフェン誘導体のアニソール溶液をインクジェット装置のノズルから滴下し、大気中で 150 で加熱乾燥させて半導体層を形成した。

【0022】

最後にソース・ドレイン電極上にボンディングパッドを設け、ボンディングパッドを除く基板表面の全面を保護膜で覆って半導体装置を完成させた。

この半導体装置のドレイン電圧 V とドレイン電流 I の関係 (V - I 特性) を測定した結果を図 4 に示す。図において曲線 (a) ~ 曲線 (i) は、ゲート電圧がそれぞれ 0 V、10 V、20 V、30 V、40 V、50 V、60 V、70 V、80 V、90 V と、10 V 毎に変化させた場合に対応している。図 4 に示すとおりゲート電圧が 0 (ゼロ) V の時 (曲線 a) にはほとんどドレイン電流は流れず、ゲート電圧が上昇するに従ってドレイン電流が流れるようになった。

40

【0023】

(実施例 2)

ポリイミドフィルムに厚さ 18 μm の銅箔をラミネートした銅貼り基板を使用して、公知の方法により銅箔をエッチングしてゲート電極を形成した。

しかる後、その表面にソルダーレジストをスクリーン印刷して 150 で加熱硬化させ、厚さ 30 μm の平坦化層を形成した。

【0024】

その後、湿式研磨装置で平坦化層表面を研磨した。研磨は # 500、# 1200、# 2

50

400、#4000の耐水研磨紙を用いて研磨した後、バフ及びアルミナ懸濁液とシリカ懸濁液で鏡面研磨して表面を平坦化した。その結果、研磨後の平坦化層の厚さは12 μ mとなった。

【0025】

その後、平坦化層表面にネガ型フォトレジストをスピンコートして成膜した後、紫外線照射して硬化させてゲート絶縁膜とした。ゲート絶縁膜の厚さは1 μ mであった。

【0026】

次いで、ゲート絶縁膜上の所定位置に銀及びカーボンを導電体としたポリマー厚膜ペーストをスクリーン印刷して、ソース・ドレイン電極を形成した。

さらに、ソース・ドレイン電極を連結してポリチオフェン誘導体のアニソール溶液をインクジェット装置のノズルから滴下し、大気中で150 $^{\circ}$ Cで加熱乾燥させて半導体層を形成した。

最後にソース・ドレイン電極上にボンディングパッドを設け、ボンディングパッドを除く基板表面の全面を保護膜で覆って半導体装置を完成させた。

【0027】

(実施例3)

実施例1と同様に、厚さ100 μ mのポリエステルフィルム上に、銀及びカーボンを導電体としたポリマー厚膜ペーストをスクリーン印刷により印刷して、これを乾燥炉で150 $^{\circ}$ Cで30分間加熱硬化させて厚さ20 μ mのゲート電極とした。

しかる後、ゲート電極を含むフィルム表面に平坦化層としてソルダーレジストをスクリーン印刷して150 $^{\circ}$ Cで加熱硬化させた。硬化後の平坦化層の厚さは30 μ mであった。

【0028】

その後、平坦化層表面を湿式研磨装置で研磨した。研磨は#500、#1200、#2400、#4000の耐水研磨紙を用いて研磨した後、バフ及びアルミナ懸濁液とシリカ懸濁液で鏡面研磨して表面を平坦化した。この結果、ゲート電極を含む平坦化層の厚さは12 μ mとなった。

【0029】

次いで、平坦化層表面にスパッタ法を使用して厚さ0.1 μ mの二酸化珪素膜を成膜し、ゲート絶縁膜を形成した。

次いで、ゲート絶縁膜上の所定位置に蒸着法により金薄膜からなるソース・ドレイン電極を形成し、さらに、ソース・ドレイン電極を連結してペンタセン前駆体をインクジェット装置のノズルから滴下し、大気中で150 $^{\circ}$ Cで加熱乾燥させて半導体層を形成した。

最後にソース・ドレイン電極上にボンディングパッドを設け、ボンディングパッドを除く基板表面の全面を保護膜で覆って半導体装置を完成させた。

【0030】

(実施例4)

実施例1と同様に、厚さ100 μ mのポリエステルフィルム上に、銀及びカーボンを導電体としたポリマー厚膜ペーストをスクリーン印刷により印刷して、これを乾燥炉で150 $^{\circ}$ Cで30分間加熱硬化させて厚さ20 μ mのゲート電極とした。

しかる後、ゲート電極を含むフィルム表面に平坦化層としてソルダーレジストをスクリーン印刷して150 $^{\circ}$ Cで加熱硬化させた。硬化後の平坦化層の厚さは30 μ mであった。

【0031】

その後、平坦化層表面を湿式研磨装置で研磨した。研磨は#500、#1200、#2400、#4000の耐水研磨紙を用いて研磨した後、バフ及びアルミナ懸濁液とシリカ懸濁液で鏡面研磨して表面を平坦化した。この結果、ゲート電極を含む平坦化層の厚さは12 μ mとなった。

【0032】

次いで、平坦化層表面にスパッタ法を使用して厚さ0.1 μ mの二酸化珪素膜を成膜し、ゲート絶縁膜を形成した。

次いで、ゲート絶縁膜上の所定位置に蒸着法により金薄膜からなるソース・ドレイン電

10

20

30

40

50

極を形成し、さらに、ソース・ドレイン電極を連結して半導体層としてRFマグネトロンスパッタ法によりAr + O₂の混合ガスを用いてInGaZnO₄を室温成膜して半導体層を形成した。なお、ここでは製膜時にシャドウマスクをもちいて半導体層をパターンニングした。

最後にソース・ドレイン電極上にボンディングパッドを設け、ボンディングパッドを除く基板表面の全面を保護膜で覆って半導体装置を完成させた。

【図面の簡単な説明】

【0033】

【図1】本発明で形成する半導体装置の断面構造を示す図である。

【図2】本発明の半導体装置の製造工程を説明する断面工程図である。

【図3】図2に続く断面工程図である。

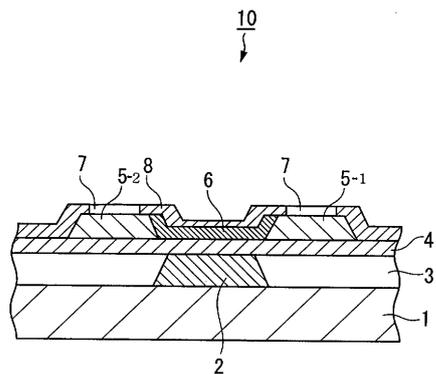
【図4】V-I特性を示す図である。

【符号の説明】

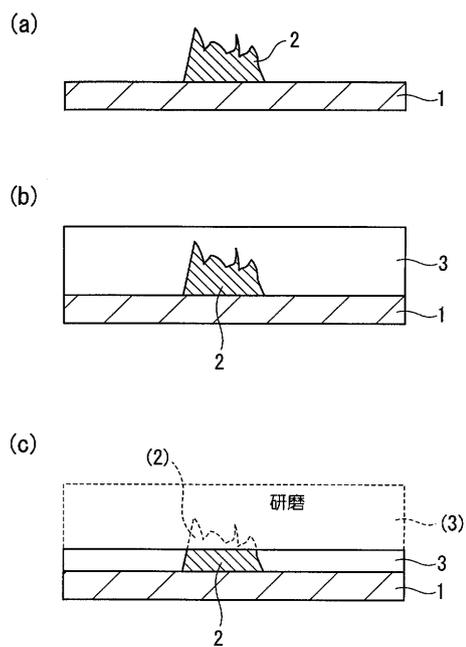
【0034】

1・・・基板、2・・・ゲート電極、3・・・平坦化材、4・・・ゲート絶縁膜、5・・・ソース・ドレイン電極、6・・・半導体層、7・・・ボンディングパッド、8・・・保護膜、10・・・半導体装置

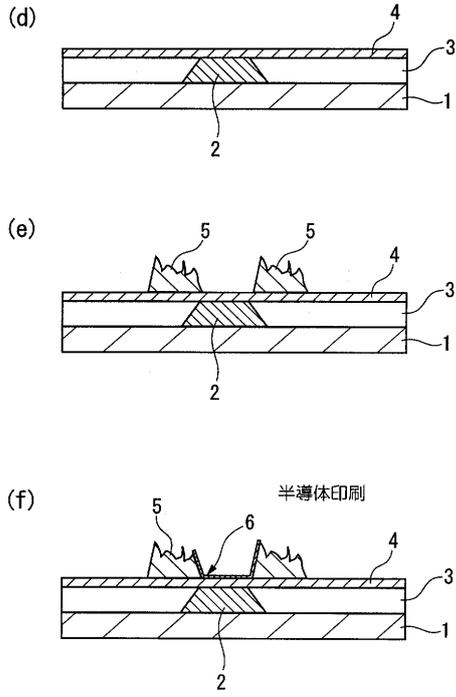
【図1】



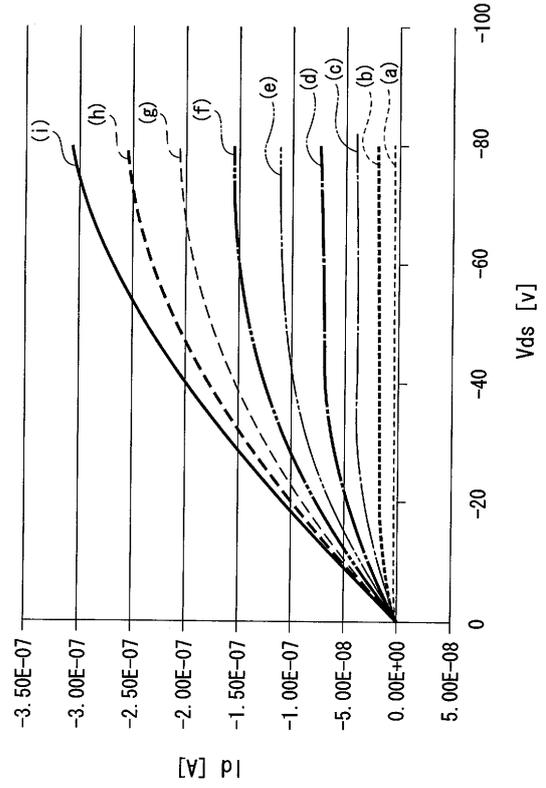
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
H 0 1 L 29/78 6 1 8 B
H 0 1 L 29/28

(72)発明者 中村 隆一
東京都台東区台東 1 丁目 5 番 1 号 凸版印刷株式会社内

(72)発明者 松原 亮平
東京都台東区台東 1 丁目 5 番 1 号 凸版印刷株式会社内

Fターム(参考) 4M104 AA09 BB04 BB08 BB36 CC01 CC05 DD51 DD61 DD63 DD78
GG09 GG10 GG14 HH00
5F110 AA16 BB20 CC03 DD01 DD02 EE01 EE02 EE42 EE48 FF01
FF02 FF27 FF28 GG04 GG05 GG42 GG43 HK01 HK02 HK32
QQ01 QQ06 QQ19