

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5222466号
(P5222466)

(45) 発行日 平成25年6月26日(2013.6.26)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 N
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 8 G
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 5 8 F
HO 1 L 27/06 (2006.01)	HO 1 L 29/78 6 5 8 A

請求項の数 8 (全 42 頁) 最終頁に続く

(21) 出願番号 特願2006-216659 (P2006-216659)
 (22) 出願日 平成18年8月9日(2006.8.9)
 (65) 公開番号 特開2008-42056 (P2008-42056A)
 (43) 公開日 平成20年2月21日(2008.2.21)
 審査請求日 平成21年8月4日(2009.8.4)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 松浦 仁
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 中沢 芳人
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 可知 剛
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

- (a) 第1導電型の半導体基板の主面上に第1絶縁膜を形成する工程と、
- (b) 前記第1絶縁膜をパターンニングして開口部を形成する工程と、
- (c) 前記開口部を形成した前記第1絶縁膜をマスクにして前記半導体基板にゲートトレンチを形成する工程と、
- (d) 前記ゲートトレンチにゲート絶縁膜を形成する工程と、
- (e) 前記ゲートトレンチ内を含む前記第1絶縁膜上にポリシリコン膜を形成する工程と、
- (f) 前記第1絶縁膜上に形成されている前記ポリシリコン膜を除去する一方、前記第1絶縁膜の前記開口部および前記ゲートトレンチ内に前記ポリシリコン膜を残すことにより、ゲート電極を形成する工程と、
- (g) 前記第1絶縁膜の一部を除去することにより、前記ゲート電極の一部を前記半導体基板から突き出す工程と、
- (h) 前記半導体基板内に不純物を導入することにより前記ゲート電極の隣接領域に前記第1導電型のソース領域を形成する工程と、
- (i) 前記半導体基板上に第2絶縁膜を形成する工程と、
- (j) 前記第2絶縁膜を異方性エッチングすることにより前記半導体基板から突き出た前記ゲート電極の側壁にサイドウォールを形成する工程と、
- (k) 隣接する前記ゲート電極に形成されている前記サイドウォール間において前記半

10

20

導体基板の一部を除去することにより、前記ソース領域の深さよりも深いボディ用トレンチを形成する工程と、

(l) 前記半導体基板に不純物を導入することにより前記ボディ用トレンチの底部に第 2 導電型のボディコンタクト領域となる第 1 半導体領域を形成する工程と、

(m) 前記ゲート電極、前記ソース領域および前記第 1 半導体領域に第 1 金属シリサイド膜を形成する工程と、

(n) 前記半導体基板のショットキーバリアダイオード形成領域にショットキーバリアダイオードの接合部用溝を形成する工程と、を備え、

前記 (k) 工程は、前記ゲート電極に自己整合して前記ボディ用トレンチを形成しており、

10

前記 (m) 工程は、前記接合部用溝にも前記第 1 金属シリサイド膜を形成することにより、前記接合部用溝の底部に前記ショットキーバリアダイオードの接合部を形成しており、

前記 (n) 工程は、前記 (k) 工程で形成する前記ボディ用トレンチと同一工程で、前記ショットキーバリアダイオードの前記接合部用溝を形成することを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 記載の半導体装置の製造方法であって、さらに、

(o) 前記半導体基板上に第 2 層間絶縁膜のエッチングの際、エッチングストップ膜となる第 1 層間絶縁膜を形成する工程と、

20

(p) 前記第 1 層間絶縁膜上に前記第 2 層間絶縁膜を形成する工程と、

(q) 前記第 2 層間絶縁膜をエッチングすることにより孔を形成する工程と、

(r) 前記孔の底部に露出した前記第 1 層間絶縁膜をエッチングすることにより、前記第 1 層間絶縁膜および前記第 2 層間絶縁膜を貫通するコンタクトホールを、隣接する前記ゲート電極間に形成されている前記サイドウォール間に形成する工程とを備え、

前記第 1 層間絶縁膜をエッチングする際、前記サイドウォールがエッチングストップとして機能することを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 2 記載の半導体装置の製造方法であって、

前記第 1 層間絶縁膜は窒化シリコン膜から形成し、前記第 2 層間絶縁膜および前記サイドウォールは酸化シリコン膜から形成することを特徴とする半導体装置の製造方法。

30

【請求項 4】

請求項 1 記載の半導体装置の製造方法であって、

前記第 1 金属シリサイド膜は、コバルトシリサイド膜であることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 記載の半導体装置の製造方法であって、

前記 (l) 工程は、前記接合部用溝を形成した領域をマスクした状態で実施することを特徴とする半導体装置の製造方法。

【請求項 6】

40

請求項 1 記載の半導体装置の製造方法であって、

前記 (l) 工程は、マスクを使用せずに前記半導体基板の主面の全面に不純物を導入することを特徴とする半導体装置の製造方法。

【請求項 7】

(a) 第 1 導電型の半導体基板と、

(b) 前記半導体基板の主面に形成されたゲートトレンチと、

(c) 前記ゲートトレンチの内壁および底部に形成されたゲート絶縁膜と、

(d) 前記ゲートトレンチに埋め込むように形成され、一部が前記半導体基板から突き出したゲート電極と、

(e) 前記半導体基板から突き出した前記ゲート電極の側壁に形成されたサイドウォー

50

ルと、

(f) 前記ゲート電極に隣接するように形成され、前記第 1 導電型のソース領域と、

(g) 隣接する前記ゲート電極に形成されている前記サイドウォール間に、前記ゲート電極に自己整合して形成され、前記ソース領域の深さよりも深く形成されたボディ用トレンチと、

(h) 前記ボディ用トレンチの底部に形成され、前記第 1 導電型とは異なる第 2 導電型の第 1 半導体領域と、

(i) 前記半導体基板の主面と反対側の面に形成され、前記第 1 導電型のドレイン領域と、

(j) 前記ゲート電極、前記ソース領域および前記第 1 半導体領域に形成された第 1 金属シリサイド膜とを備え、

前記ソース領域と前記第 1 半導体領域とは前記第 1 金属シリサイド膜で電氣的に接続されており、

前記半導体基板上には、さらに、ショットキーバリアダイオードが形成されており、前記ショットキーバリアダイオードは、前記半導体基板上に形成された接合部用溝を有し、

前記接合部用溝には第 2 金属シリサイド膜が形成されていることにより、前記接合部用溝の底部に前記ショットキーバリアダイオードの接合部が形成されており、

前記第 2 金属シリサイド膜と前記第 1 金属シリサイド膜とは同一の膜であることを特徴とする半導体装置。

【請求項 8】

請求項 7 記載の半導体装置であって、

前記ゲート電極の最上部の高さよりも前記サイドウォールの最上部の高さが高いことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、トレンチゲート構造を有するパワー M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) およびその製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

特開 2000 - 196075 号公報 (特許文献 1) または特開 2000 - 277531 号公報 (特許文献 2) には、トレンチゲート電極を半導体基板の表面よりも突出させ、ソースオフセットを防止する技術が開示されている。

【0003】

特開 2002 - 246596 号公報 (特許文献 3) には、セルフアライン構造でセルピッチを縮小したパワー M I S F E T の製造方法が開示されている。具体的には、半導体基板から突出したトレンチゲート電極の側壁に形成されたサイドウォールを利用してソース領域およびボディコンタクト領域を形成する技術が開示されている。

【0004】

特開 2005 - 5438 号公報 (特許文献 4) には、半導体基板より突出したトレンチゲート電極の側壁に形成されているサイドウォールを利用して、ゲート電極の表面、ソース領域およびボディコンタクト領域を自己整合でシリサイド化する技術が開示されている。

【0005】

特許第 2647884 号 (特許文献 5) には、トレンチの底部に形成する酸化膜をトレンチの内壁よりも厚く形成する技術が開示されている。

【特許文献 1】特開 2000 - 196075 号公報

【特許文献 2】特開 2000 - 277531 号公報

10

20

30

40

50

【特許文献3】特開2002-246596号公報

【特許文献4】特開2005-5438号公報

【特許文献5】特許第2647884号

【発明の開示】

【発明が解決しようとする課題】

【0006】

パワーMISFETの高性能化を図る有効な手段の1つとして、デバイス構造のシュリンクが進められてきている。しかし、デバイス構造のシュリンクを進めるにあたっては、フォトリソグラフィ技術に律速される点が多く、副作用を抑制してデバイス構造の微細化を実現することが困難となっている現状がある。

10

【0007】

例えば、特許文献1あるいは特許文献2に記載された技術では、ゲート電極とソース領域に接続するコンタクトホールとの合わせ余裕が必要な構成のため、セルの集積度を向上させることは難しい。特許文献3に記載された技術では、ソース領域に接続するソース配線と半導体基板から突出しているゲート電極とを絶縁するために、ゲート電極上に絶縁膜を残して加工する必要がある。しかし、特許文献3に記載された構造では、ゲート電極上に安定した膜厚の絶縁膜を形成することができず、ゲート耐圧不良が表面化する問題点が存在する。また、特許文献4に記載されている技術では、製造技術としてフォトリソグラフィ技術によりパターンを形成する手法を多用している。例えば、ゲート電極の突出部分の形成、ソース領域およびボディコンタクト領域の形成やコンタクトホールの形成などをフォトリソグラフィ技術によって実施している。この場合、フォトリソグラフィ技術の合わせ精度の問題でデバイス構造の微細化にかなりの制約があり、デバイス構造の微細化に限界があると推測される。このため、特許文献4に記載されている技術ではサリサイド工程を実施しているが、このサリサイド工程が有効になるまでデバイス構造の微細化を進めるのは困難である。このように従来技術では、デバイス構造を微細化するにあたって問題点が存在することがわかる。

20

【0008】

仮に、デバイス構造を半導体基板の平面方向（横方向）に微細化することが実現できたとしても、トレンチゲート電極の断面積が小さくなることによるゲート抵抗の増大や半導体基板の厚さ方向（縦方向）のシュリンクの実現などに関連した副作用が存在する。

30

【0009】

本発明の目的は、フォトリソグラフィ技術によって制約を受けずにデバイス構造を微細化することが可能で、かつ、微細化がもたらす副作用を抑制できるパワーMISFETおよびその製造方法を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【0012】

本発明による半導体装置の製造方法は、(a)第1導電型の半導体基板の主面上に第1絶縁膜を形成する工程と、(b)前記第1絶縁膜をパターンニングして開口部を形成する工程と、(c)前記開口部を形成した前記第1絶縁膜をマスクにして前記半導体基板にゲートトレンチを形成する工程とを備える。そして、(d)前記ゲートトレンチにゲート絶縁膜を形成する工程と、(e)前記ゲートトレンチ内を含む前記第1絶縁膜上にポリシリコン膜を形成する工程と、(f)前記第1絶縁膜上に形成されている前記ポリシリコン膜を除去する一方、前記第1絶縁膜の前記開口部および前記ゲートトレンチ内に前記ポリシリコン膜を残すことにより、ゲート電極を形成する工程とを備える。さらに、(g)前記第

50

1 絶縁膜の一部を除去することにより、前記ゲート電極の一部を前記半導体基板から突き出す工程と、(h)前記半導体基板内に不純物を導入することにより前記ゲート電極の隣接領域に前記第1導電型のソース領域を形成する工程と、(i)前記半導体基板上に第2絶縁膜を形成する工程とを備える。そして、(j)前記第2絶縁膜を異方性エッチングすることにより前記半導体基板から突き出した前記ゲート電極の側壁にサイドウォールを形成する工程と、(k)隣接する前記ゲート電極に形成されている前記サイドウォール間において前記半導体基板の一部を除去することにより、前記ソース領域の深さよりも深いボディ用トレンチを形成する工程とを備える。さらに、(l)前記半導体基板に不純物を導入することにより前記ボディ用トレンチの底部に第2導電型のボディコンタクト領域となる第1半導体領域を形成する工程と、(m)前記ゲート電極、前記ソース領域および前記第1半導体領域に第1金属シリサイド膜を形成する工程とを備える。ここで、前記(k)工程は、前記ゲート電極に自己整合して前記ボディ用トレンチを形成することを特徴とする。

10

【0013】

また、本発明による半導体装置の製造方法は、(a)第1導電型の半導体基板の主面上に第1絶縁膜を形成する工程と、(b)前記第1絶縁膜をパターニングして開口部を形成する工程と、(c)前記開口部を形成した前記第1絶縁膜をマスクにして前記半導体基板にゲートトレンチを形成する工程とを備える。そして、(d)前記ゲートトレンチにゲート絶縁膜を形成する工程と、(e)前記ゲートトレンチ内を含む前記第1絶縁膜上にポリシリコン膜を形成する工程と、(f)前記第1絶縁膜上に形成されている前記ポリシリコン膜を除去する一方、前記第1絶縁膜の前記開口部および前記ゲートトレンチ内に前記ポリシリコン膜を残すことにより、ゲート電極を形成する工程とを備える。さらに、(g)前記第1絶縁膜の一部を除去することにより、前記ゲート電極の一部を前記半導体基板から突き出す工程と、(h)前記半導体基板内に不純物を導入することにより前記ゲート電極の隣接領域に前記第1導電型の第1ソース領域を形成する工程と、(i)前記半導体基板上に第2絶縁膜を形成する工程とを備える。そして、(j)前記第2絶縁膜を異方性エッチングすることにより前記半導体基板から突き出した前記ゲート電極の側壁にサイドウォールを形成する工程と、(k)前記半導体基板内に不純物を導入することにより前記第1ソース領域に隣接する領域に前記第1導電型の第2ソース領域を形成する工程とを備える。さらに、(l)隣接する前記ゲート電極に形成されている前記サイドウォール間において前記半導体基板の一部を除去することにより、前記第2ソース領域の深さよりも深いボディ用トレンチを形成する工程と、(m)前記半導体基板に不純物を導入することにより前記ボディ用トレンチの底部に第2導電型のボディコンタクト領域となる第1半導体領域を形成する工程とを備える。ここで、前記第1ソース領域は第2ソース領域よりも浅い領域に形成し、前記(l)工程は、前記ゲート電極に自己整合して前記ボディ用トレンチを形成することを特徴とする。

20

30

【0014】

また、本発明による半導体装置は、(a)第1導電型の半導体基板と、(b)前記半導体基板の主面に形成されたゲートトレンチと、(c)前記ゲートトレンチの内壁および底部に形成されたゲート絶縁膜とを備える。そして、(d)前記ゲートトレンチに埋め込むように形成され、一部が半導体基板から突き出したゲート電極と、(e)前記半導体基板から突き出した前記ゲート電極の側壁に形成されたサイドウォールと、(f)前記ゲート電極に隣接するように形成され、前記第1導電型のソース領域とを備える。さらに、(g)隣接する前記ゲート電極に形成されている前記サイドウォール間に、前記ゲート電極に自己整合して形成され、前記ソース領域の深さよりも深く形成されたボディ用トレンチと、(h)前記ボディ用トレンチの底部に形成され、前記第1導電型とは異なる第2導電型の第1半導体領域とを備える。そして、(i)前記半導体基板の主面と反対側の面に形成され、前記第1導電型のドレイン領域と、(j)前記ゲート電極、前記ソース領域および前記第1半導体領域に形成された第1金属シリサイド膜とを備え、前記ソース領域と前記第1半導体領域とは前記第1金属シリサイド膜で電氣的に接続されていることを特徴とす

40

50

る。

【 0 0 1 5 】

また、本発明による半導体装置は、(a) 第 1 導電型の半導体基板と、(b) 前記半導体基板の主面に形成されたゲートトレンチと、(c) 前記ゲートトレンチの内壁および底部に形成されたゲート絶縁膜と、(d) 前記ゲートトレンチに埋め込むように形成され、一部が半導体基板から突き出したゲート電極とを備える。そして、(e) 前記ゲート電極に隣接するように形成され、前記第 1 導電型の第 1 ソース領域と、(f) 前記半導体基板から突き出した前記ゲート電極の側壁に形成されたサイドウォールと、(g) 前記第 1 ソース領域に隣接するように形成され、前記第 1 導電型の第 2 ソース領域とを備える。そして、(h) 隣接する前記ゲート電極に形成されている前記サイドウォール間に、前記ゲート電極に自己整合して形成され、前記第 2 ソース領域の深さよりも深く形成されたボディ用トレンチと、(i) 前記ボディ用トレンチの底部に形成され、前記第 1 導電型とは異なる第 2 導電型の第 1 半導体領域とを備える。さらに、(j) 前記半導体基板の主面と反対側の面に形成され、前記第 1 導電型のドレイン領域とを備え、前記第 1 ソース領域は前記第 2 ソース領域よりも浅い領域に形成されていることを特徴とする。

10

【 発明の効果 】

【 0 0 1 6 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 1 7 】

自己整合による製造工程を導入することで、フォトリソグラフィ技術によって制約を受けずにデバイス構造を微細化することができ、かつ、微細化がもたらす副作用を抑制することができる。

20

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【 0 0 1 9 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

30

【 0 0 2 0 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必須のものではないことは言うまでもない。

【 0 0 2 1 】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

40

【 0 0 2 2 】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【 0 0 2 3 】

（実施の形態 1）

本実施の形態 1 における半導体装置について図面を参照しながら説明する。図 1 は、本実施の形態 1 における半導体装置が形成されている半導体チップの上面を示す平面図である。図 1 に示すように、半導体チップの中央部には、例えばアルミニウム配線からなるソ

50

ソースパッド 1 が形成されている。そして、このソースパッド 1 の周囲を囲むようにゲート配線 2 が形成され、このゲート配線 2 は、ゲートパッド 3 に接続されている。ゲートパッド 3 およびゲート配線 2 の外側には、半導体チップの周囲を囲むように、ガードリング 4 が形成されている。ゲート配線 2、ゲートパッド 3 およびガードリング 4 も、例えば、アルミニウム配線から形成されている。ガードリング 4 は、表面保護などを目的として素子形成領域の周辺部に設けられたリング状の構造である。

【 0 0 2 4 】

図 2 は、図 1 の A - A 線に沿った領域を拡大した拡大略平面図である。図 2 は、図 1 に図示しているソースパッド 1、ゲート配線 2、ゲートパッド 3 およびガードリング 4 が形成されている表面層の下層に形成されている構造を図示している。すなわち、表面層の下層に層間絶縁膜を介して形成されている構造を平面的に示している。図 2 に示すように、半導体チップの外端部から図 1 の A - A 線に沿って、チップ最外周領域、ゲート配線引き出し領域、セル領域（不活性セル）およびセル領域（活性セル）が形成されている。

【 0 0 2 5 】

図 2 において、チップ最外周領域には、半導体領域が形成されており、この半導体領域上にプラグ 3 4 が形成されている。このプラグ 3 4 は、図 1 に示すガードリング 4 に接続されている。次に、ゲート配線引き出し領域には、絶縁膜 2 1 が形成されており、この絶縁膜 2 1 上にゲート引き出し電極 2 0 が形成されている。そして、ゲート引き出し電極 2 0 はプラグ 3 4 を介して図 1 に示すゲート配線 2 に接続されている。また、ゲート引き出し電極 2 0 の一部は、絶縁膜 2 1 を貫通して半導体基板に達するゲートトレンチを埋め込むように形成され、このゲートトレンチがセル領域に延伸している。セル領域においては、ゲートトレンチが格子状に形成されており、このゲートトレンチにポリシリコン膜が埋め込まれ、ゲート電極 1 6 を形成している。セル領域（不活性セル）には、格子状に形成されたゲート電極 1 6 の間にソース領域 2 3 は形成されていない。一方、セル領域（活性セル）においては、格子状に形成されたゲート電極 1 6 の間に n 型半導体領域であるソース領域 2 3 が形成されている。セル領域（活性セル）に形成されているソース領域 2 3 上にはプラグ 3 4 が形成されており、このプラグ 3 4 が図 1 に示すソースパッド 1 に接続されている。

【 0 0 2 6 】

図 3 は、図 1 の A - A 線で切断した断面を示す断面図である。図 3 のチップ最外周領域において、n 型の半導体基板（n 型エピタキシャル層も含む）1 0 の表面には、n 型半導体領域 2 3 a が形成され、この n 型半導体領域 2 3 a に隣接するようにトレンチ 2 5 a が形成されている。そして、トレンチ 2 5 a の底部には、p 型半導体領域 2 6 a が形成されており、トレンチ 2 5 a の側面および底部を含む半導体基板 1 0 の表面には、コバルトシリサイド膜 2 8 が形成されている。さらに、トレンチ 2 5 a を形成した半導体基板 1 0 上には、窒化シリコン膜 2 9 が形成され、この窒化シリコン膜 2 9 上に酸化シリコン膜 3 0 が形成されている。窒化シリコン膜 2 9 および酸化シリコン膜 3 0 には、これらの膜を貫通してトレンチ 2 5 a の底部に形成されている p 型半導体領域 2 6 a に達するプラグ 3 4 が形成されている。このプラグ 3 4 上にはガードリング 4 が形成されている。

【 0 0 2 7 】

次に、ゲート配線引き出し領域の構成について説明する。ゲート配線引き出し領域の半導体基板 1 0 上には、例えば、酸化シリコン膜よりなる絶縁膜 2 1 が形成されている。一方、ゲート配線引き出し領域の一部からセル領域（不活性セル）にわたる半導体基板 1 0 内には、p 型半導体領域よりなる p 型ウェル 1 8 が形成されている。そして、ゲート配線引き出し領域内には、絶縁膜 2 1 を貫通して p 型ウェル 1 8 に達するゲートトレンチ 1 3 が形成されており、このゲートトレンチ 1 3 の内壁には、例えば、酸化シリコン膜よりなるゲート絶縁膜 1 4 が形成されている。さらに、ゲートトレンチ 1 3 を埋め込み、絶縁膜 2 1 上に延在するようにゲート引き出し電極 2 0 が形成され、このゲート引き出し電極 2 0 には、コバルトシリサイド膜 2 8 が含まれている。ゲート引き出し電極 2 0 上には、窒化シリコン膜 2 9 が形成され、この窒化シリコン膜 2 9 上に酸化シリコン膜 3 0 が形成さ

10

20

30

40

50

れている。窒化シリコン膜 29 および酸化シリコン膜 30 には、これらの膜を貫通してゲート引き出し電極 20 に達するプラグ 34 が形成されている。このプラグ 34 上にはゲート配線 2 が形成されている。

【0028】

続いて、セル領域（不活性セル）の構成について説明する。セル領域（不活性セル）の半導体基板 10 内には p 型ウェル 18 が形成されており、この p 型ウェル 18 内にボディ領域となるチャネル形成領域 22 が形成されている。チャネル形成領域 22 は、p 型半導体領域より構成される。そして、チャネル形成領域 22 を貫くようにゲートトレンチ 13 が形成され、このゲートトレンチ 13 の内壁には、例えば、酸化シリコン膜よりなるゲート絶縁膜 14 が形成されている。ゲート絶縁膜 14 上のゲートトレンチ 13 内には、例えば、ポリシリコン膜が埋め込まれゲート電極 16 が形成されている。このゲート電極 16 は、大部分がゲートトレンチ 13 に埋め込まれているが、一部はゲートトレンチ 13 の上部から突出している。すなわち、ゲート電極 16 は、ゲートトレンチ 13 の内部と内部から半導体基板 10 の上部に突出した部分を有している。そして、ゲート電極 16 はポリシリコン膜から形成されているが、上部にコバルトシリサイド膜 28 が形成されている。このゲート電極 16 のうち半導体基板 10 から突出した部分の側壁には、例えば、酸化シリコン膜よりなるサイドウォール 24 が形成されている。サイドウォール 24 に隣接する半導体基板 10 には、ボディ用トレンチ 25 が形成され、ボディ用トレンチ 25 の底部には、p 型半導体領域よりなるボディコンタクト領域が形成されている。ボディ用トレンチ 25 の表面には、コバルトシリサイド膜 28 が形成されている。このようにゲート電極 16 とボディ用トレンチ 25 が形成された半導体基板 10 上には、窒化シリコン膜 29 が形成され、この窒化シリコン膜 29 上に酸化シリコン膜 30 が形成されている。窒化シリコン膜 29 および酸化シリコン膜 30 には、これらの膜を貫通してボディ用トレンチ 25 の底部に形成されているボディコンタクト領域に達するプラグ 34 が形成されている。このプラグ 34 は、ソースパッド 1 に電氣的に接続されている。

【0029】

次に、セル領域（活性セル）の構成について説明する。セル領域（活性セル）の半導体基板 10 内には、ボディ領域となるチャネル形成領域 22 が形成されている。このチャネル形成領域 22 は p 型半導体領域から構成される。そして、チャネル形成領域 22 を貫くようにゲートトレンチ 13 が形成され、このゲートトレンチ 13 の内壁には、例えば、酸化シリコン膜よりなるゲート絶縁膜が形成されている。ゲート絶縁膜 14 上のゲートトレンチ 13 内には、例えば、ポリシリコン膜が埋め込まれゲート電極 16 が形成されている。このゲート電極 16 は、大部分がゲートトレンチ 13 に埋め込まれているが、一部は、ゲートトレンチ 13 の上部から突出している。そして、ゲート電極 16 は、ポリシリコン膜から形成されているが、上部にコバルトシリサイド膜が形成されている。このゲート電極 16 のうち半導体基板 10 から突出した部分の側壁には、例えば、酸化シリコン膜よりなるサイドウォール 24 が形成されている。そして、サイドウォール 24 下の半導体基板 10 内には n 型半導体領域よりなるソース領域 23 が形成されている。

【0030】

ここで、デバイス構造を微細化して性能を向上させるためには、ソース領域をできるだけ浅い接合とする必要がある。しかし、ゲート電極が半導体基板の表面よりも下の領域にしか形成されない、いわゆるリセス構造では、エッチング量のばらつきによって、ソース領域に対してゲート電極を安定的に配置する事が難しくなる。もしも、ゲート電極がソース領域よりも下に位置したソースオフセット構造となった場合では、もはや FET として機能しなくなるおそれがある。本来は、ゲート電極に正電圧を印加することで形成されるチャネルによってソース領域とドレイン領域は電氣的に接続される。しかし、ソースオフセット構造となった場合では、ソース領域とドレイン領域は電氣的に接続されにくくなり、パワー MISFET のオン抵抗は著しく増大してしまう。これに対して、本実施の形態 1 におけるパワー MISFET では、ゲート電極 16 の一部を半導体基板 10 から突出させることにより、ソース領域 23 に対してゲート電極 16 を安定的に配置する事が可能で

10

20

30

40

50

あるため、ソースオフセット構造となる事を確実に防ぐ事ができる。

【0031】

サイドウォール24に隣接する半導体基板10には、ボディ用トレンチ25が形成され、ボディ用トレンチ25の底部には、p型半導体領域よりなるボディコンタクト領域が形成されている。ボディ用トレンチ25の表面には、コバルトシリサイド膜28が形成されている。すなわち、ボディ用トレンチ25の側面から露出するソース領域23およびボディ用トレンチ25の底部に形成されているボディコンタクト領域26には、コバルトシリサイド膜28が形成されている。すなわち、ソース領域23とボディコンタクト領域26とは、コバルトシリサイド膜28によって電氣的に接続されている。このようにゲート電極16とボディ用トレンチ25が形成された半導体基板10上には、窒化シリコン膜29が形成され、この窒化シリコン膜29上に酸化シリコン膜30が形成されている。窒化シリコン膜29および酸化シリコン膜30には、これらの膜を貫通してボディ用トレンチ25の底部に形成されているボディコンタクト領域に達するプラグ34が形成されている。このプラグ34は、ソースパッド1に電氣的に接続されている。

10

【0032】

本実施の形態1におけるパワーMISFETは上記のように構成されており、実際にパワーMISFETとして動作するのは、セル領域(活性セル)に形成されたパワーMISFETである。このパワーMISFETの動作について説明する。パワーMISFETにおいて、n型の半導体基板10に形成されているドレイン領域に正電圧を印加し、ソース領域23を接地した状態にする。そして、ゲート電極16を接地して動作していない状態からゲート電極16に正電圧を印加する。ゲート電極16に正電圧を印加すると、チャンネル形成領域22の中に存在する電子が、ゲート電極16を構成するゲートトレンチ13の側面に集まり、このゲートトレンチ13の側面近傍のチャンネル形成領域22がn型半導体領域に反転する。この反転して形成されたn型半導体領域が電子の通り道であるチャンネルとなる。このチャンネルにより、ソース領域と半導体基板10(ドレイン領域)が結ばれ、電子がソース領域からチャンネルを通過してドレイン領域に流れる。すなわち、電流は電子の流れと逆であるため、電流はドレイン領域からチャンネルを介してソース領域に流れる。このようにして、電流が半導体基板10の厚さ方向(縦方向)に流れてパワーMISFETがオンする。続いて、ゲート電極16に正電圧から接地あるいは負電圧を印加した状態にすると、ゲートトレンチ13の側面に形成されているチャンネルが消滅する。このため、ソース領域とドレイン領域とは電氣的に接続されなくなり、パワーMISFETがオフする。この一連の動作を繰り返すことで、パワーMISFETがオン/オフ動作することになる。したがって、ゲート電極16に印加する電圧を制御することにより、パワーMISFETをスイッチとして使用することができる。

20

30

【0033】

ここで、通常のMISFETとパワーMISFETとの構成の相違点は、パワーMISFETでは、ソース領域となるn型半導体領域とボディコンタクト領域となるp型半導体領域が隣接して配置され、同一コンタクト(プラグ)によって電氣的に接続されている点である。これは、ソース領域とボディコンタクト領域を同電位に保つために行われているものであり、パワーMISFETでは一般的な構成である。パワーMISFETにボディコンタクト領域が形成されている理由について図面を参照しながら説明する。

40

【0034】

図4はゲートトレンチ構造を有するnチャンネル型パワーMISFETを示す模式図である。図4において、ドレイン領域としてn型の半導体基板(n型エピタキシャル層も含む)10が形成されており、この半導体基板10上にボディ領域となるチャンネル形成領域(p型半導体領域)22が形成されている。そして、チャンネル形成領域22の上部(表面)には、ソース領域(n型半導体領域)23が形成されている。ソース領域23に隣接してゲートトレンチ構造のゲート電極16とボディコンタクト領域(p型半導体領域)26が形成されている。このように形成されたパワーMISFETにおいて、パワーMISFETをターンオフさせると、ゲート電極16に印加されるゲート電圧がしきい値電圧以下に

50

なる。すると、ゲート電極 16 の側面に形成されているチャンネルが消滅して電流経路が遮断されるため、ドレイン電流は流れなくなる。このとき、インダクタンス(L)を有する負荷に逆起電力が発生し、発生した逆起電力がパワーMISFETのドレイン領域に印加される。

【0035】

したがって、n型の半導体基板10とチャンネル形成領域(p型半導体領域)22の境界に形成されるpn接合に逆バイアスの電圧が印加される。この逆バイアスの電圧がpn接合の接合耐圧を超えるとアバランシェブレイクダウンが起きて大量の電子正孔対が生成される。

【0036】

一方、パワーMISFETは、ソース領域(n型半導体領域)23、チャンネル形成領域(p型半導体領域)22および半導体基板10(n型半導体領域)によって寄生npnバイポーラトランジスタが形成される。アバランシェブレイクダウンした際に発生する電子はドレイン領域に注入され、正孔はチャンネル形成領域22を通過してソース領域23の直下を經由してボディコンタクト領域26に注入される。ここで、チャンネル形成領域22が寄生npnバイポーラトランジスタのベース領域に相当し、ベース抵抗が大きい場合、寄生npnバイポーラトランジスタがオンする。このような寄生npnバイポーラトランジスタがオンしたセルでは、パワーMISFETのゲート電極16で制御することができない大電流が流れて発熱する。このとき、発熱による温度上昇により半導体領域の電気抵抗が小さくなるために、さらに大きな電流が流れるという正帰還が起こる。この結果、大電流が局所的に流れてパワーMISFETの破壊が起こる。この現象がアバランシェ破壊である。

【0037】

このようなアバランシェ破壊が起きないようにするためには、ベース抵抗を下げて寄生npnバイポーラトランジスタがオンしないようにすることが必要である。このため、ベース領域となるチャンネル形成領域22にボディコンタクト領域26を設けている。このボディコンタクト領域26は、チャンネル形成領域22よりも高濃度にp型不純物が導入されており、ベース抵抗を小さくしている。さらに、ボディコンタクト領域26をソース領域23に隣接して配置する事により、ベース抵抗を低減している。また、ボディコンタクト領域26をソース領域23と電氣的に接続することにより、ベース領域(ボディコンタクト領域26)とエミッタ領域(ソース領域23)に電位差ができるだけ発生しないようにして寄生npnバイポーラトランジスタがオンしないようにしている。つまり、パワーMISFETにおいて、ボディ用トレンチを形成し、このボディ用トレンチの底部にボディコンタクト領域26を形成するとともに、ボディコンタクト領域26とソース領域23とを電氣的に接続する構成は、寄生npnバイポーラトランジスタのオンを極力低減し、パワーMISFETのアバランシェ破壊を防止するために設けられているものである。

【0038】

このように構成されたパワーMISFETで微細化を進めるには、パワーMISFETを構成する構成要素を縮小する必要がある。例えば、ボディ用トレンチは一般的にフォトリソグラフィ技術とエッチング技術を使用して形成する。この場合、フォトリソグラフィ技術に伴う合わせずれの問題は避けられず、ゲート電極16とボディ用トレンチとのスペースにある程度の合わせ余裕を設定する必要があり、微細化する際に大きな制約を与える事となる。

【0039】

ここで、本実施の形態1では、ボディ用トレンチをフォトリソグラフィ技術で形成せずに自己整合で形成している点に1つの特徴がある。この方法によれば、フォトリソグラフィ技術に律速されることなくボディ用トレンチの微細化を実現することができる。具体的には、以下に示すようにして自己整合でボディ用トレンチを形成している。図3に示すように、半導体基板10の表面から突出しているゲート電極16の側壁にはサイドウォール24が形成されているが、このサイドウォール24を利用するのである。すなわち、隣接

10

20

30

40

50

するゲート電極 16 の側壁に形成されているサイドウォール 24 をマスクにして半導体基板 10 をエッチングすることにより、ゲート電極 16 に隣接した領域にボディ用トレンチ 25 を形成することができる。この方法によれば、ゲート電極 16 に自己整合でボディ用トレンチ 25 を形成する事ができるため、フォトリソグラフィ技術で形成した場合に問題となる合わせずれの問題は生じることはない。そのため、ゲート電極 16 とボディ用トレンチ 25 とのスペースを狭める事が可能となり、フォトリソグラフィ技術の限界を超えて微細化する事ができる。

【0040】

ボディ用トレンチ 25 をフォトリソグラフィ技術ではなくゲート電極 16 に整合して形成する場合の痕跡が本実施の形態 1 におけるパワー M I S F E T に存在する。この痕跡は、図 3 に示すように、ゲート電極 16 の最上部の高さよりもサイドウォール 24 の最上部の高さが高くなっている構成として顕在化する。すなわち、ボディ用トレンチ 25 は半導体基板 10 を構成するシリコンをエッチングすることにより形成される。このボディ用トレンチ 25 をエッチングで形成する際、ポリシリコン膜より形成されているゲート電極 16 が露出された状態で実施される。このため、ゲート電極 16 の一部もエッチングされる。一方、サイドウォール 24 は酸化シリコン膜より構成されているため、シリコンのエッチングの際、削られることはない。このことから、ゲート電極 16 の最上部の高さよりもサイドウォール 24 の最上部の高さが高くなっている構成が形成される。したがって、ゲート電極 16 の最上部の高さよりもサイドウォール 24 の最上部の高さが高くなっている構成を見れば、ボディ用トレンチ 25 がゲート電極 16 に自己整合して形成したものであることがわかる。

【0041】

パワー M I S F E T を横方向に微細化するには、ボディ用トレンチ 25 を微細化するとともにゲート電極 16 も微細化する必要がある。しかし、ゲート電極 16 を微細化すると、ゲート電極 16 の幅が小さくなるため、ゲート電極 16 のゲート抵抗が上昇する問題点が生じる。すなわち、パワー M I S F E T を横方向に微細化しようとする、新たな副作用が生じる。

【0042】

しかし、本実施の形態 1 では、ゲート電極 16 をポリシリコン膜とこのポリシリコン膜上に形成されたコバルトシリサイド膜 28 から形成するようにしている。コバルトシリサイド膜 28 は、低抵抗な膜であるため、ゲート電極 16 を微細化することによるゲート抵抗の増大を抑制することができる。このように本実施の形態 1 によれば、パワー M I S F E T の横方向の微細化に起因した副作用を抑制することができる。つまり、本実施の形態 1 によれば、ゲート抵抗が増大するという副作用を抑制しながらパワー M I S F E T の微細化を実現することができる。

【0043】

さらに、ボディ用トレンチ 25 の表面にもコバルトシリサイド膜 28 を形成している。このため、ボディ用トレンチ 25 の底部に形成されているボディコンタクト領域 26 とボディ用トレンチ 25 の側面から露出するソース領域 23 とをコバルトシリサイド膜 28 で電氣的に接続することが可能となる。この点も本発明の 1 つの特徴である。ボディコンタクト領域 26 は p 型半導体領域であり、ソース領域 23 は n 型半導体領域である。したがって、ボディコンタクト領域 26 とソース領域 23 とを電氣的に接続するには、プラグ 34 にボディコンタクト領域 26 とソース領域 23 が接触するようにする必要がある。このため、プラグ 34 の幅を広くする必要があり、プラグ 34 とゲート電極 16 との接触するおそれが大きくなる。しかし、本実施の形態 1 では、ボディコンタクト領域 26 とソース領域 23 とをコバルトシリサイド膜 28 で電氣的に接続しているため、プラグ 34 がボディコンタクト領域 26 とソース領域 23 の両方に接触する必要はない。したがって、プラグ 34 を微細化して幅を狭くしても問題ない。つまり、プラグ 34 が例えば、ボディコンタクト領域 26 だけに接続するように構成されても、ソース領域 23 はコバルトシリサイド膜 28 を介してボディコンタクト領域 26 およびプラグ 34 と電氣的に接続することが

できるので支障はない。このことから、プラグ34を微細化してプラグ34とゲート電極16の接触マージンを大きくとることができるので、パワーMISFETの信頼性を向上することができる。さらに、プラグ34の位置ずれによってボディコンタクト領域26とソース領域23の両方に接続されなくても、コバルトシリサイド膜28によってボディコンタクト領域26とソース領域23とを電氣的に接続することができるので、プラグ34の位置ずれに対するマージンも大きくすることができる。なお、ソース領域23およびボディコンタクト領域26に接触するようにコバルトシリサイド膜28を形成しているので、ソース領域23およびボディコンタクト領域26を微細化しても電気抵抗の上昇を抑制できる利点もある。

【0044】

また、本実施の形態1では、プラグ34をSAC (self align contact) で形成することにより、プラグ34とゲート電極16と接触マージンを大きくすることができる点も特徴の1つである。これらの特徴については、製造工程で顕在化するため、パワーMISFETの製造方法で詳述する。

【0045】

次に、本実施の形態1におけるパワーMISFETの製造方法について図面を参照しながら説明する。

【0046】

図5に示すように、n型不純物を導入した半導体基板10上にエピタキシャル成長法を用いてn型エピタキシャル層を形成する。本実施の形態1では、n型不純物を導入した半導体基板10とn型エピタキシャル層を合わせて半導体基板10というものとする。この半導体基板10上に例えば熱酸化法を用いて絶縁膜(第1絶縁膜)11を形成する。この絶縁膜11は、例えば、酸化シリコン膜から形成される。

【0047】

続いて、図6に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより絶縁膜11をパターニングして開口部12を形成する。そして、図7に示すように、開口部12を形成した絶縁膜11をマスクにして半導体基板10にゲートトレンチ13を形成する。ゲートトレンチ13は、例えば、ドライエッチングによって形成される。

【0048】

次に、図8に示すように、ゲートトレンチ13の内壁にゲート絶縁膜14を形成する。ゲート絶縁膜14は、例えば、酸化シリコン膜から形成され、例えば、熱酸化法を使用して形成することができる。ただし、ゲート絶縁膜14は、酸化シリコン膜に限定されるものではなく種々変更可能であり、例えば、ゲート絶縁膜14を酸窒化シリコン膜(SiON)としてもよい。すなわち、ゲート絶縁膜14と半導体基板10との界面に窒素を偏析させる構造としてもよい。酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減する効果が高い。したがって、ゲート絶縁膜14のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通しにくい。このため、ゲート絶縁膜14に酸窒化シリコン膜を用いることにより、ゲート電極中の不純物が半導体基板10側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸窒化シリコン膜を形成するのは、例えば、半導体基板10をNO、NO₂またはNH₃といった窒素を含む雰囲気中で熱処理すればよい。また、半導体基板10の表面に酸化シリコン膜からなるゲート絶縁膜14を形成した後、窒素を含む雰囲気中で半導体基板10を熱処理し、ゲート絶縁膜14と半導体基板10との界面に窒素を偏析させることによっても同様の効果を得ることができる。

【0049】

また、ゲート絶縁膜14は、例えば酸化シリコン膜より誘電率の高い高誘電率膜から形成してもよい。従来、絶縁耐性が高い、シリコン-酸化シリコン界面の電氣的・物性的安定性などが優れているとの観点から、ゲート絶縁膜14として酸化シリコン膜が使用され

10

20

30

40

50

ている。しかし、素子の微細化に伴い、ゲート絶縁膜14の膜厚について、極薄化が要求されるようになってきている。このように薄い酸化シリコン膜をゲート絶縁膜14として使用すると、MISFETのチャネルを流れる電子が酸化シリコン膜によって形成される障壁をトンネルしてゲート電極に流れる、いわゆるトンネル電流が発生してしまう。

【0050】

そこで、酸化シリコン膜より誘電率の高い材料を使用することにより、容量が同じでも物理的膜厚を増加させることができる高誘電体膜が使用されるようになってきている。高誘電体膜によれば、容量を同じにしても物理的膜厚を増加させることができるので、リーク電流を低減することができる。

【0051】

例えば、高誘電体膜として、ハフニウム酸化物の一つである酸化ハフニウム膜(HfO₂膜)が使用されるが、酸化ハフニウム膜に変えて、ハフニウムアルミネート膜、HfON膜(ハフニウムオキシナイトライド膜)、HfSiO膜(ハフニウムシリケート膜)、HfSiON膜(ハフニウムシリコンオキシナイトライド膜)、HfAlO膜のような他のハフニウム系絶縁膜を使用することもできる。さらに、これらのハフニウム系絶縁膜に酸化タンタル、酸化ニオブ、酸化チタン、酸化ジルコニウム、酸化ランタン、酸化イットリウムなどの酸化物を導入したハフニウム系絶縁膜を使用することもできる。ハフニウム系絶縁膜は、酸化ハフニウム膜と同様、酸化シリコン膜や酸化シリコン膜より誘電率が高いので、酸化ハフニウム膜を用いた場合と同様の効果が得られる。

【0052】

次に、図9に示すように、絶縁膜11上にポリシリコン膜15を形成する。このとき、ポリシリコン膜15がゲートトレンチ13の内部を埋め込むように形成される。ポリシリコン膜15には、例えば、リン(P)や砒素(As)などのn型不純物が添加されており、例えば、CVD法(Chemical Vapor Deposition)を使用して形成することができる。続いて、図10に示すように、絶縁膜11上に形成したポリシリコン膜15をドライエッチングによる全面エッチバック、もしくは化学的機械的研磨法(CMP; Chemical Mechanical Polishing)により研磨して除去する。これにより、絶縁膜11に設けられた開口部12およびゲートトレンチ13の内部にだけポリシリコン膜15が残り、ゲート電極16が形成される。

【0053】

その後、図11に示すように、レジスト膜17を塗布した後、露光現像処理を施すことによりレジスト膜17をパターニングする。パターニングは、p型ウェル18を形成する領域に開口部が形成されるように行なわれる。具体的には、ゲート配線引き出し領域の一部とセル領域(不活性セル)を開口するようにパターニングされる。そして、パターニングしたレジスト膜17をマスクにしてホウ素(B)などのp型不純物をイオン注入することにより、p型ウェル18を形成する。

【0054】

次に、図12に示すように、ゲート電極16上を含む絶縁膜11上にポリシリコン膜19を形成する。このポリシリコン膜19には、リンや砒素などのn型不純物が添加されており、例えば、CVD法を使用して形成される。そして、図13に示すように、フォトリソグラフィ技術およびエッチング技術によりポリシリコン膜19をパターニングする。これにより、ゲート配線引き出し領域にゲート引き出し電極20を形成することができる。さらに、図14に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、絶縁膜11をパターニングする。このパターニングで、セル領域(不活性セル)およびセル領域(活性セル)内に形成されている絶縁膜11が除去される。このため、ゲート電極16の一部が半導体基板10から突出した形状となる。つまり、絶縁膜11を除去する工程により一部が半導体基板10から突出したゲート電極16を形成することができる。一方、ゲート配線引き出し領域では、絶縁膜11が残るようにパターニングされるので、ゲート引き出し電極20の下層に絶縁膜21が残存する。

【0055】

続いて、図 15 に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、セル領域（不活性セル）とセル領域（活性セル）の半導体基板 10 内にボディ領域となるチャネル形成領域 22 を形成する。このチャネル形成領域 22 は、ホウ素などの p 型不純物が導入された p 型半導体領域である。次に、図 16 に示すように、フォトリソグラフィ技術およびイオン注入法を使用してセル領域（活性セル）にソース領域 23 を形成する。ソース領域 23 は、ゲート電極 16 に隣接した領域に形成される。ソース領域 23 には、砒素などの n 型不純物が導入されており、n 型半導体領域となっている。なお、ソース領域 23 を形成する工程で、チップ最外周領域にも n 型半導体領域 23 a が形成される。

【0056】

そして、図 17 に示すように、半導体基板 10 上に、例えば、CVD 法を使用して酸化シリコン膜（第 2 絶縁膜）を形成した後、形成した酸化シリコン膜を異方性ドライエッチングすることにより、ゲート電極 16 の側壁にサイドウォール 24 を形成する。ゲート電極 16 の一部は半導体基板 10 より突出した構造をしているため、この突出した部分の側壁にサイドウォール 24 が形成される。

【0057】

次に、図 18 に示すように、サイドウォール 24 をマスクにして、隣接するソース領域 23 の深さよりも深いボディ用トレンチ 25 を形成する。すなわち、隣接するゲート電極 16 の側壁に形成されたサイドウォール 24 間にゲート電極 16 に自己整合したボディ用トレンチ 25 を形成する。この点が本発明の特徴の 1 つである。このようにゲート電極 16 に自己整合してボディ用トレンチ 25 を形成することにより、フォトリソグラフィ技術を用いずにボディ用トレンチ 25 を形成することができる。従来、ボディ用トレンチ 25 は、レジスト膜をマスクとしたフォトリソグラフィ技術で形成されていた。この場合、フォトリソグラフィ技術による合わせ精度の問題があり、微細化することが困難であった。そこで、本実施の形態 1 では、フォトリソグラフィ技術を用いずにサイドウォール 24 をマスクにしてボディ用トレンチ 25 を形成している。すなわち、ボディ用トレンチ 25 はシリコンよりなる半導体基板 10 をエッチングすることにより形成されるが、サイドウォール 24 は酸化シリコン膜より形成されているので、シリコンをエッチングする際のマスクとして利用できるのである。このように本実施の形態 1 によれば、フォトリソグラフィ技術を使用せずにボディ用トレンチ 25 を形成しているため、合わせ精度の問題による制約がなくなり、単位セルの占有面積を縮小することが可能となる。

【0058】

ここで、ボディ用トレンチ 25 をフォトリソグラフィ技術ではなくゲート電極 16 に整合して形成する場合の痕跡が本実施の形態 1 におけるパワー MISFET に存在する。この痕跡は、図 18 に示すように、ゲート電極 16 の最上部の高さよりもサイドウォール 24 の最上部の高さが高くなっている構成として顕在化する。すなわち、ボディ用トレンチ 25 は半導体基板 10 を構成するシリコンをエッチングすることにより形成される。このボディ用トレンチ 25 をエッチングで形成する際、ポリシリコン膜より形成されているゲート電極 16 も露出された状態で実施される。このため、ゲート電極 16 の一部もエッチングされる。一方、サイドウォール 24 は酸化シリコン膜より構成されているため、シリコンのエッチングの際、削られることはない。このことから、ゲート電極 16 の最上部の高さよりもサイドウォール 24 の最上部の高さが高くなっている構成が形成される。したがって、ゲート電極 16 の最上部の高さよりもサイドウォール 24 の最上部の高さが高くなっている構成を見れば、ボディ用トレンチ 25 がゲート電極 16 に自己整合して形成したものであることがわかる。

【0059】

なお、セル領域（不活性セル）とセル領域（活性セル）にボディ用トレンチ 25 を形成する工程で、チップ最外周領域にもトレンチ 25 a が形成される。

【0060】

続いて、図 19 に示すように、半導体基板 10 の主面（素子形成面）の全面にフッ化ホ

10

20

30

40

50

ウ素などの p 型不純物を導入することにより、ボディ用トレンチ 25 の底部にボディコンタクト領域 (第 1 半導体領域) 26 を形成する。なお、チップ最外周領域にも p 型半導体領域 26 a が形成される。ボディコンタクト領域 26 は、p 型半導体領域であり、チャンネル形成領域 22 よりも高濃度に p 型不純物が導入されている。このボディコンタクト領域 26 は、フォトリソグラフィ技術を使用せずに半導体基板 10 の全面に p 型不純物を導入することにより形成されている。このとき、ゲート電極 16 の側壁に存在するサイドウォール 24 がイオン注入に対するマスクとなるため、ゲート電極 16 に自己整合でボディコンタクト領域 26 を形成する事ができる。ここで、ボディ用トレンチを形成せず、ボディコンタクト領域 26 をフォトリソグラフィ技術で形成した場合は、例えば、位置合わせずに起因してボディコンタクト領域 26 がゲート電極 16 に近すぎたり、逆に遠すぎたりする状況が発生する。この場合、パワー MISFET は均一なデバイス動作ができなくなるおそれがある。

10

【 0061 】

しかし、本実施の形態 1 のように半導体基板 10 の全面に p 型不純物を導入する方法では、位置合わせずれが生じなく、ゲート電極 16 に整合してボディコンタクト領域 26 を形成することができる。特に、高いアバランシェ耐量を要求されるような製品に用いられる場合は、チャンネル形成領域 22 と同じ導電型である p 型不純物を、さらに追加でイオン注入し、必要とされるデバイス特性に合わせて最適な濃度に調整してもよい。

【 0062 】

ここで、半導体基板 10 の全面に p 型不純物をイオン注入しているため、p 型不純物はゲート電極 16 およびゲート引き出し電極 20 の上部にも打ち込まれる。ゲート電極 16 およびゲート引き出し電極 20 は、高濃度に n 型不純物が添加されたポリシリコン膜から形成されているため、ここに逆の導電型である p 型不純物が高濃度で打ち込まれるとゲート抵抗が増大する可能性がある。この点がデバイス特性上問題となるレベルに達する場合は、図 20 に示すように、ゲート電極 16 およびゲート引き出し電極 20 上にレジスト膜 27 を形成した状態でイオン注入を行なってもよい。

20

【 0063 】

次に、半導体基板 10 の主面の全面に、例えば、スパッタリング法を使用することにより、コバルト膜を形成する。その後、図 21 に示すように、半導体基板 10 に熱処理を加えることにより、ゲート電極 16、ゲート引き出し電極 20 およびボディ用トレンチ 25 の表面にコバルトシリサイド膜 (第 1 金属シリサイド膜) 28 を形成する。すなわち、ゲート電極 16、ゲート引き出し電極 20 およびボディ用トレンチ 25 の表面では、シリコンとコバルト膜が直接接触しているため、熱処理によりシリコンとコバルト膜が反応してコバルトシリサイド膜 28 が形成される。このようにゲート電極 16 上にコバルトシリサイド膜 28 を形成することができるため、微細化に伴うゲートトレンチ 13 の縮小化によって、ゲート電極 16 のゲート抵抗が増大してしまうことを抑制できる。つまり、微細化によってゲート電極 16 が形成されているゲートトレンチ 13 の幅も小さくなる。すると、ポリシリコン膜より形成されているゲート電極 16 のゲート抵抗が増大するおそれがある。しかし、本実施の形態 1 によれば、ゲート電極 16 の表面に低抵抗のコバルトシリサイド膜 28 を形成しているため、微細化によってゲートトレンチ 13 の幅が狭くなっても、ゲート抵抗の増大を抑制することができる。つまり、微細化によって生ずるゲート抵抗の増大という副作用を解消することができる。

30

40

【 0064 】

また、本実施の形態 1 では、ゲート電極 16 に自己整合してボディ用トレンチ 25 が形成されている。そして、このボディ用トレンチ 25 の側面にソース領域 23 が露出しており、ボディ用トレンチ 25 の底部にボディコンタクト領域 26 が形成されている。したがって、ボディ用トレンチ 25 の表面には、ソース領域 23 とボディコンタクト領域 26 が露出しているため、両方の領域をボディ用トレンチ 25 の表面に形成されているコバルトシリサイド膜 28 で確実に接続することができる。なお、本実施の形態 1 では、コバルトシリサイド膜 28 を形成する例について説明したが、コバルトシリサイド膜 28 に代えて

50

、チタンシリサイド膜やニッケルシリサイド膜を形成するようにしてもよい。

【0065】

次に、図22に示すように、半導体基板上に窒化シリコン膜（第1層間絶縁膜）29を形成する。窒化シリコン膜29は、例えば、CVD法を用いて形成することができる。そして、図23に示すように、窒化シリコン膜29上に酸化シリコン膜（第2層間絶縁膜）30を形成する。酸化シリコン膜30は、例えば、CVD法を用いて形成することができる。その後、酸化シリコン膜30の表面を例えばCMP法で研磨することにより平坦化する。

【0066】

続いて、図24に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、酸化シリコン膜30に孔31を形成する。この酸化シリコン膜30のエッチングの際、酸化シリコン膜30の下層に形成されている窒化シリコン膜29はエッチングされない。このため、窒化シリコン膜29は、酸化シリコン膜30に孔31を形成する際のエッチングストップパとして機能する。

【0067】

次に、図25に示すように、エッチング技術を使用することにより、孔31の底面に露出する窒化シリコン膜29をエッチングする。これにより、半導体基板10の表面に達するコンタクトホール32を形成することができる。窒化シリコン膜29をエッチングする際、酸化シリコン膜よりなるサイドウォール24はエッチングされない。すなわち、酸化シリコン膜よりなるサイドウォール24は、窒化シリコン膜29をエッチングする際のエッチングストップパとして機能する。これにより、サイドウォール24が削れてコンタクトホール32とゲート電極16が接触してしまうことを防止できる。つまり、層間絶縁膜を酸化シリコン膜30と窒化シリコン膜29から形成し、順次エッチングすることにより、コンタクトホール32をゲート電極16に整合して形成することができる。このため、コンタクトホール32とゲート電極16との接触を防止することができる。この技術が、いわゆるSACである。

【0068】

例えば、層間絶縁膜を酸化シリコン膜だけから形成する場合、この酸化シリコン膜にエッチングでコンタクトホールを形成することになる。このとき、サイドウォールも酸化シリコン膜で形成されているため、コンタクトホールを形成する際、位置ずれを起こすとサイドウォールまでエッチングされてしまう。すると、ゲート電極とコンタクトホールが接触するおそれが高まることになる。これに対し、上述したSAC技術によれば、窒化シリコン膜29をエッチングする際、酸化シリコン膜よりなるサイドウォール24はエッチングされないことになる。このため、コンタクトホール32の形成位置がずれたとしてもサイドウォール24がエッチングストップパとして機能するので、ゲート電極16とコンタクトホール32との接触を防止することができる。

【0069】

続いて、図26に示すように、コンタクトホール32の底面および内壁を含む酸化シリコン膜30上にチタン/窒化チタン膜33aを形成する。チタン/窒化チタン膜33aは、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン/窒化チタン膜33aは、例えば、後の工程で埋め込む膜の材料であるタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

【0070】

続いて、コンタクトホール32を埋め込むように、半導体基板10の主面の全面にタングステン膜33bを形成する。このタングステン膜33bは、例えばCVD法を使用して形成することができる。そして、酸化シリコン膜30上に形成された不要なチタン/窒化チタン膜33aおよびタングステン膜33bを除去することにより、プラグ34を形成することができる。

【0071】

10

20

30

40

50

その後、図3に示すように、酸化シリコン膜30およびプラグ34上にアルミニウム膜を形成する。このアルミニウム膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、アルミニウム膜のパターニングを行い、ソースパッド1、ゲート配線2およびガードリング4を形成する。なお、図3では、図示されていないが、ゲートパッドも形成される。このようにして、本実施の形態1におけるパワーMISFETを形成することができる。

【0072】

次に、図27は、プラグ34と半導体基板10が接触している様子を示す拡大図である。図27に示すように、隣接するゲート電極16間にプラグ34が形成されている。このプラグ34は、上述したSAC技術を使用することにより形成されているので、プラグ34を形成する際、サイドウォール24がエッチングされることはなく、ゲート電極16に自己整合してプラグ34が形成されている。このようにSAC技術によれば、プラグ34の幅がサイドウォール24に接触する程度の幅を有する場合であっても、サイドウォール24が削られることなく、ゲート電極16とプラグ34との接触を防止できる。つまり、オーバーサイズのマスクを用いてコンタクトホール32のエッチングが可能となるだけでなく、フォトリソグラフィ技術での合わせ精度による制約を緩和できる。これにより、単位セルの占有面積を縮小することが容易となる。すなわち、プラグ34の幅がサイドウォール24に接触する程度までゲート電極16間の距離を縮小することができる。このことから、プラグ34のコンタクト抵抗を増大させずにセルの集積度を向上させることができる利点がある。

【0073】

さらに、プラグ34の形成にSAC技術を使用することは、ボディ用トレンチ25をゲート電極16に自己整合して形成することと、ボディ用トレンチ25の表面にコバルトシリサイド膜28を形成することと一緒に実施することにより顕著な効果を奏する。つまり、プラグ34の形成にSAC技術を使用することにより、ゲート電極16に自己整合してプラグ34が形成される。同様に、ボディ用トレンチ25もゲート電極16に自己整合して形成されている。したがって、ボディ用トレンチ25の側面に露出しているソース領域23とボディ用トレンチ25の底部に形成されているボディコンタクト領域26は自己整合的にプラグ34に接続されることになる。このため、ソース領域23およびボディコンタクト領域26とプラグ34とを確実に接続することが可能となる。さらに、ボディ用トレンチ25の表面には、コバルトシリサイド膜28が形成されており、このコバルトシリサイド膜28を介してソース領域23とボディコンタクト領域26が電氣的に接続されている。例えば、プラグ34が合わせずれを起こしてボディ用トレンチ25に露出しているソース領域23とボディコンタクト領域26のどちらか一方にしかプラグ34が接続されない場合でも、コバルトシリサイド膜28にプラグ34が接続されるので、プラグ34とソース領域23およびボディコンタクト領域26とを電氣的に接続することができる。また、プラグ34はコバルトシリサイド膜28と接続されるので、コンタクト抵抗を低減することができる、オン抵抗を低減することができる。

【0074】

ここで、比較のためにプラグ34をSAC技術で形成するが、ボディコンタクト領域26をフォトリソグラフィ技術で形成する場合の例を図28に示す。図28において、プラグ34は、ゲート電極16に自己整合して形成されている。一方、ボディコンタクト領域26はフォトリソグラフィ技術で形成されているため、位置ずれが生じているとする。このとき、ボディコンタクト領域26に両側に隣接して形成されているソース領域23の一方が、サイドウォール24の直下に形成されてしまい、半導体基板10の表面から露出していない状態になることが起こり得る。すると、たとえプラグ34をゲート電極16に自己整合して形成しても、サイドウォール24の直下にしか形成されていないソース領域23とは電氣的に接続することができない事態が生じる。

【0075】

これに対し、本実施の形態1では、ボディ用トレンチ25をゲート電極16に自己整合して形成しており、かつ、ボディ用トレンチ25の表面にコバルトシリサイド膜28を形成しているため、比較した構成のようにソース領域23がプラグ34と電氣的に接続されないようになることはない。このようにプラグ34の形成にSAC技術を使用するとともに、ボディ用トレンチ25をゲート電極16に自己整合で形成し、かつ、ボディ用トレンチ25の表面にコバルトシリサイド膜28を形成することにより、フォトリソグラフィ技術に律速されずにパワーMISFETの信頼性を向上することができる。特に、プラグ34をSACで形成し、ボディ用トレンチ25をゲート電極16に自己整合で形成するようにしたので、対称性の高いパワーMISFETを実現することができる。このため、デバイス動作が均一となり、アバランシェ破壊などに対する耐量を向上することができる。

10

【0076】

さらに、別の効果について説明する。図29は、プラグ34の幅が隣接するサイドウォール24間の幅よりも狭い幅を有する場合を示す断面図である。この場合、プラグ34の幅によってはボディコンタクト領域26とソース領域23の両方にプラグ34が接続されないことが起こり得る。図29では、プラグ34がボディコンタクト領域26にだけ接続されている場合を示している。このような場合であっても、ボディコンタクト領域26とソース領域23とは、ボディ用トレンチ25の表面に形成されているコバルトシリサイド膜28で接続されている。したがって、プラグ34が直接ソース領域23と接続されていなくても、コバルトシリサイド膜28を介してプラグ34とソース領域23は間接的に接続されることになる。このことから、本実施の形態1によれば、直接ソース領域23にプラグ34が接続されていなくても問題ないことがわかる。

20

【0077】

また、ソース領域23およびボディコンタクト領域26にコバルトシリサイド膜28が形成されているので、それぞれの領域の抵抗を低減できる効果も得られる。

【0078】

以上のように、本実施の形態1における特徴の1つは、プラグ34の形成にSAC技術を使用するとともに、ボディ用トレンチ25をゲート電極16に自己整合で形成し、かつ、ゲート電極16およびボディ用トレンチ25の表面にコバルトシリサイド膜28を形成する点にある。このような構成が望ましいが、プラグ34の形成にSAC技術を使用するだけでも本実施の形態1における効果の一部を得ることができる。また、ボディ用トレンチ25をゲート電極16に自己整合で形成し、かつ、ゲート電極16およびボディ用トレンチ25の表面にコバルトシリサイド膜28を形成する技術だけでも本実施の形態1における効果の一部を得ることができる。

30

【0079】

(実施の形態2)

本実施の形態2では、ソース領域を浅いソースエクステンション領域と深いソース拡散領域から形成する例について説明する。まず、本実施の形態2におけるパワーMISFETの製造方法について図面を参照しながら説明する。

【0080】

図5から図15までの工程は、前記実施の形態1と同様である。続いて、図30に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、セル領域(活性セル)のゲート電極16に隣接して形成位置が浅いソースエクステンション領域(第1ソース領域)35を形成する。ソースエクステンション領域35は、n型不純物が導入された半導体領域である。

40

【0081】

次に、図31に示すように、半導体基板10の主面の全面に酸化シリコン膜を形成した後、異方性ドライエッチングによりゲート電極16の側壁にサイドウォール24を形成する。そして、図32に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、サイドウォール24に隣接して形成位置が深いソース拡散領域(第2ソース領域)36を形成する。ソース拡散領域36は、n型不純物が導入された半導体領域で

50

ある。その後の工程は前記実施の形態 1 と同様であり、最終的に図 3 3 に示すパワー M I S F E T を形成することができる。

【 0 0 8 2 】

図 3 3 に示すように、ゲート電極 1 6 に隣接した領域にソースエクステンション領域 3 5 が形成され、このソースエクステンション領域 3 5 の隣接した外側にソース拡散領域 3 6 が形成されている。そして、ゲート電極 1 6 に自己整合してボディ用トレンチ 2 5 が形成されているが、このボディ用トレンチ 2 5 の側面には、ソース拡散領域 3 6 が露出している。露出しているソース拡散領域 3 6 には、コバルトシリサイド膜 2 8 が直接接触している。ここで、ボディ用トレンチ 2 5 の側面に露出している領域は、浅いソースエクステンション領域 3 5 ではなく深いソース拡散領域 3 6 となっているので、コバルトシリサイドとソース拡散領域 3 6 との接触面積を十分に確保できるようになっている。したがって、ソース拡散領域の抵抗を低減することができる。

10

【 0 0 8 3 】

さらに、本実施の形態 2 では、ゲート電極 1 6 の上部が半導体基板 1 0 から突出した構造となっているため、ゲート電極 1 6 に隣接した領域に浅いソースエクステンション領域 3 5 を形成してもソースオフセットとなることを防止できている。

【 0 0 8 4 】

次に、本実施の形態 2 におけるパワー M I S F E T のようにソース領域を浅いソースエクステンション領域 3 5 と深いソース拡散領域 3 6 より構成する利点について図面を参照しながら説明する。

20

【 0 0 8 5 】

図 3 4 は、前記実施の形態 1 のように 1 つのソース領域 2 3 から構成されるパワー M I S F E T を示す断面図である。一方、図 3 5 は、本実施の形態 2 のようにソース領域がソースエクステンション領域 3 5 とソース拡散領域 3 6 から構成されるパワー M I S F E T を示す断面図である。図 3 4 において、ソース領域 2 3 とドレイン領域 (半導体基板 1 0) との間のチャンネル長は a である。これに対し、図 3 5 において、ゲート電極 1 6 の側壁に形成されるチャンネルのチャンネル長は b である。つまり、ソースエクステンション領域 3 5 とドレイン領域との間のチャンネル長は b である。ここで、図 3 5 に示すソースエクステンション領域 3 5 の深さは、図 3 4 に示すソース領域 2 3 の深さよりも浅い。このため、図 3 5 に示すチャンネル長 b は、図 3 4 に示すチャンネル長 a よりも長くなる。したがって、図 3 5 に示すパワー M I S F E T の方が図 3 4 に示すパワー M I S F E T よりもパンチスルーが起きにくくなる。すなわち、浅い領域に位置するソースエクステンション領域 3 5 を形成することによってパンチスルー耐性を向上させることができる。言い換えれば、図 3 5 に示すソースエクステンション領域 3 5 を設けた構造において、パンチスルー耐性を図 3 4 に示す構造と同等でよい場合には、ゲートトレンチ 1 3 の長さを短くすることができる。すなわち、ソースエクステンション領域 3 5 を設けた構造では、パワー M I S F E T の縦方向の縮小化 (シュリンク) を図ることができる。このため、パワー M I S F E T のオン抵抗の低減を図ることができる。以上のように、本実施の形態 2 によれば、前記実施の形態 1 と同様に横方向の縮小化 (シュリンク) を図ることができるとともに、縦方向の縮小化 (シュリンク) を図ることができる利点がある。

30

40

【 0 0 8 6 】

次に、ソースエクステンション領域 3 5 およびソース拡散領域 3 6 を形成するイオン注入法のバリエーションについて説明する。ソースエクステンション領域 3 5 およびソース拡散領域 3 6 を形成するイオン打ち込み工程では、通常用いられる半導体基板に垂直な方向からのイオン注入方法に限らず、半導体基板の表面に対して斜め方向からのイオン注入方法を用いてもよい。また、イオン種は、砒素 (A s) とリン (P) に限らず、アンチモン (S b) でもよい。斜め方向からのイオン注入法において、イオンの注入量 (ドーズ量) は、例えば、 $1 \times 10^{14} \sim 5 \times 10^{15}$ 程度であり、できるだけ高ドーズ量であることが望ましい。斜め方向からのイオン注入方法は、総ドーズ量を等分割し、一分割量注入する毎に半導体基板を回転させるステップ注入法や、一定速度で半導体基板を回転しつ

50

イオン注入する回転注入法などにより実施される。角度としては、0度よりも大きく45度以下の範囲で行なう。角度は、半導体基板の主面に対して垂直方向からの角度を示している。このように斜め方向からイオン注入する方法は、垂直方向からイオン注入する場合に比べて以下に示すような利点がある。

【0087】

ソースエクステンション領域35のような極浅接合をイオン注入法で形成する場合、イオン注入時のチャネリングによる不純物イオンの広がりによって、浅い接合をばらつきなく実現することが困難となる。しかし、斜め方向からイオンを注入する方法では、このチャネリングを抑制することができるので、ソースエクステンション領域35の深さのばらつきを低減できる。

10

【0088】

また、ソースエクステンション領域35のような極浅接合を実現するために、RTA (Rapid Thermal Anneal) などの低熱負荷アニールをイオン注入後に適用してソースエクステンション領域35をかなり浅く形成する場合には、デバイス構造の特徴上、図36に示すようにソースオフセットの構造となる可能性がある。図36は、垂直方向からイオン注入を行なう場合を示している。図36に示すように、ゲート電極16の側壁には、微小なサイドウォール37が形成されているので、垂直方向からイオン注入を行なった場合には、ゲート電極16とソースエクステンション領域35の間に間隔ができてしまうおそれがある(ソースオフセット)。つまり、垂直方向からイオンを注入する場合、ゲート電極16に接触する領域上にはサイドウォール37があるため、ゲート電極16に接触する領域には、イオンが注入されない。さらに極浅接合を実現するために低熱負荷アニールで熱処理を実施しているため、不純物拡散もそれほど生じない。すなわち、イオン注入後の熱処理によって不純物拡散が生じるが、本実施の形態2では、低熱負荷アニールで熱処理を実施しているため、不純物がゲート電極16の接触領域まで広がらない。このような理由からソースオフセットが生じるおそれがある。ソースオフセットが生じるとオン抵抗が大きくなる問題点が発生する。

20

【0089】

そこで、図37に示すように、イオン注入を斜め方向から行なうことが考えられる。イオン注入を斜め方向から行なうことにより、ゲート電極16の側壁に形成されているサイドウォール37の下部に回りこむようにイオンが注入される。このため、ゲート電極16に接触する領域にもソースエクステンション領域35が形成され、熱処理を増加させずにソースオフセットを抑制することができる利点がある。

30

【0090】

さらに、ソース拡散領域36も斜め方向からイオン注入することができる。このときの利点について説明する。図38はソース拡散領域36を垂直方向からのイオン注入で形成した場合の断面図である。図38に示すように、ゲート電極16の側壁にはサイドウォール24が形成されており、このサイドウォール24に整合してソース拡散領域36が形成されている。このソース拡散領域36は、サイドウォール24を形成した後に形成されるため、サイドウォール24直下には形成されていないが、イオン注入後の熱処理によりサイドウォール24下に拡散する。このときの熱処理によりサイドウォール24の内側にaだけ入り込む。

40

【0091】

これに対し、図39は、ソース拡散領域36を斜め方向からのイオン注入で形成した場合の断面図である。この場合、イオン注入を斜め方向から行なっているため、イオン注入の時点でサイドウォール24直下にもソース拡散領域36が形成される。したがって、垂直な方向からイオン注入する図38に比べて少ない熱処理によってサイドウォール24下のaまで不純物を拡散させることができる。すなわち、斜め方向からイオン注入する場合には、少ない熱処理量で、ソース拡散領域36をゲート電極16側に近づけることができ、ソース抵抗の増加を抑制できる。

【0092】

50

このように本実施の形態2によれば、縦方向のデバイス構造を縮小化することが可能となるとともに半導体基板に与える熱処理量を低減することができる効果が得られる。半導体基板に加える熱処理量を低減できるので、n型の半導体基板として、高濃度に砒素を導入した半導体基板に代えて高濃度にリンを導入した半導体基板を使用することが容易となる。高濃度にリンを導入した半導体基板を使用するための問題点として、リンの拡散係数が砒素と比較して約1桁大きいということがある。このため、製造工程(プロセス)の熱処理量(サーマルバジェット)を低減できない場合は、熱処理に起因する半導体基板からのリンの拡散が大きくなってしまいうため、ソース領域とドレイン領域との間の耐圧を確保するためにはn型エピタキシャル層を厚くする必要があり、オン抵抗を犠牲にせざるを得ない。

10

【0093】

しかし、高濃度にリンを導入した半導体基板を使用すると以下の理由から利点がある。例えば、リンは、砒素やアンチモンに比べてシリコンに対する固溶度が高いため、低抵抗にする事ができるという性質を有している特徴がある。このことから、デバイスのオン抵抗を低減できる利点がある。そこで、本実施の形態2では、熱処理量を低減してリンの拡散を抑制することができるので、ソース領域・ドレイン領域間の耐圧を確保しつつ、上述した利点を有するリンを導入した半導体基板を使用することが容易化される。

【0094】

(実施の形態3)

本実施の形態3では、パワーMISFETとショットキーバリアダイオードを同一の半導体チップに形成する技術に本発明を適用する例について説明する。

20

【0095】

図40は、パワーMISFETを用いた一般的な同期整流方式のDC/DCコンバータの回路図であり、図41は、図40に示すメインスイッチ用パワーMISFETQ1および同期整流用パワーMISFETQ2のタイミングチャートである。図40において、Q1は、メインスイッチ用パワーMISFET、Q2は同期整流用パワーMISFET、BD1およびBD2はボディダイオード、SBDはショットキーバリアダイオードである。また、Lはインダクタンスであり、Cは容量素子である。ボディダイオードBD1およびボディダイオードBD2は、それぞれメインスイッチ用パワーMISFETQ1あるいは同期整流用パワーMISFETQ2に内蔵され、それぞれ並列に接続されている。ショットキーバリアダイオードSBDは、同期整流用パワーMISFETQ2に対して並列に接続されている。

30

【0096】

メインスイッチ用パワーMISFETQ1はスイッチング素子として機能し、同期整流用パワーMISFETQ2は、同期整流用の素子として機能する。図40および図41に示すように、メインスイッチ用パワーMISFETQ1がオンすると図40に示すように、入力電圧Vin側からメインスイッチ用パワーMISFETQ1を通りインダクタンスLおよび容量素子C側へ電流が流れる(Aの期間に流れる電流)。そして、メインスイッチ用パワーMISFETQ1がオフして同期整流用パワーMISFETQ2がオンすると、インダクタンスLによって電流減少を起こさせないような方向に電流を流そうとするので、図40に示すように、同期整流用パワーMISFETQ2からインダクタンスLおよび容量素子C側へ電流が流れる(Bの期間に流れる電流)。このような動作を繰り返すことにより、入力電圧から、所定の電圧が出力される。

40

【0097】

DC/DCコンバータは、例えば、パーソナルコンピュータ(PC)に使用される。パーソナルコンピュータに内蔵されるCPUの動作電圧は、低電圧化・大電流化の方向をたどり、特にノートPC用の電源の場合、小型化が重要視されることから、動作周波数も高周波動作となる。このように、低電圧化・大電流化および高周波化が進むと、メインスイッチ用パワーMISFETのスイッチングパルス幅を非常に狭くしてオン/オフ動作する必要があり、同期整流用パワーMISFETは1周期の90%程度がオン時間とな

50

る。このような使用方法により、メインスイッチ用パワーMISFETでは、低スイッチング損失であることが必要とされる一方、同期整流用パワーMISFETでは、低オン抵抗であることが必要となる。

【0098】

図40に示す同期整流方式のDC/DCコンバータでは、メインスイッチ用パワーMISFET Q1と同期整流用パワーMISFET Q2とを交互にオン/オフ動作させる必要があるが、メインスイッチ用パワーMISFET Q1と同期整流用パワーMISFET Q2の同時オンによる貫通電流を防ぐため、図41に示すように両方をともにオフさせるデッドタイムと呼ばれる期間が設定されており、そのときの電流は、図40に示すBの期間に流れる電流方向に流れる。すなわち、この期間は、同期整流用パワーMISFET Q2に内蔵されているボディダイオードBD2に流れるため、順方向電圧降下(VF)は約0.8Vと大きくなってしまふ。そこで、ボディダイオードBD2の順方向電圧降下(VF)より小さいショットキーバリアダイオードSBDを同期整流用パワーMISFET Q2に対して並列に接続することで、回路損失を低減している。つまり、ショットキーバリアダイオードSBDの順方向電圧降下(VF)が小さいことを利用してデッドタイム中の回路損失を低減している。

【0099】

したがって、回路損失を低減させる観点から、ショットキーバリアダイオードの使用が必要である。そこで、パワーMISFETが形成された半導体チップと、ショットキーバリアダイオードを形成した半導体チップとを1つの封止体で封止した半導体装置がある。この半導体装置では、パワーMISFETとショットキーバリアダイオードとの電気的な接続をボンディングワイヤで行なっているため、寄生インダクタンスが増加し、DC/DCコンバータの回路効率が悪化する。つまり、パワーMISFETとショットキーバリアダイオードの間には、配線などの寄生インダクタンスが存在するために、パワーMISFETがオフした後は、一旦ボディダイオードに電流が流れ、遅れてショットキーバリアダイオードへ転流する。この寄生インダクタンスが大きいと転流速度を遅くするだけでなく、ノイズやリップルを発生させる原因となる。

【0100】

そこで、寄生インダクタンスを低減するためにパワーMISFETを形成した半導体チップ内にショットキーバリアダイオードを内蔵させる技術がある。この技術よれば、パワーMISFETとショットキーバリアダイオードとの接続配線を少なくすることができるので、寄生インダクタンスを低減できる。この結果、パワーMISFETのボディダイオードに流れる電流時間を制御することができ、PWM(Pulse Width Modulation)制御されているDC/DCコンバータにおいて、デッドタイム期間の回路損失を大幅に低減できる。このような理由から、1つの半導体チップにパワーMISFETとショットキーバリアダイオードを混載している。

【0101】

図42は、パワーMISFETとショットキーバリアダイオードとを内蔵した半導体チップの上面を示す平面図である。この図42は前記実施の形態1の図1とほぼ同様の構成をしている。異なる点は、半導体チップの中央部にショットキーバリアダイオードが形成されているSBD接合部が設けられている点である。このSBD接合部にもソースパッド1が設けられている。

【0102】

図43は、図42のB-B線に沿った領域を拡大した拡大略平面図である。図43は、図42に図示しているソースパッド1、ゲート配線2、ゲートパッド3およびガードリング4が形成されている表面層の下層に形成されている構造を図示している。すなわち、表面層の下層に層間絶縁膜を介して形成されている構造を平面的に示している。この構造も前記実施の形態1とほぼ同様の構成をしている。異なる点は、中央部にSBD接合部が設けられている点である。

【0103】

10

20

30

40

50

図44は、図42のB-B線で切断した断面を示す断面図である。図44に示す構造も前記実施の形態1とほぼ同様である。例えば、パワーMISFETの構成は同様であり、半導体チップの中央部にショットキーバリアダイオードが形成されているSBD接合部が設けられている点異なる。このSBD接合部の構成について説明する。SBD接合部において、n型の半導体基板10S上には、低濃度にn型不純物が導入されたn型半導体領域10Eが形成されている。このn型半導体領域10Eはショットキーバリアダイオードのカソード領域となるために、パワーMISFETが形成されているn型半導体領域41よりも不純物濃度が低濃度となっている。このn型半導体領域10E上の表面には、接合部用溝25bが形成されており、この接合部用溝25bの表面にコバルトシリサイド膜28が形成されている。したがって、コバルトシリサイド膜28とn型半導体領域10Eが直接接合している領域でショットキー接合が形成されている。つまり、n型半導体領域10Eをカソード領域とし、コバルトシリサイド膜28をアノード領域とするショットキーバリアダイオードが形成されている。そして、コバルトシリサイド膜28上には、窒化シリコン膜29が形成され、この窒化シリコン膜29上に酸化シリコン膜30が形成されている。窒化シリコン膜29および酸化シリコン膜30には、これらの膜を貫通してコバルトシリサイド膜28に達するプラグ34が形成されている。このプラグ34上にはソースパッド1が形成されている。

10

【0104】

本実施の形態3における半導体装置は上記のように構成されており、以下に、パワーMISFETとショットキーバリアダイオードとを混載した半導体装置の製造方法について図面を参照しながら説明する。

20

【0105】

図45に示すように、n型不純物を導入した半導体基板10S上にエピタキシャル成長法を用いてn型半導体領域10Eを形成する。エピタキシャル成長法で形成されるn型半導体領域10Eは、前記実施の形態1におけるn型エピタキシャル層に比べて低濃度にn型不純物が導入されている。本実施の形態3では、このn型半導体領域10Eを用いてショットキーバリアダイオードを形成するので、ショットキーバリアダイオードのカソードとなるように低濃度にリンなどのn型不純物が導入されている。次に、n型半導体領域10E上に例えば熱酸化法を用いて絶縁膜(第1絶縁膜)11を形成する。この絶縁膜11は、例えば、酸化シリコン膜から形成される。

30

【0106】

続いて、図46に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより絶縁膜11をパターニングして開口部12を形成する。そして、図47に示すように、開口部12を形成した絶縁膜11をマスクにして半導体基板10Sにゲートトレンチ13を形成する。ゲートトレンチ13は、例えば、ドライエッチングによって形成される。

【0107】

次に、図48に示すように、ゲートトレンチ13の内壁にゲート絶縁膜14を形成する。ゲート絶縁膜14は、例えば、酸化シリコン膜から形成され、例えば、熱酸化法を使用して形成することができる。

40

【0108】

続いて、図49に示すように、絶縁膜11上にポリシリコン膜15を形成する。このとき、ポリシリコン膜15がゲートトレンチ13の内部を埋め込むように形成される。ポリシリコン膜15には、例えば、リン(P)や砒素(As)などのn型不純物が添加されており、例えば、CVD法(Cheical Vapor Deposition)を使用して形成することができる。続いて、図50に示すように、絶縁膜11上に形成したポリシリコン膜15を化学的機械的研磨法(CMP; Chemical Mechanical Polishing)により研磨して除去する。これにより、絶縁膜11に設けられた開口部12およびゲートトレンチ13の内部にだけポリシリコン膜15が残り、ゲート電極16が形成される。

【0109】

50

次に、図5-1に示すように、半導体基板10S上にレジスト膜40を、例えば、スピン塗布法で塗布する。そして、露光・現像処理を行なうことによりパターンニングする。このときのパターンニングは、ショットキーバリアダイオードを形成する領域を覆い、パワーMISFETのセル領域を開口するように行なわれる。そして、パターンニングしたレジスト膜40をマスクにしたイオン注入法により、パワーMISFETのセル領域にn型不純物を導入してn型半導体領域41を形成する。このn型半導体領域41は、n型半導体領域10Eよりも高濃度にn型不純物が導入されている。このn型半導体領域41は以下に示す理由により形成される。つまり、本実施の形態3では、ショットキーバリアダイオードを形成するため、n型半導体領域10Eの不純物濃度を薄くしている。このn型半導体領域10Eは、ショットキーバリアダイオード形成領域だけでなく、パワーMISFETのセル領域にも形成されている。この不純物濃度の薄いn型半導体領域10EをパワーMISFETのドレイン領域としてそのまま使用すると、濃度が薄いためにオン抵抗が増大することが考えられる。そこで、本実施の形態3では、パワーMISFETのセル領域にn型半導体領域10Eよりも不純物濃度の濃いn型半導体領域41を形成している。このように不純物濃度の濃いn型半導体領域41をパワーMISFETのドレイン領域として使用することで、オン抵抗を低減することができる。すなわち、n型半導体領域10Eとn型半導体領域41を形成することにより、本実施の形態3では、ショットキーバリアダイオードのカソードを形成することができる一方で、オン抵抗を低減できるパワーMISFETのドレイン領域を形成することができる。

10

【0110】

20

続いて、図5-2に示すように、レジスト膜17を塗布した後、露光現像処理を施すことによりレジスト膜17をパターンニングする。パターンニングは、p型ウェル18を形成する領域に開口部が形成されるように行なわれる。具体的には、ゲート配線引き出し領域の一部とセル領域（不活性セル）を開口するようパターンニングされる。そして、パターンニングしたレジスト膜17をマスクにしてホウ素（B）などのp型不純物をイオン注入することにより、p型ウェル18を形成する。

【0111】

次に、図5-3に示すように、ゲート電極16上を含む絶縁膜11上にポリシリコン膜19を形成する。このポリシリコン膜19には、リンや砒素などのn型不純物が添加されており、例えば、CVD法を使用して形成される。そして、図5-4に示すように、フォトリソグラフィ技術およびエッチング技術によりポリシリコン膜19をパターンニングする。これにより、ゲート配線引き出し領域にゲート引き出し電極20を形成することができる。さらに、フォトリソグラフィ技術およびエッチング技術を使用することにより、絶縁膜11をパターンニングする。このパターンニングで、セル領域（不活性セル）およびセル領域（活性セル）内に形成されている絶縁膜11が除去される。このため、ゲート電極16の一部が半導体基板10Sから突出した形状となる。つまり、絶縁膜11を除去する工程により一部が半導体基板10Sから突出したゲート電極16を形成することができる。一方、ゲート配線引き出し領域では、絶縁膜11が残るようにパターンニングされるので、ゲート引き出し電極20の下層に絶縁膜21が残存する。

30

【0112】

40

続いて、図5-5に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、セル領域（不活性セル）とセル領域（活性セル）の半導体基板10S内にボディ領域となるチャンネル形成領域22を形成する。このチャンネル形成領域22は、ホウ素などのp型不純物が導入されたp型半導体領域である。そして、フォトリソグラフィ技術およびイオン注入法を使用してセル領域（活性セル）にソース領域23を形成する。ソース領域23は、ゲート電極16に隣接した領域に形成される。ソース領域23には、砒素などのn型不純物が導入されており、n型半導体領域となっている。

【0113】

そして、図5-6に示すように、半導体基板10S上に、例えば、CVD法を使用して酸化シリコン膜（第2絶縁膜）を形成した後、形成した酸化シリコン膜を異方性ドライエッ

50

チングすることにより、ゲート電極 16 の側壁にサイドウォール 24 を形成する。ゲート電極 16 の一部は半導体基板 10 S より突出した構造をしているため、この突出した部分の側壁にサイドウォール 24 が形成される。

【0114】

次に、図 57 に示すように、サイドウォール 24 をマスクにして、隣接するソース領域 23 の深さよりも深いボディ用トレンチ 25 を形成する。すなわち、隣接するゲート電極 16 の側壁に形成されたサイドウォール 24 間にゲート電極 16 に自己整合したボディ用トレンチ 25 を形成する。このように本実施の形態 3 によれば、フォトリソグラフィ技術を使用せずにボディ用トレンチ 25 を形成しているので、合わせ精度の問題による制約がなくなり、単位セルの占有面積を縮小することが可能となる。

10

【0115】

ここで、ゲート電極 16 に自己整合してボディ用トレンチ 25 を形成したが、この工程と同一工程で、SBD 接合部に接合部用溝 25 b を形成する。この接合部用溝 25 b もサイドウォール 24 に自己整合して形成される。接合部用溝 25 b の幅はボディ用トレンチ 25 よりも広いが、深さは同程度で形成される。この接合部用溝 25 b の表面には、後述するように、ショットキーバリアダイオードのショットキー接合が形成される。しかし、ショットキーバリアダイオードのショットキー接合を形成する領域に接合部用溝 25 b を形成する必要はないとも考えられる。すなわち、接合部用溝 25 b を形成しない半導体基板 10 S (n 型半導体領域 10 E) の表面 (平面領域) に接合部を形成してもよいと考えられる。ところが、これまでの製造工程において、半導体基板 10 S には様々な熱処理が実施されている。このような熱処理の中でも特に絶縁膜 11 を形成する際に、n 型半導体領域 10 E に導入されているリンが n 型半導体領域 10 E の表面に偏析する。したがって、n 型半導体領域 10 E の表面にショットキー接合を形成すると、偏析したリンにより不純物濃度が高くなっているために、ショットキーバリアダイオードの耐圧が低下する。そこで、本実施の形態 3 では、n 型半導体領域 10 E の表面に接合部用溝 25 b を形成している。このように接合部用溝 25 b を形成することにより、n 型半導体領域 10 E の表面に偏析したリンを除去することができる。つまり、接合部用溝 25 b の表面にショットキー接合を形成することにより、偏析したリンの影響を受けることを防止できる。このため、ショットキーバリアダイオードの高耐圧化を図ることができる。

20

【0116】

次に、図 58 に示すように、半導体基板 10 S 上にレジスト膜 42 を塗布した後、露光・現像処理を施すことにより、レジスト膜 42 をパターニングする。パターニングは、SBD 接合部だけを覆いその他の領域を露出するように行なわれる。そして、パターニングしたレジスト膜 42 をマスクにして、半導体基板 10 S の主面 (素子形成面) の全面にフッ化ホウ素などの p 型不純物を導入する。これにより、ボディ用トレンチ 25 の底部にボディコンタクト領域 (第 1 半導体領域) 26 を形成する。ボディコンタクト領域 26 は、p 型半導体領域であり、チャンネル形成領域 22 よりも高濃度に p 型不純物が導入されている。このボディコンタクト領域 26 は、フォトリソグラフィ技術を使用せずに半導体基板 10 S の全面に p 型不純物を導入することにより形成されている。このため、フォトリソグラフィ技術の合わせ精度の問題に制約されずに形成することができる。

30

40

【0117】

この工程では、ショットキー接合部をレジスト膜 42 で覆い、接合部用溝 25 b の表面には、p 型不純物が導入されないように保護している。これは、接合部用溝 25 b の表面に、p 型不純物が導入されて pn 接合が形成される事を防ぐためである。

【0118】

次に、図 59 に示すように、半導体基板 10 S の主面の全面に、例えば、スパッタリング法を使用することにより、コバルト膜を形成する。その後、半導体基板 10 S に熱処理を加えることにより、ゲート電極 16、ゲート引き出し電極 20、ボディ用トレンチ 25 および接合部用溝 25 b の表面にコバルトシリサイド膜 (第 1 金属シリサイド膜) 28 を形成する。すなわち、ゲート電極 16、ゲート引き出し電極 20、ボディ用トレンチ 25

50

および接合部用溝 25 b の表面では、シリコンとコバルト膜が直接接触しているため、熱処理によりシリコンとコバルト膜が反応してコバルトシリサイド膜 28 が形成される。このようにゲート電極 16 上にコバルトシリサイド膜 28 を形成することができるため、微細化に伴うゲートトレンチ 13 の縮小化によって、ゲート電極 16 のゲート抵抗が増大してしまうことを抑制できる。

【0119】

この工程において、接合部用溝 25 b の表面にショットキー接合が形成され、ショットキーバリアダイオードが形成される。すなわち、n 型半導体領域 10 E をカソード領域にし、コバルトシリサイド膜 28 をアノード領域としたショットキーバリアダイオードが形成される。ここで、本実施の形態 3 では、パワー M I S F E T のゲート電極 16、ゲート引き出し電極 20 およびボディ用トレンチ 25 にコバルトシリサイド膜 28 を形成すると同時に、接合部用溝 25 b の表面にコバルトシリサイド膜（第 2 金属シリサイド膜）を形成している。これにより、1 つのシリサイド工程で、前記実施の形態 1 と同様のパワー M I S F E T を形成できるとともに、ショットキーバリアダイオードを形成することができる。

10

【0120】

その後の工程は、前記実施の形態 1 と同様である。以上のようにして 1 つの半導体チップ上にパワー M I S F E T とショットキーバリアダイオードを形成した半導体装置を製造することができる。

【0121】

本実施の形態 3 の特徴をまとめると以下ようになる。すなわち、基本となる前記実施の形態 1 における半導体装置の製造方法と異なる点は、第 1 に低濃度の n 型半導体領域 10 E を形成している点にある。これは、ショットキーバリアダイオードを製造するために必要となる。次に、第 2 点は、パワー M I S F E T のセル領域に n 型半導体領域 10 E よりも高濃度に不純物が導入された n 型半導体領域 41 を形成している点である。この点は、パワー M I S F E T のオン抵抗を下げるために必要なものである。さらに、第 3 点は、S B D 接合部に形成される接合部用溝 25 b 上にレジスト膜 42 を形成した状態で、パワー M I S F E T のボディコンタクト領域 26 を形成している点である。この点は、接合部用溝 25 b の表面に形成するショットキー接合に p 型不純物が導入されないようにするために必要なものである。以上の点を追加することにより、本実施の形態 3 によれば、パワー M I S F E T のオン抵抗を低減させながら、コバルトシリサイド膜 28 と n 型半導体領域 10 E のショットキー接合で形成されるショットキーダイオードを 1 つの半導体チップに内蔵することができる。また、接合部用溝 25 b の表面にショットキー接合を形成しているため、熱処理工程で n 型半導体領域 10 E の表面に偏析したリンの影響を排除することができる。このため、ショットキーバリアダイオードの耐圧を向上することができる。

20

30

【0122】

（実施の形態 4）

本実施の形態 4 は、パワー M I S F E T のゲート電極とドレイン領域間の帰還容量を低減できる半導体装置について説明する。

【0123】

ゲートトレンチ構造を有するパワー M I S F E T の帰還容量は、ゲート電極 16 のチャネル形成領域 22 から飛び出た部分とドレイン領域（半導体基板 10）間の容量に相当する。前記実施の形態 1 のように構成することによりパワー M I S F E T を微細化して集積度を向上することができるが、パワー M I S F E T の微細化を進めると、セル密度が増加するために、単位面積あたりの帰還容量が増加する副作用が生じる。帰還容量が増加すると、パワー M I S F E T のスイッチング損失が増大し、システムの効率が悪化してしまう。そこで、本実施の形態 4 は、前記実施の形態 1 の構成をとりながら、さらに、ゲート電極とドレイン領域間の帰還容量を低減できる構成について説明する。

40

【0124】

図 60 は、本実施の形態 4 におけるパワー M I S F E T の断面を示した断面図である。

50

図60において、ほとんどの構成は前記実施の形態1と同様である。異なる点は、ゲートトレンチ13の底部に形成する酸化シリコン膜46の膜厚を、ゲートトレンチ13の側面に形成されているゲート絶縁膜14の膜厚よりも厚く形成している点にある。このように構成することにより、ゲート電極16とドレイン領域(半導体基板10)の間の距離を遠ざけることができるので、帰還容量を低減することができる。このため、本実施の形態4におけるパワーMISFETを前記実施の形態3で説明したDC/DCコンバータのメインスイッチ用パワーMISFETに適用した場合は、スイッチング損失を低減することができる。一方、同期整流用パワーMISFETに適用した場合は、(帰還容量(ゲート・ドレイン間容量)/入力容量(ゲート・ソース間容量))が大きくなると発現するセルフターンオン現象を抑制する事ができる。このように、ゲートトレンチ13の底部に形成する絶縁膜46の膜厚を厚膜化することで、DC/DCコンバータの効率を改善することができる。

10

【0125】

次に、本実施の形態4におけるパワーMISFETの製造方法について図面を参照しながら説明する。

【0126】

図61に示すように、n型不純物を導入した半導体基板10上にエピタキシャル成長法を用いてn型エピタキシャル層を形成する。本実施の形態4では、n型不純物を導入した半導体基板10とn型エピタキシャル層を合わせて半導体基板10というものとする。この半導体基板10上に例えば熱酸化法を用いて絶縁膜(第1絶縁膜)11を形成する。この絶縁膜11は、例えば、酸化シリコン膜から形成される。

20

【0127】

続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより絶縁膜11をパターニングして開口部12を形成する。そして、開口部12を形成した絶縁膜11をマスクにして半導体基板10にゲートトレンチ13を形成する。ゲートトレンチ13は、例えば、ドライエッチングによって形成される。

【0128】

次に、図62に示すように、ゲートトレンチ13を形成した半導体基板10上に酸化シリコン膜45を形成する。この酸化シリコン膜45を形成する方法として、高密度プラズマCVD法(High Density Plasma Chemical Vapor Deposition; HDP-CVD)によって形成する点に本発明の特徴の1つがある。高密度プラズマCVD法とは、チャンバ内に導入した原料ガスを高周波電界・磁界を用いてプラズマ化したものを使用することにより膜の形成を行なう方法である。高密度プラズマの発生方法として具体的には、誘導結合プラズマ法(ICP; Induction Coupled Plasma)や電子サイクロトロン共鳴法(ECR; Electron Cyclotron Resonance)などがある。誘導結合プラズマ法とは、化学気相成長などで用いられる高密度プラズマの一種を用いた膜の形成方法であり、チャンバ内に導入されたガスを誘導結合した高周波コイルで励起して発生させたプラズマを用いて膜の形成を行なう方法である。電子サイクロトロン共鳴法とは、以下に示すものである。電子は磁界中でローレンツ力を受けると、磁界と垂直な平面内を周回するサイクロトロン運動を行なう。このとき、電子の運動平面内で周回周波数に一致した電界を与えると、サイクロトロン運動と電界とのエネルギー共鳴が起こり、電界エネルギーが電子に吸収される。この現象を利用して各種ガスをプラズマ化し、膜の形成を行なう方法が電子サイクロトロン共鳴法である。

30

40

【0129】

このような高密度プラズマCVD法では、膜に対してスパッタエッチング現象が生じると共に膜の堆積が進むという特徴がある。したがって、ゲートトレンチ13を高密度プラズマCVD法で埋め込む場合、ゲートトレンチ13の底部に膜厚の厚い酸化シリコン膜45が形成され、ゲートトレンチ13の側面に薄い酸化シリコン膜45が形成される。このため、図62に示すように、ゲートトレンチ13の底部に膜厚の厚い酸化シリコン膜45を形成することができる。

50

【0130】

その後、図63に示すように、ウェットエッチングする。このウェットエッチングのエッチング量は、側面の酸化シリコン膜45が完全に除去される程度のエッチング量とする。このとき、ゲートトレンチ13の底部には、側面よりも厚い膜厚の酸化シリコン膜46が形成されているため、残存する。このように高密度プラズマCVD法の特徴を利用して簡便な工程でゲートトレンチ13の底部に厚い膜厚の酸化シリコン膜46を形成することができる。

【0131】

続いて、前記実施の形態1の図8に示すようにしてゲートトレンチ13の側面にゲート絶縁膜を形成する。その後の工程は、前記実施の形態1と同様である。このようにして本実施の形態4におけるパワーMISFETを形成することができる。

10

【0132】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0133】

前記実施の形態では、トレンチゲート構造のパワーMISFETについて説明したが、本発明は、例えば、トレンチゲート構造のIGBT (Insulated Gate Bipolar Transistor) にも適用することができる。

【産業上の利用可能性】

20

【0134】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0135】

【図1】本発明の実施の形態1における半導体装置を示す平面図である。

【図2】実施の形態1における半導体装置の平面構造の一部を示す平面図である。

【図3】図1のA-A線で切断した断面を示す断面図である。

【図4】ゲートトレンチ構造を有するnチャネル型パワーMISFETを示す模式図である。

【図5】実施の形態1における半導体装置の製造工程を示す断面図である。

30

【図6】図5に続く半導体装置の製造工程を示す断面図である。

【図7】図6に続く半導体装置の製造工程を示す断面図である。

【図8】図7に続く半導体装置の製造工程を示す断面図である。

【図9】図8に続く半導体装置の製造工程を示す断面図である。

【図10】図9に続く半導体装置の製造工程を示す断面図である。

【図11】図10に続く半導体装置の製造工程を示す断面図である。

【図12】図11に続く半導体装置の製造工程を示す断面図である。

【図13】図12に続く半導体装置の製造工程を示す断面図である。

【図14】図13に続く半導体装置の製造工程を示す断面図である。

【図15】図14に続く半導体装置の製造工程を示す断面図である。

40

【図16】図15に続く半導体装置の製造工程を示す断面図である。

【図17】図16に続く半導体装置の製造工程を示す断面図である。

【図18】図17に続く半導体装置の製造工程を示す断面図である。

【図19】図18に続く半導体装置の製造工程を示す断面図である。

【図20】図19に続く半導体装置の製造工程を示す断面図である。

【図21】図20に続く半導体装置の製造工程を示す断面図である。

【図22】図21に続く半導体装置の製造工程を示す断面図である。

【図23】図22に続く半導体装置の製造工程を示す断面図である。

【図24】図23に続く半導体装置の製造工程を示す断面図である。

【図25】図24に続く半導体装置の製造工程を示す断面図である。

50

【図 2 6】図 2 5 に続く半導体装置の製造工程を示す断面図である。

【図 2 7】パワー M I S F E T において、プラグと半導体基板が接触している様子を示す拡大図である。

【図 2 8】プラグを S A C 技術で形成するが、ボディコンタクト領域をフォトリソグラフィ技術で形成する場合の例を示す図である。

【図 2 9】プラグの幅が隣接するサイドウォール間の幅よりも狭い幅を有する場合を示す図である。

【図 3 0】実施の形態 2 における半導体装置の製造工程を示す断面図である。

【図 3 1】図 3 0 に続く半導体装置の製造工程を示す断面図である。

【図 3 2】図 3 1 に続く半導体装置の製造工程を示す断面図である。

【図 3 3】図 3 2 に続く半導体装置の製造工程を示す断面図である。

【図 3 4】実施の形態 1 における半導体装置を示す断面図である。

【図 3 5】実施の形態 2 における半導体装置を示す断面図である。

【図 3 6】垂直方向からソースエクステンション領域にイオン注入する場合を示す図である。

【図 3 7】斜め方向からソースエクステンション領域にイオン注入する場合を示す図である。

【図 3 8】垂直方向からソース拡散領域にイオン注入する場合を示す図である。

【図 3 9】斜め方向からソース拡散領域にイオン注入する場合を示す図である。

【図 4 0】同期整流方式の D C / D C コンバータの回路図である。

【図 4 1】メインスイッチ用パワー M I S F E T および同期整流用パワー M I S F E T のタイミングチャートである。

【図 4 2】実施の形態 3 における半導体装置を示す平面図である。

【図 4 3】実施の形態 3 における半導体装置の平面構造の一部を示す平面図である。

【図 4 4】図 4 2 の B - B 線で切断した断面を示す断面図である。

【図 4 5】実施の形態 3 における半導体装置の製造工程を示す断面図である。

【図 4 6】図 4 5 に続く半導体装置の製造工程を示す断面図である。

【図 4 7】図 4 6 に続く半導体装置の製造工程を示す断面図である。

【図 4 8】図 4 7 に続く半導体装置の製造工程を示す断面図である。

【図 4 9】図 4 8 に続く半導体装置の製造工程を示す断面図である。

【図 5 0】図 4 9 に続く半導体装置の製造工程を示す断面図である。

【図 5 1】図 5 0 に続く半導体装置の製造工程を示す断面図である。

【図 5 2】図 5 1 に続く半導体装置の製造工程を示す断面図である。

【図 5 3】図 5 2 に続く半導体装置の製造工程を示す断面図である。

【図 5 4】図 5 3 に続く半導体装置の製造工程を示す断面図である。

【図 5 5】図 5 4 に続く半導体装置の製造工程を示す断面図である。

【図 5 6】図 5 5 に続く半導体装置の製造工程を示す断面図である。

【図 5 7】図 5 6 に続く半導体装置の製造工程を示す断面図である。

【図 5 8】図 5 7 に続く半導体装置の製造工程を示す断面図である。

【図 5 9】図 5 8 に続く半導体装置の製造工程を示す断面図である。

【図 6 0】実施の形態 4 における半導体装置を示す断面図である。

【図 6 1】実施の形態 4 における半導体装置の製造工程を示す断面図である。

【図 6 2】図 6 1 に続く半導体装置の製造工程を示す断面図である。

【図 6 3】図 6 2 に続く半導体装置の製造工程を示す断面図である。

【符号の説明】

【 0 1 3 6 】

- 1 ソースパッド
- 2 ゲート配線
- 3 ゲートパッド
- 4 ガードリング

10

20

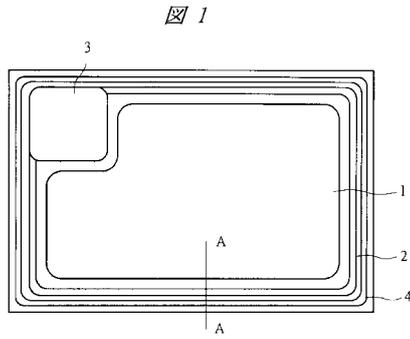
30

40

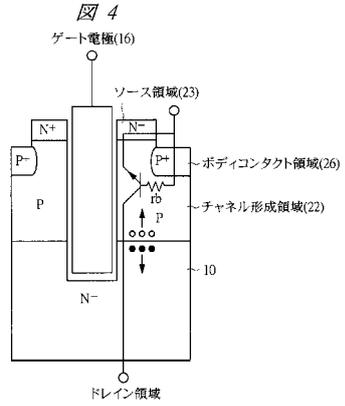
50

1 0	半導体基板	
1 0 S	半導体基板	
1 0 E	n型半導体領域	
1 1	絶縁膜	
1 2	開口部	
1 3	ゲートトレンチ	
1 4	ゲート絶縁膜	
1 5	ポリシリコン膜	
1 6	ゲート電極	
1 7	レジスト膜	10
1 8	p型ウェル	
1 9	ポリシリコン膜	
2 0	ゲート引き出し電極	
2 1	絶縁膜	
2 2	チャネル形成領域	
2 3	ソース領域	
2 3 a	n型半導体領域	
2 4	サイドウォール	
2 5	ボディ用トレンチ	
2 5 a	トレンチ	20
2 5 b	接合部用溝	
2 6	ボディコンタクト領域	
2 6 a	p型半導体領域	
2 7	レジスト膜	
2 8	コバルトシリサイド膜	
2 9	窒化シリコン膜	
3 0	酸化シリコン膜	
3 1	孔	
3 2	コンタクトホール	
3 3 a	チタン/窒化チタン膜	30
3 3 b	タングステン膜	
3 4	プラグ	
3 5	ソースエクステンション領域	
3 6	ソース拡散領域	
3 7	サイドウォール	
4 0	レジスト膜	
4 1	n型半導体領域	
4 2	レジスト膜	
4 5	酸化シリコン膜	
4 6	酸化シリコン膜	40
Q 1	メインスイッチ用パワーM I S F E T	
Q 2	同期整流用パワーM I S F E T	
B D 1	ボディダイオード	
B D 2	ボディダイオード	
S B D	ショットキーバリアダイオード	
L	インダクタンス	
C	容量素子	

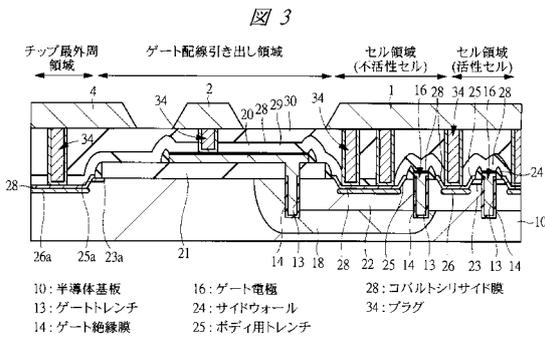
【図1】



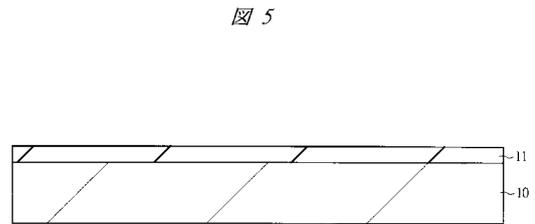
【図4】



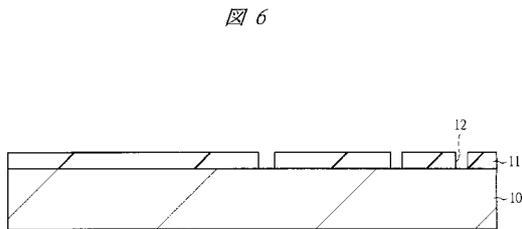
【図3】



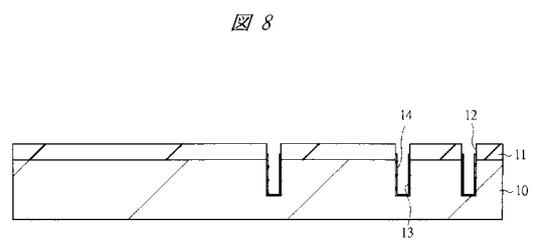
【図5】



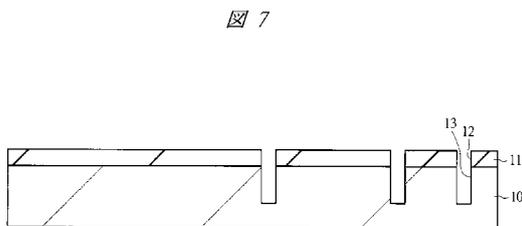
【図6】



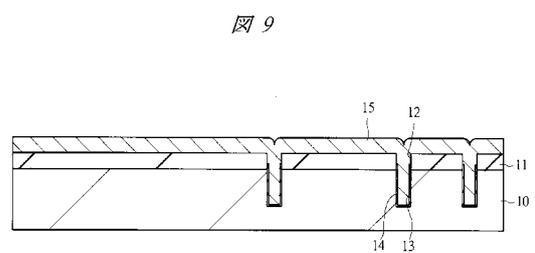
【図8】



【図7】

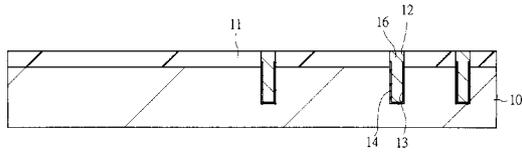


【図9】



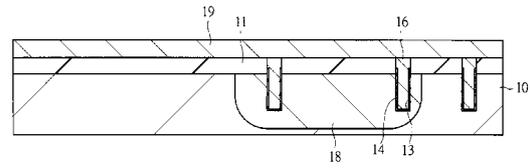
【図10】

図10



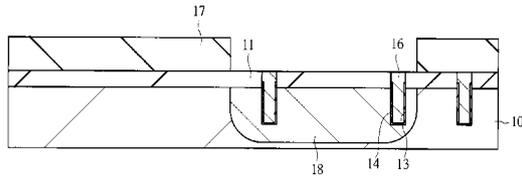
【図12】

図12



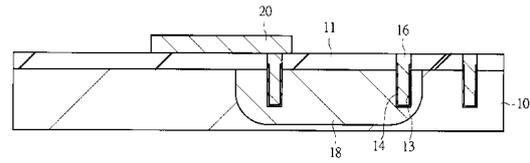
【図11】

図11



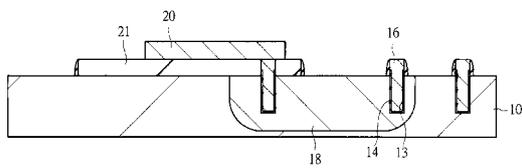
【図13】

図13



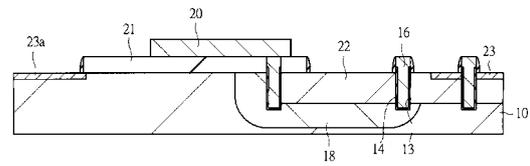
【図14】

図14



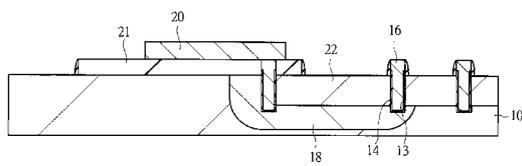
【図16】

図16



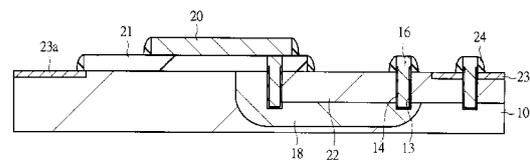
【図15】

図15



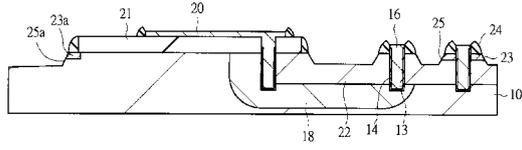
【図17】

図17



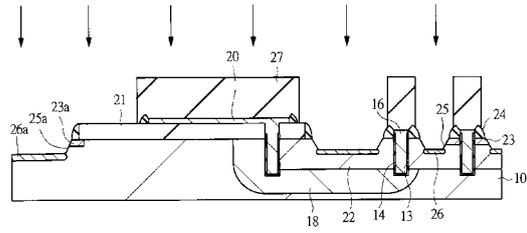
【図18】

図18



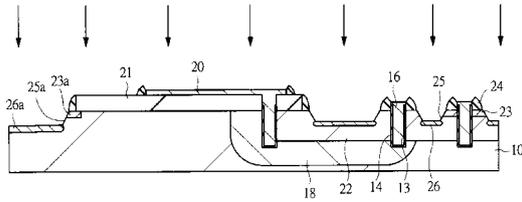
【図20】

図20



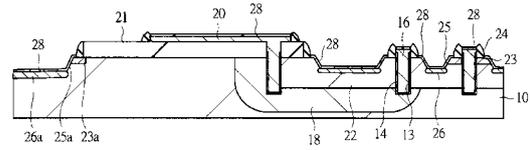
【図19】

図19



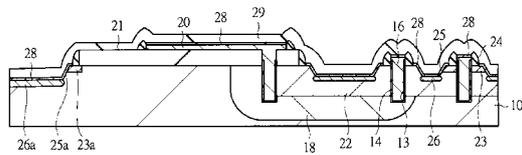
【図21】

図21



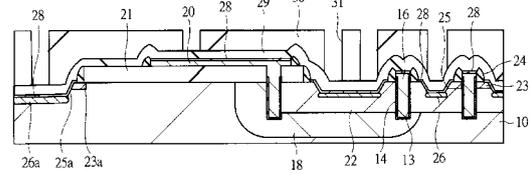
【図22】

図22



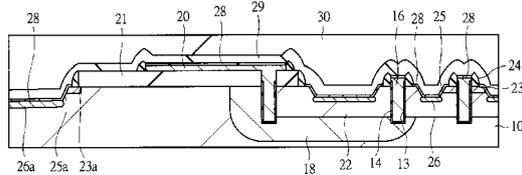
【図24】

図24



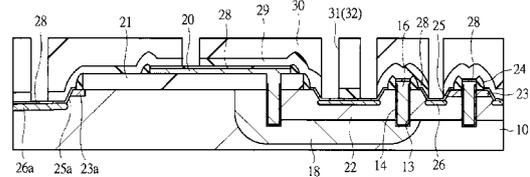
【図23】

図23

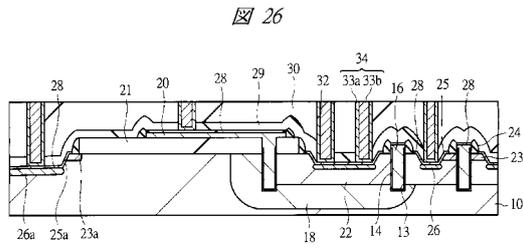


【図25】

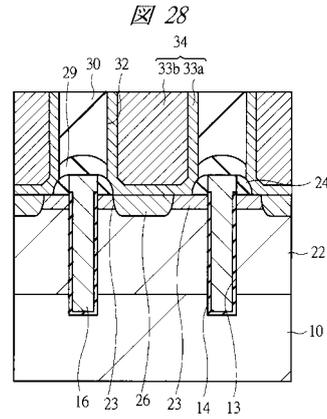
図25



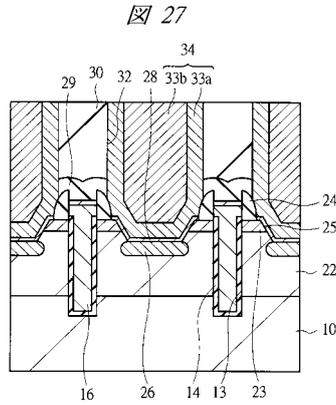
【図 26】



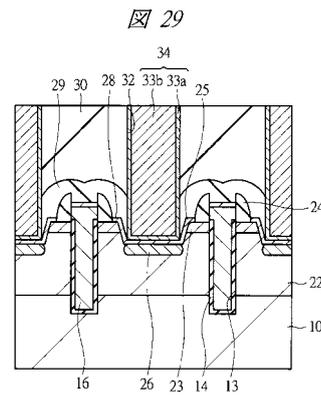
【図 28】



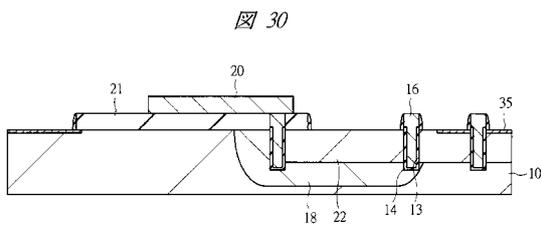
【図 27】



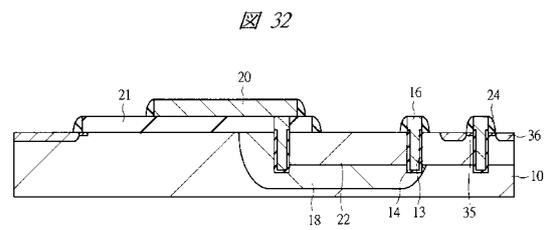
【図 29】



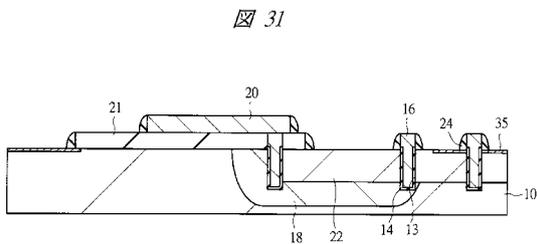
【図 30】



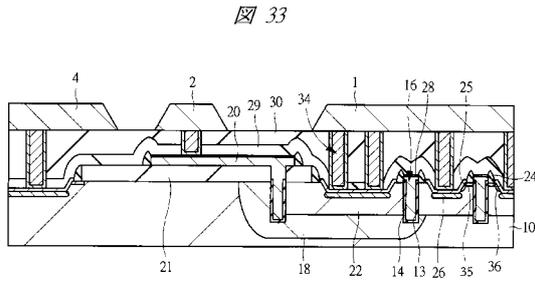
【図 32】



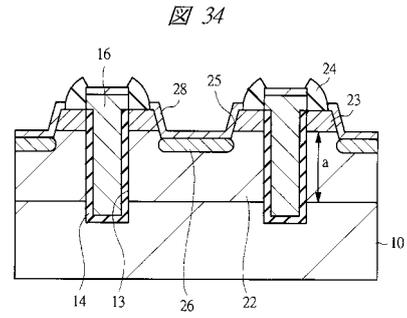
【図 31】



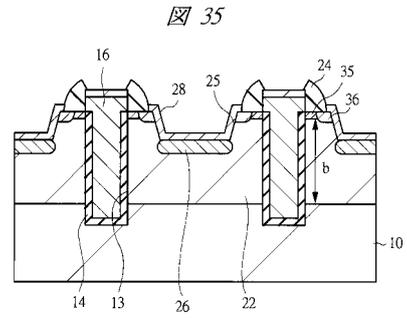
【図 33】



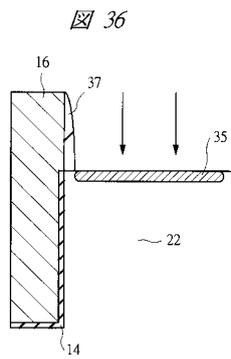
【図 34】



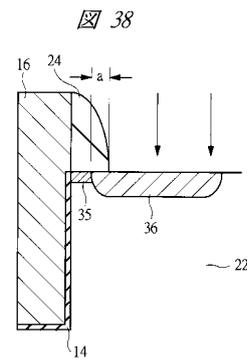
【図 35】



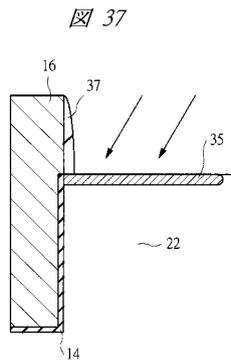
【図 36】



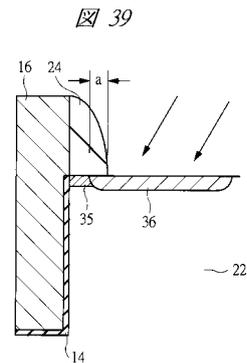
【図 38】



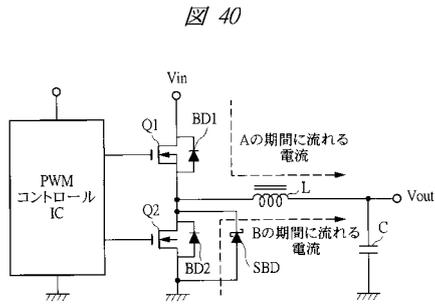
【図 37】



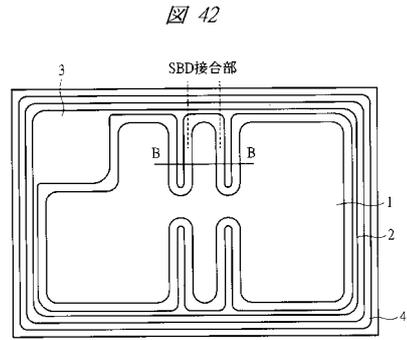
【図 39】



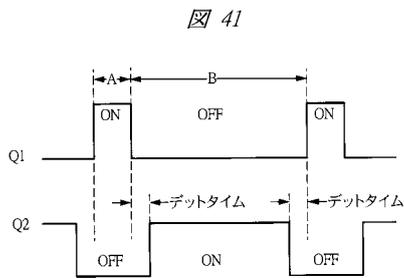
【図40】



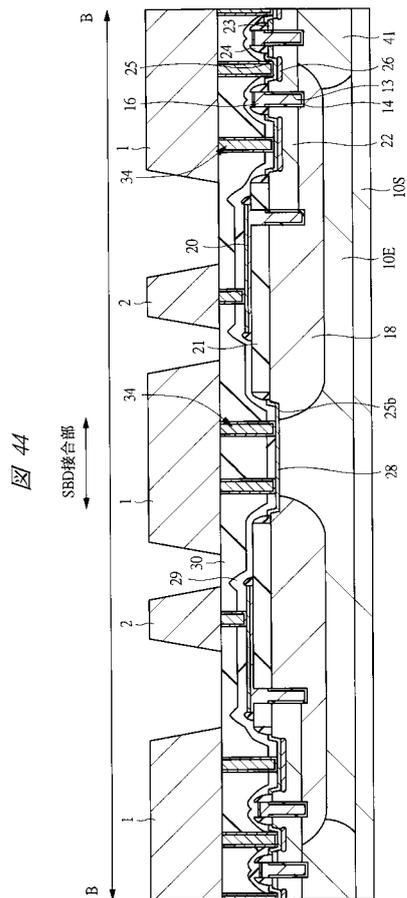
【図42】



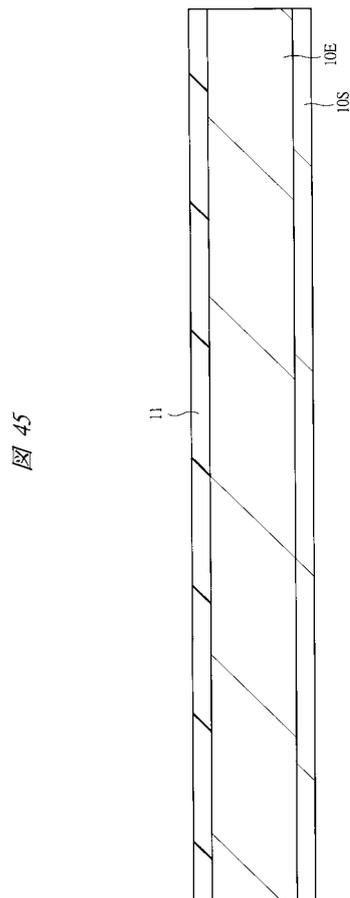
【図41】



【図44】

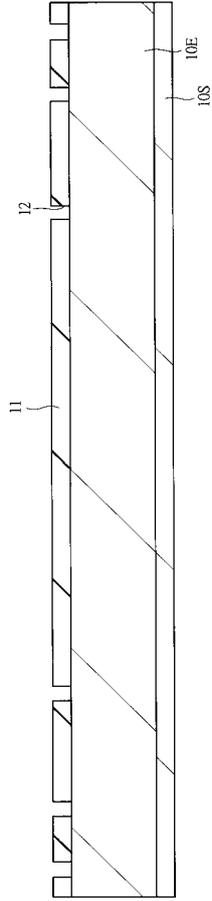


【図45】



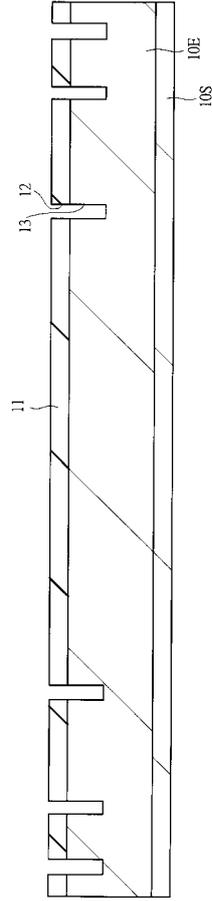
【図46】

図46



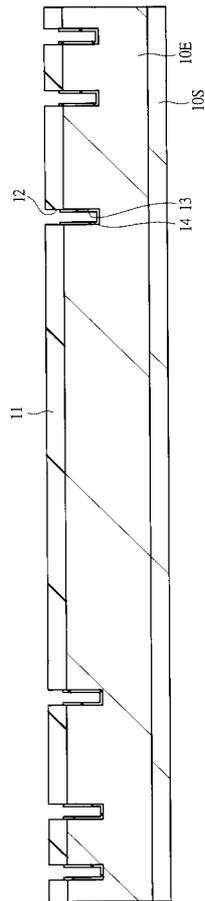
【図47】

図47



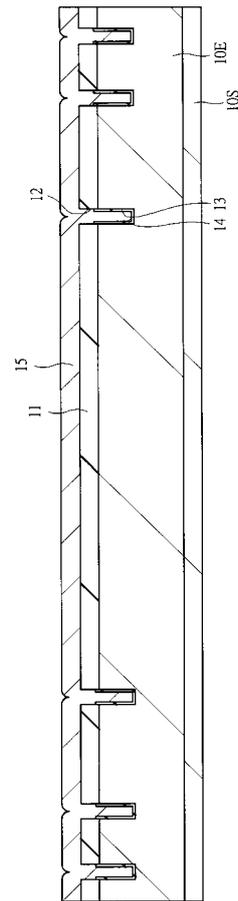
【図48】

図48



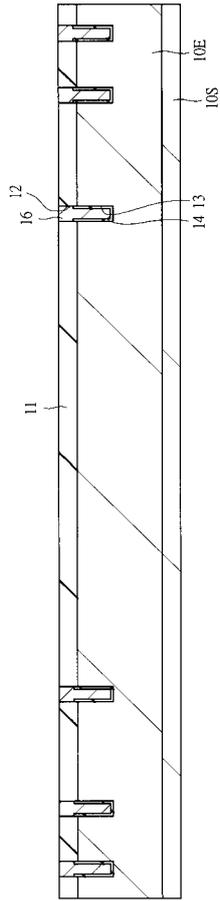
【図49】

図49



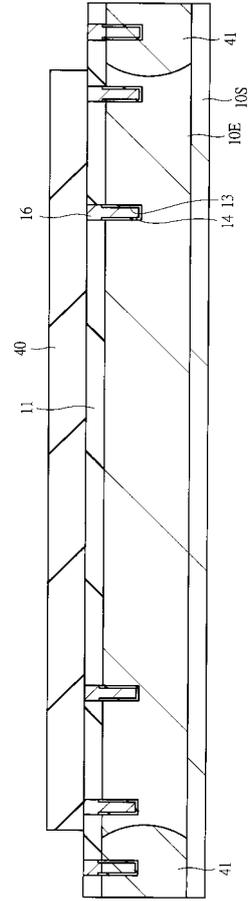
【図 50】

図 50



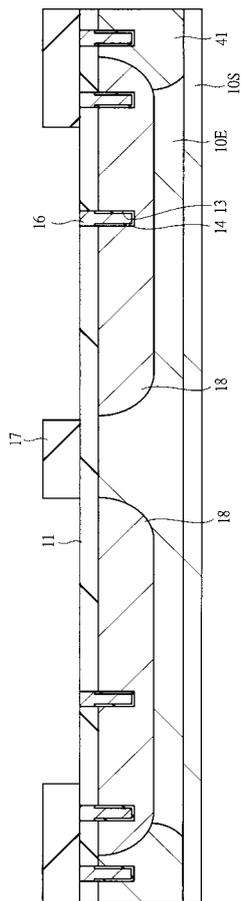
【図 51】

図 51



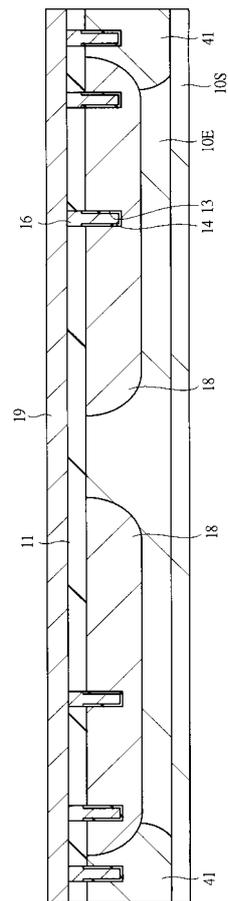
【図 52】

図 52



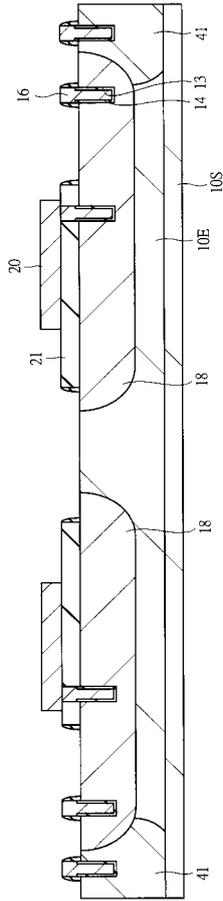
【図 53】

図 53



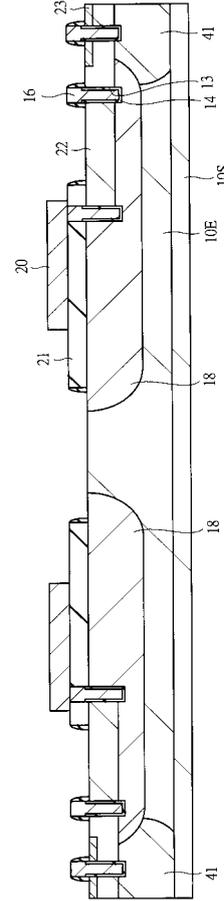
【 54 】

54



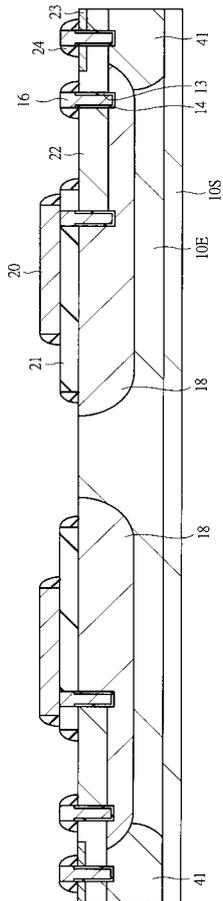
【 55 】

55



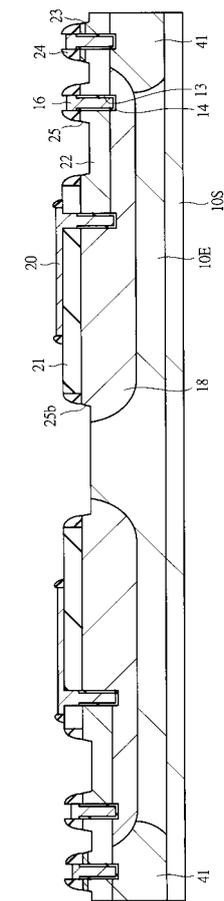
【 56 】

56



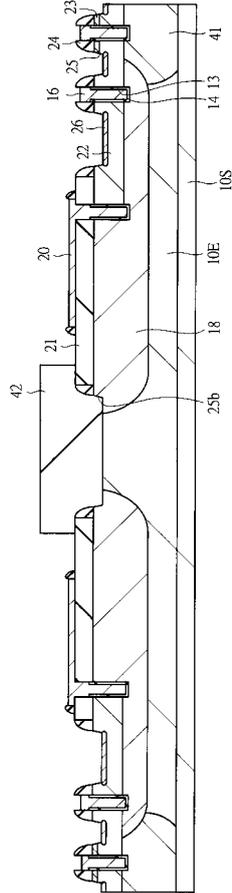
【 57 】

57



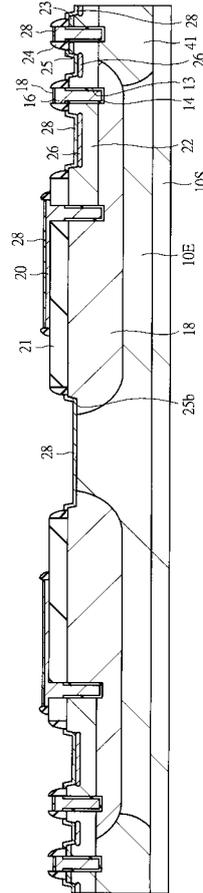
【図58】

図58



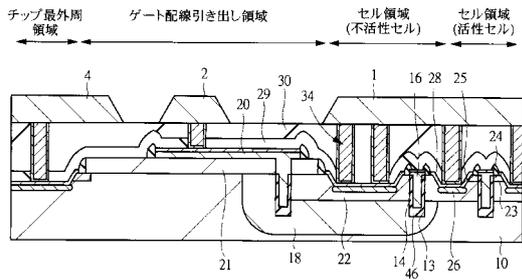
【図59】

図59



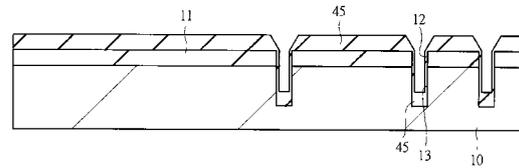
【図60】

図60



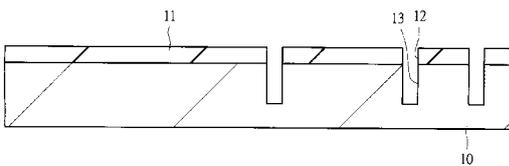
【図62】

図62



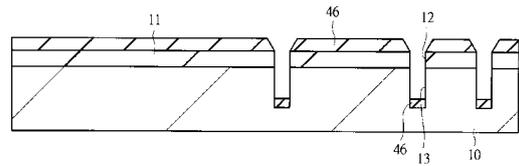
【図61】

図61



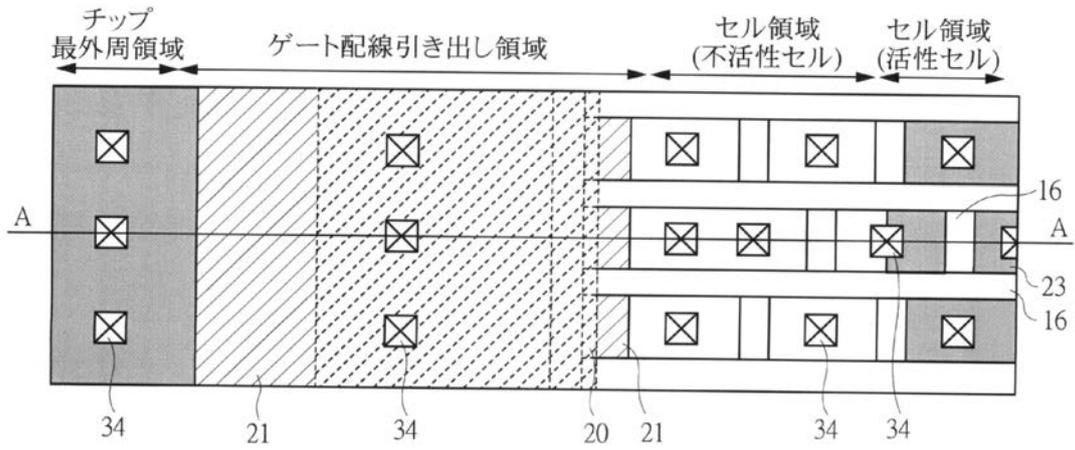
【図63】

図63



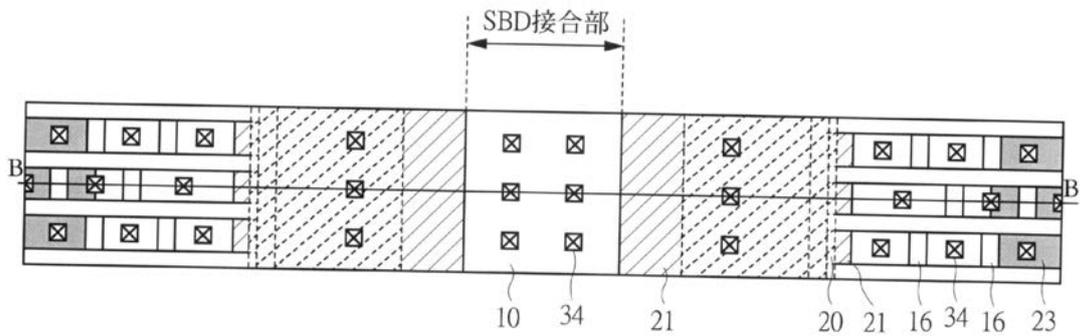
【図2】

図 2



【図43】

図 43



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/28</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 2 P</i>
<i>H 0 1 L</i>	<i>29/47</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 2 K</i>
<i>H 0 1 L</i>	<i>29/872</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 2 D</i>
<i>H 0 1 L</i>	<i>29/423</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 2 M</i>
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/06</i> <i>1 0 2 A</i>
			<i>H 0 1 L</i>	<i>21/28</i> <i>3 0 1 A</i>
			<i>H 0 1 L</i>	<i>29/48</i> <i>F</i>
			<i>H 0 1 L</i>	<i>29/58</i> <i>G</i>

(72)発明者 谷ツ田 雄司
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 儀同 孝信

(56)参考文献 特開2001-077362(JP,A)
 特開2006-120894(JP,A)
 特開2003-163219(JP,A)
 特表2004-522319(JP,A)
 特表2005-501408(JP,A)
 特開平08-186254(JP,A)
 特開2005-191247(JP,A)
 特開2002-246596(JP,A)
 特開2004-111663(JP,A)
 特開2003-318396(JP,A)
 特開2004-179277(JP,A)
 国際公開第2006/007070(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L *2 9 / 7 8*
H 0 1 L *2 1 / 2 8*
H 0 1 L *2 1 / 3 3 6*
H 0 1 L *2 1 / 8 2 3 4*
H 0 1 L *2 7 / 0 6*
H 0 1 L *2 9 / 0 6*
H 0 1 L *2 9 / 4 2 3*
H 0 1 L *2 9 / 4 7*
H 0 1 L *2 9 / 4 9*
H 0 1 L *2 9 / 8 7 2*