



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0013977
(43) 공개일자 2010년02월10일

- | | |
|---|--|
| <p>(51) Int. Cl.
H01L 21/027 (2006.01) H01L 21/28 (2006.01)
H01L 21/336 (2006.01)
(21) 출원번호 10-2008-0075741
(22) 출원일자 2008년08월01일
심사청구일자 없음</p> | <p>(71) 출원인
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
엄재두
경기 수원시 팔달구 영통동 955-1
황골주공@152-203
(74) 대리인
신영무</p> |
|---|--|

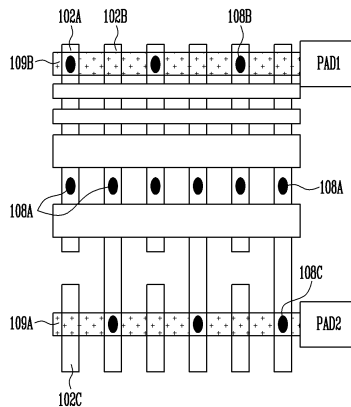
전체 청구항 수 : 총 7 항

(54) 반도체 소자의 테스트 패턴 및 이의 제조 방법

(57) 요약

본 발명은 반도체 소자의 테스트 패턴 및 이의 제조 방법에 관한 것으로, 소자 분리 공정을 실시하여 반도체 기판에 다수의 평행한 활성 영역을 형성하는 단계와, 상기 다수의 평행한 활성 영역을 포함한 반도체 기판 상에 상기 다수의 평행한 활성 영역과 수직한 방향으로 다수의 게이트 라인을 형성하는 단계와, 상기 다수의 게이트 라인 사이의 상기 활성 영역과 연결되는 다수의 콘택을 형성하는 단계와, 상기 다수의 평행한 활성 영역 중 홀수 번째 활성 영역과 연결되는 제1 더미 콘택을 형성하는 단계, 및 상기 다수의 평행한 활성 영역 중 짝수 번째 활성 영역과 연결되는 제2 더미 콘택을 형성하는 단계를 포함하는 반도체 소자의 테스트 패턴 및 이의 제조 방법을 개시한다.

대표도 - 도5



특허청구의 범위

청구항 1

반도체 기판 상에 평행하게 형성된 다수의 활성 영역;

상기 다수의 활성 영역을 포함한 상기 반도체 기판 상에 상기 다수의 활성 영역과 수직 방향으로 평행하게 형성된 다수의 게이트 라인;

상기 다수의 게이트 라인 사이의 상기 다수의 활성 영역 상에 형성된 다수의 콘택;

상기 다수의 활성 영역 중 홀수번째 활성 영역의 상단부에 형성된 제1 더미 콘택들; 및

상기 다수의 활성 영역 중 짝수번째 활성 영역의 하단부에 형성된 제2 더미 콘택들을 포함하는 반도체 소자의 테스트 패턴.

청구항 2

제 1 항에 있어서,

상기 제1 더미 콘택들은 제1 금속 배선과 연결되어 테스트용 제1 패드와 연결되며,

상기 제2 더미 콘택들은 제2 금속 배선과 연결되어 테스트용 제2 패드와 연결된 반도체 소자의 테스트 패턴.

청구항 3

제 1 항에 있어서,

상기 홀수번째 활성 영역은 상단부와 하단부가 서로 전기적으로 이격되어 형성된 반도체 소자의 테스트 패턴.

청구항 4

소자 분리 공정을 실시하여 반도체 기판에 다수의 평행한 활성 영역을 형성하는 단계와, 상기 다수의 평행한 활성 영역을 포함한 반도체 기판 상에 상기 다수의 평행한 활성 영역과 수직 방향으로 다수의 게이트 라인을 형성하는 단계;

상기 다수의 게이트 라인 사이의 상기 활성 영역과 연결되는 다수의 콘택을 형성하는 단계;

상기 다수의 평행한 활성 영역 중 홀수 번째 활성 영역과 연결되는 제1 더미 콘택을 형성하는 단계; 및

상기 다수의 평행한 활성 영역 중 짝수 번째 활성 영역과 연결되는 제2 더미 콘택을 형성하는 단계를 포함하는 반도체 소자의 테스트 패턴 형성 방법.

청구항 5

제 4 항에 있어서,

상기 제1 더미 콘택은 상기 반도체 기판의 상단부에 평행하게 형성하며, 상기 제2 더미 콘택은 상기 반도체 기판의 하단부에 평행하게 형성하는 반도체 소자의 테스트 패턴 형성 방법.

청구항 6

제 4 항에 있어서,

상기 홀수번째 활성 영역은 상단부와 하단부로 분리되어 형성되는 반도체 소자의 테스트 패턴 형성 방법.

청구항 7

제 4 항에 있어서,

제2 더미 콘택을 형성한 후,

상기 제1 더미 콘택들을 연결하는 제1 금속 배선 및 상기 제2 더미 콘택들을 연결하는 제2 금속 배선을 형성하는 단계를 더 포함하는 반도체 소자의 테스트 패턴 형성 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 소자의 테스트 패턴 및 이의 제조 방법에 관한 것으로, 특히 반도체 소자의 콘택 브릿지 현상을 검출할 수 있는 반도체 소자의 테스트 패턴 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치가 형성되는 반도체 웨이퍼에는, 제조 공정을 모니터링 할 수 있는 테스트 패턴들이 배치된다. 상기 테스트 패턴들을 통해 모니터링 할 수 있는 항목에는 트랜지스터들의 다양한 전기적 특성, 배선 및 불순물 영역의 저항 및 상기 불순물 영역과 배선 사이의 접촉 저항 등이 있다.

[0003] 도 1은 반도체 소자의 콘택 및 금속 배선을 형성한 소자의 단면도이다.

[0004] 도 1을 참조하면, 반도체 기관(10)은 소자 분리막(11)에 의해 활성 영역(12)이 정의되며, 활성 영역 상에 콘택(13), 및 금속 배선(14)이 형성된다.

[0005] 반도체 소자의 집적도가 점차 증가함에 따라 콘택(13) 간의 거리는 점차 줄어들고 있어 공정 마진 확보가 어려워지며, 이로 인하여 콘택(13)이 서로 전기적으로 연결되는 브릿지 현상이 발생할 수 있다. 따라서 이를 모니터링하여 불량을 검출하여야 하는데 반도체 소자 제조 공정시 콘택(13) 간의 브릿지(A) 뿐만 아니라 금속 배선(14)의 정렬 오차로 인하여 콘택(13)과 금속 배선(14) 간의 브릿지 현상(B), 및 금속 배선(14) 간의 브릿지 현상(C)도 발생할 수 있어, 모니터링시 이들을 배제한 콘택(13) 간의 브릿지(A)만을 검출할 수 없다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 반도체 소자의 활성 영역 중 홀수 번째 활성 영역을 상단부와 하단부를 소자 분리 영역으로 구분하고, 홀수 번째 활성 영역 상단부에 제1 더미 콘택을 형성하고 짝수 번째 활성 영역에 제2 더미 콘택을 형성함으로써, 테스트 동작시 제1 더미 콘택과 제2 더미 콘택을 이용하여 실제적인 콘택간의 브릿지 현상을 검출할 수 있는 반도체 소자의 테스트 패턴 및 이의 제조 방법을 제공하는 데 있다.

과제 해결수단

[0007] 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴은 반도체 기관 상에 평행하게 형성된 다수의 활성 영역과, 상기 다수의 활성 영역을 포함한 상기 반도체 기관 상에 상기 다수의 활성 영역과 수직 방향으로 평행하게 형성된 다수의 게이트 라인과, 상기 다수의 게이트 라인 사이의 상기 다수의 활성 영역 상에 형성된 다수의 콘택과, 상기 다수의 활성 영역 중 홀수번째 활성 영역의 상단부에 형성된 제1 더미 콘택들, 및 상기 다수의 활성 영역 중 짝수번째 활성 영역의 하단부에 형성된 제2 더미 콘택들을 포함한다.

[0008] 상기 제1 더미 콘택들은 제1 금속 배선과 연결되어 테스트용 제1 패드와 연결되며, 상기 제2 더미 콘택들은 제2 금속 배선과 연결되어 테스트용 제2 패드와 연결된다. 상기 홀수번째 활성 영역은 상단부와 하단부가 서로 전기적으로 이격되어 형성된다.

[0009] 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴 제조 방법은 소자 분리 공정을 실시하여 반도체 기관에 다수의 평행한 활성 영역을 형성하는 단계와, 상기 다수의 평행한 활성 영역을 포함한 반도체 기관 상에 상기 다수의 평행한 활성 영역과 수직 방향으로 다수의 게이트 라인을 형성하는 단계와, 상기 다수의 게이트 라인 사이의 상기 활성 영역과 연결되는 다수의 콘택을 형성하는 단계와, 상기 다수의 평행한 활성 영역 중 홀수 번째 활성 영역과 연결되는 제1 더미 콘택을 형성하는 단계, 및 상기 다수의 평행한 활성 영역 중 짝수 번째 활성 영역과 연결되는 제2 더미 콘택을 형성하는 단계를 포함한다.

[0010] 상기 제1 더미 콘택은 상기 반도체 기관의 상단부에 평행하게 형성하며, 상기 제2 더미 콘택은 상기 반도체 기관의 하단부에 평행하게 형성한다. 상기 홀수번째 활성 영역은 상단부와 하단부로 분리하여 형성한다.

[0011] 제2 더미 콘택을 형성한 후, 상기 제1 더미 콘택들을 연결하는 제1 금속 배선 및 상기 제2 더미 콘택들을 연결하는 제2 금속 배선을 형성하는 단계를 더 포함한다.

효 과

[0012] 본 발명의 일 실시 예에 따르면, 반도체 소자의 활성 영역 중 홀수 번째 활성 영역을 상단부와 하단부를 소자 분리 영역으로 구분하고, 홀수 번째 활성 영역 상단부에 제1 더미 콘택을 형성하고 짝수 번째 활성 영역에 제2 더미 콘택을 형성함으로써, 테스트 동작시 제1 더미 콘택과 제2 더미 콘택을 이용하여 실제적인 콘택간의 브릿지 현상을 검출함으로써, 콘택과 금속 배선간의 브릿지 및 금속 배선들 간의 브릿지 현상을 배제하고 테스트 동작을 진행할 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

[0014] 도 2a 내지 도 5는 본 발명의 일 실시 예에 따른 반도체 소자의 테스트 패턴을 설명하기 위한 소자의 평면도 및 단면도이다.

[0015] 도 2a 및 도 2b를 참조하면, 반도체 기판(100)의 소자 분리 영역을 식각하여 트렌치를 형성한 후, 이를 절연물질로 채워 소자 분리막(101)을 형성한다. 이로 인하여 반도체 기판(100)은 소자 분리막(101)과 활성 영역(102)으로 구분된다.

[0016] 활성 영역(102)은 다수의 평행한 바 타입으로 형성되며, 이때 설명의 편의를 위해 홀수번째 활성 영역(102A) 및 짝수번째 활성 영역(102B)으로 구분한다.

[0017] 이때 홀수번째 활성 영역(102A)는 상단부와 하단부(102C)가 소자 분리막(101)에 의해 전기적으로 이격되도록(X) 형성한다.

[0018] 도 3a 및 도 3b를 참조하면, 반도체 기판(100) 전체 구조 상에 터널 절연막(101), 플로팅 게이트용 도전막(102), 유전체막(103), 콘트롤 게이트용 도전막(104), 금속게이트막(105), 및 하드 마스크막(106)을 순차적으로 적층하여 형성한다. 이 후, 패터닝 공정을 실시하여 게이트 라인(107)을 형성한다.

[0019] 게이트 라인은 메모리 셀들이 형성되는 메모리 셀 게이트 라인(107C) 및 선택 트랜지스터들이 형성되는 선택 트랜지스터 게이트 라인(107D)으로 구분된다. 메모리 셀 게이트 라인(107C) 및 선택 트랜지스터 게이트 라인(107D)은 활성 영역(102A, 102B)과 수직한 방향으로 형성되며, 하단부의 홀수번째 활성 영역(102) 상에는 형성되지 않는다.

[0020] 도 4를 참조하면, 콘택 형성 공정을 실시하여 선택 트랜지스터 게이트 라인(107D; 본원 발명의 실시 예에서는 드레인 트랜지스터 게이트 라인) 들 사이의 활성 영역(102A, 102B)과 연결되는 다수의 드레인 콘택(108A)을 형성한다.

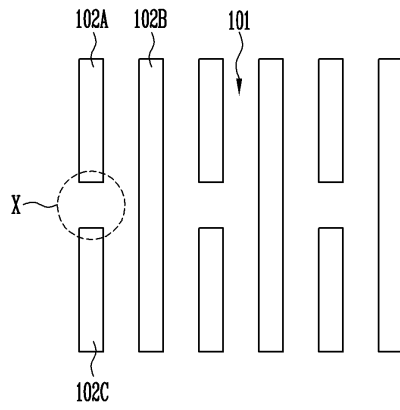
[0021] 이때 홀수 번째 활성 영역의 상단부(102A)에는 제1 더미 콘택(108B)을 형성하고, 짝수 번째 활성 영역의 하단부(102B)에는 제2 더미 콘택(108C)을 형성한다.

[0022] 도 5를 참조하면, 제1 더미 콘택(108B)들을 연결하는 금속 배선(109B)과 제2 더미 콘택(108C)들을 연결하는 금속 배선(109A)을 각각 형성한다. 금속 배선(109B)은 제1 바이어스를 인가할 수 있는 제1 패드(PAD1)와 연결되며, 금속 배선(109A)는 제2 바이어스를 인가할 수 있는 제2 패드(PAD2)와 연결된다.

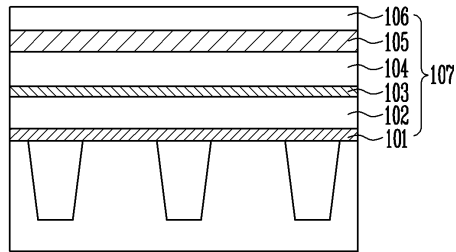
[0023] 상술한 것과 같이 제1 더미 콘택(108B)과 제2 더미 콘택(108C)을 이용하여 홀수 번째 활성 영역(102A)와 짝수 번째 활성 영역(102B)에 전압을 인가하여 드레인 콘택(108A) 간의 브릿지 현상을 측정할 수 있다. 또한 홀수 번째 활성 영역을 상단부(102A)와 하단부(102C)로 이격하여 형성함으로써, 금속 배선 간의 간격을 증가시킬 수 있어, 금속 배선과 콘택간의 브릿지 현상을 배제할 수 있다.

[0024] 본 발명의 기술 사상은 상기 바람직한 실시 예에 따라 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야에서 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

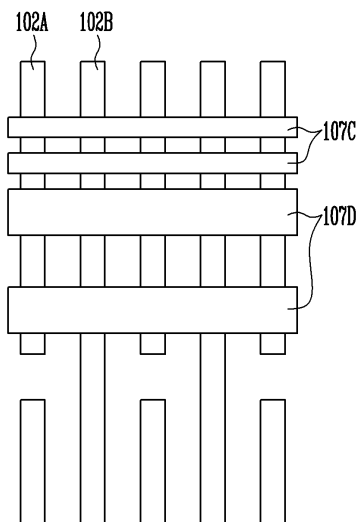
도면2b



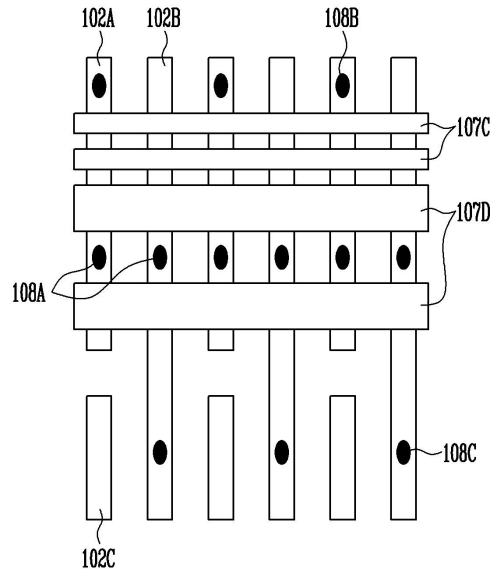
도면3a



도면3b



도면4



도면5

