



(12)发明专利申请

(10)申请公布号 CN 108922887 A

(43)申请公布日 2018. 11. 30

(21)申请号 201811065102.6

H01L 27/088(2006.01)

(22)申请日 2014.04.18

H01L 27/092(2006.01)

(30)优先权数据

H01L 21/336(2006.01)

2013-183350 2013.09.04 JP

(62)分案原申请数据

201480048967.5 2014.04.18

(71)申请人 株式会社索思未来

地址 日本神奈川县

(72)发明人 新保宏幸

(74)专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 韩丁

(51)Int. Cl.

H01L 27/02(2006.01)

H01L 27/06(2006.01)

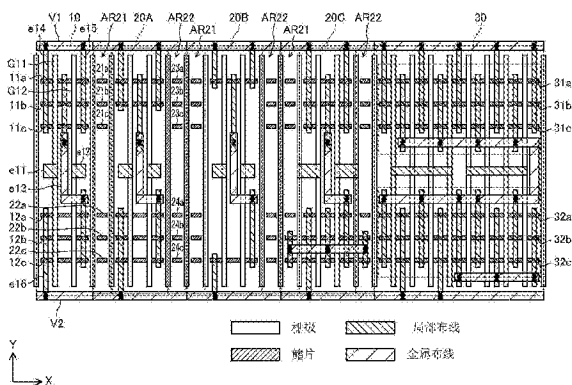
权利要求书2页 说明书11页 附图11页

(54)发明名称

半导体装置

(57)摘要

半导体装置包括在X方向上相邻而设的两个标准单元(10、20A)。标准单元(10)包括:向X方向延伸并且沿标准单元(20A)之间的边界而在Y方向上排列布置的多个第一鳍片(11a~11c、12a~12c)。标准单元(20)包括:向X方向延伸并且沿标准单元(10)之间的边界而在Y方向上排列布置的多个第二鳍片(21a~21c、22a~22c)。第二鳍片(21a~21c、22a~22c)包括虚拟鳍片。



1. 一种半导体装置,其特征在于:具有:在第一方向上相邻而设并且分别包括鳍式晶体管的第一标准单元及第二标准单元,

所述第一标准单元包括第一栅极布线和多个第一鳍片,多个所述第一鳍片沿所述第一方向延伸,并且沿与所述第二标准单元之间的边界在与所述第一方向正交的第二方向上排列布置,所述第一栅极布线沿所述第二方向延伸且与多个所述第一鳍片正交,

所述第二标准单元包括至少一个有源鳍片和不对逻辑功能做贡献的常关晶体管,

所述常关晶体管包括第二栅极布线和多个虚拟鳍片,多个所述虚拟鳍片沿所述第一方向延伸,并且在所述第二方向上沿与所述第一标准单元之间的边界排列布置在与各个所述第一鳍片相对应的位置处,所述第二栅极布线沿所述第二方向延伸且与多个所述第一鳍片正交。

2. 根据权利要求1所述的半导体装置,其特征在于:

多个所述虚拟鳍片和所述第二栅极布线连接在电源线上。

3. 一种半导体装置,其特征在于:具有:包括鳍式晶体管的标准单元,

所述标准单元包括多个第一有源鳍片和多个第二有源鳍片,

多个所述第一有源鳍片沿第一方向延伸,并且沿所述标准单元的所述第一方向上的一端在与所述第一方向正交的第二方向上排列布置,

多个所述第二有源鳍片沿所述第一方向延伸,并且沿所述标准单元的所述第一方向上的另一端在所述第二方向上排列布置,

所述标准单元具有在所述第二方向上相邻而设的两个导电型区域,在一个导电型区域内,在多个所述第一有源鳍片与多个所述第二有源鳍片之间存在未布置有有源鳍片的无源鳍片区域,

在所述无源鳍片区域内,布置有构成常关晶体管的常关晶体管鳍片,

在另一个导电型区域布置有有源鳍片,所述有源鳍片与所述无源鳍片区域在所述第一方向上的位置相同。

4. 一种半导体装置,其特征在于:具有:包括鳍式晶体管的标准单元,

所述标准单元包括第一常关晶体管和多个有源鳍片,

多个所述有源鳍片在逻辑功能区域沿第一方向延伸,并且在与所述第一方向正交的第二方向上排列布置,

所述第一常关晶体管在所述逻辑功能区域与所述标准单元的所述第一方向上的一端之间,

所述第一常关晶体管包括第一栅极布线和多个第一虚拟鳍片,多个所述第一虚拟鳍片沿所述第一方向延伸,并且在所述第二方向上排列布置在与各个所述有源鳍片相对应的位置处,所述第一栅极布线沿所述第二方向延伸且与多个所述第一虚拟鳍片正交。

5. 根据权利要求4所述的半导体装置,其特征在于:

多个所述第一虚拟鳍片和所述第一栅极布线连接在电源线上。

6. 根据权利要求4所述的半导体装置,其特征在于:

所述半导体装置包括第二常关晶体管,所述第二常关晶体管在所述逻辑功能区域与所述标准单元的所述第一方向上的另一端之间,

所述第二常关晶体管包括第二栅极布线和多个第二虚拟鳍片,多个所述第二虚拟鳍片

沿所述第一方向延伸,并且在所述第二方向上排列布置在与各个所述有源鳍片相对应的位置处,所述第二栅极布线沿所述第二方向延伸且与多个所述第二虚拟鳍片正交。

7. 根据权利要求6所述的半导体装置,其特征在于:

多个所述第二虚拟鳍片和所述第二栅极布线连接在电源线上。

半导体装置

[0001] 本申请是申请日为2014年04月18日、申请号为201480048967.5、发明名称为“半导体装置”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种半导体装置,特别涉及一种通过利用标准单元方式的布局设计来形成的半导体集成电路。

背景技术

[0003] 作为在半导体衬底上形成半导体集成电路的方法的标准单元方式已为人所知。标准单元方式是指,将具有特定逻辑功能的基本单位(例如,反相器、锁存器、触发器(flip-flop)、全加器等)作为标准逻辑单元来预先准备好,并将多个标准逻辑单元布置在半导体衬底上后将这些标准逻辑单元之间用金属布线来连接起来,由此来设计LSI(Large Scale Integration,大规模集成电路)芯片的方式。

[0004] 图11是用于说明鳍式晶体管的结构图。鳍式晶体管的源极和漏极不同于现有二维结构的CMOS(Complementary Metal-Oxide Semiconductor,互补金属氧化物半导体),其具有被称为隆起的鳍片(fin)的立体结构。鳍式晶体管的栅极是以与鳍片正交的方式布置的,以便围住该鳍片。通过使晶体管具有这种结构,从而对于目前只在单一平面进行控制的控制沟道区域的方面而言,能够在栅极与鳍片接触的三个面进行控制。由此,对沟道的控制得到了大幅改善,因此,安装了鳍式晶体管的半导体集成电路的如减少漏功率、提高通态电流以及降低工作电压等性能会提高。

[0005] 在专利文献1中公开了一种使用鳍式晶体管来形成了标准单元的技术。

[0006] 专利文献1:美国专利第8258577号说明书

发明内容

[0007] -发明所要解决的技术问题-

[0008] 另一方面,鳍式晶体管的特性是,相比现有二维结构的CMOS晶体管更容易受到与相邻的晶体管之间的距离所带来的影响。具体而言,除了现有的OSE(OD-Spacing-Effect, OD间隔效应)所引发的电流特性的变动外,例如还因物理应力或者相对于硅(Si)面而言竖直而立的鳍片彼此之间的间隔而发生电流特性的变动和电容特性的变动。

[0009] 此外,标准单元(standard cell)中鳍片的位置会根据构成标准单元的逻辑、驱动力而不同。由此,当包括鳍式晶体管的标准单元以在左右方向上相邻的方式排列布置时,以夹住该相邻边界的方式布置的两个鳍片之间的间隔有时会根据所相邻的单元的种类而不同。由此,鳍式晶体管的特性存在波动,其结果是,具备所述标准单元的半导体装置的特性存在波动。

[0010] 此外,有时还存在如下情况,即:标准单元在左右方向上不相邻时(例如,标准单元排列在电路块的右边、左边的情况等),不存在与标准单元内的左右端部的鳍片相邻的鳍

片,从而,实质上鳍片彼此之间的间隔无穷大。

[0011] 要考虑这样的鳍片彼此之间的间隔的变动来进行设计,能够以预先将一定的余量加在各个电路(各个晶体管)的电容特性、电流特性中的方式来进行设计,然而因此而存在具备标准单元的半导体装置发生性能劣化、成本上升这样的问题。

[0012] 本发明是鉴于所述问题而完成的。其目的在于:就具备包括鳍式晶体管的标准单元的半导体装置而言,对由左右相邻的标准单元的种类引发的特性(例如,电流特性、电容特性等)变动的波动进行抑制,从而提高半导体装置的性能。

[0013] -用以解决技术问题的技术方案-

[0014] 本申请的第一方式的特征在于,半导体装置具有在第一方向上相邻而设并且分别包括鳍式晶体管的第一标准单元及第二标准单元,所述第一标准单元包括多个第一鳍片,多个所述第一鳍片沿所述第一方向延伸,并且沿与所述第二标准单元之间的边界在与所述第一方向正交的第二方向上排列布置;所述第二标准单元包括多个第二鳍片,多个所述第二鳍片沿所述第一方向延伸并且在所述第二方向上沿与所述第一标准单元之间的边界排列布置在与各个所述第一鳍片相对应的位置处;多个所述第二鳍片中的至少一个为不对逻辑功能做贡献的虚拟鳍片。

[0015] 根据该第一方式,夹住第一标准单元与第二标准单元的边界而相邻的各个第一鳍片和各个第二鳍片排列布置在相对应的位置处。上述所布置的多个第二鳍片中的至少一个为虚拟鳍片。由此,唯一地确定第一标准单元的各个第一鳍片与夹住单元边界而相邻的第二标准单元的各个第二鳍片之间的距离,该距离不会因第一标准单元及第二标准单元的种类而不同。由此,能够抑制由相邻的标准单元的种类引发的半导体装置的特性的波动。

[0016] 在本申请的第二方式中,半导体装置具有包括鳍式晶体管的标准单元,所述标准单元包括多个第一有源鳍片和多个第二有源鳍片,多个所述第一有源鳍片沿第一方向延伸,并且沿所述标准单元的所述第一方向上的一端在与所述第一方向正交的第二方向上排列布置,多个所述第二有源鳍片沿所述第一方向延伸,并且沿所述标准单元的所述第一方向上的另一端在所述第二方向上排列布置,所述标准单元具有在所述第二方向上相邻而设的两个导电型区域,在一个导电型区域内,在多个所述第一有源鳍片与多个所述第二有源鳍片之间存在未布置有有源鳍片的无源鳍片区域,在另一个导电型区域布置有有源鳍片,所述有源鳍片与所述无源鳍片区域在所述第二方向上的位置相同。

[0017] 根据该第二方式,多个第一有源鳍片以及多个第二有源鳍片沿标准单元的第一方向上的两端而分别在第二方向上排列布置。即,有源鳍片优先布置在沿标准单元的第一方向上的两端而设的位置处。另一方面,在一个导电型区域内,在沿两端布置的有源鳍片的内侧形成有无源鳍片区域(是可布置鳍片的区域,并且是未布置有有源鳍片的区域)。换言之,即使由例如标准单元的种类、标准单元内的各个晶体管的能力(例如驱动能力)等引发在一个导电型区域内出现无源鳍片区域等情况(例如,一个导电型区域中的晶体管的总尺寸小于另一个导电型区域中的晶体管的总尺寸的情况)下,有源鳍片也优先沿一个导电型区域的第一方向上的两端布置。由此,当将多个具有这样的结构的标准单元在第一方向上相邻地布置之际,对于各个第一有源鳍片以及各个第二有源鳍片中的每一个而言,唯一地确定夹住标准单元的边界而相邻的鳍片之间的距离,该距离不会因相邻的标准单元的种类而不同。由此,能够抑制由相邻的标准单元的种类引起的特性的波动,从而能够提高具备该标准

单元的半导体装置的性能。此时,例如,当除了在一个导电型区域之外,在另一个导电型区域内也存在无源鳍片区域的情况下,也优选为:在两个导电型区域内,有源鳍片优先沿第一方向上的两端布置。

[0018] 在本申请的第三方式的特征在于,半导体装置具有包括鳍式晶体管的标准单元,所述标准单元包括多个有源鳍片和多个第一虚拟鳍片,多个所述有源鳍片在逻辑功能区域沿第一方向延伸,并且在与所述第一方向正交的第二方向上排列布置,多个所述第一虚拟鳍片在所述逻辑功能区域与所述标准单元的所述第一方向上的一端之间沿所述第一方向延伸,并且在所述第二方向上排列布置在与各个所述有源鳍片相对应的位置处。

[0019] 根据该第三方式,就各个有源鳍片而言,在标准单元的第一方向上的一端侧存在第一虚拟鳍片,因此,在一端侧,唯一地确定各个有源鳍片与相邻的鳍片(例如第一虚拟鳍片)之间的距离,该距离不会因与所述标准单元相邻而设的单元(例如标准单元)的种类、单元的有无情况而不同。由此,无论相邻的单元的种类如何,都能够抑制逻辑功能区域的有源晶体管的特性的波动,从而能够提高具备本方式所涉及的标准单元的半导体装置的性能。

[0020] -发明的效果-

[0021] 在两个相邻的标准单元,唯一地确定在一个标准单元内沿相邻的边界而设的鳍片与在夹住该边界而相邻的另一个标准单元内沿相邻的边界而设的鳍片之间的距离,该距离不会因标准单元的种类而不同,因此,能够抑制由相邻的标准单元的种类引发的特性的波动。由此,能够提高具备所述标准单元的半导体装置的性能。

附图说明

[0022] 图1是表示多个在第一实施方式所涉及的半导体装置中使用的标准单元相邻而设的布局结构之例的俯视图。

[0023] 图2是表示第一实施方式所涉及的标准单元的布局结构之一例的俯视图。

[0024] 图3是表示第一实施方式所涉及的标准单元的布局结构之另一例的俯视图。

[0025] 图4是表示第一实施方式所涉及的标准单元的布局结构之另一例的俯视图。

[0026] 图5是表示第二实施方式所涉及的标准单元的布局结构之一例的俯视图。

[0027] 图6是表示第三实施方式所涉及的标准单元的布局结构之一例的俯视图。

[0028] 图7是表示标准单元的其它布局结构之例的俯视图。

[0029] 图8是表示标准单元的其它布局结构之例的俯视图。

[0030] 图9是表示标准单元的其它布局结构之例的俯视图。

[0031] 图10是表示标准单元的其它布局结构之例的俯视图。

[0032] 图11是用于说明鳍式晶体管的结构图。

[0033] -符号说明-

[0034]	10、30	标准单元(第一标准单元)
[0035]	20A、20B、20C、20D	标准单元(第一标准单元、第二标准单元)
[0036]	40、50、50A、50B、50C	标准单元
[0037]	11a、11b、11c、12a、12b、12c	有源鳍片(第一鳍片)
[0038]	21a、21b、21c、22a、22b、22c、23a、23b、23c、24a、24b、24c	虚拟鳍片(第一鳍片、第二鳍片)
[0039]	31a、31b、31c、32a、32b、32c	有源鳍片(第一鳍片)

[0040]	41a、41b、41c	有源鳍片(第一有源鳍片)
[0041]	43a、43b、43c	有源鳍片(第二有源鳍片)
[0042]	51a、51b、52a、52b、52c	虚拟鳍片(第一虚拟鳍片)
[0043]	53a、53b、54a、54b、54c	虚拟鳍片(第二虚拟鳍片)
[0044]	61、62	电容元件
[0045]	61a、61b、62a、62b、62c	虚拟鳍片(电容鳍片)
[0046]	71、72	常关晶体管
[0047]	71a、71b、72a、72b、72c	虚拟鳍片(常关晶体管鳍片)
[0048]	AR45、AR46	逻辑功能区域(导电型区域)
[0049]	AR47	无源鳍片区域
[0050]	AR53	逻辑功能区域

具体实施方式

[0051] 下面,参照附图对本发明的实施方式进行详细说明。在下面的实施方式中,半导体集成电路装置具备多个标准单元,上述多个标准单元中的至少一部分使用鳍式晶体管。需要说明的是,有时会省略针对实质上相同结构的重复说明。

[0052] 此外,在本说明书中,将对标准单元的逻辑功能做贡献的晶体管称为“有源晶体管”,将不对标准单元的逻辑功能做贡献的晶体管称为“无源晶体管”。而且,将构成“有源晶体管”的鳍片称为“有源鳍片”,将“有源鳍片”以外的鳍片称为“虚拟鳍片”。即,“虚拟鳍片”是指构成“无源晶体管”的鳍片或者不构成晶体管的鳍片。

[0053] (第一实施方式)

[0054] 图1是表示多个在第一实施方式所涉及的半导体装置中使用的标准单元相邻而设的布局结构之例的俯视图。具体而言,分别包括鳍式晶体管的五个标准单元10、20A、20B、20C、30在作为第一方向的附图中的横向(X方向)上相邻而设。在图1和其它俯视图中,由鳍片和形成在该鳍片上的栅极构成鳍式晶体管。局部布线在当俯视时与鳍片或者栅极重叠的部分形成为与鳍片或者栅极中的上侧部分抵接,从而电连接。金属布线位于局部布线的上层,并经由接触部(contact)与局部布线连接。需要说明的是,在图1中,为了便于观察,对鳍片标出了阴影。然而,对于位于栅极下侧的部分则未标出阴影。此外,对局部布线和金属布线也标出了不同种类的阴影,对于金属布线与局部布线在接触部连接的部分则用涂黑的方式来表示。这一点在其它俯视图中也是一样的。

[0055] 在此,在图1中,假设在各个标准单元10、20A、20B、20C、30内可在作为第二方向的附图中纵向(Y方向)上布置(描绘)的鳍片数量的最大值(附图中纵向上的鳍片数量)为6。这一点在其它俯视图中也是一样的。

[0056] 此外,在本方式中,为了便于说明而示出了所有标准单元10、20A、20B、20C、30均为双输入NAND(与非)单元的例子,然而并不限于此,它们还可以分别为其它单元(反相器单元、AND(与)单元、OR(或)单元、NOR(或非)单元、复合单元、触发器等)。这一点在其它实施方式中也是一样的。

[0057] 标准单元10(第一标准单元)包括:沿附图中的横向从一端部延伸到另一端部并且在附图中的纵向上排列布置的多个有源鳍片11a、11b、11c、12a、12b、12c(第一鳍片)。即,有

源鳍片11a、11b、11c、12a、12b、12c沿与标准单元20A之间的边界而在附图中的纵向上排列布置。

[0058] 在标准单元10中,栅极布线G11、G12沿附图中的纵向延伸,在附图中的横向上排列布置有两条栅极布线G11、G12,两条栅极布线G11、G12在有源鳍片11a、11b、11c、12a、12b、12c的中间部分分别与上述有源鳍片11a、11b、11c、12a、12b、12c正交。栅极布线G11与输入布线e11连接,输入信号A1经由该输入布线e11加在栅极布线G11上。同样地,栅极布线G12与输入布线e12连接,输入信号B1经由该输入布线e12加在栅极布线G12上。

[0059] 在标准单元10中,将输出信号Y1输出的输出布线e13在栅极布线G11、G12之间与有源鳍片11a、11b、11c连接。此外,有源鳍片11a、11b、11c的附图中的横向上的两个端部经由分别沿附图中的纵向延伸的连接布线e14、e15连接在电源线(例如电源)V1上。此外,输出布线e13与有源鳍片12a、12b、12c的附图中的横向上的一端部连接。有源鳍片12a、12b、12c的附图中的横向上的另一端部经由沿附图中的纵向延伸的连接布线e16连接在电源线(例如地线)V2上。

[0060] 如图2所示,标准单元20A(第二标准单元)包括布置在逻辑功能区域AR23的NAND单元。假设逻辑功能区域是指,布置有如NAND单元那样实现逻辑功能的有源晶体管(有源鳍片)的区域。NAND单元的构成方式与标准单元10类似,而附图中纵向上的上侧中有源鳍片的数量则不同。具体而言,不同点在于,图1中有三个有源鳍片、即有源鳍片11a、11b、11c,相对于此,图2中有两个有源鳍片、即有源鳍片11a、11b。

[0061] 标准单元20A包括多个虚拟鳍片21a、21b、21c、22a、22b、22c(第二鳍片),上述的虚拟鳍片21a、21b、21c、22a、22b、22c沿附图中的横向延伸并且在逻辑功能区域AR23与附图中的横向上的一端(例如左端)之间(区域AR21),以与标准单元10的有源鳍片11a、11b、11c、12a、12b、12c相对应的方式(例如,以当两个标准单元10、20A相邻而设时附图中的纵向上的位置实质上相同的方式),在附图中的纵向上排列布置的。即,虚拟鳍片21a、21b、21c、22a、22b、22c是沿与标准单元10之间的边界而在附图中的纵向上排列布置的。在此,假设“附图中纵向上的位置实质上相同”包括附图中纵向上的位置因设计、制造上的误差等而稍微偏移的情况。

[0062] 此外,标准单元20A包括多个虚拟鳍片23a、23b、23c、24a、24b、24c,上述的虚拟鳍片23a、23b、23c、24a、24b、24c在逻辑功能区域AR23与附图中的横向上的另一端(例如右端)之间(区域AR22)沿附图中的横向延伸,且在附图中的纵向上排列布置。即,虚拟鳍片23a、23b、23c、24a、24b、24c是沿与标准单元20B之间的边界而在附图中的纵向上排列布置的。

[0063] 如图3所示,标准单元20B包括布置在逻辑功能区域AR23的NAND单元。NAND单元的构成方式与标准单元20A类似,而附图中纵向上的上下两侧的有源鳍片的数量则不同。具体而言,不同点在于,图2中上侧的有源鳍片数量为两个、即有源鳍片11a、11b,相对于此,图3中上侧的有源鳍片数量为一个、即有源鳍片11a。此外,图2中下侧的有源鳍片数量为三个、即有源鳍片12a、12b、12c,相对于此,图3中下侧的有源鳍片数量为一个、即有源鳍片12c。

[0064] 与标准单元20A相同,标准单元20B包括:在区域AR21中沿附图中的横向延伸并在附图中的纵向上排列布置的多个虚拟鳍片21a、21b、21c、22a、22b、22c;以及在区域AR22中沿附图中的横向延伸并在附图中的纵向上排列布置的多个虚拟鳍片23a、23b、23c、24a、24b、24c。

[0065] 在此,如上所述,在标准单元20A、20B中省略了逻辑功能区域AR23的有源鳍片11c。由此,在附图中的横向上,在单元的内侧(逻辑功能区域AR23),对于夹住标准单元20A、20B的边界而左右相邻的标准单元20A的虚拟鳍片23c和标准单元20B的虚拟鳍片21c这两者而言都不存在有源鳍片。在这种情况下,也可以省略标准单元20A的虚拟鳍片23c和标准单元20B的虚拟鳍片21c。

[0066] 另一方面,通常,标准单元的设计是在电路整体的布局(layout)之前进行的,由于在进行整体布局时适当地布置所设计的上述单元,因此,有时在设计完标准单元时尚不清楚相邻的单元的种类。因此,如图1所示,也可以在标准单元20A、20B、20C内预先沿附图中的纵向上排列布置可布置(描绘)的最大数量的虚拟鳍片。由此,设计便利性提高。需要说明的是,示出了如下例子,即:在标准单元20A、20B内在附图中的纵向上排列布置了可布置(描绘)的最大数量的虚拟鳍片。

[0067] 需要说明的是,在此布置在标准单元20A、20B中区域AR21、AR22内的鳍片均是虚拟鳍片,然而并不限于此。例如,如图4所示的标准单元20C那样,布置在区域AR21、AR22内的鳍片中的一部分也可以是有源鳍片。

[0068] 如图4所示,标准单元20C包括布置在逻辑功能区域AR23的NAND单元。此外,构成NAND单元的有源鳍片12b、12c沿附图中的横向从标准单元20C的一端部延伸到另一端部(从区域AR21经由逻辑功能区域AR23到区域AR22为止)。

[0069] 在标准单元20C,栅极布线G13在区域AR21与逻辑功能区域AR23的边界以沿附图中的纵向延伸的方式布置。栅极布线G14在区域AR22与逻辑功能区域AR23的边界以沿附图中的纵向延伸的方式布置。即,四条栅极布线G11、G12、G13、G14与有源鳍片12b、12c正交。输入布线e11连接在栅极布线G11、G13上,输入信号A1经由该输入布线e11输入至栅极布线G11、G13。同样地,输入布线e12连接在栅极布线G12、G14上,输入信号B1经由该输入布线e12输入至栅极布线G12、G14。

[0070] 在标准单元20C,有源鳍片12a、12b、12c中的栅极布线G11与栅极布线G12之间的中间部分通过沿附图中的纵向延伸的连接布线e17相连。连接布线e17经由沿附图中的横向延伸的连接布线e18以及在区域AR21内沿附图中的纵向延伸的连接布线e19,来与区域AR21侧的有源鳍片12b、12c的端部连接。而且,连接布线e17经由沿附图中的横向延伸的连接布线e18以及在区域AR22内沿附图中的纵向延伸的连接布线e20,来与区域AR22侧的有源鳍片12b、12c的端部连接。而且,有源鳍片12a、12b、12c中的栅极布线G13与栅极布线G11之间的中间部分通过沿附图中的纵向延伸的连接布线e16与电源线V2连接。

[0071] 标准单元20C包括:在区域AR21内沿附图中的横向延伸并且在附图中的纵向上排列布置的多个虚拟鳍片21a、21b、21c、22a;以及在区域AR22内沿附图中的横向延伸并且在附图中的纵向上排列布置的多个虚拟鳍片23a、23b、23c、24a。即,就标准单元20C而言,若与标准单元20A、20B相比,在区域AR21内省略设置虚拟鳍片22b、22c,而有源鳍片12b、12c的一端部向所省略设置的部分延伸。同样地,在区域AR22内省略设置虚拟鳍片24b、24c,而有源鳍片12b、12c的另一端部向所省略设置的部分延伸。

[0072] 在图1中,标准单元30包括:沿附图中的横向从一端部延伸到另一端部并且在附图中的纵向上排列布置的多个有源鳍片31a、31b、31c、32a、32b、32c。即,有源鳍片31a、31b、31c、32a、32b、32c沿与标准单元20C之间的边界而在附图中的纵向上排列布置。

[0073] 如上所述,根据本实施方式,在附图中的横向上相邻的标准单元中,沿标准单元的边界布置的鳍片是以在附图中的纵向上的位置分别相对应的方式布置的。其结果是,唯一地确定夹住标准单元的边界而相邻的鳍片之间的距离,该距离不会因相邻的标准单元的种类而不同。由此,能够抑制由相邻的标准单元的种类引发的特性的波动,从而能够提高具备该标准单元的半导体装置的性能。进而,由于能够减少加给半导体装置的各个电路的电容特性、电流特性的余量,因此能够抑制成本上升。

[0074] (第二实施方式)

[0075] 图5是表示第二实施方式所涉及的标准单元的布局之一例的俯视图。

[0076] 在图5中,AR45、AR46表示逻辑功能区域,在上述的区域AR45、AR46布置有由鳍式晶体管构成的NAND单元。逻辑功能区域AR45例如表示第一导电型(例如p型)的导电型区域,逻辑功能区域AR46例如表示与第一导电型不同的第二导电型(例如n型)的导电型区域。在本方式中,假设:标准单元40是矩形单元,用于逻辑功能区域AR46的第二导电型的各个有源晶体管的尺寸大于用于逻辑功能区域AR45的第一导电型的各个有源晶体管的尺寸。即,假设:虽然鳍片能够布置在逻辑功能区域AR45,然而在逻辑功能区域AR45存在未布置有有源鳍片的无源鳍片区域。AR47表示无源鳍片区域,在图5中总共有12处。需要说明的是,在图5中,例如无源鳍片区域的出现并不限于所述情况。例如,有时无源鳍片区域还因构成标准单元的逻辑种类而出现。例如,当第一导电型的各个有源晶体管的尺寸与逻辑功能区域AR46的第二导电型的各个有源晶体管的尺寸相等的情况下,也会在用于各个区域的晶体管的数量不同时出现不存在有源鳍片的无源鳍片区域。此外,有时还因各个有源晶体管所使用的鳍片数量而出现无源鳍片区域。

[0077] 标准单元40包括:沿附图中的横向从左端部延伸至单元的中间的靠左侧的位置处并且沿标准单元40的左端而在附图中的纵向上排列布置的多个有源鳍片41a、41b、41c(第一有源鳍片);以及沿附图中的横向从右端部延伸至单元的中间的靠右侧的位置处并且沿标准单元40的右端而在附图中的纵向上排列布置的多个有源鳍片43a、43b、43c(第二有源鳍片)。在此,多个有源鳍片41a、41b、41c与多个有源鳍片43a、43b、43c是以附图中纵向上的位置相对应的方式(例如,以附图中纵向上的位置实质上相同的方式)布置的。在此,假设“附图中纵向上的位置实质上相同”包括附图中纵向上的位置因设计、制造上的误差等而稍微偏移的情况,这一点在以下的说明中也是一样的。

[0078] 此外,标准单元40包括:在逻辑功能区域AR46内从附图中横向上的一端部延伸到另一端部并在附图中的纵向上排列布置的多个有源鳍片42a、42b、42c。

[0079] 在标准单元40,栅极布线G41~G48沿附图中的纵向延伸并且在附图中的横向上相隔规定间距地布置。各条栅极布线G41、G42在有源鳍片41a、41b、41c的附图中横向上的中间部分分别与上述有源鳍片41a、41b、41c正交,并且,各条栅极布线G41、G42在有源鳍片42a、42b、42c的靠左端部的部分分别与上述有源鳍片42a、42b、42c正交。栅极布线G43~G46在无源鳍片区域AR47、AR47...内不与任何鳍片正交,而在逻辑功能区域AR46内,各条栅极布线G43~G46在有源鳍片42a、42b、42c的附图中的横向上的中间部分分别与上述有源鳍片42a、42b、42c正交。各条栅极布线G47、G48在有源鳍片43a、43b、43c的附图中横向上的中间部分分别与上述有源鳍片43a、43b、43c正交,并且,各条栅极布线G47、G48在有源鳍片42a、42b、42c的靠右端部的部分分别与上述有源鳍片42a、42b、42c正交。沿附图中的横向延伸的输入

布线e41与栅极布线G41~G44连接,输入信号A4经由该输入布线e41加在栅极布线G41~G44上。同样地,沿附图中的横向延伸的输入布线e42与栅极布线G45~G48连接,输入信号B4经由该输入布线e42加在栅极布线G45~G48上。

[0080] 在标准单元40,将输出信号Y4输出的输出布线e43在栅极布线G41、G42之间与有源鳍片41a、41b、41c连接。此外,有源鳍片41a、41b、41c的附图中的横向上的两个端部经由分别沿附图中的纵向延伸的连接布线e44a、e44b与电源线V1连接。同样地,输出布线e43在栅极布线G47、G48之间与有源鳍片43a、43b、43c连接。此外,有源鳍片43a、43b、43c的附图中的横向上的两个端部经由分别沿附图中的纵向延伸的连接布线e45a、e45b与电源线V1连接。此外,输出布线e13在栅极布线G45、G46之间以及栅极布线G47、G48之间经由沿附图中的纵向延伸的连接布线e46a、e46b与有源鳍片42a、42b、42c连接。

[0081] 在标准单元40,有源鳍片42a、42b、42c中的右端与栅极布线G48之间的中间部分通过沿附图中的纵向延伸的连接布线e47a相连,有源鳍片42a、42b、42c中的栅极布线G46与栅极布线G47之间的中间部分通过沿附图中的纵向延伸的连接布线e47b相连。连接布线e47a、e47b经由沿附图中的横向延伸的连接布线e48、沿附图中的纵向延伸的连接布线e49以及沿附图中的横向延伸的连接布线e50,来与沿附图中的纵向延伸的连接布线e51a、e51b连接。连接布线e51a连接在有源鳍片42a、42b、42c中的左端与栅极布线G41之间的中间部分上,连接布线e51b连接在有源鳍片42a、42b、42c中的栅极布线G42与栅极布线G43之间的中间部分上。另外,有源鳍片42a、42b、42c中的栅极布线G41与栅极布线G42之间的中间部分通过沿附图中的纵向延伸的连接布线e52a连接在电源线V2上,有源鳍片42a、42b、42c中的栅极布线G43与栅极布线G44之间的中间部分通过沿附图中的纵向延伸的连接布线e52b连接在电源线V2上。

[0082] 如上所述,在本方式中,当在逻辑功能区域AR45出现无源鳍片区域AR47、AR47、...之际,优先将有源鳍片布置在标准单元40的沿附图中的横向上的两端而设的位置处。同样地,在逻辑功能区域AR46,有源鳍片布置在标准单元40的沿附图中的横向上的两端而设的位置处。通过使标准单元具有这样的结构,从而当将多个标准单元在附图中的横向上相邻地布置之际,唯一地确定夹住标准单元的边界而相邻的鳍片之间的距离,而该距离不会因相邻的标准单元的种类而不同。由此,能够抑制由相邻的标准单元的种类引发的特性的波动,从而能够提高具备该标准单元的半导体装置的性能。

[0083] 需要说明的是,在第二实施方式中,对在无源鳍片区域AR47、AR47、...内不存在鳍片的例子进行了说明,然而并不限于此。例如,也可以向区域AR47、AR47、...内插入不对标准单元的逻辑功能做贡献的虚拟鳍片(未图示)。进而,可作为该虚拟鳍片来插入的鳍片例如包括:构成二极管元件(例如天线二极管(antenna diode))的二极管鳍片(diode fin)、构成电容元件的电容鳍片(capacitive fin)、构成常关晶体管(无源晶体管,OFF-state Transistor)的常关晶体管鳍片(OFF-state transistor fin)等。

[0084] 此外,以在逻辑功能区域AR46,三个有源鳍片42a、42b、42c均沿附图中的横向而在标准单元40的两个端部之间延伸的情况为例进行了说明,然而也可以为:一个有源鳍片跨越在标准单元40的两个端部之间而延伸。在该情况下,优选在沿标准单元40的左右端而设的位置处优先布置剩余的两个有源鳍片。此外,跨越在标准单元40的两个端部之间而延伸的各个有源鳍片无需在整个区域上连续地设置,还可以切除其中间的一部分。

[0085] (第三实施方式)

[0086] 图6是表示第三实施方式所涉及的标准单元的布局之一例的俯视图。

[0087] 在图6中,AR53表示逻辑功能区域,由鳍式晶体管构成的NAND单元布置在AR53。NAND单元的构成方式与标准单元20A类似。

[0088] 标准单元50包括多个虚拟鳍片51a、51b、52a、52b、52c(第一虚拟鳍片),上述的虚拟鳍片51a、51b、52a、52b、52c沿附图中的横向延伸并且在逻辑功能区域AR53与附图中横向上的一端(左端)之间(区域AR51)布置在与构成NAND单元的有源鳍片11a、11b、12a、12b、12c相对应的位置处,上述的虚拟鳍片51a、51b、52a、52b、52c在附图中的纵向上排列布置。同样地,标准单元50包括多个虚拟鳍片53a、53b、54a、54b、54c(第二虚拟鳍片),上述的虚拟鳍片53a、53b、54a、54b、54c沿附图中的横向延伸并且在逻辑功能区域AR53与附图中横向上的另一端(右端)之间(区域AR52)布置在与构成NAND单元的有源鳍片11a、11b、12a、12b、12c相对应的位置处,上述的虚拟鳍片53a、53b、54a、54b、54c在附图中的纵向上排列布置。具体而言,例如,多个虚拟鳍片51a、51b、52a、52b、52c以及多个虚拟鳍片53a、53b、54a、54b、54c是在附图中纵向上的位置实质上与有源鳍片11a、11b、12a、12b、12c相同的方式布置的。在此,假设“附图中纵向上的位置实质上相同”包括附图中纵向上的位置因设计、制造上的误差等而稍微偏移的情况。

[0089] 由此,由于在附图中的横向上各个有源鳍片的单元两端侧分别存在虚拟鳍片,因此唯一地确定各个有源鳍片与相邻的鳍片(虚拟鳍片)之间的距离,该距离不会因与该标准单元相邻而设的单元(例如标准单元)的种类、以及单元的有无情况而不同。由此,无论相邻的单元的种类如何,都能抑制逻辑功能区域的有源晶体管的特性的波动,从而能够提高具备本方式所涉及的标准单元的半导体装置的性能。

[0090] 需要说明的是,在本方式中,逻辑功能区域AR53内的所有有源鳍片均在附图中的横向上是连续的,然而还可以切除其中的一部分。此外,标准单元50也可以包括鳍片数量不同的多个有源晶体管。在该情况下,优选为区域AR51、AR52内的虚拟鳍片排列布置在与所有有源晶体管的有源鳍片相对应的位置处。

[0091] 需要说明的是,图6中在区域AR51、AR52布置了虚拟鳍片,然而例如也可以只在一侧的区域(区域AR51或区域AR52)布置虚拟鳍片。然而,例如就对提供时钟、分频等做贡献的时钟单元等要求精度的标准单元而言,优选如标准单元50那样在单元两侧的区域AR51、AR52布置虚拟鳍片。

[0092] (其它实施方式)

[0093] 以上,将第一实施方式~第三实施方式作为在本申请中公开的技术的示例而进行了说明。然而,本申请所涉及的技术并不限于此,其还可以适用于进行了适当的改变、替换、追加、省略等的实施方式中。下面,示例性地示出其它实施方式。

[0094] 图7~图10是表示本申请所涉及的标准单元的其它布局结构之例的俯视图。

[0095] 图7的标准单元50A是将图6的标准单元50中的区域AR51的虚拟鳍片52a、52b、52c以及区域AR52的虚拟鳍片54a、54b、54c改为构成天线二极管的二极管鳍片而得到的。

[0096] 具体而言,区域AR51的虚拟鳍片52a、52b、52c(二极管鳍片)连接在沿附图中的纵向延伸的连接布线e63上,并经由沿附图中的横向延伸的连接布线e61连接在输入布线e11上。此外,区域AR52的虚拟鳍片54a、54b、54c(二极管鳍片)连接在沿附图中的纵向延伸的连

接布线e64上,并经由沿附图中的横向延伸的连接布线e62连接在输入布线e12上。

[0097] 由此,能够在不增加电路面积的情况下将天线二极管从标准单元50连接至NAND单元的输入端子上。需要说明的是,天线二极管也可以连接在NAND单元的输入端子以外的部位。例如,可以连接在相邻的标准单元的输入端子上,当在标准单元内存在其它输入端子的情况下也可以连接在该输入端子上。

[0098] 此外,也可以在图2~图4的标准单元20A、20B、20C内将虚拟鳍片中的至少一个改为天线二极管。图8的标准单元20D表示图2的标准单元20A的区域AR21的虚拟鳍片22a、22b、22c以及区域AR22的虚拟鳍片24a、24b、24c为构成天线二极管的二极管鳍片的例子。

[0099] 由此,与图7的标准单元50A同样,能够在不增加电路面积的情况下将天线二极管从标准单元20A连接至NAND单元的输入端子上。

[0100] 图9的标准单元50B是将图6的标准单元50中的区域AR51的虚拟鳍片51a、51b、52a、52b、52c改为构成天线二极管的二极管鳍片并且将区域AR52的虚拟鳍片53a、53b、54a、54b、54c改为构成电容元件61、62的虚拟鳍片61a、61b、62a、62b、62c(电容鳍片)而得到的。

[0101] 具体而言,区域AR51的虚拟鳍片51a、51b连接在沿附图中的纵向延伸的连接布线e66上,并且经由沿附图中的横向延伸的连接布线e65以及沿附图中的纵向延伸的连接布线e64而连接在输入布线e12上。区域AR51的虚拟鳍片52a、52b、52c连接在沿附图中的纵向延伸的连接布线e63上,并且经由沿附图中的横向延伸的连接布线e61而连接在输入布线e11上。

[0102] 在图9中,电容元件61包括虚拟鳍片61a、61b以及栅极布线G61。栅极布线G61沿附图中的纵向延伸并且布置成在虚拟鳍片61a、61b的中间部分分别与上述的虚拟鳍片61a、61b正交。此外,栅极布线G61经由沿附图中的横向延伸的连接布线e65以及沿附图中的纵向延伸的连接布线e66而连接在电源线V2上。此外,虚拟鳍片61a、61b在附图中的横向上的两个端部经由分别沿附图中的纵向延伸的连接布线e68、e69而连接在电源线V1上。

[0103] 同样,电容元件62包括虚拟鳍片62a、62b、62c以及栅极布线G62。栅极布线G62沿附图中的纵向延伸并且布置成在虚拟鳍片62a、62b、62c的中间部分分别与上述的虚拟鳍片62a、62b、62c正交。栅极布线G62经由沿附图中的横向延伸的连接布线e67以及上述的连接布线e68而连接在电源线V1上。此外,虚拟鳍片62a、62b、62c在附图中的横向上的两个端部经由沿附图中的纵向延伸的连接布线e70以及上述的连接布线e66而分别与电源线V2连接。

[0104] 通过具有这样的结构,能够抑制当在标准单元50内追加电容元件之际电路面积增加。需要说明的是,图2~图4的标准单元20A、20B、20C也可以与图9同样地将虚拟鳍片中的至少一个改为构成电容元件的电容鳍片。

[0105] 图10的标准单元50C表示在图6的标准单元50中的区域AR51、AR52布置了常关晶体管71、72、71、72的例子。

[0106] 在标准单元50C,常关晶体管71包括虚拟鳍片71a、71b(常关晶体管鳍片)以及栅极布线G71。虚拟鳍片71a、71b沿附图中的横向延伸并且以与有源鳍片11a、11b相对应的方式在附图中的纵向上排列布置。栅极布线G71连接在沿附图中的横向延伸的连接布线e71a上,虚拟鳍片71a、71b以及连接布线e71a在附图中的横向上的两个端部通过沿附图中的纵向延伸的连接布线e71B、e71c而分别连接在电源线V1上。常关晶体管72包括虚拟鳍片72a、72b、72c(常关晶体管鳍片)以及栅极布线G72。虚拟鳍片72a、72b、72c沿附图中的横向延伸并且

以与有源鳍片12a、12b、12c相对应的方式在附图中的纵向上排列布置。栅极布线G72连接在沿附图中的横向延伸的连接布线e72a上,虚拟鳍片72a、72b、72c以及连接布线e72a在附图中的横向上的两个端部通过沿附图中的纵向延伸的连接布线e72b、e72c而分别连接在电源线V2上。

[0107] 通过具有这样的结构,在向标准单元50追加常关晶体管的情况下也能够抑制电路面积增加。需要说明的是,在图2~图4的标准单元20A、20B、20C中也可以与图10同样地将虚拟鳍片中的至少一个改为构成常关晶体管的常关晶体管鳍片。

[0108] -产业实用性-

[0109] 本申请能够提供对由左右相邻的标准单元的种类引发的特性(例如,电流特性、电容特性等)变动的波动进行了抑制的半导体装置,因此例如对于提高安装在各种电子设备上的半导体装置的性能等方面有用。

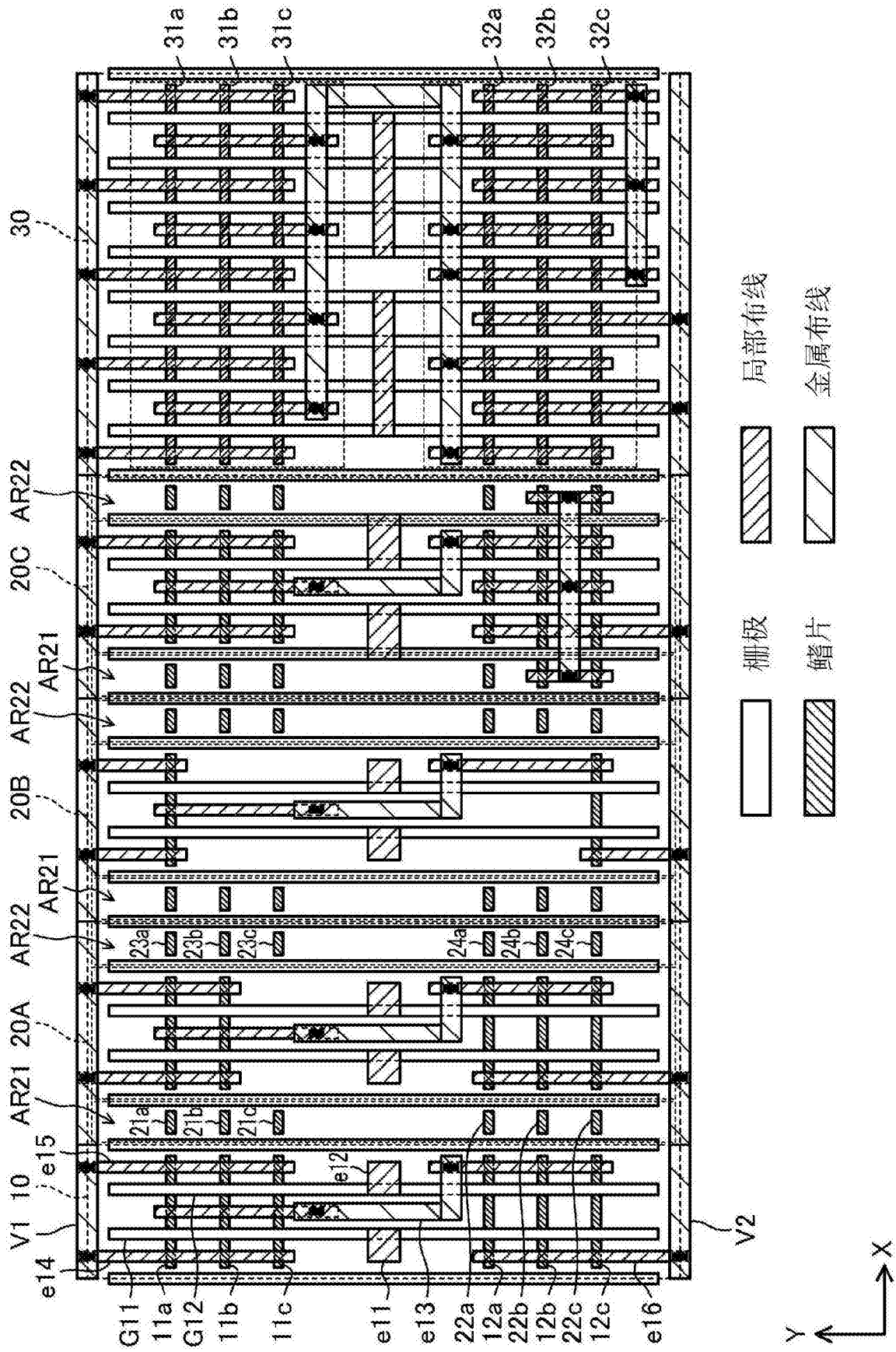


图1

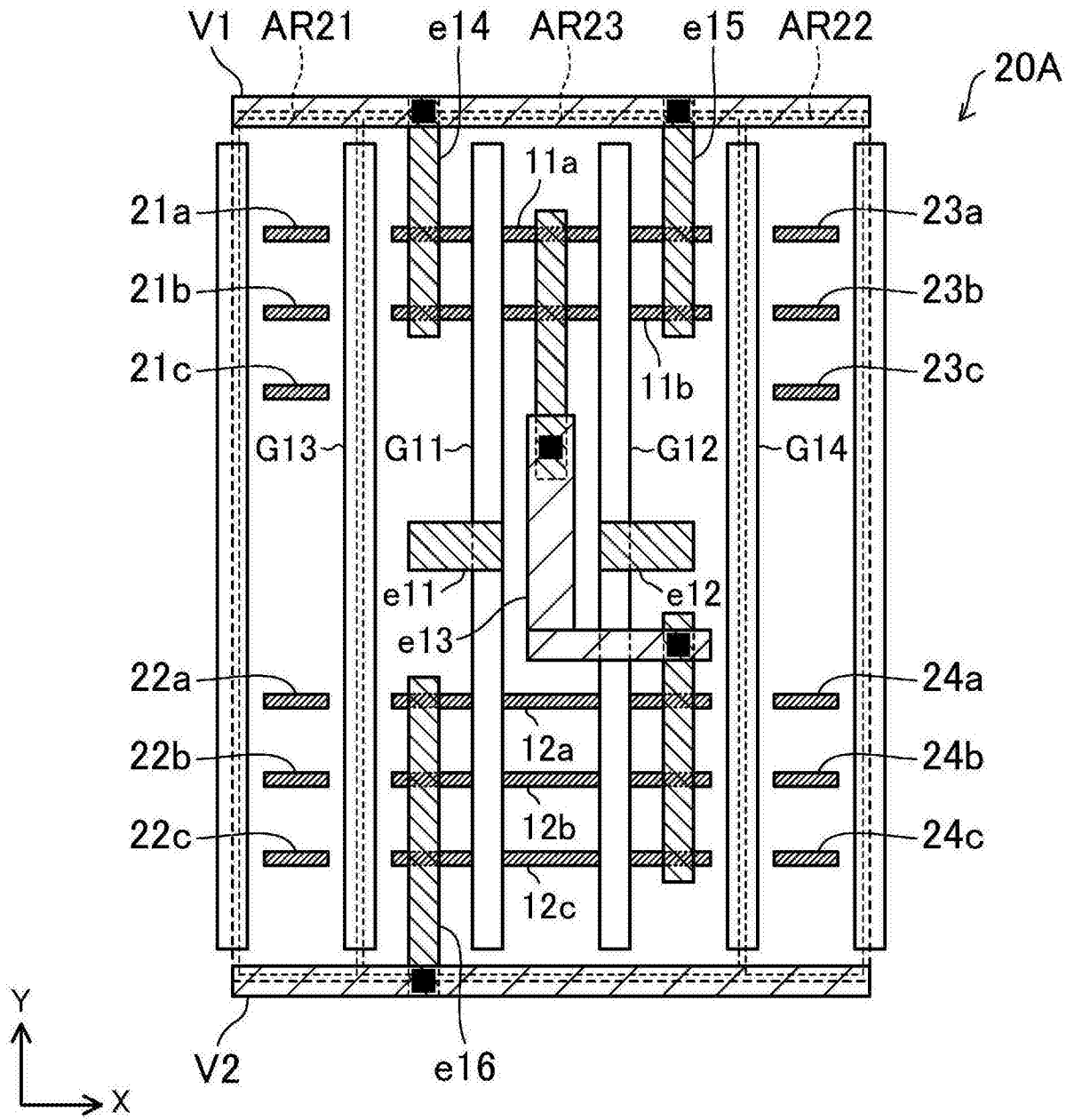


图2

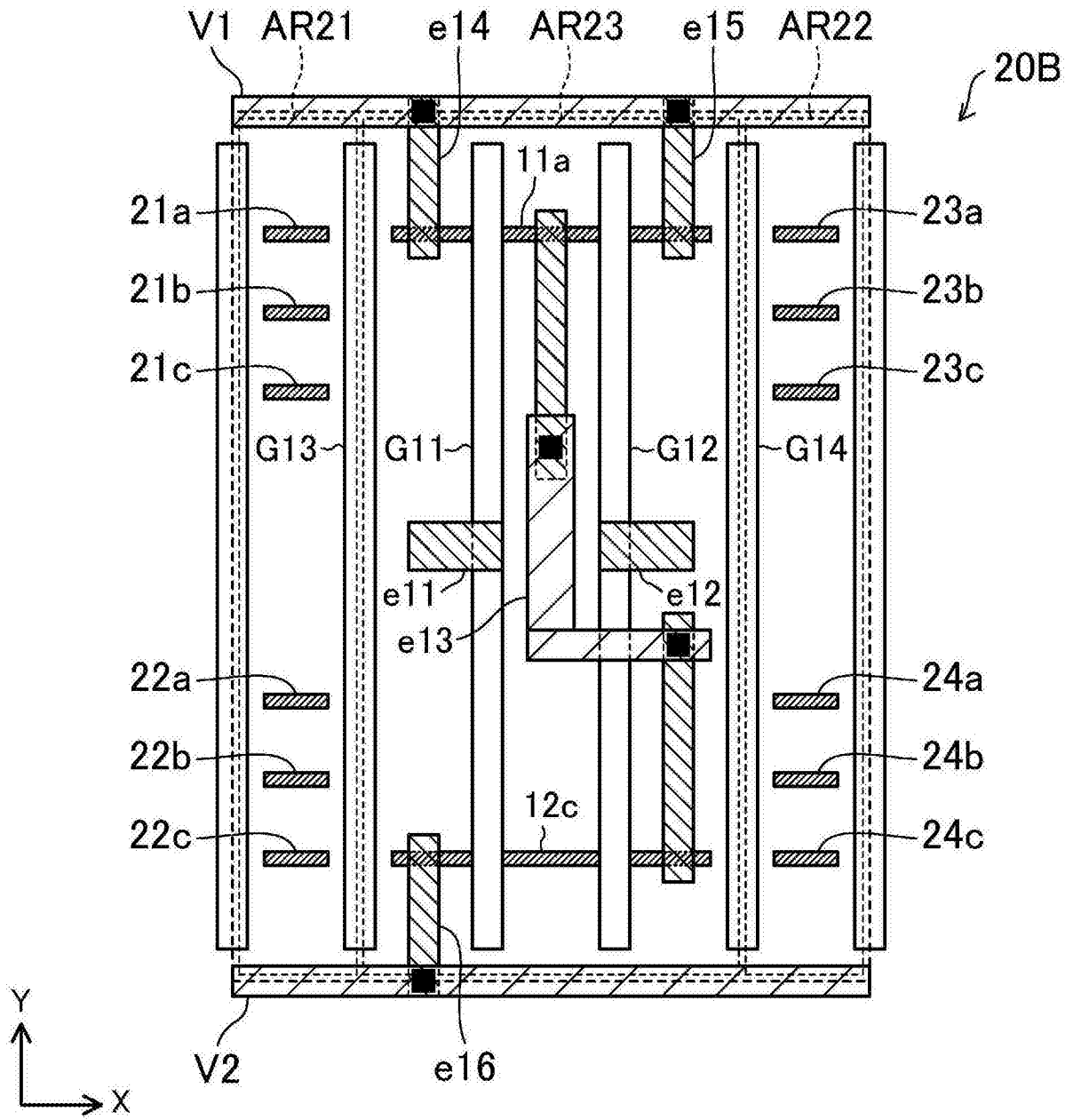


图3

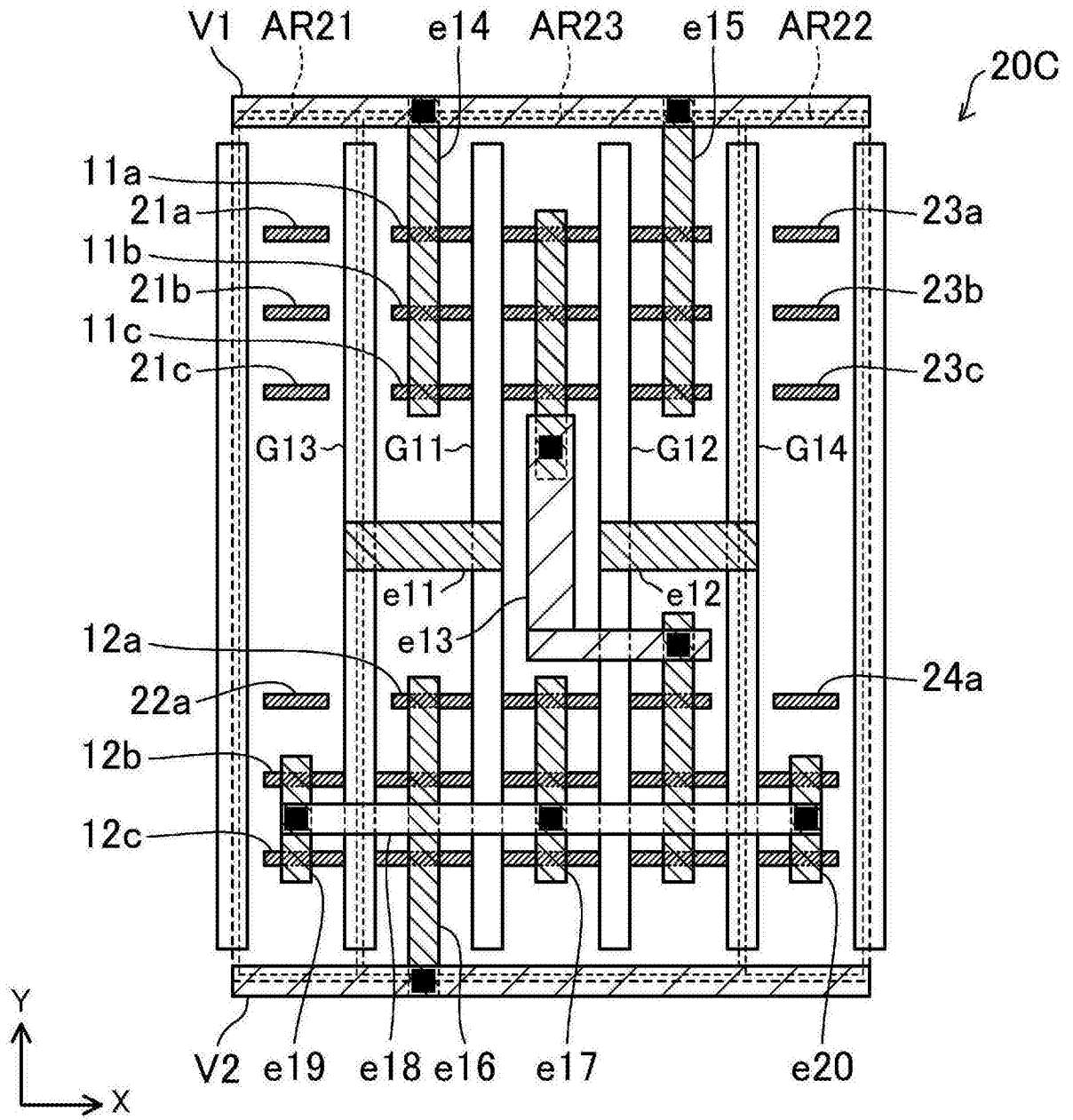


图4

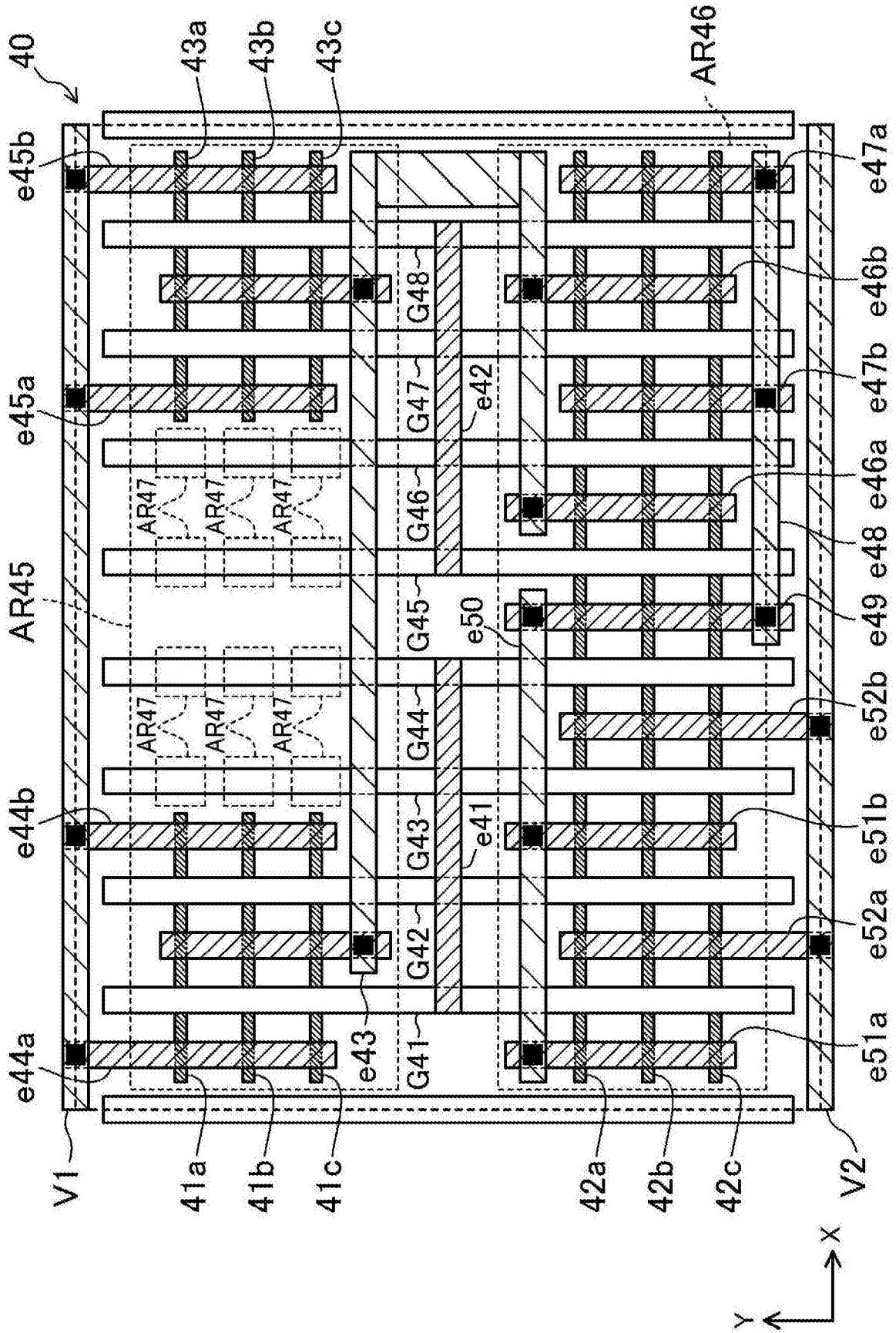


图5

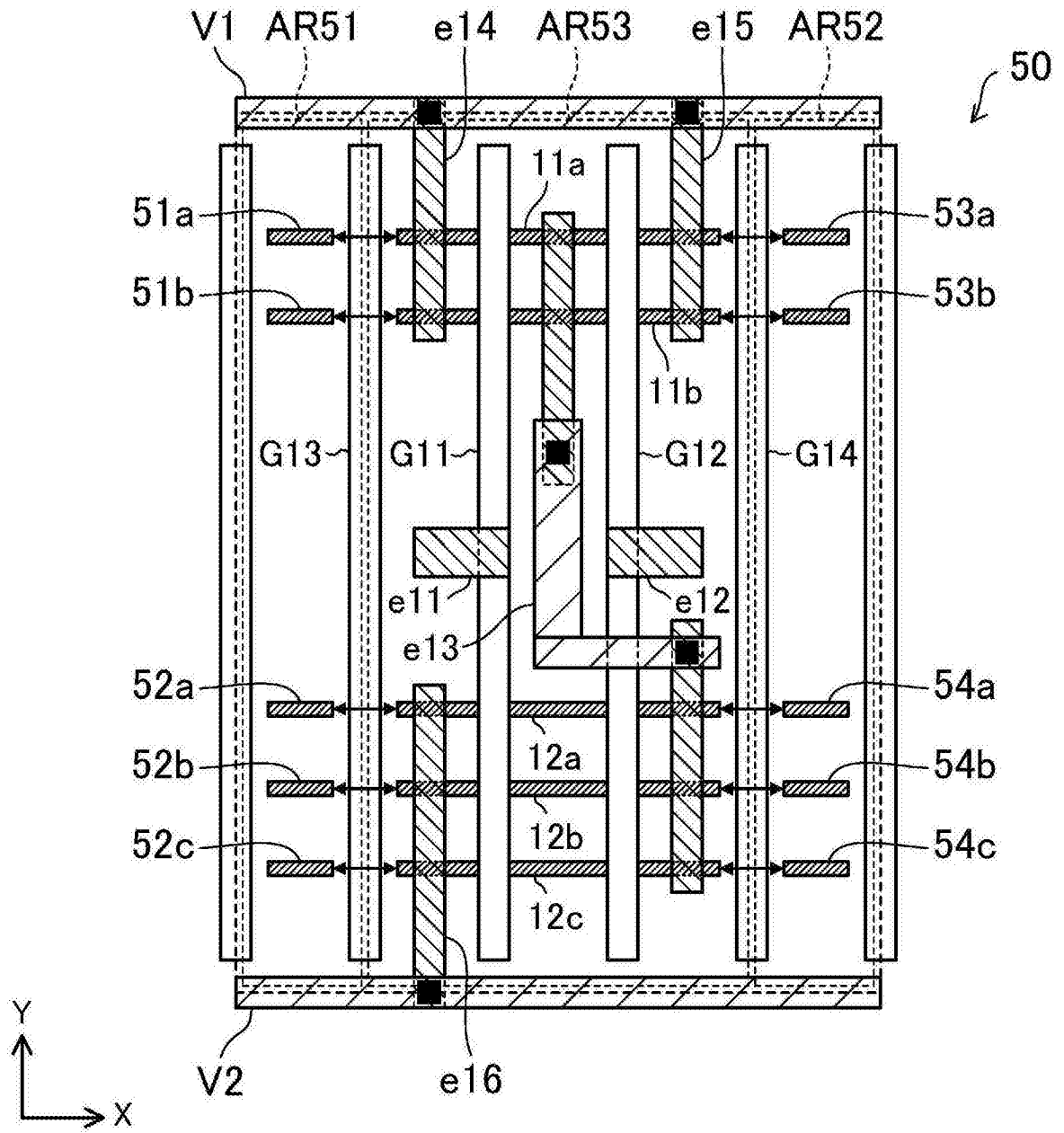


图6

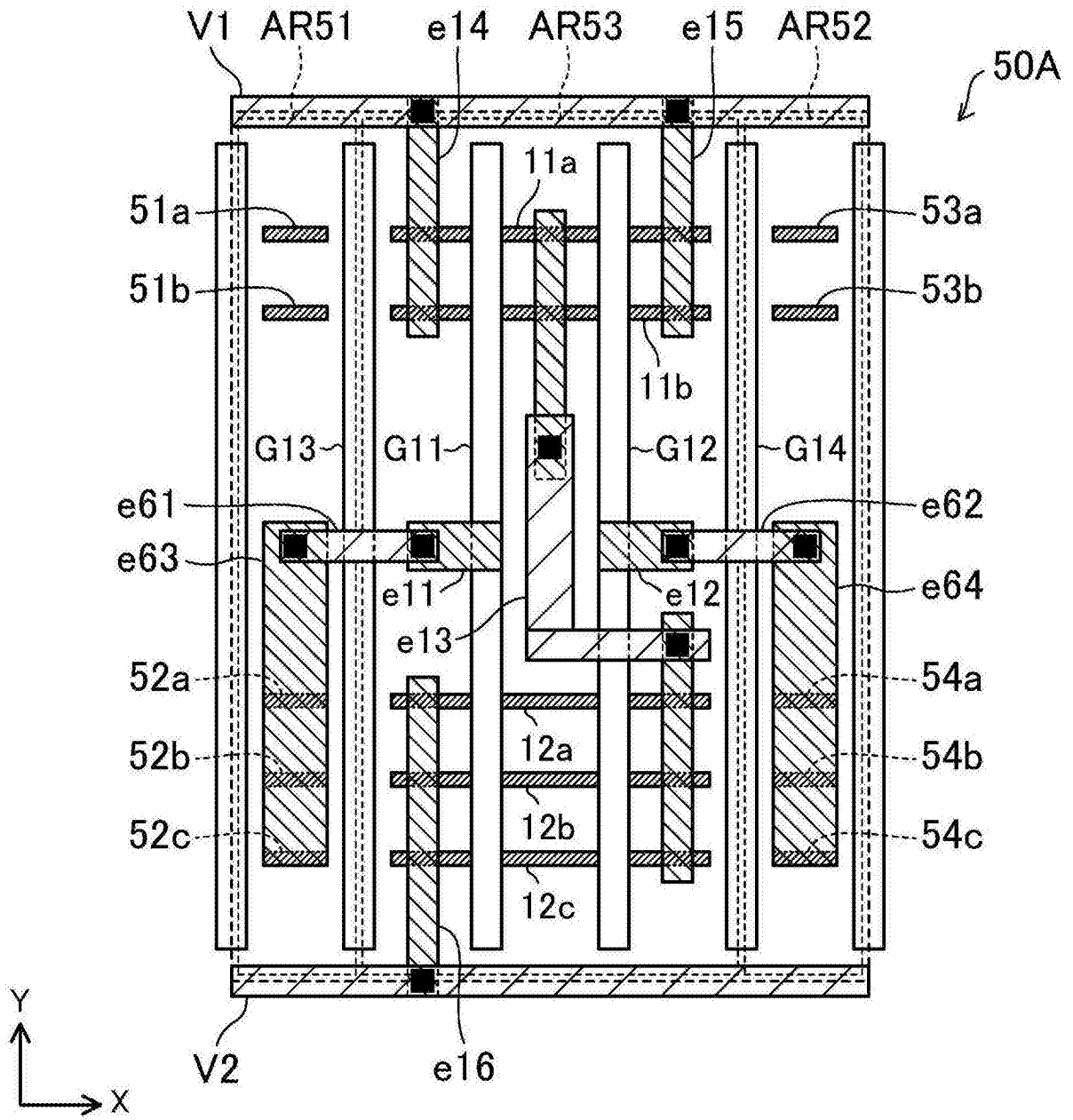


图7

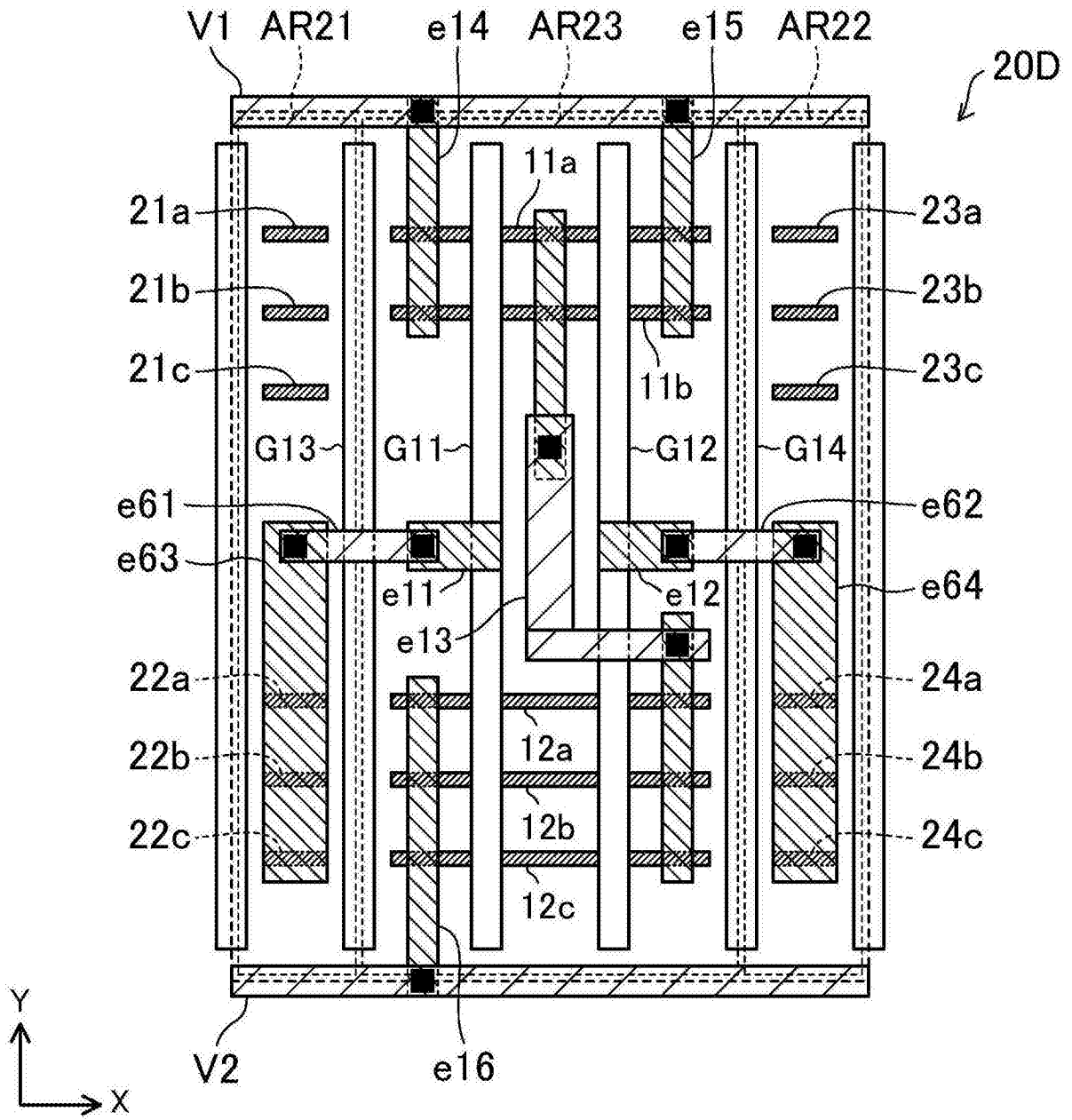


图8

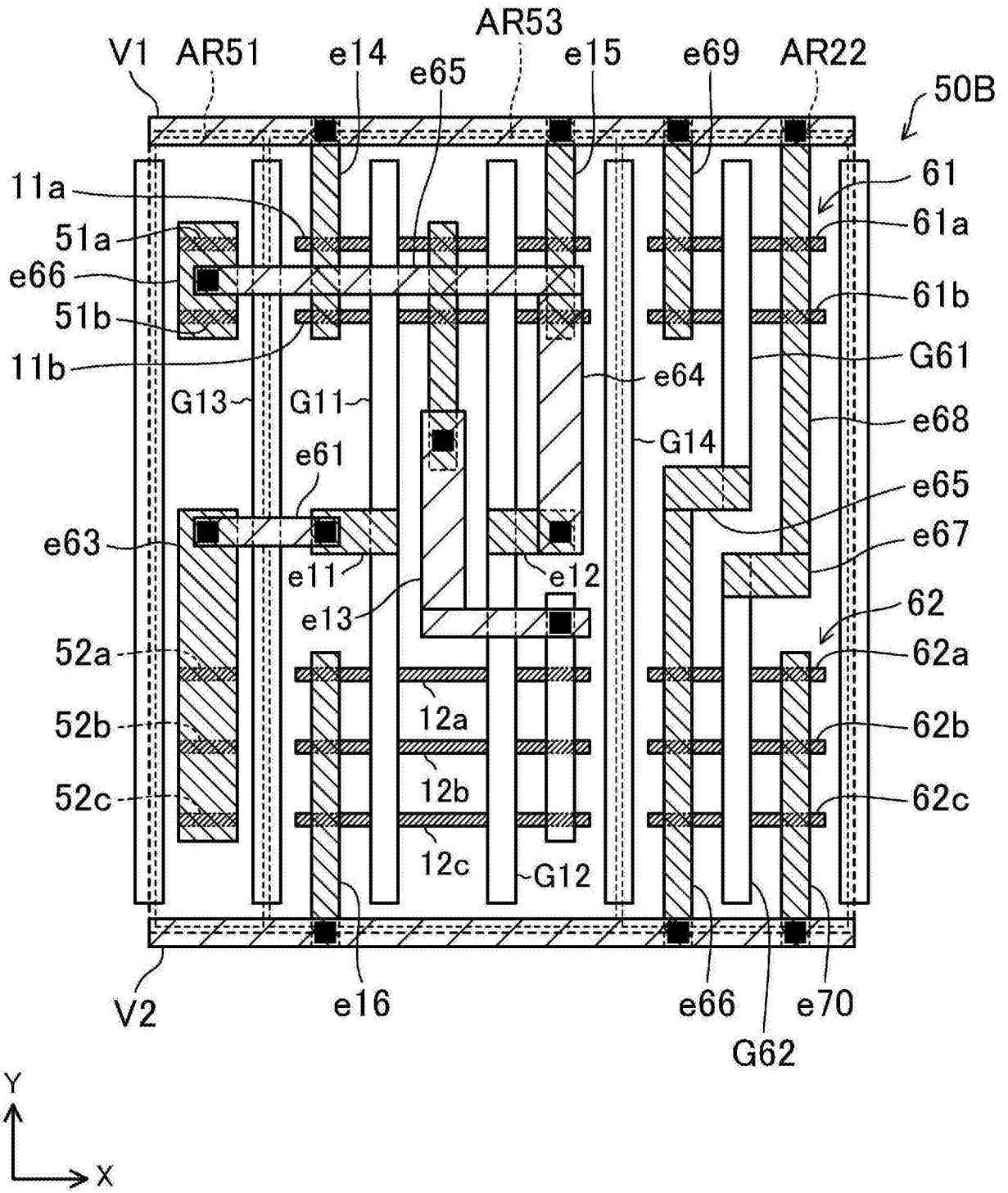


图9

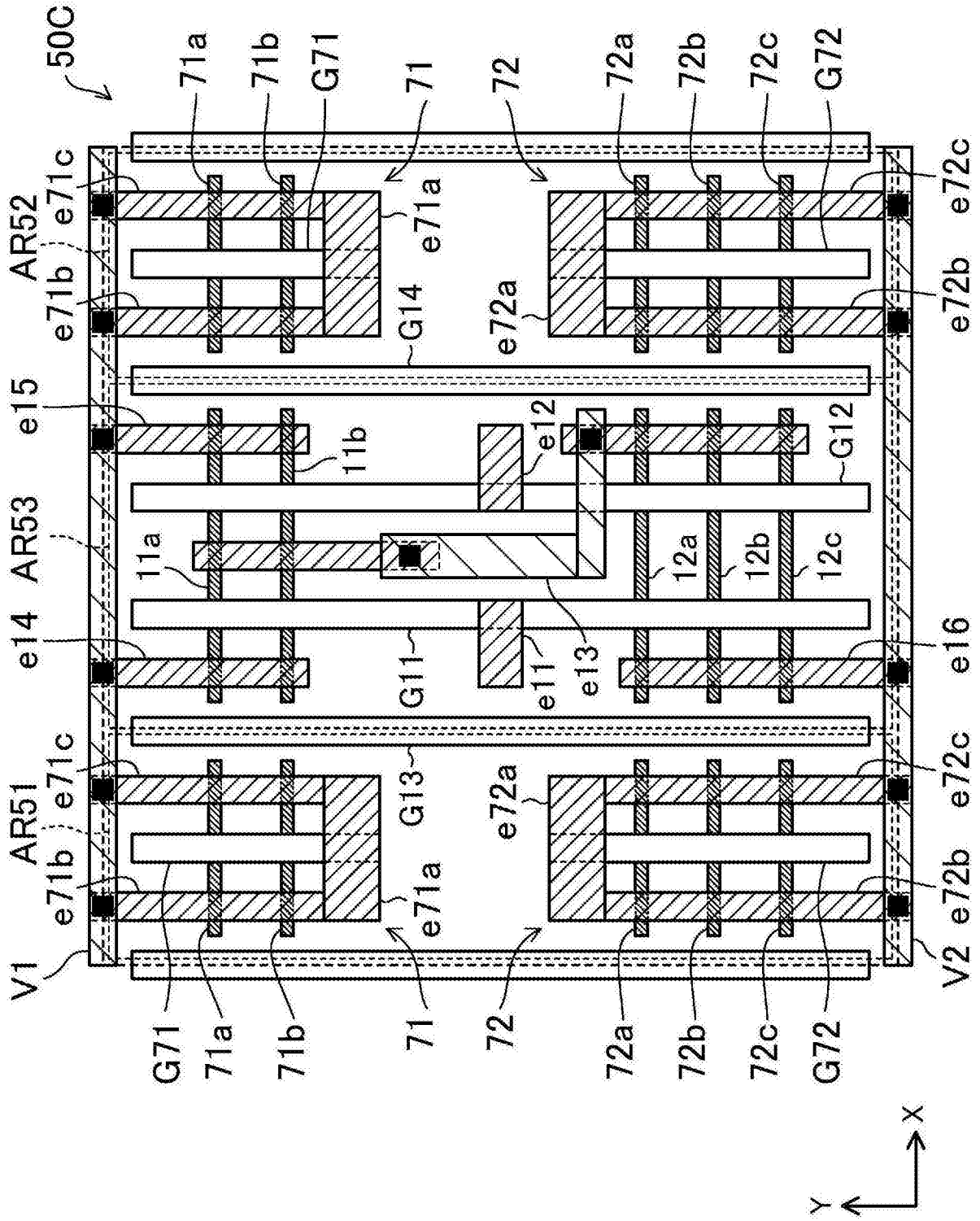


图10

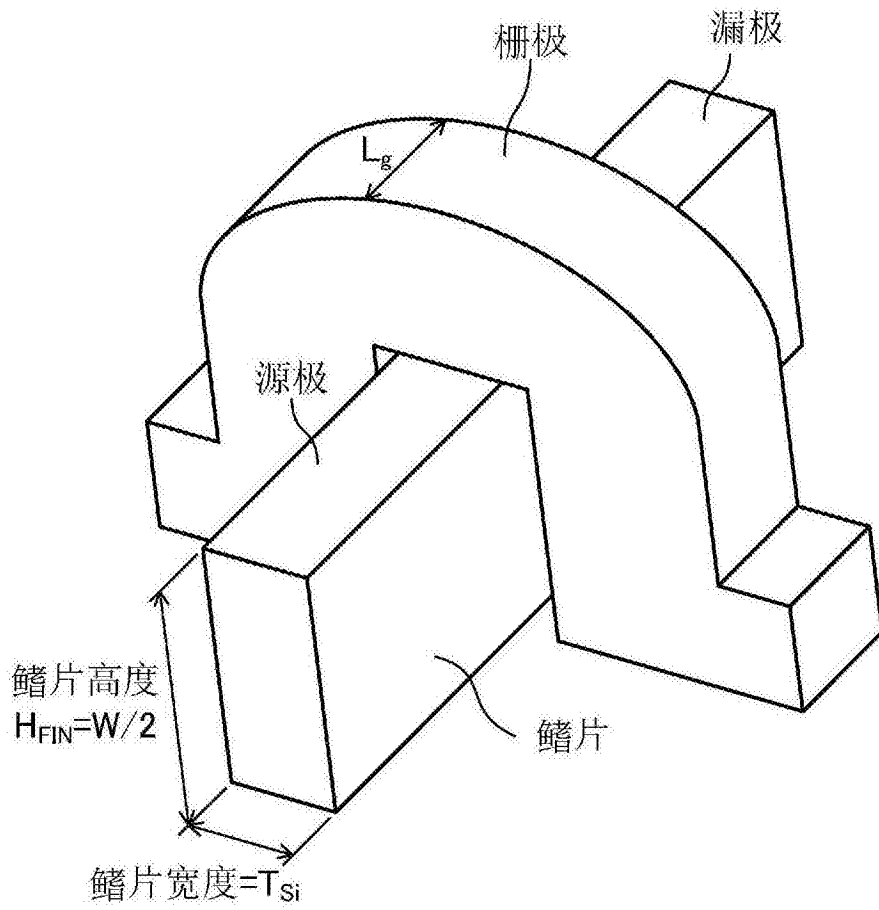


图11