



(12) 发明专利申请

(10) 申请公布号 CN 117497605 A

(43) 申请公布日 2024. 02. 02

(21) 申请号 202311855309.4

(22) 申请日 2023.12.29

(71) 申请人 深圳天狼芯半导体有限公司

地址 518000 广东省深圳市南山区粤海街道高新区社区科技南路18号深圳湾科技生态园12栋裙楼904-905

(72) 发明人 李金耀

(74) 专利代理机构 深圳中创智财知识产权代理有限公司 44553

专利代理师 唐燕洁

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

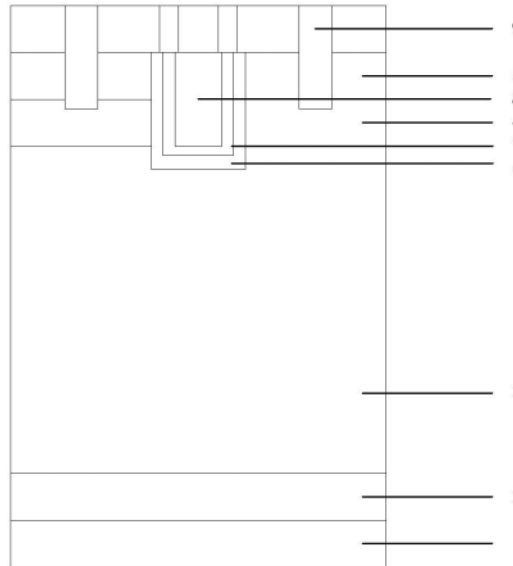
权利要求书2页 说明书9页 附图3页

(54) 发明名称

一种高温下低导通电阻的PMOS及制备方法

(57) 摘要

本发明提供了一种高温下低导通电阻的PMOS及制备方法,该PMOS包括二氧化硅填充层;所述二氧化硅填充层嵌入多晶硅栅极,并与栅极内壁邻接。本发明通过在栅极增加二氧化硅填充层,在随着温度升高PMOS器件出现受热膨胀的现象时,由于二氧化硅的热膨胀系数比硅的小,因此在升高同样的温度的情况下,二氧化硅填充层的体积膨胀较小,栅极中的二氧化硅填充层会对体区沟道处的硅产生拉伸应力,垂直于空穴载流子传输方向的拉伸应力能够增加空穴的迁移率,从而降低PMOS器件在高温时的导通电阻。



1. 一种高温下低导通电阻的PMOS,其特征在于,包括:二氧化硅填充层;  
所述二氧化硅填充层嵌入多晶硅栅极,并与栅极内壁邻接。
2. 根据权利要求1所述的一种高温下低导通电阻的PMOS,其特征在于,还包括:沟槽栅极;  
所述沟槽栅极包括栅极氧化层和多晶硅栅极;  
所述沟槽栅极位于P+层的通孔、体区的通孔以及漂移层上层的沟槽中;  
所述位于P+层的通孔、所述体区的通孔与所述漂移层上层的沟槽连接;  
所述栅极氧化层贴附于所述位于P+层的通孔、所述体区的通孔与所述漂移层上层的沟槽的壁面;  
所述多晶硅栅极位于所述二氧化硅填充层和所述栅极氧化层之间,并与所述二氧化硅填充层和所述栅极氧化层邻接。
3. 根据权利要求1所述的一种高温下低导通电阻的PMOS,其特征在于,所述二氧化硅填充层的宽度为0.3-0.5 $\mu\text{m}$ 。
4. 根据权利要求1所述的一种高温下低导通电阻的PMOS,其特征在于,所述二氧化硅填充层的高度为0.8-1.2 $\mu\text{m}$ 。
5. 根据权利要求2所述的一种高温下低导通电阻的PMOS,其特征在于,所述多晶硅栅极的厚度为0.2-0.4 $\mu\text{m}$ 。
6. 根据权利要求2所述的一种高温下低导通电阻的PMOS,其特征在于,所述栅极氧化层的厚度为400-600埃。
7. 根据权利要求1所述的一种高温下低导通电阻的PMOS,其特征在于,还包括:源极、漏极、衬底、漂移层、体区和P+层;  
所述漏极位于所述衬底下方;  
所述衬底位于所述漂移层下方;  
所述漂移层位于所述体区下方;  
所述体区位于所述P+层下方;  
所述P+层位于所述源极下方。
8. 根据权利要求7所述的一种高温下低导通电阻的PMOS,其特征在于,所述体区的掺杂浓度为 $1 \times 10^{13} - 2 \times 10^{13} \text{cm}^{-3}$ 。
9. 一种高温下低导通电阻的PMOS制备方法,其特征在于,包括:  
在衬底上方外延形成漂移层;  
在所述漂移层的上层蚀刻沟槽;  
在所述沟槽的壁面沉积栅极氧化层;  
在所述栅极氧化层上方沉积多晶硅;  
蚀刻所述多晶硅形成多晶硅栅极;  
在所述多晶硅栅极上方沉积二氧化硅填充层;  
在所述漂移层的上层离子注入形成体区和P+层;  
沉积源极和漏极。
10. 根据权利要求9所述的一种高温下低导通电阻的PMOS制备方法,其特征在于,所述在所述多晶硅栅极上方沉积二氧化硅填充层包括:

采用化学气相沉积法在多晶硅栅极上方沉积二氧化硅填充层。

## 一种高温下低导通电阻的PMOS及制备方法

### 技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种高温下低导通电阻的PMOS及制备方法。

### 背景技术

[0002] 半导体功率器件的一个实例是金属-氧化物-半导体场效应晶体管器件,被称为MOSFET器件。MOSFET器件可以在已经蚀刻在基板中或蚀刻在外延层上的沟槽中形成。MOSFET器件通过向MOSFET器件的栅电极施加适当的电压来操作,栅电极的施加使器件接通,并形成连接MOSFET器件的源极和漏极的通道,允许电流流过。功率半导体器件作为电力控制的核心电力电子器件,应用于电能的变换和控制。近年来,新能源汽车、高速列车、光伏、风电、手机、电脑、电视机、空调等各个领域对于功率半导体器件的需求量大大增加,促进了该领域的飞速发展。MOSFET作为一种重要的功率半导体器件,其栅极通过电压控制既能完成器件导通,又可以实现关断,具有高输入阻抗和低导通损耗的优点,现阶段广泛的应用于开关电源、电机控制、移动通讯等领域。

[0003] MOSFET器件的一个重要参数是导通电阻,导通电阻是指在MOSFET器件工作时,从漏极到源极的电阻。当漏源之间导通电阻很小时,会让MOSFET器件有较大的输出电流,MOSFET器件就会具有更强的驱动能力,从而提供一个很好的开关特性。对于一个由多个基本单元结构组成的MOSFET器件,应该尽量减小导通电阻。现有的沟槽型PMOS器件存在着随着温度升高引起的导通电阻升高的情况,这会导致P型MOSFET器件在高温导通的状态下功率损耗升高。

### 发明内容

[0004] 为了解决上述提出的至少一个技术问题,本发明的目的在于提供一种高温下低导通电阻的PMOS及制备方法。

[0005] 第一方面,本发明提供了一种高温下低导通电阻的PMOS,包括:二氧化硅填充层;所述二氧化硅填充层嵌入多晶硅栅极,并与栅极内壁邻接。

[0006] 优选地,还包括:沟槽栅极;

所述沟槽栅极包括栅极氧化层和多晶硅栅极;

所述沟槽栅极位于P+层的通孔、体区的通孔以及漂移层上层的沟槽中;

所述位于P+层的通孔、所述体区的通孔与所述漂移层上层的沟槽连接;

所述栅极氧化层贴附于所述位于P+层的通孔、所述体区的通孔与所述漂移层上层的沟槽的壁面;

所述多晶硅栅极位于所述二氧化硅填充层和所述栅极氧化层之间,并与所述二氧化硅填充层和所述栅极氧化层邻接。

[0007] 优选地,所述二氧化硅填充层的宽度为0.3-0.5 $\mu\text{m}$ 。

[0008] 优选地,所述二氧化硅填充层的高度为0.8-1.2 $\mu\text{m}$ 。

- [0009] 优选地,所述多晶硅栅极的厚度为0.2-0.4 $\mu\text{m}$ 。
- [0010] 优选地,所述栅极氧化层的厚度为400-600埃。
- [0011] 优选地,还包括:源极、漏极、衬底、漂移层、体区和P+层;  
所述漏极位于所述衬底下方;  
所述衬底位于所述漂移层下方;  
所述漂移层位于所述体区下方;  
所述体区位于所述P+层下方;  
所述P+层位于所述源极下方。
- [0012] 优选地,所述体区的掺杂浓度为 $1 \times 10^{13} - 2 \times 10^{13} \text{cm}^{-3}$ 。
- [0013] 第二方面,本发明提供了一种高温下低导通电阻的PMOS制备方法,包括:  
在衬底上方外延形成漂移层;  
在所述漂移层的上层蚀刻沟槽;  
在所述沟槽的壁面沉积栅极氧化层;  
在所述栅极氧化层上方沉积多晶硅;  
蚀刻所述多晶硅形成多晶硅栅极;  
在所述多晶硅栅极上方沉积二氧化硅填充层;  
在所述漂移层的上层离子注入形成体区和P+层;  
沉积源极和漏极。
- [0014] 优选地,所述在所述多晶硅栅极上方沉积二氧化硅填充层包括:  
采用化学气相沉积法在多晶硅栅极上方沉积二氧化硅填充层。
- [0015] 相比现有技术,本发明的有益效果在于:  
本发明通过在栅极增加二氧化硅填充层,在随着温度升高PMOS器件出现受热膨胀的现象时,由于二氧化硅的热膨胀系数比硅的小,因此在升高同样的温度的情况下,二氧化硅填充层的体积膨胀较小,栅极中的二氧化硅填充层会对体区沟道处的硅产生拉伸应力,垂直于空穴载流子传输方向的拉伸应力能够增加空穴的迁移率,从而降低PMOS器件在高温时的导通电阻。
- [0016] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,而非限制本公开。

## 附图说明

- [0017] 此处的附图被并入说明书中并构成本说明书的一部分,标示出了符合本发明的实施例,并与说明书一起用于解释本发明的原理。
- [0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,对于本领域普通技术人员而言,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。
- [0019] 图1为本发明实施例提供的一种高温下低导通电阻的PMOS的结构示意图;  
图2为本发明实施例提供的一种高温下低导通电阻的PMOS制备方法的流程示意图;  
图3为本发明实施例提供的一种高温下低导通电阻的PMOS制备方法的结构示意图;

图；

图4为本发明实施例提供的一种高温下低导通电阻的PMOS制备方法的结构示意图。

[0020] 图中:1-漏极、2-衬底、3-漂移层、4-体区、5-P+层、6-栅极氧化层、7-多晶硅栅极、8-二氧化硅填充层、9-源极。

### 具体实施方式

[0021] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0022] 需要说明,本发明实施例中所有方向性指示(诸如上、下、左、右、前、后……)仅用于解释在某一特定姿态(如附图所示)下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0023] 本文中术语“和/或”,仅仅是一种描述关联对象的关联关系,表示可以存在三种关系,例如,A和/或B,可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。另外,本文中术语“至少一种”表示多种中的任意一种或多种中的至少两种的任意组合,例如,包括A、B、C中的至少一种,可以表示包括从A、B和C构成的集合中选择的任意一个或多个元素。

[0024] 在本文中提及“实施例”意味着,结合实施例描述的特定特征、结构或特性可以包含在本申请的至少一个实施例中。在说明书中的各个位置出现该短语并不一定均是指相同的实施例,也不是与其它实施例互斥的独立的或备选的实施例。本领域技术人员显式地和隐式地理解的是,本文所描述的实施例可以与其它实施例相结合。

[0025] 另外,在本发明中涉及“第一”、“第二”等的描述仅用于描述目的,而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一种该特征。另外,各个实施例之间的技术方案可以相互结合,但是必须是以本领域普通技术人员能够实现为基础,当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在,也不在本发明要求的保护范围之内。

[0026] 半导体功率器件的一个实例是金属-氧化物-半导体场效应晶体管器件,被称为MOSFET器件。MOSFET器件可以在已经蚀刻在基板中或蚀刻在外延层上的沟槽中形成。MOSFET器件通过向MOSFET器件的栅电极施加适当的电压来操作,栅电极的施加使器件接通,并形成连接MOSFET器件的源极和漏极的通道,允许电流流过。功率半导体器件作为电力控制的核心电力电子器件,应用于电能的变换和控制。近年来,新能源汽车、高速列车、光伏、风电、手机、电脑、电视机、空调等各个领域对于功率半导体器件的需求量大大增加,促进了该领域的飞速发展。MOSFET作为一种重要的功率半导体器件,其栅极通过电压控制既能完成器件导通,又可以实现关断,具有高输入阻抗和低导通损耗的优点,现阶段广泛的应用于开关电源、电机控制、移动通讯等领域。

[0027] MOSFET器件的一个重要参数是导通电阻,导通电阻是指在MOSFET器件工作时,从漏极到源极的电阻。当漏源之间导通电阻很小时,会让MOSFET器件有较大的输出电流,

MOSFET器件就会具有更强的驱动能力,从而提供一个很好的开关特性。对于一个由多个基本单元结构组成的MOSFET器件,应该尽量减小导通电阻。现有的沟槽型PMOS器件存在着随着温度升高引起的导通电阻升高的情况,这会导致P型MOSFET器件在高温导通的状态下功率损耗升高。

[0028] 现有的沟槽型PMOS器件存在着随着温度升高引起的导通电阻升高的情况,这会导致P型MOSFET器件在高温导通的状态下功率损耗升高。本发明通过在栅极增加二氧化硅填充层,在随着温度升高PMOS器件出现受热膨胀的现象时,由于二氧化硅的热膨胀系数比硅的小,因此在升高同样的温度的情况下,二氧化硅填充层的体积膨胀较小,栅极中的二氧化硅填充层会对体区沟道处的硅产生拉伸应力,垂直于空穴载流子传输方向的拉伸应力能够增加空穴的迁移率,从而降低PMOS器件在高温时的导通电阻。

[0029] 实施例1

提供了一种高温下低导通电阻的PMOS,参见图1所示,包括:二氧化硅填充层8;  
二氧化硅填充层8嵌入多晶硅栅极7,并与栅极内壁邻接。

[0030] 膨胀系数是表征物体热膨胀性质的物理量,即表征物体受热时其长度、面积、体积增大程度的物理量。其中,长度的增加称为线膨胀,面积的增加成为面膨胀,体积的增加成为体膨胀,总称之为热膨胀。单位长度、单位面积、单位体积的物体,当问题上升1摄氏度时,其长度、面积、体积的变化分别成为线膨胀系数、面膨胀系数和体膨胀系数。二氧化硅的热膨胀系数为 $0.5 \times 10^{-6} \text{K}^{-1}$ ,硅的热膨胀系数为 $10 \times 10^{-6} \text{K}^{-1}$ ,二氧化硅的热膨胀系数与硅的热膨胀系数相比要小,即在受热相同的情况下,二氧化硅的体积膨胀要小于硅的体积膨胀。

[0031] 半导体的导电性能源于其能带结构的特殊性质,其导电行为是由载流子在能带中的运动而产生的。半导体导电性能的强弱取决于载流子的浓度和迁移率。半导体的迁移率可以通过应力调控、光照调控和表面改性等方法进行改变。物体由于外因而变形时,在物体内部各部分之间产生相互作用的内力,以抵抗这种外因的作用,并试图使物体从变形后的位置恢复到变形前的位置。在所考察的截面某一点单位面积上的内力称为应力。应力是影响半导体导电性能的一个重要因素。通过在半导体上施加应力,可以改变其电子能带结构和载流子的自由度,从而影响半导体的导电性能,通过拉伸应力可以改变半导体的能带结构和载流子的迁移率,从而增加其导电性能。

[0032] 在本实施例中,通过在栅极增加二氧化硅填充层8,在随着温度升高PMOS器件出现受热膨胀的现象时,栅极中的二氧化硅填充层8能够对体区4沟道处的硅产生拉伸应力,垂直于空穴载流子传输方向的拉伸应力能够增加空穴的迁移率,减小了沟道电阻增加的幅度,从而降低PMOS器件在高温时的导通电阻。

[0033] 在一些实施例中,参见图1所示,还包括:沟槽栅极;

沟槽栅极包括栅极氧化层6和多晶硅栅极7;

沟槽栅极位于P+层5的通孔、体区4的通孔以及漂移层3上层的沟槽中;

位于P+层5的通孔、体区4的通孔与漂移层3上层的沟槽连接;

栅极氧化层6贴附于位于P+层5的通孔、体区4的通孔与漂移层3上层的沟槽的壁面;

多晶硅栅极7位于二氧化硅填充层8和栅极氧化层6之间,并与二氧化硅填充层8和栅极氧化层6邻接。

[0034] 沟槽型MOSFET是一种常见的场效应晶体管。沟槽型MOSFET的基本结构包括源极9,漏极1,栅极和沟道。其中,源极9和漏极1之间的沟道是电流流动的通道,栅极是控制沟道中电流的开关。沟槽型MOSFET的源极9金属和栅极金属位于硅片的上方,硅片下部为衬底2,漏极1位于硅片的下方与衬底2接触。沟槽型MOSFET也被称为表面效应晶体管,其将栅极埋入基体中形成垂直沟道,尽管其工艺复杂,单元一致性比平面结构差。但是,沟槽结构可以增加单元密度,没有JFET效应,寄生电容更小,开关速度快,开关损耗非常低;而且,通过选取合适沟道晶面以及优化设计的结构,可以实现最佳的沟道迁移率,明显降低导通电阻。

[0035] 栅极氧化层6是将MOSFET的栅极与源极9和漏极1分开以及晶体管导通时连接源极9和漏极1的导电通道分开的介电层。栅极氧化层6是通过热氧化沟道的硅形成薄的二氧化硅绝缘层。绝缘二氧化硅层是通过自限氧化过程形成的,该过程由Deal-Grove模型描述。随后在栅极氧化物上方沉积导电栅极材料以形成晶体管。栅极氧化物用作介电层,因此栅极可以承受高达1至5MV/cm的横向电场,以强烈调制沟道的电导。在栅极氧化物上方是一个薄电极层,由导体制成,导体可以是铝、高掺杂硅、钨等难熔金属、硅化物或这些层的夹层。该栅电极通常称为栅极金属或栅极导体。

[0036] 在本实施例中,位于沟槽中的沟槽栅极包括栅极氧化层6和多晶硅栅极7,栅极氧化层6贴附于沟槽的壁面,多晶硅栅极7位于栅极氧化层6上方,其余的沟槽空间为二氧化硅填充层8。通过在栅极增加二氧化硅填充层8,在随着温度升高PMOS器件出现受热膨胀的现象时,栅极中的二氧化硅填充层8能够对体区4沟道处的硅产生拉伸应力,垂直于空穴载流子传输方向的拉伸应力能够增加空穴的迁移率,减小了沟道电阻增加的幅度,从而降低PMOS器件在高温时的导通电阻,同时二氧化硅填充层8对PMOS器件的击穿电压不产生影响。

[0037] 在一些实施例中,二氧化硅填充层8的宽度为0.3-0.5 $\mu\text{m}$ 。

[0038] 在一些实施例中,二氧化硅填充层8的高度为0.8-1.2 $\mu\text{m}$ 。

[0039] 二氧化硅填充层8体积的大小会影响PMOS受热膨胀时产生的拉伸应力的的大小。二氧化硅填充层8的体积设置得过小,产生的拉伸应力对提高沟道处空穴迁移率的效果差,二氧化硅填充层8的体积设置得过大,会导致PMOS器件的性能下降甚至损坏。在本实施例中,二氧化硅填充层8的宽度设置为0.3-0.5 $\mu\text{m}$ ,二氧化硅填充层8的高度设置为0.8-1.2 $\mu\text{m}$ 。作为一个优选地实施例,本发明将二氧化硅填充层8的宽度设置为0.3 $\mu\text{m}$ ,二氧化硅填充层8的高度设置为0.8 $\mu\text{m}$ 。

[0040] 在一些实施例中,多晶硅栅极7的厚度为0.2-0.4 $\mu\text{m}$ 。

[0041] MOSFET器件栅极结构的形成是非常关键的工艺,其包括了最薄的栅极氧化层6的热生长以及多晶硅栅极7的刻蚀。多晶硅栅极7是一种由多晶硅材料制成的栅极结构。多晶硅栅极7由于硅材料的特性,具有较高的导电性和较低的电阻,被常用于MOSFET器件中。除此之外,多晶硅栅极7也具有较好的耐热性和较低的漏电流。多晶硅栅极7可以通过改变栅极电压来控制MOSFET器件的导通和截止,起到控制电流的作用。多晶硅栅极7的大小直接影响MOSFET器件的电学性能,在本实施例中,多晶硅栅极7的厚度设置为0.2-0.4 $\mu\text{m}$ 。作为一个优选地实施例,本发明将多晶硅栅极7的厚度设置为0.2 $\mu\text{m}$ 。

[0042] 在一些实施例中,栅极氧化层6的厚度为400-600埃。

[0043] MOSFET器件在沟道形成之前,必须有一定量的电压加在金属栅上,这个电压称为阈值电压。阈值电压是一个非常重要而且非常关键的电路参数。阈值电压越低意味着更低



的电源电压和更快速度的电路。影响栅阈值电压和MOSFET器件工作的因素包括栅极氧化层6的厚度。栅极氧化膜越薄，MOSFET器件工作速度越快，阈值电压越低。栅极氧化膜越厚，MOSFET器件的耐压越高，在栅极氧化层6厚度的选择上需要MOSFET器件具备较快的工作速度并且维持较好的击穿电压。在本实施例中，栅极氧化层6的厚度设置为400-600埃。作为一个优选地实施例，本发明将栅极氧化层6的厚度设置为400埃。

[0044] 在一些实施例中，参见图1所示，还包括：源极9、漏极1、衬底2、漂移层3、体区4和P+层5；

漏极1位于衬底2下方；

衬底2位于漂移层3下方；

漂移层3位于体区4下方；

体区4位于P+层5下方；

P+层5位于源极9下方。

[0045] 在一些实施例中，体区4的掺杂浓度为 $1 \times 10^{13} - 2 \times 10^{13} \text{cm}^{-3}$ 。

[0046] 在MOSFET处于关断状态时，体区4呈现高阻状态，可以防止MOSFET漏电，电流无法从MOSFET中通过，当MOSFET处于导通状态时，栅极开启了在体区4的电流通道，使得电流能够从漏极1流向源极9。体区4的掺杂浓度决定了MOSFET的开启电压，体区4的掺杂浓度越大，MOSFET的开启电压越大，如果体区4的掺杂浓度过小，则会导致MOSFET出现漏电的情况。在本实施例中，体区4的掺杂浓度设置为 $1 \times 10^{13} - 2 \times 10^{13} \text{cm}^{-3}$ 。作为一个优选地实施例，本发明将体区4的掺杂浓度设置为 $1 \times 10^{13} \text{cm}^{-3}$ 。

[0047] 实施例2

提供了一种高温下低导通电阻的PMOS制备方法，参见图2、图3和图4所示，包括：  
S100，在衬底2上方外延形成漂移层3；

外延工艺是指在衬底2上生长完全排列有序的单晶体层的工艺。一般来讲，外延工艺是在单晶衬底上生长一层与原衬底相同晶格取向的晶体层。外延工艺广泛用于半导体制造，如集成电路工业的外延硅片。MOS晶体管的嵌入式源漏外延生长，LED衬底上的外延生长等。根据生长源物相状态的不同，外延生长方式分为固相外延、液相外延、气相外延。在集成电路制造中，常用的外延方式是固相外延和气相外延。

[0048] 固相外延，是指半导体单晶上的非晶层在低于该材料的熔点或共晶点温度下外延再结晶的过程。没有外延的再结晶过程不属于固相外延。固相外延主要有两种生长方式：一种是非晶层直接与单晶衬底相接触，进行外延生长；另一种是将一层金属或碳化物夹在非晶层和单晶硅衬底之间进行固相外延。金属和碳化物起到输运介质的作用。有多种方法形成多晶或无定形薄膜。一种是直接离子注入的方法，可在硅单晶衬底上大剂量注入锗离子，形成GeSi非晶薄层，475~575℃退火再生长，得到应变合金层。另一种是淀积薄膜，如蒸发或溅射。与一般外延方法相比，固相外延衬底温度低，杂质扩散小，有利于制造突变掺杂界面的外延层。

[0049] 在气相状态下，将半导体材料淀积在单晶片上，使它沿着单晶片的结晶轴方向生长出一层厚度和电阻率合乎要求的单晶层，这一工艺称为气相外延。其特点有：外延生长温度高，生长时间长，因而可以制造较厚的外延层；在外延过程中可以任意改变杂质的浓度和导电类型。工业生产常用的气相外延工艺有：四氯化硅(锗)外延，硅(锗)烷外延、三氯氢硅

及二氯二氢硅等(二氯二氢硅具有淀积温度低,沉积速度快,淀积成膜均匀等优点)外延等。常见的硅气相外延的概念、原理:用硅的气态化合物(如: $\text{SiCl}_4$ 、 $\text{SiH}_4$ )在加热的硅衬底表面与氢气发生化学反应或自身发生热分解,还原成硅,并以单晶形式淀积在硅衬底表面。气相外延的生长方法包括化学气相外延生长(CVE)、分子束外延(MBE)、原子层外延(ALE)等。半导体的气相外延是硅的气态化合物在加热的衬底2表面与氢发生反应或自身热分解还原成硅,并以单晶的形式淀积在衬底2表面的过程。具体包括:反应剂分子以扩散方式从气相转移到生长层表面;反应剂分子被生长层吸附;被吸附的反应剂分子在生长层表面完成化学反应,产生半导体及其它副产品;副产品分子从表面解析,随着气流排出反应腔;反应生成的原子形成晶格,或加接到晶格点阵上,形成单晶外延层。

[0050] 外延系统装置包括:气体分配及控制系统、加热和测温装置、反应室、废气处理装置。工艺过程包括:衬底和基座处理:衬底处理主要是为了去除衬底圆片表面氧化层及尘粒,冲洗干燥后放入石墨基座内。对于已经用过的石墨基座应预先经过HCl腐蚀,去除前次外延留在上面的硅。掺杂剂配制:掺杂剂有气态源,如磷烷 $\text{PH}_3$ 、硼烷 $\text{B}_2\text{H}_6$ 等;液态源如 $\text{POCl}_3$ 、 $\text{BBr}_3$ 等,不同的器件对外延层电阻率及导电类型要求不同,必须根据电阻率精确控制掺杂源的用量。外延生长:主要程序为:装炉一通气,先通氮气再通氢气一升温一衬底热处理或HCl抛光—外延生长—氢气冲洗—降温—氮气冲洗。当基座温度降到 $300^\circ\text{C}$ 以下时开炉取片。气相外延质量要求外延层质量应满足:晶体结构完整、电阻率精确而均匀、外延层厚度均匀且在范围内、表面光洁,无氧化和白雾、表面缺陷(角锥体、乳突、星形缺陷等)和体内缺陷(位错、层错、滑移线等)要少。外延质量检验内容包括:电阻率、杂质浓度分布、外延层厚度、少子寿命及迁移率、夹层位错与层错密度、表面缺陷等。生产中通常检测项目是缺陷密度、电阻率和外延层厚度。外延层厚度测量方法有层错法、磨角或滚槽染色法、直读法、红外干涉法等。电阻率测量的方法有四探针法、三探针法、电容—电压法、扩展电阻法,对于外延层电阻率较高或者厚度较薄的外延层往往采用电容—电压法、扩展电阻法等。

[0051] S200,在漂移层3的上层蚀刻沟槽;

蚀刻是用化学或物理方法有选择地从硅片表面去除不需要的材料的过程,它是通过溶液、反应离子或其它机械方式来剥离、去除材料的一种统称。刻蚀技术主要分为干法刻蚀与湿法刻蚀。干法刻蚀主要利用反应气体与等离子体进行刻蚀;湿法刻蚀主要利用化学试剂与被刻蚀材料发生化学反应进行刻蚀。

[0052] 离子束蚀刻是一种物理干法蚀刻工艺。由此,氩离子以约1至3keV的离子束辐射到表面上。由于离子的能量,它们会撞击表面的材料。晶圆垂直或倾斜入离子束,蚀刻过程是绝对各向异性的。选择性低,因为其对各个层没有差异。气体和被打磨出的材料被真空泵排出,但是,由于反应产物不是气态的,颗粒会沉积在晶片或室壁上。所有的材料都可以采用这种方法蚀刻,由于垂直辐射,垂直壁上的磨损很低。

[0053] 等离子刻蚀是一种化学刻蚀工艺,优点是晶圆表面不会被加速离子损坏。由于蚀刻气体的可移动颗粒,蚀刻轮廓是各向同性的,因此该方法用于去除整个膜层(如热氧化后的背面清洁)。一种用于等离子体蚀刻的反应器类型是下游反应器,从而通过碰撞电离在2.45GHz的高频下点燃等离子体,碰撞电离的位置与晶片分离。

[0054] 蚀刻速率取决于压力、高频发生器的功率、工艺气体、实际气体流量和晶片温度。各向异性随着高频功率的增加、压力的降低和温度的降低而增加。蚀刻工艺的均匀性取决

于气体、两个电极的距离以及电极的材料。如果距离太小,等离子体不能不均匀地分散,从而导致不均匀性。如果增加电极的距离,则蚀刻速率降低,因为等离子体分布在扩大的体积中。对于电极,碳已证明是首选材料。由于氟气和氯气也会攻击碳,因此电极会产生均匀的应变等离子体,因此晶圆边缘会受到与晶圆中心相同的影响。选择性和蚀刻速率在很大程度上取决于工艺气体。对于硅和硅化合物,主要使用氟气和氯气。

[0055] S300,在沟槽的壁面沉积栅极氧化层6;

沉积栅极分为两步,一步是栅极氧化层6的形成,另一步是多晶硅沉积,栅极氧化层6用于隔离栅极电极和衬底2,起到保护和控制电流的作用,栅极氧化层6一般是采用热氧化来制备的,良好氧化层的漏电流基本上为0,并且具有较高的击穿电场强度(击穿电场强度约为10MV/cm)。采用湿氧氧化的方法生成氧化层,湿式氧化在高温(120~320°C)和高压(0.5~20MPa)的条件下,利用气态的氧气(通常为空气)作氧化剂,将水中有机物氧化成小分子有机物或无机物。高温可以提高氧气在液相中的溶解性能,高压的目的是抑制水的蒸发以维持液相,而液相的水可以作为催化剂,使氧化反应在较低温度下进行。

[0056] S400,在栅极氧化层6上方沉积多晶硅;

多晶硅沉积即在硅化物叠在第一层多晶硅(Poly1)上形成栅电极和局部连线,第二层多晶硅(Poly2)形成源极9/漏极1和单元连线之间的接触栓塞。硅化物叠在第三层多晶硅(Poly3)上形成单元连线,第四层多晶硅(Poly4)和第五层多晶硅(Poly5)则形成储存电容器的两个电极,中间所夹的是高介电系数的电介质。为了维持所需的电容值,可以通过使用高介电系数的电介质减少电容的尺寸。多晶硅沉积是一种低压化学气相沉积(LPCVD),通过在反应室内(即炉管中)将三氢化砷( $\text{AsH}_3$ )、三氢化磷( $\text{PH}_3$ )或二硼烷( $\text{B}_2\text{H}_6$ )的掺杂气体直接输入硅烷或DCS的硅材料气体中,就可以进行临场低压化学气相沉积的多晶硅掺杂过程。多晶硅沉积是在0.2-1.0Torr的低压条件及600、650°C之间的沉积温度下进行,使用纯硅烷或以氮气稀释后纯度为20%到30%的硅烷。这两种沉积过程的沉积速率都在100-200Å/min之间,主要由沉积时的温度决定。

[0057] S500,蚀刻多晶硅形成多晶硅栅极7;

S600,在多晶硅栅极7上方沉积二氧化硅填充层8;

化学气相沉积法是一种常用的制备多晶硅的方法。化学气相沉积法通过将硅源气体在高温条件下分解成硅原子,并在衬底2的表面沉积形成多晶硅薄膜。在化学气相沉积法中,沉积过程是通过控制气体流量、温度和压力等参数来实现的。首先将经过准备的硅源气体通过进气口引入反应室,并于惰性载气如氢气混合。然后通过加热反应使其达到适当的温度,通常在600-700摄氏度之间。在高温的条件下,硅源气体会分解,生成硅原子并沉积在衬底2表面。沉积速率和薄膜质量可以通过调节反应温度、气体流量和压力等参数来控制。

[0058] S700,在漂移层3的上层离子注入形成体区4和P+层5;

掺杂是为了改变半导体材料的电学性质,将一定数量的杂质掺入到半导体材料的工艺。掺杂的方法主要有扩散和离子注入。扩散是将半导体晶片放入精确控制的高温石英管炉中,通过带有需扩散杂质的混合气体而完成,扩散进入半导体的杂质原子数目和混合气体的杂质分压有关。对于硅的扩散而言,常用的温度范围一般在800摄氏度到1200摄氏度,硼是最常用的P型杂质,砷和磷是最常用的N型杂质。离子注入是将具有一定能量的带电离子掺入到硅中,注入能量在1keV到1MeV之间,对应的平均离子分布深度范围在10nm到

10um之间。相对于扩散工艺,离子注入的优点是能够使得杂质掺入量得到较为精准的控制,保持好的重复性,同时离子注入的加工工艺温度比扩散低。

[0059] 在本实施例中,通过离子注入的方式形成体区4和P+层5。

[0060] S800,沉积源极9和漏极1。

[0061] 金属电极沉积工艺分为化学气相沉积(CVD)和物理气相沉积(PVD)。CVD是指通过化学方法在晶圆表面沉积涂层的方法,一般是通过给混合气体施加能量来进行。假设在晶圆表面沉积物质(A),则先向沉积设备输入可生成物质(A)的两种气体(B和C),然后给气体施加能量,促使气体B和C发生化学反应。PVD(物理气相沉积)镀膜技术主要分为三类:真空蒸发镀膜、真空溅射镀膜和真空离子镀膜。物理气相沉积的主要方法有:真空蒸镀、溅射镀膜、电弧等离子体镀膜、离子镀膜和分子束外延等。相应的真空镀膜设备包括真空蒸发镀膜机、真空溅射镀膜机和真空离子镀膜机。

[0062] 在一些实施例中,在多晶硅栅极7上方沉积二氧化硅填充层8包括:  
采用化学气相沉积法在多晶硅栅极7上方沉积二氧化硅填充层8。

[0063] 本实施例通过在栅极增加二氧化硅填充层8,在随着温度升高PMOS器件出现受热膨胀的现象时,栅极中的二氧化硅填充层8能够对体区4沟道处的硅产生拉伸应力,垂直于空穴载流子传输方向的拉伸应力能够增加空穴的迁移率,从而降低PMOS器件在高温时的导通电阻,同时二氧化硅填充层8对PMOS器件的击穿电压不产生影响。

[0064] 以上所述仅是本发明的具体实施方式,使本领域技术人员能够理解或实现本发明。对这些实施例的多种修改对本领域的技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所申请的原理和新颖特点相一致的最宽的范围。

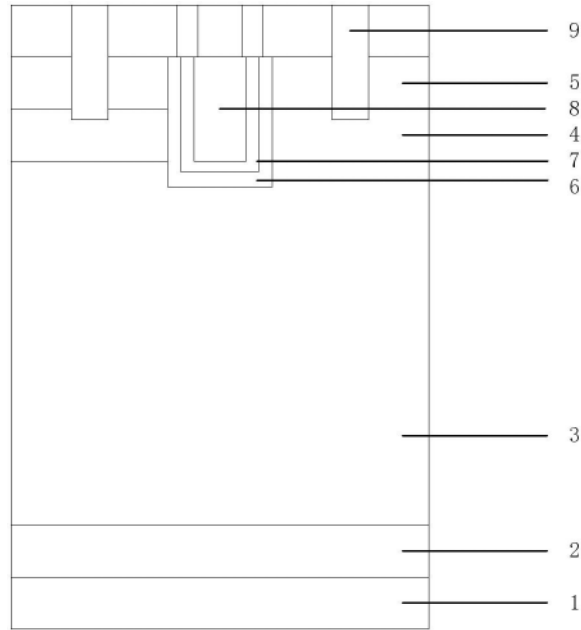


图1

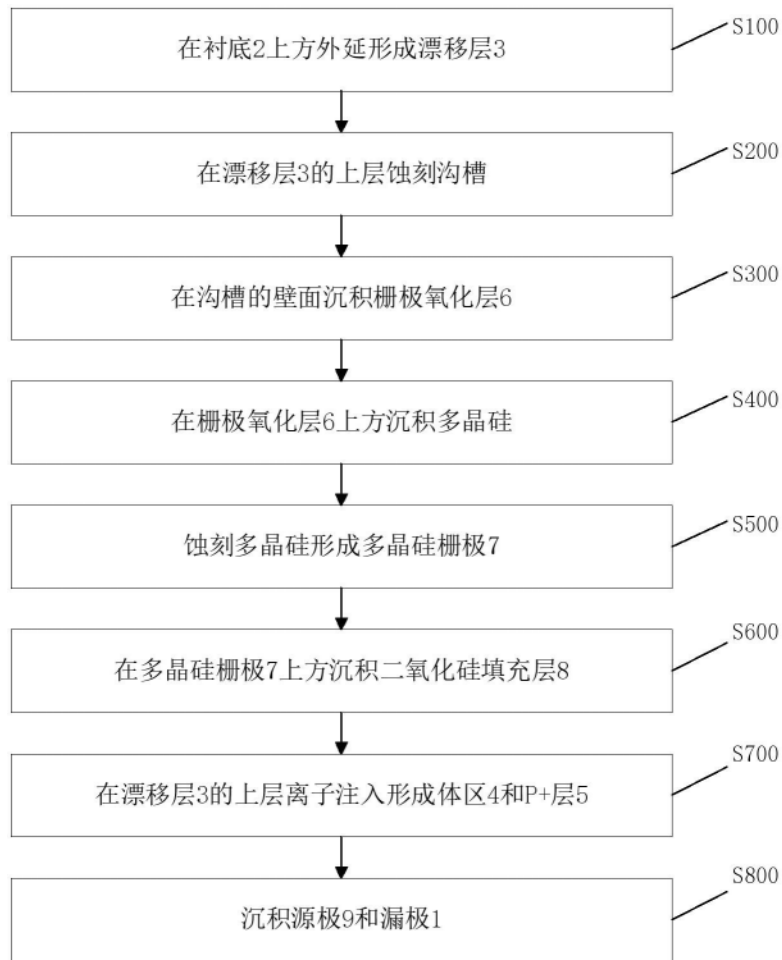


图2

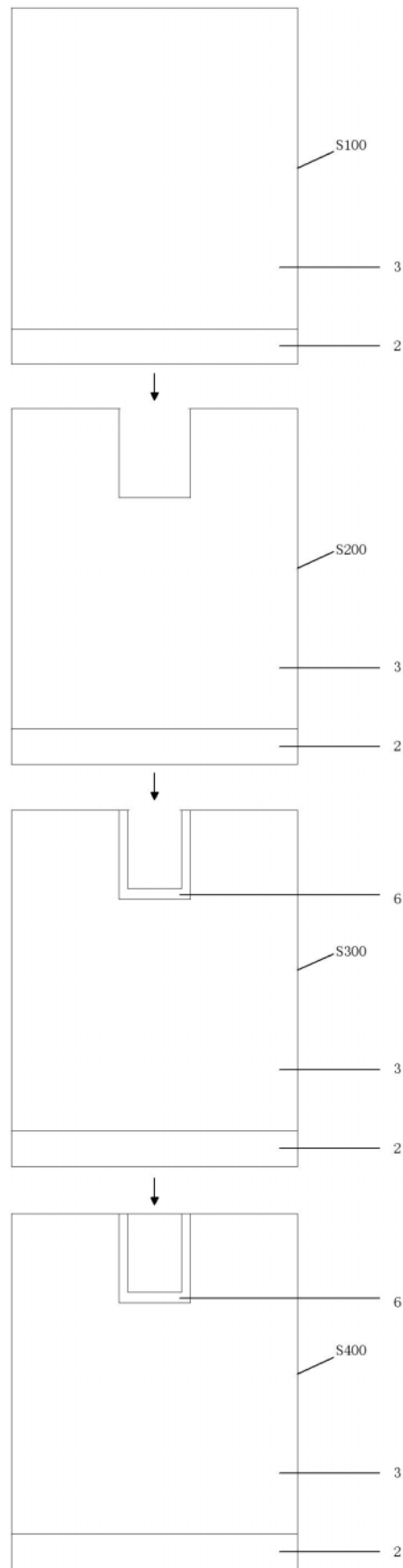


图3

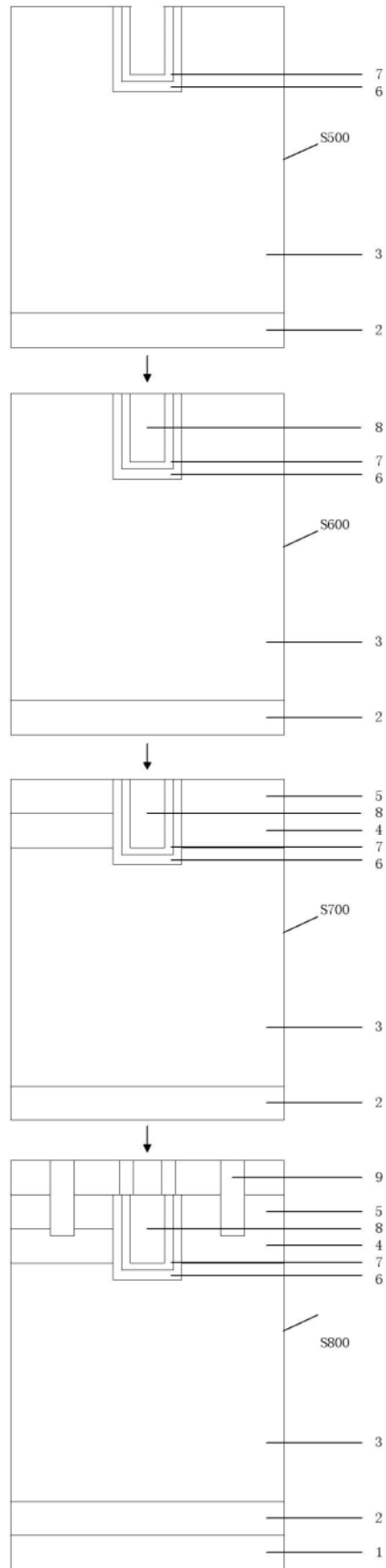


图4