



(21)申請案號：110144506 (22)申請日：中華民國 110 (2021) 年 11 月 30 日  
 (51)Int. Cl. : *H01L27/02 (2006.01)* *H01L27/105 (2006.01)*  
 (30)優先權：2020/12/04 美國 63/121,847  
 2021/05/24 美國 17/328,236  
 (71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)  
 日本  
 (72)發明人：利布曼 拉爾斯 LIEBMANN, LARS (US)；史密斯 傑佛瑞 SMITH, JEFFREY  
 (US)；查訥姆甘姆 丹尼爾 CHANEMOUGAME, DANIEL (US)；古特溫 保羅  
 GUTWIN, PAUL (US)  
 (74)代理人：周良謀；周良吉  
 申請實體審查：無 申請專利範圍項數：20 項 圖式數：7 共 32 頁

## (54)名稱

用以將埋入式電力軌連接至前側電力分配網路的電力連接器直通道

## (57)摘要

一種半導體裝置包含裝置平面，其包括陣列單元，每一單元包括一電晶體裝置。裝置平面形成在基板的工作表面上，且具有前側和與前側相對的背側。信號佈線結構形成於裝置平面的前側。前側電力分配網路(Front-Side Power Distribution Network, FSPDN)位於裝置平面的前側。埋入式電力軌(Buried Power Rail, BPR)於裝置平面的下方設置在裝置平面的背側上。電力連接器結構形成在裝置平面中。電力連接器結構將埋入式電力軌電連接到前側電力分配網路，並將埋入式電力軌電連接到電晶體裝置的至少一者，以為電晶體裝置的此至少一者提供電力。

A semiconductor device includes a device plane including an array of cells each including a transistor device. The device plane is formed on a working surface of a substrate and has a front side and a backside opposite the front side. A signal wiring structure is formed on the front side of the device plane. A front-side power distribution network (FSPDN) is positioned on the front side of the device plane. A buried power rail (BPR) is disposed below the device plane on the backside of the device plane. A power tap structure is formed in the device plane. The power tap structure electrically connects the BPR to the FSPDN and electrically connects the BPR to at least one of the transistor devices to provide power to the at least one of the transistor devices.

指定代表圖：

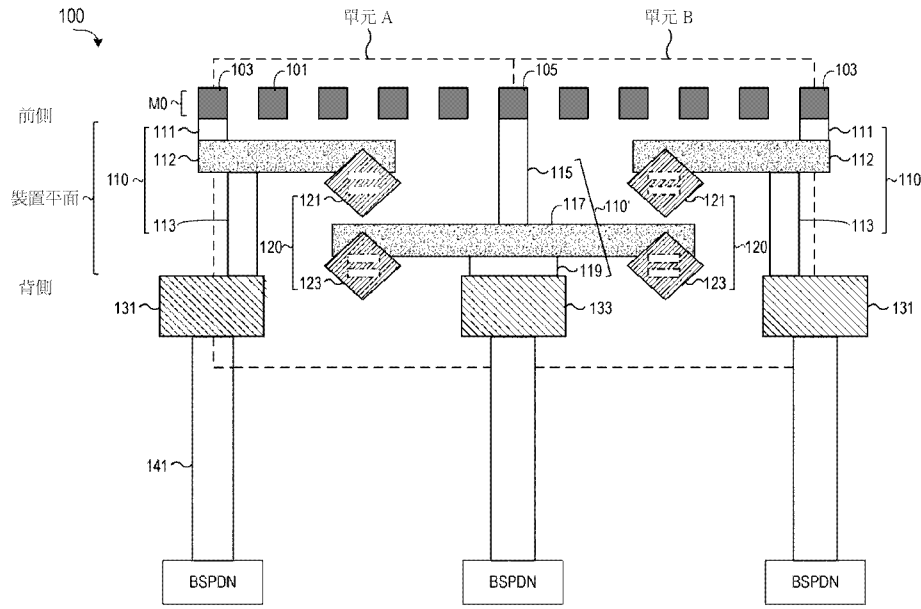


圖 1

符號簡單說明：

- 100: 半導體裝置
- 101: 信號軌道
- 103: 電力連接器軌道
- 105: 公共電力連接器軌道
- 110: 電力連接器結構
- 110': 公共電力連接器結構
- 111: 頂部觸體
- 112: 局部互連(LI)結構
- 113: 電力通孔
- 115: 公共頂部觸體
- 117: 公共局部互連(LI)結構
- 119: 公共電力通孔
- 120: CFET 裝置
- 121、123: 裝置
- 131、133: 埋入式電力軌(BPR)
- 141: 矽通孔(TSV)
- M0: 層

## 【發明摘要】

【中文發明名稱】 用以將埋入式電力軌連接至前側電力分配網路的電力連接器直通道

【英文發明名稱】 POWER-TAP PASS-THROUGH TO CONNECT A BURIED POWER RAIL TO FRONT-SIDE POWER DISTRIBUTION NETWORK

### 【中文】

一種半導體裝置包含裝置平面，其包括陣列單元，每一單元包括一電晶體裝置。裝置平面形成在基板的工作表面上，且具有前側和與前側相對的背側。信號佈線結構形成於裝置平面的前側。前側電力分配網路(Front-Side Power Distribution Network, FSPDN)位於裝置平面的前側。埋入式電力軌(Buried Power Rail, BPR)於裝置平面的下方設置在裝置平面的背側上。電力連接器結構形成在裝置平面中。電力連接器結構將埋入式電力軌電連接到前側電力分配網路，並將埋入式電力軌電連接到電晶體裝置的至少一者，以為電晶體裝置的此至少一者提供電力。

### 【英文】

A semiconductor device includes a device plane including an array of cells each including a transistor device. The device plane is formed on a working surface of a substrate and has a front side and a backside opposite the front side. A signal wiring structure is formed on the front side of the device plane. A front-side power distribution network (FSPDN) is positioned on the front side of the device plane. A buried power rail (BPR) is disposed below the device plane on the backside of the device plane. A power tap structure is formed in the device plane. The power tap structure electrically connects the BPR to the FSPDN and electrically connects the BPR

to at least one of the transistor devices to provide power to the at least one of the transistor devices.

【指定代表圖】圖1

【代表圖之符號簡單說明】

100: 半導體裝置

101: 信號軌道

103: 電力連接器軌道

105: 公共電力連接器軌道

110: 電力連接器結構

110': 公共電力連接器結構

111: 頂部觸體

112: 局部互連(LI)結構

113: 電力通孔

115: 公共頂部觸體

117: 公共局部互連(LI)結構

119: 公共電力通孔

120: CFET裝置

121、123: 裝置

131、133: 埋入式電力軌(BPR)

141: 矽通孔(TSV)

M0:層

## 【發明說明書】

【中文發明名稱】 用以將埋入式電力軌連接至前側電力分配網路的電力連接器直通道

【英文發明名稱】 POWER-TAP PASS-THROUGH TO CONNECT A BURIED POWER RAIL TO FRONT-SIDE POWER DISTRIBUTION NETWORK

### 【技術領域】

【0001】 本申請案主張 2020 年 12 月 4 日申請之美國臨時申請案第 63/121,847 號及 2021 年 5 月 24 日申請之美國非臨時申請案第 17/328,236 號的權益，其全部內容以引用方式併入本文。

【0002】 本揭露內容涉及微電子裝置，包括半導體裝置、電晶體和積體電路，以及微製造方法。

### 【先前技術】

【0003】 在半導體裝置的製造中(特別是在微觀尺度上)，執行諸如成膜沉積、蝕刻掩模創建、圖案化、材料蝕刻和去除以及摻雜處理等各種製造程序。重複執行這些工藝以在襯底上形成所需的半導體裝置元件。重複執行這些程序以在基板上形成所需的半導體裝置元件。從歷史上看，通過微加工，電晶體在一個平面上被創建，在有源裝置平面上方形成了佈線/金屬化，因此被表徵為二維(2D)電路或2D製造。縮放工作大大增加了2D電路中每單位面積的電晶體數量，但隨著縮放進入個位數奈米半導體裝置製造節點，縮放工作正面臨更大的挑戰。半導體裝置製造商已經表達了對其中電晶體堆疊在彼此頂部的三維(3D)半導體電路的需求。

**【發明內容】**

**【0004】** 本揭露內容涉及半導體裝置和製造此半導體裝置的方法。

**【0005】** 態樣(1)包括一種半導體裝置。半導體裝置包括第一裝置平面，其包括陣列單元，每一單元包括電晶體裝置。第一裝置平面形成於基板的工作表面上。第一裝置平面具有前側和與前側相對的背側。信號佈線結構形成在第一裝置平面的前側。前側電力分配網路(Front-Side Power Distribution Network, FSPDN)位於第一裝置平面的前側。第一埋入式電力軌(Buried Power Rail, BPR)在第一裝置平面下方設置於第一裝置平面的背側。電力連接器結構設置在第一裝置平面中。電力連接器結構將第一埋入式電力軌電連接至前側電力分配網路，並將第一埋入式電力軌電連接至電晶體裝置的至少一者，以向電晶體裝置的此至少一者提供電力。

**【0006】** 態樣(2)包括如態樣(1)的半導體裝置，其中陣列單元包括邏輯單元，且前側電力分配網路包括位於邏輯單元的一單元邊界上的電力連接器軌道。電力連接器軌道設置在第一佈線層(M0)中。

**【0007】** 態樣(3)包括如態樣(2)的半導體裝置，其中電力連接器結構包含局部互連結構、頂部觸體和電力通孔。頂部觸體設置在局部互連結構的前側並接觸電力連接器軌道。電力通孔設置在局部互連結構的背側並接觸第一埋入式電力軌。

**【0008】** 態樣(4)包括如態樣(3)的半導體裝置，其中局部互連結構沿基板的工作表面在水平方向上延伸，以接觸邏輯單元的電晶體裝置。

**【0009】** 態樣(5)包括如態樣(4)的半導體裝置，其中前側電力分配網路通過電力連接器結構與該第一埋入式電力軌電連接，以及第一埋入式電力軌被配置來通過局部互連結構為電晶體裝置提供電力。

【0010】 態樣(6)包括如態樣(1)的半導體裝置，其中陣列單元包含一對相鄰邏輯單元，且第一埋入式電力軌設置在此對相鄰邏輯單元的一公共單元邊界上並且被配置為用作公共埋入式電力軌。

【0011】 態樣(7)包括如態樣(6)的半導體裝置，其中前側電力分配網路包含在公共單元邊界上的公共電力連接器軌道。公共電力連接器軌道設置在第一佈線層(M0)中。

【0012】 態樣(8)包括如態樣(7)的半導體裝置，其中電力連接器結構包含位在此對相鄰邏輯單元內的公共局部互連結構、設置在公共局部互連結構的前側並接觸公共電力連接器軌道的公共頂部觸體、以及設置在公共局部互連結構的背側並接觸第一埋入式電力軌的公共電力通孔。

【0013】 態樣(9)包括如態樣(8)的半導體裝置，其中公共局部互連結構沿基板的工作表面在水平方向上延伸穿過公共單元邊界。公共局部互連結構的一端接觸此對相鄰邏輯單元的其中一邏輯單元的電晶體裝置，以及公共局部互連結構的另一端接觸此對相鄰邏輯單元中另一邏輯單元的電晶體裝置。

【0014】 態樣(10)包括如態樣(9)的半導體裝置，其中前側電力分配網路通過電力連接器結構與第一埋入式電力軌電連接，以及電力連接器結構被配置作為公共電力連接器結構，以便第一埋入式電力軌為公共局部互連結構的兩端的電晶體裝置提供電力。

【0015】 態樣(11)包括如態樣(9)的半導體裝置，其中電晶體裝置包括複數個互補場效電晶體(Complementary Field-Effect Transistor, CFET)。每一互補場效電晶體在P型裝置上有N型裝置。P型裝置被配置為通過公共局部互連結構連接到用於 $V_{DD}$ 的第一埋入式電力軌，以及每一相鄰邏輯單元中的N型裝置被配置為通過個別的電力連接器結構連接到用於 $V_{SS}$ 的個別埋入式電力軌。

【0016】 態樣(12)包括如態樣(1)的半導體裝置，其中陣列單元包含一對相鄰邏輯單元。此對相鄰邏輯單元中只有一邏輯單元包括電力連接器結構，而此對相鄰邏輯單元中的另一邏輯單元具有信號連接，此信號連接遠離外部M0軌道。

【0017】 態樣(13)包括如態樣(1)的半導體裝置，更包含位於第一裝置平面的背側上的第一埋入式電力軌之下方的背側電力分配網路(Backside Power Distribution Network, BSPDN)。第一埋入式電力軌通過底部矽通孔(Through-Silicon Via, TSV)電連接到背側電力分配網路。

【0018】 態樣(14)包括如態樣(1)的半導體裝置，更包含在陣列單元中的電力連接器單元。電力連接器單元通過將電晶體裝置電連接到第一埋入式電力軌來為電晶體裝置提供電力。

【0019】 態樣(15)包括如態樣(14)的半導體裝置，其中電力連接器單元更包含連接第一埋入式電力軌和前側電力分配網路的導電結構。

【0020】 態樣(16)包括如態樣(1)的半導體裝置，更包含位於第一埋入式電力軌的下方的第二裝置平面、在第二裝置平面的下方的第二埋入式電力軌、以及在第二埋入式電力軌的下方的背側電力分配網路。第二埋入式電力軌與背側電力分配網路電連接，並被配置為向第二裝置平面中的一裝置提供電力。

【0021】 根據本揭露內容的態樣(17)，提供一種微製造方法。此方法包含形成包括陣列單元的裝置平面，每一單元包括一電晶體裝置。裝置平面形成在基板的工作表面上。裝置平面具有前側和與前側相對的背側。形成埋入式電力軌(BPR)，埋入式電力軌位於裝置平面下方的裝置平面之背側上。在裝置平面的前側上形成信號佈線結構。在裝置平面的前側上形成前側電力分配網路(FSPDN)。在裝置平面中形成電力連接器結構。電力連接器結構將埋入式電力軌電連接到前側電力分配網路，並將埋入式電力軌電連接到電晶體裝置，以為電晶體裝置提供電力。



【0022】 態樣(18)包括如態樣(17)的方法，其中埋入式電力軌和前側電力分配網路之間的連接是在形成陣列單元之後形成的。

【0023】 態樣(19)包括如態樣(17)的方法，更包含在陣列單元中形成電力連接器單元。電力連接器單元電連接埋入式電力軌到前側電力分配網路。

【0024】 態樣(20)包括如態樣(17)的方法，更包含在裝置平面的背側形成背側電力分配網路(BSPDN)。背側電力分配網路設置在埋入式電力軌下方並連接到埋入式電力軌。

【0025】 需要注意的是，本發明內容並未詳細說明本揭露內容或請求保護的發明的每個實施例和/或增量新穎態樣。相反地，本發明內容僅提供對不同實施例和相應新穎性的初步討論。有關本發明和實施例的更多細節和/或可能的觀點，讀者被引導到實施方式部分和本揭露內容的相應附圖，如下文進一步所討論。

#### 【圖式簡單說明】

【0026】 當與附圖一起閱讀時，從以下實施方式中可以最好地理解本揭露內容的各個態樣。值得注意的是，根據行業的標準慣例，各種特徵並未按比例繪製。事實上，為了討論的清晰，可以增加或減少各種特徵的尺寸。

【0027】 圖1是根據本揭露內容實施例的半導體裝置的截面圖。

【0028】 圖2示出了根據本揭露內容另一個實施例的半導體裝置之俯視圖的佈局圖。

【0029】 圖3A、3B和3C分別示出了根據本揭露內容一些實施例的具有習知電力軌的橫向奈米片裝置、具有埋入式電力軌的橫向奈米片裝置和具有埋入式電力軌的互補場效電晶體裝置的截面圖。

【0030】圖4A和4B分別示出了根據本揭露內容一些實施例之具有背側電力分配網路和前側電力分配網路的埋入式電力軌的截面圖。

【0031】圖5A和5B分別示出了根據本揭露內容一些實施例的具有用於M0電力軌之電力分配網路和用於使用電力連接器單元之埋入式電力軌之電力分配網路的的陣列單元的截面圖。

【0032】圖6示出了根據本揭露內容一些實施例的多層設計的截面圖。

【0033】圖7示出了根據本揭露內容示例性實施例的概述過程示例的流程圖。

#### 【實施方式】

【0034】以下揭露內容提供了許多不同的實施例或示例，用於實施所提供主題的不同特徵。下文描述了組件和配置的具體示例以簡化本揭露內容。當然，這些僅僅是示例並且不旨在加以限制。例如，在下面的描述中，在第二特徵上方或之上形成第一特徵可包括第一和第二特徵形成為直接接觸的實施例，並且還可包括附加特徵可以在第一和第二特徵之間形成的實施例，使得第一和第二特徵可以不直接接觸。此外，本揭露內容在各種示例中的參考編號和/或字母可能會重複。此種重複是為了簡單和清楚的目的，並且其本身並不規定所討論的各種實施例和/或組配之間的關係。更進一步來說，為了便於描述，本文可以使用諸如「頂部」、「底部」、「下方」、「之下」、「低於」、「上方」、「之上」等空間相關術語來描述一個元件或特徵與另一個元件或特徵如圖所示的關係。除了圖中描繪的方向之外，空間相關術語旨在涵蓋裝置在使用或操作中的不同方向。裝置可以以其他方式定向(旋轉90度或在其他方向)，並且本文使用的空間相對描述符同樣可以相應地解釋。

【0035】 為了清楚起見，已經呈現瞭如本文所述的不同步驟的討論順序。一般而言，這些步驟可以以任何合適的順序執行。此外，儘管本文中的每個不同特徵、技術、組配等可以在本揭露內容的不同位置進行討論，但意在使每個概念可以彼此獨立地或彼此組合地執行。因此，本發明可以以許多不同的方式來體現和觀察。

【0036】 本揭露內容包括一種新穎的結構、相關的過程整合解決方案、以及設計方法，以高效、緊湊地將埋入式電力軌(Buried Power Rail, BPR)連接到前側電力分配網路(Front-Side Power Distribution Network, FSPDN)。本揭露內容可以建立於美國申請案第SN 16/659, 251號(2019年10月21日所提交)，其通過參考方式併入本文，此申請案描述了用於使用BPR之互補場效電晶體(CFET)的中線電力輸送網路。BPR是相對於晶圓表面位於有源裝置下方的軌道。

【0037】 由於光刻、經濟和裝置性能的原因，間距縮放放緩，半導體行業一直在尋求將單元高度降低作為實現所期望的50%節點到節點面積縮放的手段。非常重要的一點是，5T的最終單元高度縮放目標(亦即，單元高度=最密集水平金屬的5倍間距)只能通過BPR實現。請注意，術語「高度」可以以兩種方式使用。當從頂視圖考慮單元佈局時，高度是指單元佈局的橫向尺寸。然而，在製造電晶體時，在z方向上可能會有一個結構高度。例如，在圖3A-3C中，高度是指橫向尺寸，諸如相應單元的寬度。

【0038】 BPR在單元高度縮放中的重要性在圖3A-3C中示出，其分別顯示了根據本揭露內容的一些實施例的具有習知電力軌的橫向奈米片裝置、具有BPR的橫向奈米片裝置和具有BPR的CFET的截面圖。

【0039】 在相關示例中，圖3A可以是邏輯裝置的源極/汲極(Source/Drain, S/D)區域的橫截面。虛線可以是邏輯單元300A的邊界。如圖所示，除了有源裝置區域上方的第一佈線層(M0)之外，邏輯單元300A可以包括橫向奈米片裝置，諸

如N型裝置321和P型裝置323。在非限制性示例中，N型裝置321和P型裝置323可以被組配為分別連接到用於 $V_{SS}$ 和 $V_{DD}$ 的電力軌331和333。舉例來說，P型裝置323可以通過頂部觸體結構311和頂部局部互連(Local Interconnect, LI)結構312連接到電力軌333。注意電力軌331和333位於M0層內，因此也稱為M0電力軌。

【0040】 為了在最緊湊的電晶體放置中呈現複雜的組合和時序邏輯單元，在M0層中需要四個信號軌道301。為了將電力輸送到具有習知電力軌(例如331和333，在此稱為M0電力軌)的邏輯單元中，而不引起性能限制電壓下降(通常稱為IR下降)，2倍寬(即以單元邊界為中心的金屬半/間距的兩倍)的共用電力軌(例如331和333)被視為最窄的可接受結構。四個信號軌道301加上一個2倍寬的共用電力軌將單元高度限制在理論極限的5.5T。

【0041】 當圖3A示出了具有M0電力軌的橫向奈米片裝置，圖3B可示出在裝置平面下方具有BPR 331和333的相同裝置(亦即，高度程式化的橫向奈米片裝置圖)以減少單元長度。將電力軌埋在物理裝置下可以允許標準單元的單元高度由佈線軌道或信號線的數量來定義，而不是電力軌和佈線軌道的組合。如圖所示，BPR 331和333通過電力通孔313連接到電晶體裝置321和323。因此，在此架構中，電力通過位於裝置平面下方的BPR 331和333輸送到電晶體裝置321和333，允許單元高度減少到5T(亦即，四個信號軌道301加上一個到相鄰單元的單軌道空間。換句話說，四個用於信號的佈線軌道加上一個用於吸收緊密排列單元中線路末端延伸和尖端到尖端之間距的佈線軌道)。

【0042】 進一步來說，BPR在降低單元高度方面的好處與從橫向奈米片裝置(圖3B)或鰭場效電晶體(FinFET)(未示出)到互補FET(CFET)之裝置架構中的改變一起被優先利用，如圖3C所示。在CFET方法中，具有N型裝置(例如N型金屬氧化物半導體電晶體)和P型裝置(例如P型金屬氧化物半導體電晶體)的邏輯單元300C實質上被摺疊，以便將兩個裝置中的一個(例如N型裝置321)設置在兩個裝

置中的另一個裝置(例如P型裝置323)之上。P型裝置和N型裝置可以共享一個公共閘極(未示出)。因此，N型裝置321的源極區可以連接到用於 $V_{SS}$ 的BPR 331，並且P型裝置323的汲極區可以連接到用於 $V_{DD}$ 的BPR 333。將兩個互補裝置相互疊放可以消除N型裝置321和P型裝置323之間所需的大量橫向空間，並將標準單元邏輯設計置於單元高度受所需佈線軌道的累積寬度而不是裝置寬度限制的區域中。

【0043】圖4A和4B分別示出了根據本揭露內容一些實施例的具有背側電力分配網路(Backside Power Distribution Network, BSPDN)和前側電力分配網路(FSPDN)之BPR的截面圖。

【0044】BPR實施的一個挑戰在於將電力引入BPR。亦即，如何將BPR連接到電力輸送網路(Power Delivery Network, PDN)的其餘部分。如圖4A所示，一種方法是其中電力通過底部矽通孔(Through-Silicon Vias, TSVs)441連接到BPR 431和433的背側電力分配網路。背側電力分配網路具有巨大的設計優勢，因為PDN不再與信號佈線競爭稀少的佈線資源。BPR是背側電力分配網路的優選實施方式，因為BPR為TSV提供了方便的著地形狀。請注意，與背側電力分配網路相關的過程挑戰和額外成本有利於在許多產品中繼續使用FSPDN。

【0045】對於FSPDN，此電力連接不能承受太小以致產生電流夾點的風險或太大以致產生干擾密集單元放置的風險。如引用的專利文件中所公開和圖4B中所示，將BPR連接到FSPDN的一種方法是使用「電力連接器單元」。此處的電力連接器單元指的是不提供邏輯功能並且僅設計為將電力從FSPDN經過裝置平面輸送到BPR中的專用單元。在非限制性示例中，電力連接器單元400B在M0層中包括電力連接器軌道403和四個信號軌道401。BPR 433通過頂部觸體結構411、頂部LI結構443、帶式結構445、底部LI結構447和底部電力通孔413連接到電力連接器軌道403。因此，BPR 433可以通過電力連接器軌道403和M0層上方的一些佈

線結構(未示出)進一步連接到FSPDN(未示出)。在一些具體實施例中，頂部LI結構443和底部LI結構447對應於圖4A中的頂部LI結構412。

【0046】 類似地，BPR 431也可以通過另一個電力連接器單元(未示出)連接到FSPDN。在一些實施例中，BPR 433和431被組配為分別提供電力，例如 $V_{DD}$ 和 $V_{SS}$ 。因此，為互補電力供應構建了與電力連接器單元400B相同的另一個電力連接器單元，並且這些電力連接器單元通常成對出現(一個用於 $V_{DD}$ ，另一個用於 $V_{SS}$ )。此外，裝置平面可以包括其他單元，例如作為晶圓上相鄰單元的邏輯單元。因此可以通過電力連接器單元400B等以及BPR 431和433等將電力從FSPDN輸送到其他單元。

【0047】 電力連接器單元的一個挑戰是它們對放置密度的負面影響。這一挑戰可以在圖5A和5B中看到，圖5A和5B分別示出了根據本揭露內容一些實施例的具有用於M0電力軌的PDN和用於使用電力連接器單元之BPR的PDN的陣列單元。

【0048】 在一些實施例中，圖5A可以繪示放置在FSPDN中的單元設計的橫截面。一般而言，半導體裝置可以包括多個金屬層，諸如從下到上分別稱為M0、M1、M2、M3、M4、M5和M6的七個金屬層。在一些示例中，金屬層M0通常用於標準單元內的連接，而金屬層M1~M6位於金屬層M0之上並且可以用作FSPDN。雖然未顯示電力線之間的信號線，但通過金屬和通孔堆疊從FSPDN將電力輸送到M0電力軌不會影響單元放置，因為單元佈局在M1層具有足夠的孔隙率以允許放置單元，使得單元級M1不會干擾電力輸送M1。此外，多個有源裝置561可以設置在M0層以下，而不受電力輸送路由的干擾。

【0049】 相比之下，如圖5B所示，電力連接器單元550被設計成跨越整個中線(Middle-of-Line, MOL)堆疊並且完全佔據了在使用BPR 530時給予它們的空間。因此，功能邏輯單元560不能放置在電力連接器單元550周圍，而是必須放置

在電力連接器單元550之間。電力連接器單元的此種放置約束以兩種方式影響電路密度。一種方式是密度損失到實際電力連接器單元的區域(例如，每24個軌道有兩個多軌道=8%的密度損失)。密度也損失至量化，亦即，放置在電力連接器單元之間的所有單元的寬度之和必須小於或等於可用空間。

**【0050】** 圖6示出了根據本揭露內容一些實施例的由具有兩層的電路600表示的多層設計的截面圖。隨著半導體行業繼續追求密度擴展到三維，即使是背側電力分配網路也不能減輕將BPR有效連接到裝置平面上方的佈線堆疊的需求。此處，顯示了多層3D積體電路橫截面。此電路600可以順序地或單片地構建在公共晶圓基板的頂部。此電路600需要使電力供應從背側電力分配網路通過底層的BPR(例如631a和633a)經過底層裝置平面進入層間佈線堆疊區域(未示出)，以便連接到上層的BPR(例如631b和633b)。

**【0051】** 在替代實施例中，電路600可以使用FSPDN而不是背側電力分配網路。因此，電路600需要使電力供應從FSPDN通過頂層的BPR(例如631b和633b)經過層間佈線堆疊和底層的裝置平面，以便連接到底層的BPR(例如631a和633a)。亦即，在多層設計的情況下，電力必須跨過僅具有一個BSPDN或僅具有一個FSPDN的有源裝置區域。

**【0052】** 本文的技術提供了有效且緊湊地將BPR連接到FSPDN的設計和方法。技術包括使用分配的空間在LI和BPR之間建立穩固的連接(亦即，電力連接器從電力軌獲取電力並將其饋入裝置)，以將BPR連接到裝置平面上方的佈線。藉由在現有電力連接器上將空的M0軌道機會性地連接到LI，這種電力直通道結構提供了高度冗餘的連接，具有許多平行的垂直電流路徑和1x M0佈線上的最小橫向電流負載。

**【0053】** 圖1是根據本揭露內容實施例的半導體裝置100的截面圖。半導體裝置100可以包括具有陣列單元的裝置平面。每個單元可以包含一個電晶體裝

置。裝置平面形成於基板(未示出)的工作表面上，且裝置平面具有前側和與前側相對的背側。在圖1的示例中，陣列單元包括一對相鄰邏輯單元(例如單元A和單元B)。在非限制性示例中，單元A和單元B各自包括CFET裝置120，此CFET裝置120在P型裝置123的頂部具有N型裝置121。半導體裝置100在第一裝置平面的前側還包括信號佈線結構和前側電力分配網路(FSPDN)。在圖1示例中，信號佈線結構包括第一佈線層(M0)中的四個信號軌道101。FSPDN包括在邏輯單元(例如單元A或單元B)之單元邊界上的電力連接器軌道103。

**【0054】** 半導體裝置100還包括BPR(例如131和133)，其等設置於裝置平面下方之裝置平面背側。如圖所示，電力連接器結構110將BPR 131電連接到電力連接器軌道103，以便BPR 131通過電力連接器結構110連接到FSPDN。電力連接器結構110還將BPR 131電連接到至少一個電晶體裝置(例如121)，以向此至少一個電晶體裝置(例如121)提供電力。具體地，電力連接器結構110包括LI結構112、設置在LI結構112前側並接觸電力連接器軌道103的頂部觸體111，以及設置在LI結構112背側並接觸BPR 131的電力通孔。此外，LI結構112沿基板的工作表面的水平方向延伸，以便與邏輯單元的電晶體裝置(例如121)接觸。BPR 131因而可以通過電力通孔113和LI結構112連接到N型裝置121。因此，BPR 131可以被組配成向N型裝置121的源極區域提供電力(例如 $V_{SS}$ )。

**【0055】** 在一些實施例中，半導體裝置100可以包括一對相鄰邏輯單元，諸如圖1中的單元A和單元B。在非限制性示例中，公共BPR 133設置在此對相鄰邏輯單元的公共單元邊界上。因此，M0層包括公共單元邊界上的公共電力連接器軌道105。需注意的是，公共電力連接器軌道105是FSPDN的一部分。類似地，公共電力連接器結構110'將公共BPR 133電連接到公共電力連接器軌道105，使得公共BPR 133通過公共電力連接器結構110'連接到FSPDN。公共電力連接器110'還將公共BPR 133電連接到每個單元中的至少一個電晶體裝置(例如123)，以向每個



單元中的此至少一個電晶體裝置(例如123)提供電力。具體而言，公共電力連接器結構110'包括公共LI結構117、設置在公共LI結構117前側並接觸公共電力連接器軌道105的公共頂部觸體115、和設置在公共LI結構117的背側並接觸公共BPR 133的公共電力通孔119。此外，公共LI結構117沿著基板的工作表面在水平方向上延伸穿過公共單元邊界。公共LI結構117的一端接觸一個邏輯單元(例如單元A)的電晶體裝置(例如123)，而公共LI結構117的另一端接觸另一個邏輯單元(例如單元B)的電晶體裝置(例如123)。公共BPR 133因而可以被組配為向單元A和單元B兩者中的P型裝置123的汲極區域提供電力(例如 $V_{DD}$ )。需注意的是，在此示例中，公共BPR 133被組配為向公共LI結構117兩端的電晶體裝置(例如123)提供電力，而在相關示例中，公共BPR 133可以通過單元A和單元B中的個別LI結構分別連接到P型裝置123。因此，在圖1示例中，兩個單元的電力連接器LI可以合併，並且可以為公共BPR 133形成更寬的觸體，從而實現非常穩健的效能。

【0056】進一步來說，在一些實施例中，半導體裝置100可以包括BSPDN，其位於BPR 131和133的下方。BPR 131和133可以通過底部TSV 141連接到BSPDN。在一些實施例中，陣列單元可以包括一或多個類似於圖4B中的電力連接器單元400B的電力連接器單元(未示出)。此一或多個電力連接器單元被組配以將BPR(例如131和133)連接到FSPDN。因此，可以形成高度冗餘的連接，以減少M0層中M0導線上的電流負載。

【0057】如圖1所示，所揭露的構造利用了單元邊界上之空的M0軌道(亦即，由於在相鄰單元之間共用而不能用於單元內佈線的軌道，例如105)和LI電力連接器周圍的可用空間(亦即，一個單元的電力連接器和相鄰單元的信號LI之間的空間)，以將BPR(例如133)連接到裝置平面上方的佈線堆疊。一種較佳的技術是如圖1示例所示之電力軌兩側的單元在同一軌道上都有一個電力連接器的情況。在此實施例中，兩個單元的電力連接器LI可以合併(例如公共LI結構117)，並

且可以為公共BPR 133形成更寬的觸體(例如公共電力通孔119),從而實現非常穩健的效能。在替代實施例中,只有一個單元可以具有電力連接器,而另一個單元具有不在外部M0軌道上的信號連接。此替代實施例允許擴展電力連接器並形成與M0的觸體。這些電力直通道構造實施例的一些示例佈局將在圖2中進一步示出。

【0058】圖2示出了根據本揭露內容另一個實施例的半導體裝置200之俯視圖的佈局圖。在非限制性示例中,半導體裝置200包括三個相鄰單元(單元C、單元D和單元E)、三個BPR 231和233、以及多個M0軌道(例如205、207和209)。電力連接器的總密度足以將電力從BPR 231和233穩健地饋送到FSPDN。此外,圖2可以是三個相鄰單元的俯視圖,其中電力連接器可用於將BPR連接到圈選區域A和圈選區域B中的M0軌道。圈選區域A顯示了對齊電力連接器的理想情況。圈選區域B顯示一對單側電力連接器。

【0059】具體而言,圈選區域A中的M0軌道205以類似於圖1中的公共電力連接器軌道105的方式組配。亦即,M0軌道205位於單元C和單元D的公共單元邊界上,並且通過公共LI結構217連接到BPR 233。因此,BPR 233可以用作單元C和單元D的公共BPR。當M0軌道207和209兩者皆位於單元C和單元E的公共單元邊界上時,M0軌道207和209的配置不同於M0軌道205。舉例來說,M0軌道207僅通過第一LI結構212a連接到單元C,而M0軌道209僅通過第二LI結構212b連接到單元E。

【0060】因此,本文的技術提供了一種使用LI電力連接器的結構,其係被組配為從BPR汲取電力的結構或構造,以將電力從FSPDN饋送到BPR。通過在單元放置後機會性地將M0連接到BPR,可以在不影響放置密度的情況下建立高度冗餘的連接。

【0061】一種更新穎的態樣是設計流程之關鍵組件的重新排序。通常在相關示例中，整個PDN是由電力路由器在單元放置和詳細信號路由之前創建。利用本文的技術，無論是從晶圓的前側向BPR饋送電力，或是將多層3D堆疊連接到公共背側電力分配網路，BPR和FSPDN之間的連接都可以在單元放置後形成。單元級電力連接器的高密度確保足夠數量的機會連接將被建立。通過設計類似的電力直通道至所有填充單元中，可以提供進一步的PDN穩健性。

【0062】根據本揭露內容的示例性實施例，圖7示出了一個流程圖，其概述了用於製造半導體裝置的製程例子，諸如半導體裝置100、半導體裝置200等。製程700從步驟S701開始，其中形成一個裝置平面。裝置平面可以包括一陣列單元。舉例來說，此陣列單元可以包含具有電晶體裝置的邏輯單元。

【0063】在步驟S702中，於裝置平面下方在裝置平面的背側上形成BPR。在步驟S703中，在裝置平面的前側上形成信號佈線結構。在步驟S704中，在裝置平面的前側形成FSPDN。

【0064】製程700接著進入步驟S705，其中在裝置平面中形成電力連接器結構。電力連接器結構將BPR與FSPDN電連接，以及將BPR與電晶體裝置電連接，以提供電力給電晶體裝置。

【0065】本揭露內容包括一種新穎的構造、相關製程整合解決方案和設計方法，以有效且緊湊地將BPR連接到FSPDN。技術包括使用分配的空間在LI和BPR之間建立穩固的連接(亦即，電力連接器從電力軌獲取電力並將其饋入至裝置中)，以將BPR連接到裝置平面上方的佈線。通過在現有電力連接器上將空的M0軌道機會性地連接到LI，此電力直通道結構提供了高度冗餘的連接，具有許多平行的垂直電流路徑和1x M0導線上的最小橫向電流負載。

【0066】在前文的描述中，已經闡述了具體細節，例如處理系統的特定幾何形狀以及其中使用的各種組件和製程的描述。然而，應當理解，本文的技術可

以在背離這些特定細節的其他實施例中實踐，並且這些細節是出於解釋而非限制的目的。已經參照附圖描述了本文揭露的實施例。類似地，為了解釋的目的，已經列出了具體的數字、材料和配置，以便提供透徹的理解。然而，可以在沒有這些具體細節的情況下實施實施例。具有實質上相同功能結構的組件用相同的參考字符表示，因此可以省略任何重複的描述。

**【0067】** 各種技術已經被描述為多個離散操作，以幫助理解各種實施例。描述的順序不應被解釋為暗示這些操作必然依賴於順序。實際上，這些操作不需要按表示順序執行。所描述的操作可以以不同於所描述的實施例的順序來執行。各種附加操作可以執行和/或描述操作可以在附加實施例中省略。

**【0068】** 如本文所用，「基板」或「目標基板」一般是指根據本發明處理的物體。基板可以包括裝置的任何材料部分或結構，特別是半導體或其他電子裝置，並且例如可以是基礎基板結構，諸如半導體晶圓、掩模版或諸如薄膜之基礎基板結構之上或上覆的層體。因此，基板不限於任何特定的基礎結構、下層或上覆層、圖案化的或未圖案化的，而是經考慮包括任何此類層體或基礎結構、以及層體和/或基礎結構的任何組合。描述可能引用特定類型的基板，但這僅是用於說明目的。

**【0069】** 本領域技術人員還將理解，可以對上述技術的操作做出許多變化，同時仍然實現本發明的相同目標。此類變化旨在涵蓋在本揭露內容的範圍內。如此，本發明實施例的前述描述不旨在限制。相反地，對本發明實施例的任何限制在以下請求項中提出。

## **【符號說明】**

### **【0070】**

100、200: 半導體裝置

101、301、401: 信號軌道  
103: 電力連接器軌道  
105: 公共電力連接器軌道  
110: 電力連接器結構  
110': 公共電力連接器結構  
111: 頂部觸體  
112: 局部互連(LI)結構  
113、413: 電力通孔  
115: 公共頂部觸體  
117、217: 公共局部互連(LI)結構  
119: 公共電力通孔  
120: 互補場效電晶體(CFET)裝置  
121、123、321、323: 裝置  
131、133、231、233、331、333、431、433、530、631a、631b、  
633a、633b: 埋入式電力軌(BPR)  
141、441: 矽通孔(TSV)  
M0~M6: 層  
205、207、209: 軌道  
212a: 第一局部互連(LI)結構  
212b: 第二局部互連(LI)結構  
300A: 邏輯單元  
311、411: 頂部觸體結構  
312、412、443: 頂部局部互連(LI)結構  
313: 電力通孔

400B、550: 電力連接器單元

403: 電力連接器軌道

445: 帶式結構

447: 底部局部互連(LI)結構

560: 功能邏輯單元

561: 有源裝置

600: 電路

700: 製程

S701~S705: 步驟

## 【發明申請專利範圍】

【請求項1】 一種半導體裝置，包含：

一第一裝置平面，包括一陣列之單元，每一單元包括一電晶體裝置，該第一裝置平面形成在一基板的一工作表面上，該第一裝置平面具有一前側和與該前側相對的一背側；

一信號佈線結構，形成於該第一裝置平面的該前側上；

一前側電力分配網路(Front-Side Power Distribution Network, FSPDN)，位於該第一裝置平面的該前側上；

一第一埋入式電力軌(Buried Power Rail, BPR)，於該第一裝置平面的下方設置在該第一裝置平面的該背側上；以及

一電力連接器結構，位在該第一裝置平面中，該電力連接器結構將該第一埋入式電力軌電連接到該前側電力分配網路，並將該第一埋入式電力軌電連接到該等電晶體裝置的至少一者，以為該等電晶體裝置的該至少一者提供電力。

【請求項2】 如請求項1所述的半導體裝置，其中該陣列之單元包括一邏輯單元，且該前側電力分配網路包括位於該邏輯單元的一單元邊界上的一電力連接器軌道，該電力連接器軌道設置在一第一佈線層(M0)中。

【請求項3】 如請求項2所述的半導體裝置，其中該電力連接器結構包含：

一局部互連(LI)結構；

一頂部觸體，設置在該局部互連結構的前側上並接觸該電力連接器軌道；以及

一電力通孔，設置在該局部互連結構的背側上並接觸該第一埋入式電力軌。

【請求項4】如請求項3所述的半導體裝置，其中該局部互連結構沿該基板的該工作表面在水平方向上延伸，以接觸該邏輯單元的該電晶體裝置。

【請求項5】如請求項4所述的半導體裝置，其中：

該前側電力分配網路通過該電力連接器結構與該第一埋入式電力軌電連接，以及

該第一埋入式電力軌被配置來通過該局部互連結構為該電晶體裝置提供電力。

【請求項6】如請求項1所述的半導體裝置，其中該陣列之單元包含一對相鄰邏輯單元，且該第一埋入式電力軌設置在該對相鄰邏輯單元的一公共單元邊界上並且被配置為用作一公共埋入式電力軌。

【請求項7】如請求項6所述的半導體裝置，其中該前側電力分配網路包含在該公共單元邊界上的一公共電力連接器軌道，該公共電力連接器軌道設置在第一佈線層(M0)中。

【請求項8】如請求項7所述的半導體裝置，其中該電力連接器結構包含：

一公共局部互連結構，位在該對相鄰邏輯單元內；

一公共頂部觸體，設置在該公共局部互連結構的前側，並接觸該公共電力連接器軌道；以及

一公共電力通孔，設置在該公共局部互連結構的背側並接觸該第一埋入式電力軌。



【請求項9】 如請求項8所述的半導體裝置，其中：

該公共局部互連結構沿該基板的該工作表面在水平方向上延伸穿過該公共單元邊界，

該公共局部互連結構的一端接觸該對相鄰邏輯單元的其中一邏輯單元的電晶體裝置，以及

該公共局部互連結構的另一端接觸該對相鄰邏輯單元中另一邏輯單元的電晶體裝置。

【請求項10】 如請求項9所述的半導體裝置，其中：

該前側電力分配網路通過該電力連接器結構而與該第一埋入式電力軌電連接，以及

該電力連接器結構被配置作為一公共電力連接器結構，以便該第一埋入式電力軌為該公共局部互連結構的兩端的該等電晶體裝置提供電力。

【請求項11】 如請求項9所述的半導體裝置，其中：

該等電晶體裝置包括複數個互補場效電晶體(Complementary Field-Effect Transistor, CFET)，每一互補場效電晶體在一P型裝置上有一N型裝置，

該P型裝置被配置為通過該公共局部互連結構連接到用於 $V_{DD}$ 的該第一埋入式電力軌，以及

每一相鄰邏輯單元中的該N型裝置被配置為通過個別的電力連接器結構連接到用於 $V_{SS}$ 的個別埋入式電力軌。

【請求項12】 如請求項1所述的半導體裝置，其中該陣列之單元包含一對相鄰邏輯單元，並且該對相鄰邏輯單元中只有一邏輯單元包括一電力連接器結構，

而該對相鄰邏輯單元中的另一邏輯單元具有一信號連接，該信號連接係遠離一外部M0軌道而加以設置。

**【請求項13】** 如請求項1所述的半導體裝置，更包含位於該第一裝置平面的該背側上的該第一埋入式電力軌之下方的一背側電力分配網路(Backside Power Distribution Network，BSPDN)，其中該第一埋入式電力軌通過一底部矽通孔(Through-Silicon Via，TSV)電連接到該背側電力分配網路。

**【請求項14】** 如請求項1所述的半導體裝置，更包含在該陣列之單元中的一電力連接器單元，該電力連接器單元藉由將該電晶體裝置電連接到該第一埋入式電力軌來為該電晶體裝置提供電力。

**【請求項15】** 如請求項14所述的半導體裝置，其中該電力連接器單元更包含連接該第一埋入式電力軌和該前側電力分配網路的一導電結構。

**【請求項16】** 如請求項1所述的半導體裝置，更包含：

一第二裝置平面，位於該第一埋入式電力軌的下方；

一第二埋入式電力軌，在該第二裝置平面的下方；以及

一背側電力分配網路，在該第二埋入式電力軌的下方，其中該第二埋入式電力軌與該背側電力分配網路電連接，並被配置為向該第二裝置平面中的一裝置提供電力。

**【請求項17】** 一種微製造方法，包含：

形成一裝置平面，該裝置平面包括一陣列之單元，每一單元包括一電晶體裝置，該裝置平面形成在一基板的一工作表面上，該裝置平面具有一前側和與該前側相對的一背側；

形成一埋入式電力軌(Buried Power Rail, BPR)，該埋入式電力軌位於該裝置平面下方的該裝置平面之該背側上；

在該裝置平面的該前側上形成一信號佈線結構；

在該裝置平面的該前側上形成一前側電力分配網路(Front-Side Power Distribution Network, FSPDN)；以及

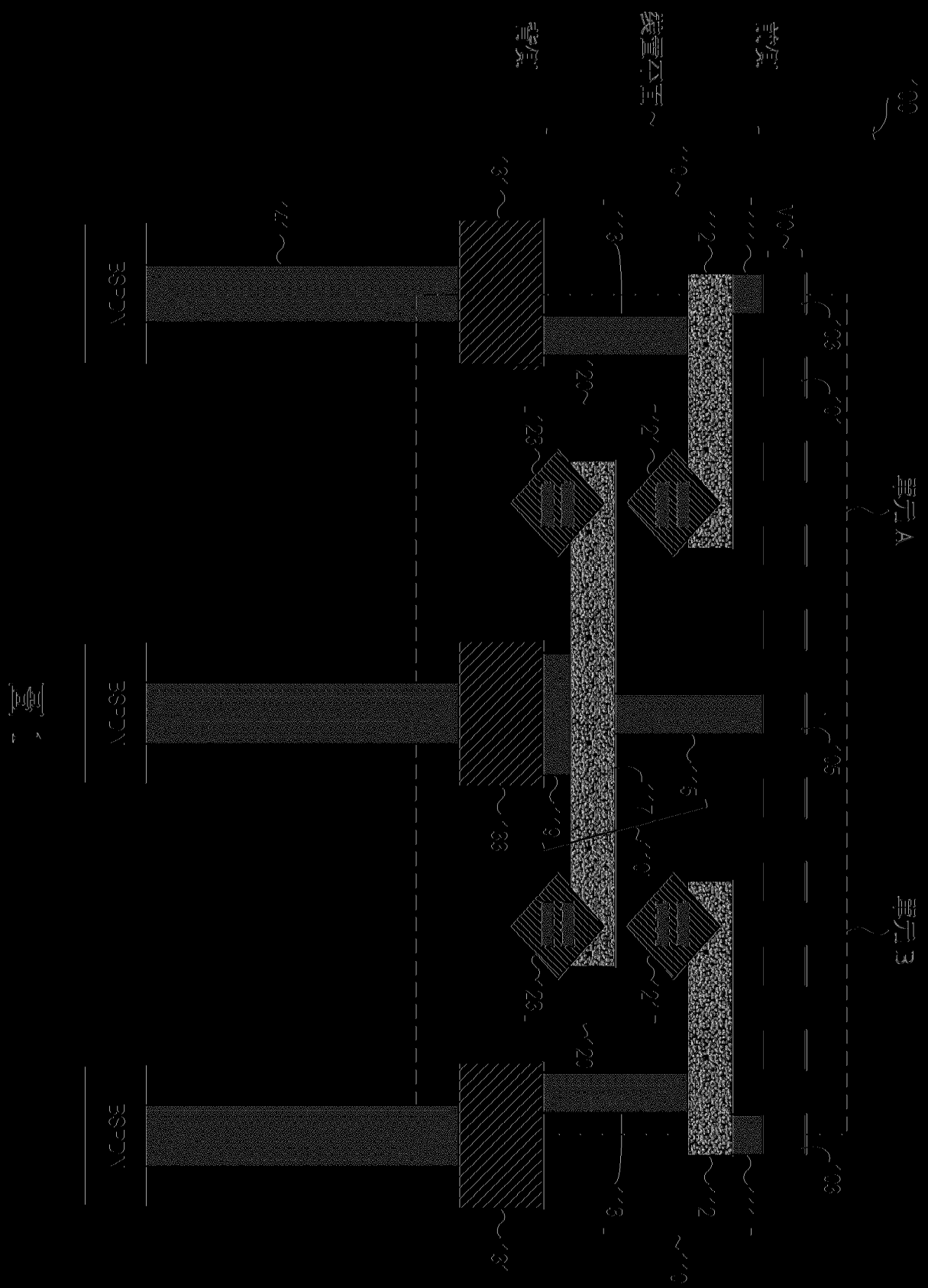
在該裝置平面中形成一電力連接器結構，該電力連接器結構將該埋入式電力軌電連接到該前側電力分配網路，並將該埋入式電力軌電連接到該電晶體裝置，以為該電晶體裝置提供電力。

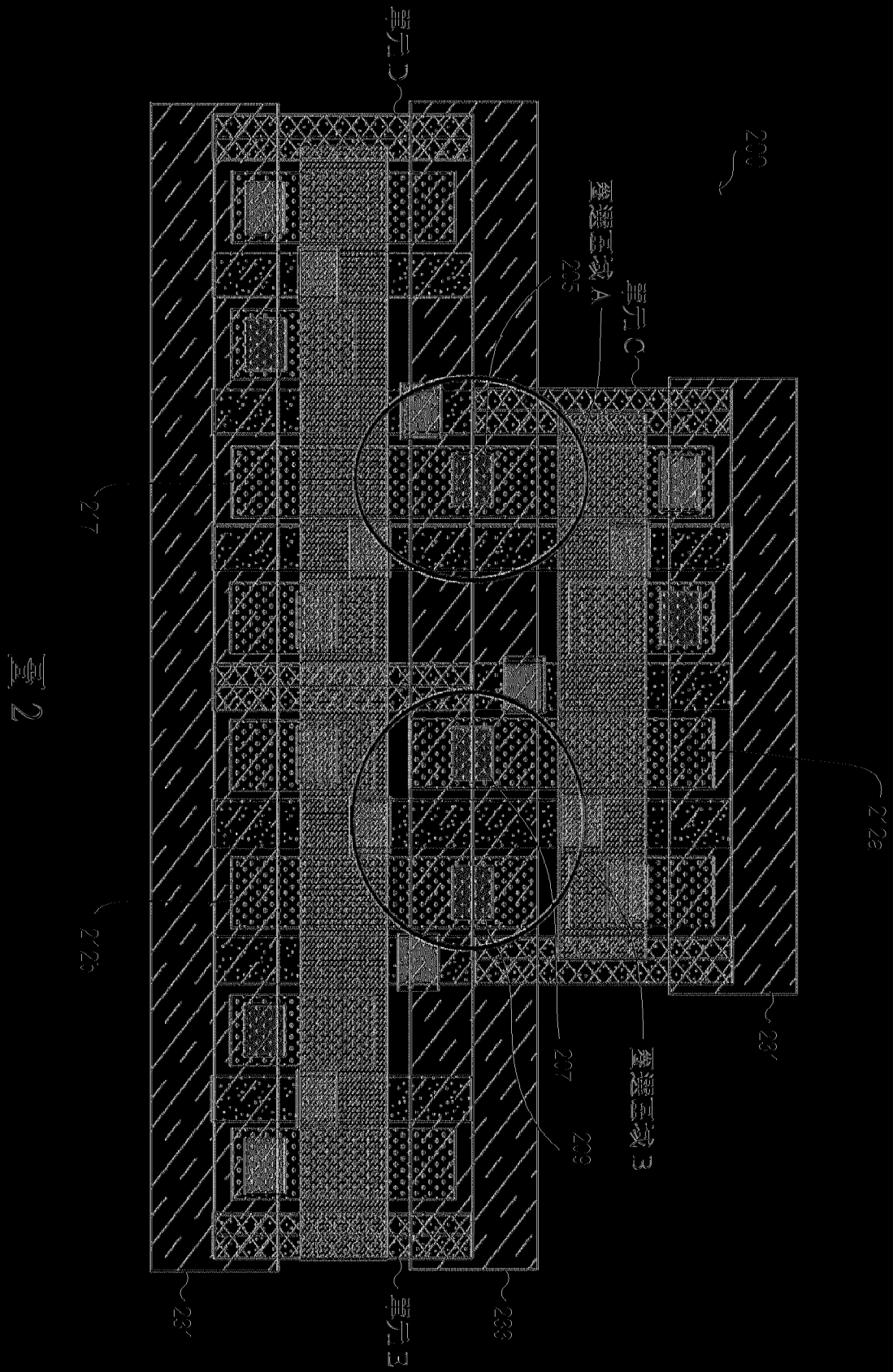
**【請求項18】** 如請求項17所述的微製造方法，其中該埋入式電力軌和該前側電力分配網路之間的連接是在形成該陣列之單元之後形成的。

**【請求項19】** 如請求項17所述的微製造方法，更包含在該陣列之單元中形成一電力連接器單元，該電力連接器單元電連接該埋入式電力軌到該前側電力分配網路。

**【請求項20】** 如請求項17所述的微製造方法，更包含在該裝置平面的該背側上形成一背側電力分配網路(Backside Power Distribution Network, BSPDN)，該背側電力分配網路設置在該埋入式電力軌下方並連接到該埋入式電力軌。

(發明圖式)





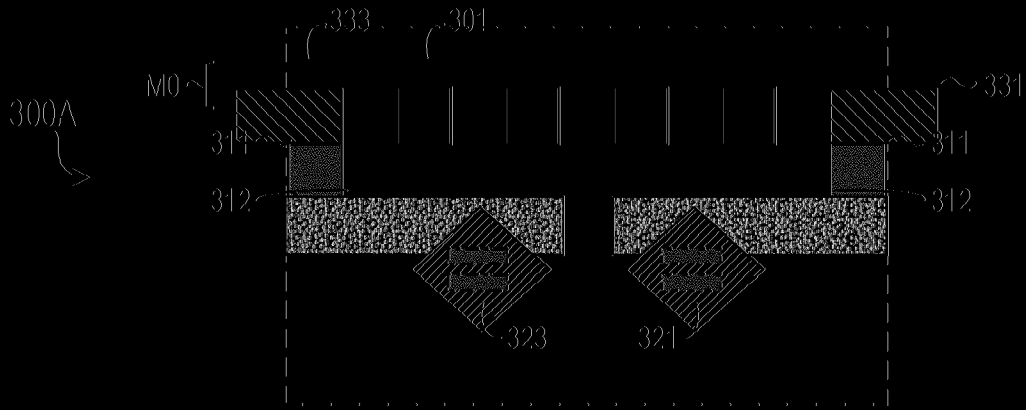


圖 3A

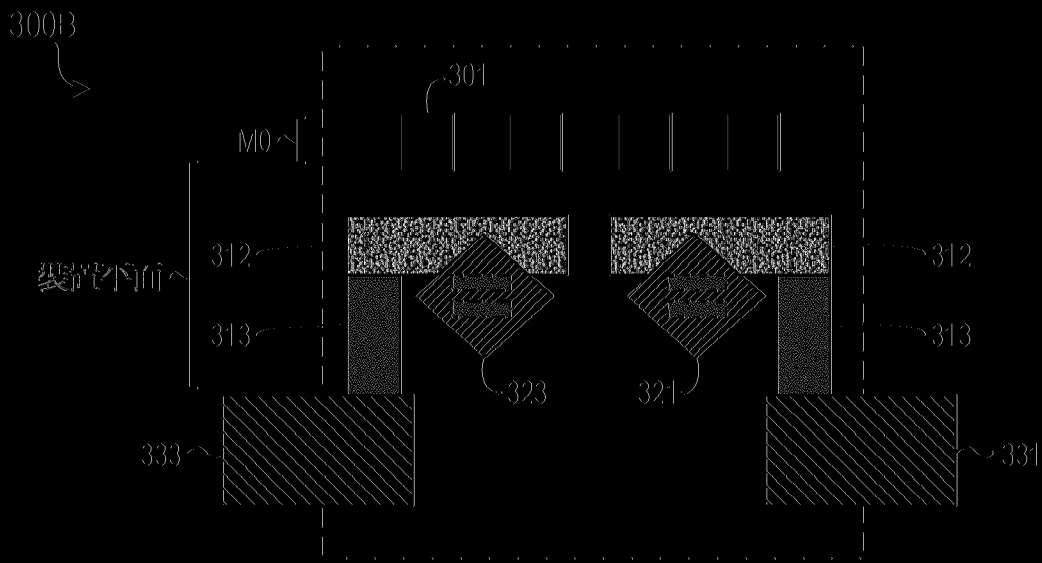


圖 3B

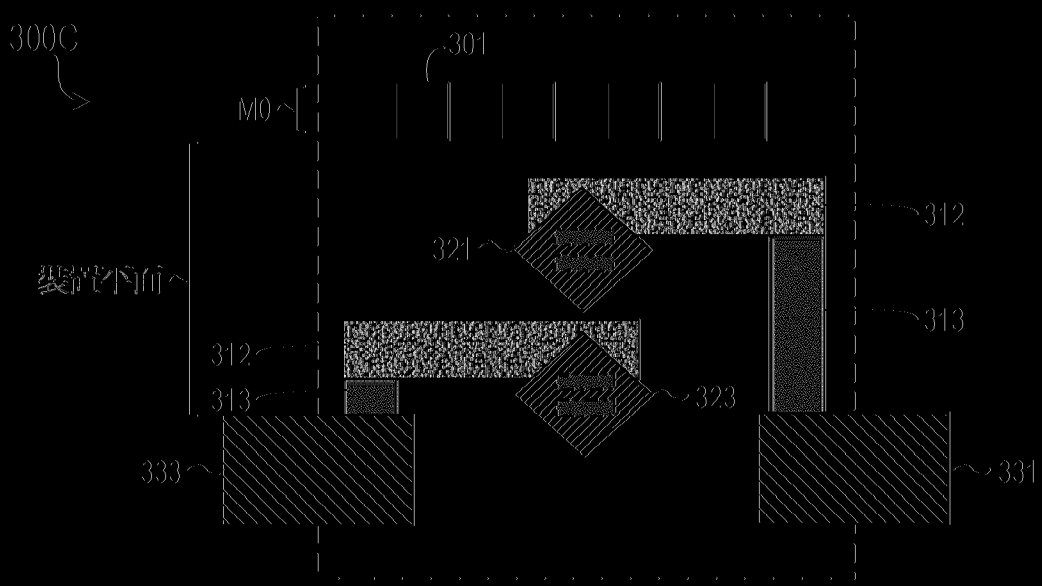


圖 3C

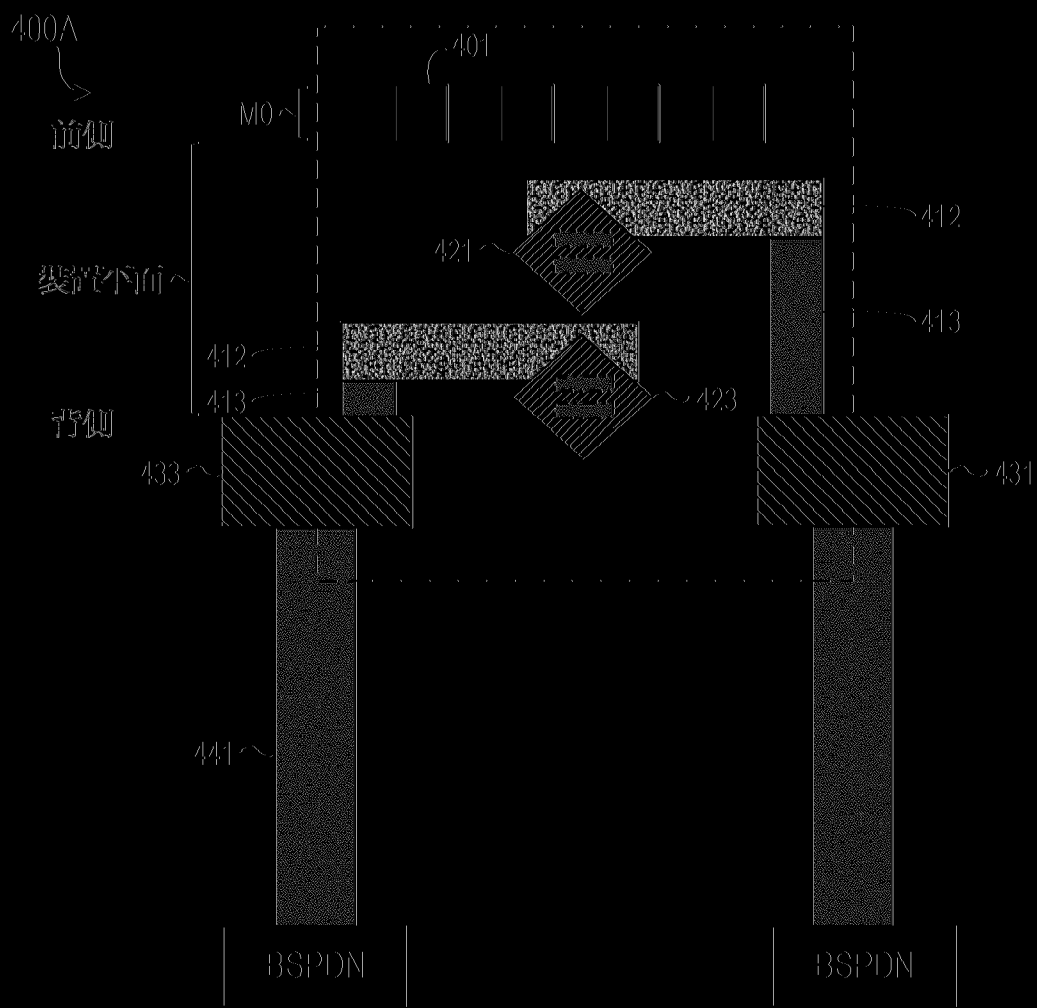


圖 4A

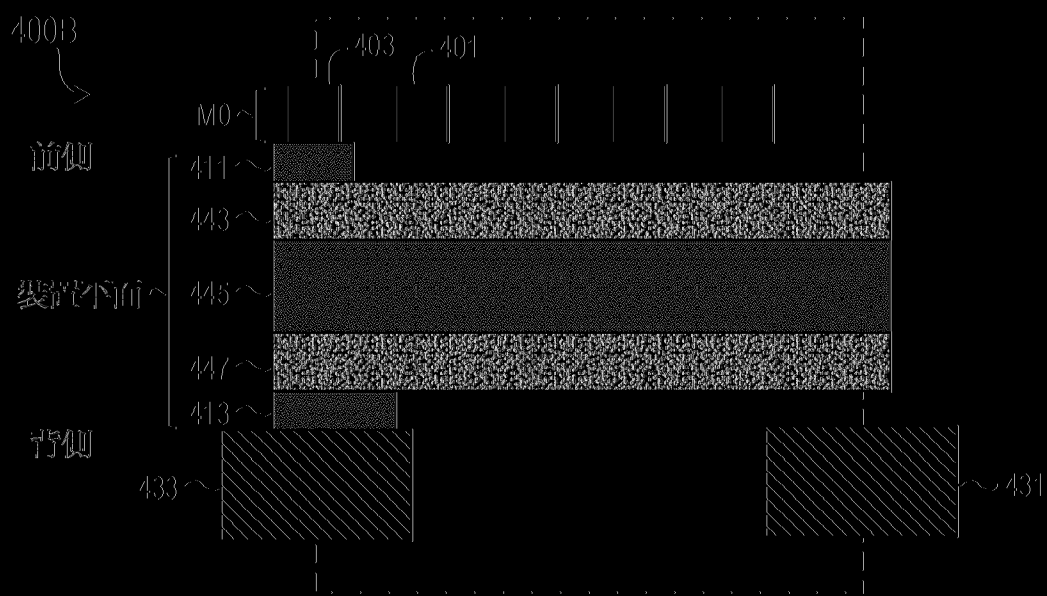


圖 4B





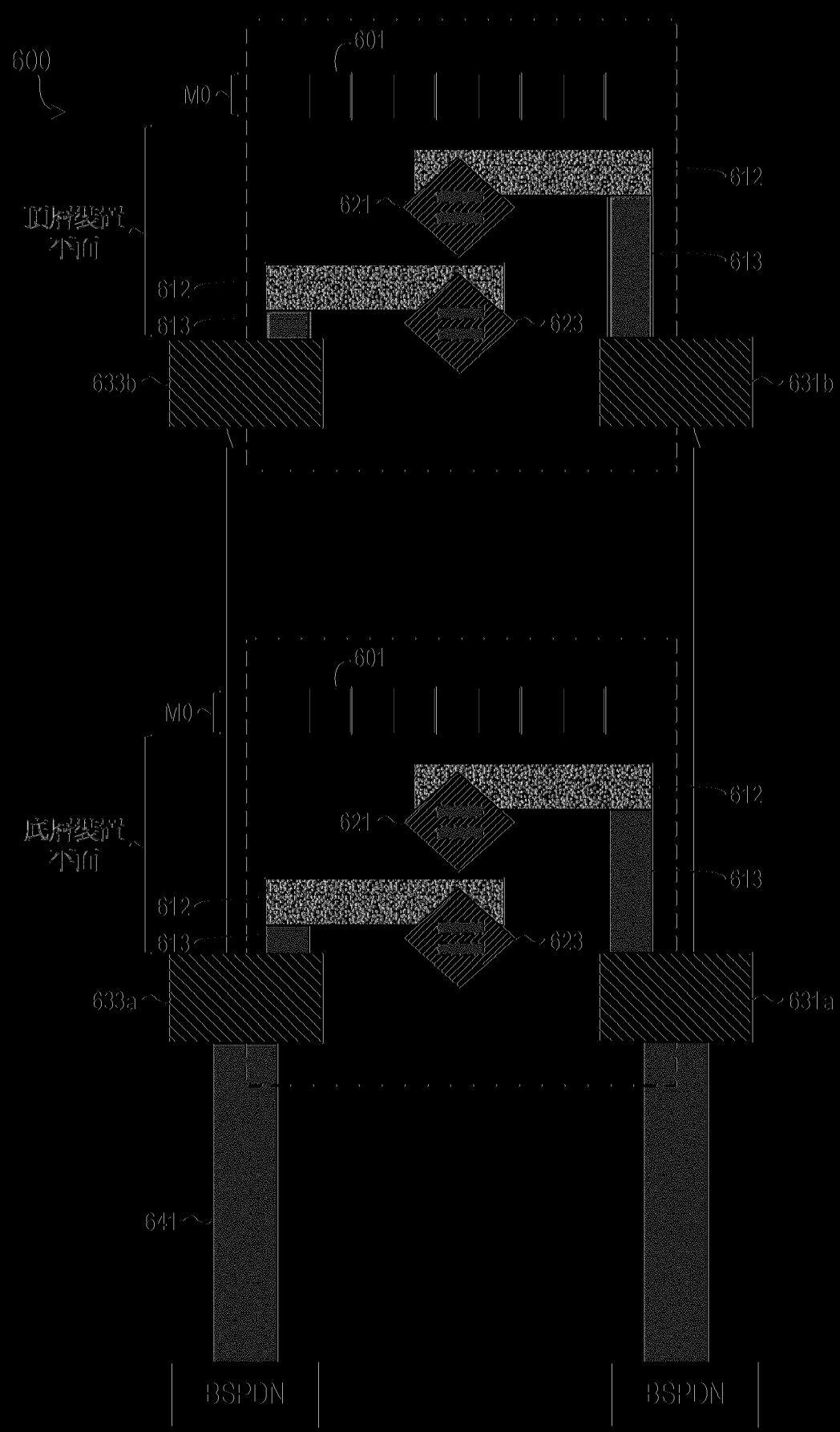


圖 6

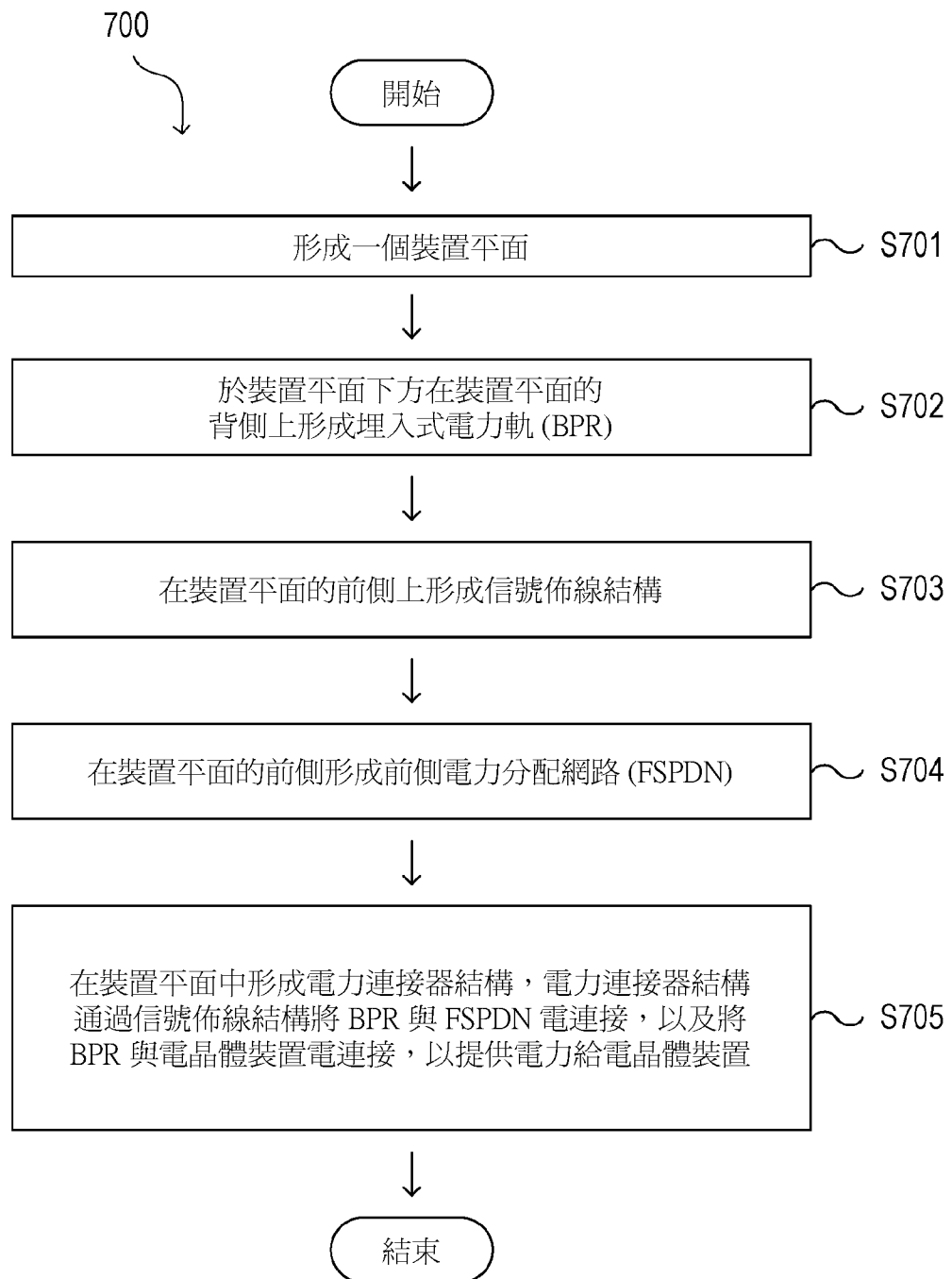


圖 7