

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-136369

(P2020-136369A)

(43) 公開日 令和2年8月31日(2020.8.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO1L 23/48 (2006.01)	HO1L 23/48 P	5E315
HO1L 25/07 (2006.01)	HO1L 25/04 C	
HO1L 25/18 (2006.01)	HO1L 25/04 Z	
HO1L 25/04 (2014.01)	HO5K 1/05 B	
HO5K 1/05 (2006.01)	HO5K 3/44 Z	

審査請求 未請求 請求項の数 13 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2019-25184 (P2019-25184)
 (22) 出願日 平成31年2月15日 (2019.2.15)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100121083
 弁理士 青木 宏義
 (74) 代理人 100138391
 弁理士 天田 昌行
 (74) 代理人 100132067
 弁理士 岡田 喜雅
 (72) 発明者 東 展弘
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 Fターム(参考) 5E315 AA03 BB03 BB04 BB10 BB11
 BB14 BB15 BB18 DD25 GG20
 GG22

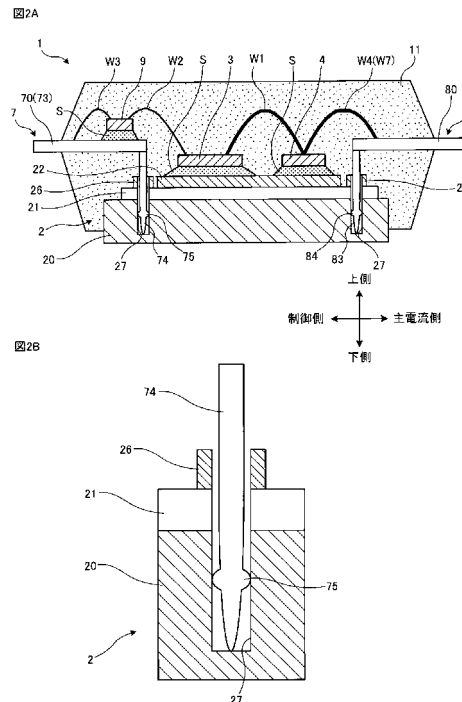
(54) 【発明の名称】 半導体モジュール及び半導体モジュールの製造方法

(57) 【要約】

【課題】半導体モジュールを小型化しつつも容易に生産すること。

【解決手段】半導体モジュール(1)は、放熱板(20)の上面に絶縁層(21)を配置し、絶縁層の上面に導電パターン(22)を配置して構成される積層基板(2)と、導電パターンの上面に配置されるパワーチップ(3、4)と、パワーチップの駆動を制御するICチップ(9)と、主面を有し、主面の上面にICが配置される制御側リードフレーム(7)と、積層基板、パワーチップ、ICチップ、及び制御側リードフレームをパッケージするモールド樹脂(11)と、を備える。制御側リードフレームは、放熱板に向かって突出する棒状のピン部(74)を有する。放熱板は、ピン部の先端が圧入される円形穴(27)を有する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

放熱板の上面に絶縁層を配置し、前記絶縁層の上面に導電パターンを配置して構成される積層基板と、

前記導電パターンの上面に配置される半導体素子と、

前記半導体素子の駆動を制御する集積回路と、

主面を有し、前記主面の上面に前記集積回路が配置される制御側リードフレームと、

前記積層基板、前記半導体素子、前記集積回路、及び前記制御側リードフレームをパッケージするモールド樹脂と、を備え、

前記制御側リードフレームは、前記放熱板に向かって突出する棒状のピン部を有し、

前記放熱板は、前記ピン部の先端が圧入される挿入孔を有することを特徴とする半導体モジュール。

10

【請求項 2】

前記半導体素子を挟んで前記制御側リードフレームの反対側に配置される主電流側リードフレームを更に備え、

前記挿入孔は複数設けられ、

前記主電流側リードフレームは、前記放熱板に向かって突出する棒状の前記ピン部を有することを特徴とする請求項 1 に記載の半導体モジュール。

【請求項 3】

前記制御側リードフレーム及び/又は前記主電流側リードフレームに設けられた前記ピン部は、前記積層基板の外側に位置することを特徴とする請求項 2 に記載の半導体モジュール。

20

【請求項 4】

前記制御側リードフレームに前記ピン部が形成されている端子は、共通端子であることを特徴とする請求項 3 に記載の半導体モジュール。

【請求項 5】

前記主電流側リードフレームに前記ピン部が形成されている端子は、未接続端子であることを特徴とする請求項 3 又は請求項 4 に記載の半導体モジュール。

【請求項 6】

前記挿入孔は、前記絶縁層を貫通するように形成され、

前記絶縁層の上面には、前記挿入孔の周囲を囲うダミーパターンが形成されることを特徴とする請求項 1 から請求項 5 のいずれかに記載の半導体モジュール。

30

【請求項 7】

前記ピン部は、径方向外側に突出する突起部を有し、

前記挿入孔は、前記突起部の外形よりも小さい内径を有することを特徴とする請求項 1 から請求項 6 のいずれかに記載の半導体モジュール。

【請求項 8】

前記挿入孔は、前記放熱板の所定深さまで形成されており、

前記突起部は、前記放熱板に至るまで圧入されていることを特徴とする請求項 7 に記載の半導体モジュール。

40

【請求項 9】

前記挿入孔は、前記放熱板を貫通するように形成され、

前記突起部は、前記放熱板よりも上方に位置し、

前記ピン部の先端は、前記放熱板の下面側でかしめられていることを特徴とする請求項 7 に記載の半導体モジュール。

【請求項 10】

前記集積回路は、前記半導体素子よりも高い位置に配置されることを特徴とする請求項 1 から請求項 9 のいずれかに記載の半導体モジュール。

【請求項 11】

前記モールド樹脂は、トランスファー成形により成形されることを特徴とする請求項 1

50

から請求項 10 のいずれかに記載の半導体モジュール。

【請求項 12】

放熱板の上面に絶縁層を配置し、前記絶縁層の上面に導電パターンを配置して構成される積層基板と、前記積層基板に接合される制御側リードフレームと、を準備する準備工程と、

前記積層基板に形成される挿入孔に、前記制御側リードフレームの一部を挿入して圧入する挿入工程と、

前記積層基板に半導体素子を実装し、前記制御側リードフレームに前記半導体素子の駆動を制御する集積回路を実装するチップ実装工程と、

前記積層基板、前記半導体素子、及び前記集積回路をトランスファー成形によりモールド樹脂でパッケージする成形工程と、を実施することを特徴とする半導体モジュールの製造方法。

10

【請求項 13】

前記挿入工程において、前記制御側リードフレームの先端を前記放熱板の下面から突出するまで挿入した後、突出した前記制御側リードフレームの先端をかしめる、かしめ工程を実施することを特徴とする請求項 12 に記載の半導体モジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体モジュール及び半導体モジュールの製造方法に関する。

20

【背景技術】

【0002】

半導体装置は、IGBT (Insulated Gate Bipolar Transistor)、パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、FWD (Free Wheeling Diode) 等の半導体素子が設けられた基板を有し、インバータ装置等に利用されている。

【0003】

民生・産業用のモータ駆動用等に広く用いられるインバータ装置は、MOSFET や IGBT 等の半導体スイッチング素子 (スイッチング素子) と、その半導体スイッチング素子を駆動する駆動用集積回路 (IC チップ) から構成される。また、機器の小型化と保護回路内蔵のための手段として、上記したスイッチング素子と IC チップを 1 パッケージ化した IPM (Intelligent Power Module) が用いられる。

30

【0004】

一般的にパワーチップ等のスイッチング素子は発熱するため、熱伝導率の高い絶縁基板上のリードフレームに実装される。一方、IC チップは、パワーチップ用のリードフレームとは異なる IC チップ用のリードフレームに実装される。特に IC チップはパワーチップと比較して許容ジャンクション温度が低いため、装置のパッケージサイズを小型化するには、チップ間の温度差を確保したパッケージ設計が必要となる。

【先行技術文献】

【特許文献】

40

【0005】

【特許文献 1】特開 2009 - 111154 号公報

【特許文献 2】国際公開第 2014 / 076856 号

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、特許文献 1 では、IGBT チップが放熱板上のリードフレームに配置されているものの、制御用集積回路が IGBT と共通のリードフレーム上に配置されている。このため、IGBT チップの熱がリードフレームを介して制御用集積回路に伝わる結果、IPM の動作が制限されるおそれがある。

50

【0007】

また、特許文献2では、リードフレームが一体成型されたケース内に絶縁基板が配置され、絶縁基板上に半導体チップが配置されている。半導体チップとリードフレーム間がボンディングワイヤで接続され、ケース内の上記構成がモールド樹脂により封止されている。特許文献2のようにモールド樹脂で封止する構造においては、ケースと絶縁基板を接着する面積を確保し、モールド樹脂を封止するための側壁が必要である。このため、パッケージの小型化が困難である。また、ケースと絶縁基板との接着には絶縁性樹脂等の接着剤を用いるため、加熱による熱硬化が必要であり、硬化時間が長く大量生産の妨げとなっている。

【0008】

本発明はかかる点に鑑みてなされたものであり、容易に生産でき、小型化が可能な半導体モジュール及び半導体モジュールの製造方法を提供することを目的の1つとする。

【課題を解決するための手段】

【0009】

本発明の一態様の半導体モジュールは、放熱板の上面に絶縁層を配置し、前記絶縁層の上面に導電パターンを配置して構成される積層基板と、前記導電パターンの上面に配置される半導体素子と、前記半導体素子の駆動を制御する集積回路と、主面を有し、前記主面の上に前記集積回路が配置される制御側リードフレームと、前記積層基板、前記半導体素子、前記集積回路、及び前記制御側リードフレームをパッケージするモールド樹脂と、を備え、前記制御側リードフレームは、前記放熱板に向かって突出する棒状のピン部を有し、前記放熱板は、前記ピン部の先端が圧入される挿入孔を有することを特徴とする。

【0010】

また、本発明の一態様の半導体モジュールの製造方法は、放熱板の上面に絶縁層を配置し、前記絶縁層の上面に導電パターンを配置して構成される積層基板と、前記積層基板に接合される制御側リードフレームと、を準備する準備工程と、前記積層基板に形成される挿入孔に、前記制御側リードフレームの一部を挿入して圧入する挿入工程と、前記積層基板に半導体素子を実装し、前記制御側リードフレームに前記半導体素子の駆動を制御する集積回路を実装するチップ実装工程と、前記積層基板、前記半導体素子、及び前記集積回路をトランスファー成形によりモールド樹脂でパッケージする成形工程と、を実施することを特徴とする。

【発明の効果】

【0011】

本発明によれば、半導体モジュールを小型化しつつも容易に生産することができる。

【図面の簡単な説明】

【0012】

【図1】本実施の形態に係る半導体モジュールの一例を示す平面模式図である。

【図2】本実施の形態に係る半導体モジュールの一例を示す断面模式図である。

【図3】本実施の形態に係る半導体モジュールの製造方法を示す模式図である。

【図4】変形例に係る半導体モジュールを示す断面模式図である。

【図5】変形例に係る半導体モジュールの製造方法を示す模式図である。

【発明を実施するための形態】

【0013】

以下、本発明を適用可能な半導体モジュールについて説明する。図1は、本実施の形態に係る半導体モジュールの一例を示す平面模式図である。図2は、本実施の形態に係る半導体モジュールの一例を示す断面模式図である。図2Aは半導体モジュールのハイサイド側における断面模式図であり、図2Bは図2Aの部分拡大図である。なお、以下に示す半導体モジュールはあくまで一例にすぎず、これに限定されることなく適宜変更が可能である。本明細書において、平面視は、積層基板に垂直な方向から半導体モジュールをみた場合を意味する。また、図1の平面視において、紙面上側をハイサイド側、紙面下側をローサイド側、紙面左側を制御側、紙面右側を主電流側とする。

10

20

30

40

50

【 0 0 1 4 】

半導体モジュール 1 は、例えばパワーモジュール等の電力変換装置に適用されるものである。図 1 に示すように、半導体モジュール 1 は、積層基板 2、複数の半導体素子、及び複数の集積回路を含んで構成される。

【 0 0 1 5 】

図 1 及び図 2 に示すように、積層基板 2 は、金属層と絶縁層とを積層して構成され、平面視矩形状に形成されている。具体的に積層基板 2 は、放熱板 20 の上面（主面）に絶縁層 21 を配置し、絶縁層 21 の上面（主面）に複数の導電パターン 22 ~ 25 を配置して構成される。

【 0 0 1 6 】

放熱板 20 は、積層基板 2 のベース板としての役割を果たし、銅やアルミニウム等の熱伝導性の良好な金属板によって平面視矩形状に形成される。絶縁層 21 は、セラミックや樹脂等の絶縁材料により、放熱板 20 の主面の少なくとも一部を覆う平面視矩形状に形成される。絶縁層 21 は、放熱板 20 の主面の全域を覆う平面視矩形状に形成されてもよい。絶縁層 21 は、例えば、アルミナ（ Al_2O_3 ）、窒化アルミニウム（ AlN ）、窒化珪素（ Si_3N_4 ）等のセラミックス材料、エポキシ等の樹脂材料、または、セラミックス材料をフィラーとして用いたエポキシ樹脂材料を用いて形成される。

【 0 0 1 7 】

絶縁層 21 の主面には、複数の導電パターン 22 ~ 25 が島状（電氣的に互いに絶縁された状態）に形成されている。複数の導電パターン 22 ~ 25 は、絶縁層 21 の長手方向に並んで 4 つ配置されており、図 1 の紙面上の上から順に導電パターン 22 ~ 25 で表される。詳細は後述するが、ハイサイド側に位置する導電パターン 22 には、ハイサイド側の半導体素子が配置され、ローサイド側に位置する残り 3 つの導電パターン 23 ~ 25 には、ローサイド側の半導体素子が配置される。

【 0 0 1 8 】

また、絶縁層 21 の主面の四隅には、上記の導電パターン 22 ~ 25 とは独立して形成される複数のダミーパターン 26 が形成されている。本実施の形態では、絶縁層 21 の主面の角部にそれぞれ 1 つずつ、合計 4 つのダミーパターン 26 が形成されている。導電パターン 22 ~ 25 及びダミーパターン 26 は、例えば銅箔で形成され、導電パターン 22 とダミーパターン 26 とは、厚みが同じであってもよく、それぞれの厚みが異なってもよい。また、ダミーパターン 26 の形状、個数及び配置箇所は、これらの構成に限定されず、適宜変更が可能である。後述する円形穴 27 やピン部も同様である。

【 0 0 1 9 】

このように構成される積層基板 2 は、例えば、DCB（Direct Copper Bonding）基板やAMB（Active Metal Brazing）基板で形成される。詳細は後述するが、積層基板 2 の四隅には、ダミーパターン 26 及び絶縁層 21 を貫通して放熱板 20 の所定深さまで形成される円形穴 27 が設けられている。

【 0 0 2 0 】

複数の導電パターン 22 の上面（主面）には、複数の半導体素子が配置されている。半導体素子は、例えばシリコン（ Si ）、炭化けい素（ SiC ）等の半導体基板によって平面視矩形状に形成される。半導体素子には、IGBT（Insulated Gate Bipolar Transistor）、パワーMOSFET（Metal Oxide Semiconductor Field Effect Transistor）等のスイッチング素子、FWD（Free Wheeling Diode）等のダイオードが用いられる。

【 0 0 2 1 】

本実施の形態では、導電パターン 22 の主面にハイサイド側のIGBT素子としてパワーチップ 3 が 3 つ、ハイサイド側のFWD素子としてパワーチップ 4 が 3 つずつ、積層基板 2 の長手方向に並んで配置されている。パワーチップ 3、4 は、それぞれが対になっており、積層基板 2 の短手方向に並んで配置されている。一方、導電パターン 23 ~ 25 の各主面には、それぞれローサイド側のIGBT素子としてパワーチップ 5 が 1 つ、ローサ

10

20

30

40

50

イド側のFWD素子としてパワーチップ6が1つずつ対になって、積層基板2の短手方向に並んで配置されている。IGBT素子が制御側に位置しており、FWD素子が主電流側に位置している。ただし、上記の配置に限られず、例えば、IGBT素子が主電流側に位置しており、FWD素子が制御側に位置してもよい。

【0022】

なお、図1では、半導体素子としてIGBT素子とFWD素子を対にして並べて配置する構成としたが、これに限らず、IGBT素子とFWD素子を一体化したRC(Reverse Conducting)-IGBT、逆バイアスに対して十分な耐圧を有するRB(Reverse Blocking)-IGBT等が用いられてもよい。また、上記した半導体素子は、半田S等の接合材を介して各導電パターンに電氣的に接続される。

10

【0023】

また、半導体モジュール1は、外部端子として制御側リードフレーム7と主電流側リードフレーム8とを備えている。制御側リードフレーム7は、積層基板2の制御側上方に配置されており、主電流側リードフレーム8は、積層基板2の主電流側上方に配置されている。

【0024】

制御側リードフレーム7は、積層基板2に平行な主面を有する板状の長尺体を積層基板2の長手方向に複数並べ、各長尺体を当該長手方向に延びる別の長尺体で連結して構成される。具体的に制御側リードフレーム7は、積層基板2の短手方向に延びる複数の端子部70と、複数の端子部70の一端部(制御側の端部)を連結するタイバー71と、隣接する端子部70の中間部を連結する複数のタイバー72と、複数の端子部70のうち、最外部に位置する一対(2つ)の端子部70の他端部(主電流側の端部)を連結する内部接続部73と、を含んで構成される。

20

【0025】

タイバー71は、端子部70の一端側において、積層基板2の長手方向に延びている。タイバー72は、積層基板2の長手方向で隣接する端子部70間で、当該長手方向に延びている。内部接続部73は、端子部70の他端側において、積層基板2の長手方向に延びており、当該長手方向に並ぶ複数の端子部70のうち、両外側に位置する2つの端子部70同士を連結する。

【0026】

上記2つの端子部70は、内部接続部73よりも主電流側に突出しており、その先端部が積層基板2の隅部でダミーパターン26上に位置している。当該先端部には、下方(放熱板20)に向かって突出する棒状のピン部74が形成されている。ピン部74については後述する。

30

【0027】

主電流側リードフレーム8は、図1に示す平面視において、複数の半導体素子を挟んで制御側リードフレーム7の反対側に配置されている。主電流側リードフレーム8は、積層基板2に平行な主面を有する板状の長尺体を積層基板2の長手方向に複数並べ、各長尺体を当該長手方向に延びる別の長尺体で連結して構成される。具体的に主電流側リードフレーム8は、積層基板2の短手方向に延びる複数の端子部80と、複数の端子部80の一端部(主電流側の端部)を連結するタイバー81と、隣接する端子部80の中間部を連結する複数のタイバー82と、を含んで構成される。

40

【0028】

タイバー81は、端子部80の一端側において、積層基板2の長手方向に延びている。タイバー82は、積層基板2の長手方向で隣接する端子部80間で、当該長手方向に延びている。積層基板2の長手方向に並ぶ複数の端子部80のうち、両外側(最外部)に位置する2つの端子部80は、他の端子部80よりも制御側に突出している。当該2つの端子部80の先端部は、積層基板2の隅部でダミーパターン26上に位置している。当該先端部には、下方(放熱板20)に向かって突出する棒状のピン部83が形成されている。ピン部83については後述する。

50

【0029】

このように構成される制御側リードフレーム7及び主電流側リードフレーム8は、銅素材、銅合金系素材、アルミニウム合金系素材、鉄合金系素材等の金属素材により形成され、所定の電気伝導度及び所定の機械的強度を有する。

【0030】

なお、上記したタイバー71、72、81、82（図1のハッチング部分を参照）は、後述するトランスファー成形によって樹脂モールドされた後に切断される。これにより、複数の端子部70、80がそれぞれ独立した外部端子として切り離される（分割される）。すなわち、複数の端子部70、80は、製造工程の途中においては、タイバー71、72、81、82によって一体化されている。

10

【0031】

なお、制御側リードフレーム7において、分割された後の複数の端子部70のうち、両外側に位置する2つの端子部70は、共通端子（COM端子）であり、ICチップ9、10のグラウンド電位に繋がっている。また、主電流側リードフレーム8において、分割された後の複数の端子部80のうち、両外側に位置する2つの端子部80は、未接続端子（NC端子）であり、パワーチップ3～6及びICチップ9、10とは電氣的に繋がっていない。また、主電流側リードフレーム8において、分割された後の複数の端子部80は、それぞれ図1の紙面上側から、NC端子、P端子、U端子、V端子、W端子、N端子、NC端子を構成する。

【0032】

制御側リードフレーム7において、端子部70の内部接続部73の主面には、上記した半導体素子の駆動を制御する複数の集積回路が配置されている。具体的にハイサイド側には、ハイサイド側の高耐圧集積回路（HVIC：High Voltage Integrated Circuit）として、3つのICチップ9が内部接続部73の長手方向に並んで配置されている。一方、ローサイド側には、ローサイド側の低耐圧集積回路（LVIC：Low Voltage Integrated Circuit）として、1つのICチップ10が配置されている。これらの集積回路は、半田S等の接合材を介して内部接続部73に電氣的に接続される。

20

【0033】

IGBT素子とFWD素子とは、配線部材W1によって電氣的に接続される。IGBT素子と集積回路とは、配線部材W2によって電氣的に接続される。集積回路と制御側リードフレーム7の端子部70とは、配線部材W3によって電氣的に接続される。ハイサイド側のFWD素子であるパワーチップ4とローサイド側の導電パターン23～25とは、配線部材W4によって電氣的に接続される。ローサイド側のパワーチップ6と主電流側リードフレーム8の所定の端子部80とは、配線部材W5によって電氣的に接続される。ハイサイド側の導電パターン22と主電流側リードフレーム8の所定の端子部80とは、配線部材W6によって電氣的に接続される。ローサイド側の導電パターン23～25と主電流側リードフレーム8の所定の端子部80とは、配線部材W7によって電氣的に接続される。

30

【0034】

上記した配線部材W1～W7には、導体ワイヤが用いられる。導電ワイヤの材質は、金、銅、アルミニウム、金合金、銅合金、アルミニウム合金のいずれか1つ又はそれらの組み合わせを用いることができる。また、配線部材として導電ワイヤ以外の部材を用いることも可能である。例えば、配線部材としてリボンを用いることができる。

40

【0035】

上記した積層基板2、複数の半導体素子、複数の集積回路、制御側リードフレーム7の一部、主電流側リードフレーム8の一部、及び配線部材W1～W7は、モールド樹脂11によってパッケージ（封止）される。詳細は後述するが、モールド樹脂11は、トランスファー成形により成形され、種々の合成樹脂を用いることが可能である。

【0036】

ところで、上記した半導体素子とICチップを1パッケージ化したIPM（Intelligen

50

t Power Module)のような半導体モジュールにあつては、半導体素子と集積回路の適正動作温度範囲(許容ジャンクション温度)が異なる。例えば半導体素子の許容ジャンクション温度が200程度であるのに対し、集積回路のジャンクション温度は175程度である。このため、集積回路が半導体素子の熱の影響を受けることを防止すべく、両者間のレイアウトを考慮したパッケージ設計が求められる。

【0037】

従来のように、外部端子が一体成型されたケースを用いた半導体モジュールにおいては、ケースの内側に半導体素子を配置し、ケース上の外部端子に集積回路を配置することで、半導体素子と集積回路との距離が確保されていた。しかしながら、ケースの分だけモジュール全体が大きくなってしまい、半導体素子と集積回路との距離を確保しつつ、モジュール全体の小型化を実現することは困難であった。また、ケースを接着する接着剤の硬化時間を考慮しなければならず、生産効率に影響を与えることも問題となっていた。

10

【0038】

そこで、本件発明者は、集積回路が配置されるリードフレームと、モールド樹脂の成形方法に着目し、本発明に想到した。具体的に本実施の形態では、図1及び図2Aに示すように、半導体素子としてのパワーチップ3~6を積層基板2の導電パターン22~25の主面上に配置し、集積回路としてのICチップ9、10を制御側リードフレーム7の内部接続部73の主面上に配置している。内部接続部73に連なる端子部70の先端には、積層基板2(放熱板20)に向かって略垂直に突出する棒状のピン部74が形成されている。一方、積層基板2(放熱板20)には、ピン部74の先端が圧入される挿入孔として円形穴27が形成されている。

20

【0039】

この構成によれば、ピン部74を円形穴27に圧入することで、制御側リードフレーム7を積層基板2に対して簡単に接合することが可能である。また、制御側リードフレーム7と放熱板20とが、ピン部74及び円形穴27を介して接合されるため、制御側リードフレーム7を介してICチップ9、10の熱を放熱板20側に逃がすことが可能である。また、制御側リードフレーム7は、パワーチップ3、4とは直接接続されていないため、パワーチップ3、4の熱が直接ICチップ9、10に伝わることもない。よって、ICチップが過剰に発熱することを防止することが可能である。また、上記半導体モジュール1の構成部品をモールド樹脂11でパッケージするに際し、モールド樹脂11をトランスファー成形で成形している。これにより、筐体としてのケースが不要となるため、モジュール全体としての小型化を実現することが可能である。

30

【0040】

また、上記したように、ピン部74が形成されている端子(制御側リードフレーム7において、分割された後の複数の端子部70のうち、両外側に位置する2つの端子部70)が、ICチップが実装されているCOM端子である。この構成により、ICチップ9、10のグラウンドがピン部74を介して放熱板20と接続され、更に放熱板20を介して、簡易に外部のグラウンドに接地できるようになる。また、ピン部74が形成されている2つの端子部70が、外側、すなわち、ハイサイド側及びローサイド側の両外側に位置することで、モールド樹脂11でパッケージするに際し、端子が位置ずれし難くなっている。特にこれら2つの端子部70が、モジュール内部で繋がっていることにより、更に、モールド樹脂11でパッケージするに際し、端子が位置ずれし難くなっている。

40

【0041】

また、主電流側リードフレーム8も端子部80の先端に積層基板2(放熱板20)に向かって略垂直に突出する棒状のピン部83が形成されている。同様に、積層基板2(放熱板20)には、ピン部83の先端が圧入される挿入孔として円形穴27が形成されている。この構成によれば、ピン部83を円形穴27に圧入することで、主電流側リードフレーム8を積層基板2に対して簡単に接合することが可能である。

【0042】

また、上記したように、ピン部83が形成されている端子(主電流側リードフレーム8

50

において、分割された後の複数の端子部 80 のうち、両外側に位置する 2 つの端子部 80 が、パワーチップに接続されていない NC 端子である。この構成により、積層基板 2 の表面（上面）のダミーパターン 26 がピン部 83 を介して放熱板 20 と接続され、更に放熱板 20 を介して、簡易に外部のグラウンドに接地できるようになる。また、ピン部 83 が形成されている 2 つの端子部 80 が、外側、すなわち、ハイサイド側及びローサイド側の両外側に位置することで、モールド樹脂 11 でパッケージするに際し、端子が位置ずれし難くなっている。

【0043】

パワーチップ 3～6 は、半田 S を介して直接積層基板 2 に接合されているため、パワーチップ 3～6 の駆動用によって発生する熱の多くは、放熱板 20 を経由して外に逃がすことが可能である。これに加え、主電流側リードフレーム 8 と放熱板 20 とが、ピン部 83 及び円形穴 27 を介して接合されている。このため、パワーチップ 3～6 の熱の一部が各種配線部材を通じて主電流側リードフレーム 8 に伝わっても、ピン部 83 及び円形穴 27 を介して当該熱を放熱板 20 側に逃がすことが可能である。よって、放熱性が更に向上されている。

10

【0044】

ここで、図 2 A 及び図 2 B を参照して、リードフレームの圧入構成について詳細に説明する。なお、図 2 B は制御側リードフレームの部分拡大図を示しているが、主電流側リードフレームも同様の構成を採用しているため、主電流側リードフレームにおいても、以下と同様の作用効果を得ることが可能である。

20

【0045】

図 2 A 及び図 2 B に示すように、円形穴 27 は、積層基板 2 の上面からダミーパターン 26 及び絶縁層 21 を貫通して放熱板 20 の所定深さに至るまで形成されている。このため、ダミーパターン 26 は、円形穴 27 の周囲を囲うように環状に形成されている。

【0046】

また、ピン部 74 には、軸方向の途中に径方向外側に向かって突出する突起部 75 が形成されている。突起部 75 は、円形穴 27 の内側面よりも径方向外側に突出している。すなわち、円形穴 27 は、突起部 75 の外形よりも小さい内径を有している。

【0047】

ピン部 74 の先端は、円形穴 27 の底面に当接するまで挿入される。このとき、突起部 75 は、放熱板 20 に至るまで円形穴 27 に圧入されている。このように、ピン部 74 の一部である突起部 75 を円形穴 27 に圧入して接合することにより、制御側リードフレーム 7 と積層基板 2 との接合を容易化している。

30

【0048】

また、ピン部 74 を円形穴 27 に挿入する際、円形穴 27 の入口に環状のダミーパターン 26 が形成されていることで、突起部 75 が圧入途中で絶縁層 21 にこじれたとしても絶縁層 21 にバリや剥離が生じることを防止することが可能である。すなわち、ダミーパターン 26 は、圧入時の円形穴 27 の周囲を保護する保護部材として機能する。

【0049】

また、IC チップ 9、10 は、パワーチップ 3～6 よりも高い位置に配置されている。この構成によれば、半導体素子と集積回路とを高さ方向にずらして配置したことで、半導体素子と集積回路との距離を確保して、半導体素子の熱が集積回路に対して与える影響を最小限に抑えることが可能である。また、図 2 の紙面左右方向（半導体モジュール 1 の幅方向）で集積回路を半導体素子側により近づけることができるため、半導体モジュール 1 を全体として幅方向に小型化することが可能である。

40

【0050】

次に、図 1 から図 3 を参照して、本実施の一態様に係る半導体モジュールの製造方法について説明する。図 3 は、本実施の形態に係る半導体モジュールの製造方法を示す模式図である。具体的に図 3 A～3 D は、製造工程の途中の状態を示している。なお、以下に示す半導体モジュールの製造方法は、あくまで一例であり、この構成に限定されず、適宜変

50

更が可能である。

【0051】

本実施の形態に係る半導体モジュール1の製造方法は、積層基板2、制御側リードフレーム7、及び主電流側リードフレーム8を準備する準備工程と、制御側リードフレーム7及び主電流側リードフレーム8を積層基板2に挿入する挿入工程と、積層基板2にパワーチップ3～6を実装して制御側リードフレーム7に集積回路を実装するチップ実装工程と、配線部材W1～W7を実装する配線実装工程と、モールド樹脂11で成形する成形工程と、をこの順に実施して構成される。

【0052】

図3Aに示すように、先ず、予め積層基板2、制御側リードフレーム7、及び主電流側リードフレーム8を準備しておく(準備工程)。上記したように、積層基板2は、所定箇所(27)に円形穴が形成されている。また、制御側リードフレーム7は、積層基板2に向かって鉛直方向下方に延びるピン部(74)を有し、主電流側リードフレーム8は、積層基板2に向かって鉛直方向下方に延びるピン部(83)を有する。

10

【0053】

次に、挿入工程が実施される。挿入工程では、円形穴(27)にピン部(74)(ピン部(83))が挿入され、突起部(75)(突起部(84))が円形穴(27)に圧入される。図3Bに示すように、ピン部(74)(ピン部(83))の先端が円形穴(27)の底面に当接するまでピン部(74)(ピン部(83))が挿入されることで、突起部(75)(突起部(84))に圧入される。この結果、制御側リードフレーム7(主電流側リードフレーム8)が積層基板2に接合される。

20

【0054】

なお、圧入の強度は、後述する成形工程までの間に円形穴(27)からピン部(74)(ピン部(83))が抜け出ない程度の強度であることが好ましい。より具体的に圧入の強度は、制御側リードフレーム7(主電流側リードフレーム8)の自重、又は積層基板2の自重よりも大きいことが好ましい。すなわち、圧入の強度は、成形工程までの間に各リードフレームが積層基板2に対して所定箇所(27)で接合した状態を維持できる程度の強度が確保されていればよい。圧入はあくまで仮保持であり、モールド樹脂11で半導体モジュール1の各種構成部品がパッケージされることで各リードフレームと積層基板2は完全に接合されるからである。

【0055】

次に、チップ実装工程が実施される。図3Cに示すように、チップ実装工程では、導電パターン(22)上にパワーチップ(3、4)が実装され、導電パターン(23～25)上にパワーチップ(5、6)が実装される。また、制御側リードフレーム7の内部接続部(73)の主面上にICチップ(9、10)が実装される。なお、各チップの実装順は、適宜変更が可能である。

30

【0056】

次に、配線部材実装工程が実施される。図3Dに示すように、配線部材実装工程では、各チップ間、各チップと各リードフレーム間、又は各チップと各導電パターン間が所定の配線部材(W1～W7)で電氣的に接続(ワイヤボンディング)される。なお、配線部材の実装順(ワイヤボンディングの順番)は、適宜変更が可能である。

【0057】

次に、成形工程が実施される。成形工程では、前記配線部材実装工程までの間で実装された半導体モジュール1の構成部品がモールド樹脂11によってパッケージされる。具体的には、図2Aに示すように、モールド樹脂11は、トランスファー成形により成形される。トランスファー成形を採用することで、専用のケースを用意する必要がなく、全ての構成部品を実装した後で一度にこれらの構成部品を封止して一体化することが可能である。このため、ケースの分だけ半導体モジュール1を小型化できると共に、ケース接着用の接着材の硬化時間が不要となり製造工程の簡略化を図ることが可能である。なお、成形工程の後、各リードフレームの不要部分(タイバー)を切り離して各端子部を分割してもよい。

40

【0058】

50

次に、図4及び図5を参照して、変形例に係る半導体モジュールについて説明する。図4は、変形例に係る半導体モジュールを示す断面模式図である。図4Aは半導体モジュールのハイサイド側における断面模式図であり、図4Bは図2Aの部分拡大図である。図5は、変形例に係る半導体モジュールの製造方法を示す模式図である。具体的に図5A～5Dは、製造工程の途中の状態を示している。以下に示す変形例では、リードフレームの挿入構成が上記実施の形態と相違するだけであるため、主に相違部分を中心に説明し、既出で共通する構成は同一の符号を付し、説明は適宜簡略化する。

【0059】

図4A及び図4Bに示すように、制御側リードフレーム7は、内部接続部73に連なる端子部70の先端に、積層基板2（放熱板20）に向かって略垂直に突出する棒状のピン部76が形成されている。ピン部76には、軸方向の途中に径方向外側に向かって突出する突起部77が形成されている。

10

【0060】

また、積層基板2（放熱板20）には、ピン部76の先端が挿入される挿入孔として円形穴27が形成されている。円形穴27は、積層基板2の上面からダミーパターン26、絶縁層21、及び放熱板20を貫通するように形成されている。このため、ダミーパターン26は、円形穴27の周囲を囲うように環状に形成されている。また、円形穴27の下面側の端部には、放熱板20の下面側から上方に向かって凹む凹部28が形成されている。

【0061】

突起部77は、円形穴27の内側面よりも径方向外側に突出している。すなわち、円形穴27は、突起部77の外形よりも小さい内径を有している。また、凹部28は、円形穴27よりも径方向外側に大きく形成されている。すなわち、円形穴27は、凹部28の内径よりも小さい内径を有している。

20

【0062】

同様に、主電流側リードフレーム8は、端子部80の先端に、積層基板2（放熱板20）に向かって略垂直に突出する棒状のピン部85が形成されている。ピン部85には、軸方向の途中に径方向外側に向かって突出する突起部86が形成されている。

【0063】

変形例においては、突起部77（突起部86）がダミーパターン26の上面に当接するまでピン部76（ピン部85）挿入される。すなわち、突起部77（突起部86）は、放熱板20よりも上方に位置している。そして、放熱板20の下面から突出したピン部76（ピン部85）の先端がかしめられることで、先端にかしめ部78（かしめ部87）が形成される。このように、ピン部76（ピン部85）の先端が放熱板20の下面側でかしめられることで、容易に各リードフレームと積層基板2を接合することが可能である。この場合も、突起部77（突起部86）がダミーパターン26の上面に当接することで、絶縁層21にバリや剥離が生じることを防止することが可能である。すなわち、ダミーパターン26が、円形穴27の周囲を保護する保護部材として機能する。

30

【0064】

次に、変形例に係る半導体モジュールの製造方法について説明する。変形例においては、挿入工程において、各リードフレーム（ピン部）の先端を放熱板20の下面から突出するまで挿入した後、突出したピン部の先端をかしめる、かしめ工程を実施する点で、上記と相違する。

40

【0065】

図5Aに示すように、変形例に係る挿入工程では、突起部77（突起部86）がダミーパターン26の上面に当接するまでピン部76（ピン部85）挿入される。そして、図5Bに示すように、放熱板20の下面から突出したピン部76（ピン部85）の先端がかしめられることで、先端にかしめ部78（かしめ部87）が形成される（かしめ工程）。この結果、制御側リードフレーム7（主電流側リードフレーム8）が積層基板2に接合される。

50

【 0 0 6 6 】

なお、かしめの強度は、後述する成形工程までの間に円形穴 2 7 からピン部 7 6 (ピン部 8 5) が抜け出ない程度の強度であることが好ましい。より具体的にかしめの強度は、制御側リードフレーム 7 (主電流側リードフレーム 8) の自重、又は積層基板 2 の自重よりも大きいことが好ましい。すなわち、かしめの強度は、成形工程までの間に各リードフレームが積層基板 2 に対して所定箇所まで接合した状態を維持できる程度の強度が確保されていればよい。かしめはあくまで仮保持であり、モールド樹脂 1 1 で半導体モジュール 1 の各種構成部品がパッケージされることで各リードフレームと積層基板 2 は完全に接合されるからである。

【 0 0 6 7 】

そして、図 5 C に示すようにチップ実装工程が実施された後、図 5 D に示すように配線部材実装工程が実施される。そして、その後、図 4 A に示すように成形工程が実施される。これらの工程は上記と同じため、説明を省略する。

【 0 0 6 8 】

このように、本発明では、リードフレームの一部を圧入(かしめを含む)で積層基板 2 に接合し、全体をトランスファー成形でパッケージしたことにより、半導体モジュール 1 を小型化しつつも容易に生産することが可能である。

【 0 0 6 9 】

また、上記実施の形態において、積層基板に配置される半導体素子やリードフレームに配置される集積回路の個数及び配置箇所は、上記構成に限定されず、適宜変更が可能である。

【 0 0 7 0 】

また、上記実施の形態において、導電パターンの個数及びレイアウトは、上記構成に限定されず、適宜変更が可能である。

【 0 0 7 1 】

また、上記実施の形態では、半導体素子及び集積回路が平面視矩形状に形成される構成としたが、この構成に限定されない。半導体素子は、矩形以外の多角形状に形成されてもよい。凸部の形状も同様に変更が可能である。

【 0 0 7 2 】

また、上記実施の形態では、挿入孔として円形穴 2 7 が形成される場合について説明したが、この構成に限定されない。挿入孔は円形に限らず、多角形状に形成されてもよい。また、挿入孔の個数や配置箇所も同様に適宜変更が可能である。

【 0 0 7 3 】

また、上記実施の形態では、ピン部が端子部に対して垂直を成すように形成される構成としたが、この構成に限定されない。ピン部と端子部との角度は適宜変更が可能である。また、ピン部の軸方向断面形状は、挿入孔に対応した円形に限らず、多角形状に形成されてもよい。また、ピン部の個数や配置箇所も同様に適宜変更が可能である。

【 0 0 7 4 】

また、上記実施の形態では、ピン部の途中に突起部を形成し、突起部を圧入する構成としたが、この構成に限定されない。例えば、ピン部全体の径を挿入孔よりも大きくし、ピン部全体を挿入孔に圧入する構成としてもよい。

【 0 0 7 5 】

また、上記した変形例において、ピン部を挿入孔に挿入した後、放熱板 2 0 の下面側から突出したピン部の先端をかしめる構成としたが、この構成に限定されない。例えば、放熱板 2 0 を平板の治具上に配置し、ピン部の先端が治具にぶつかるまで挿入し、挿入工程とかしめ工程を一連の流れで一度に実施してもよい。

【 0 0 7 6 】

また、本実施の形態及び変形例を説明したが、他の実施の形態として、上記実施の形態及び変形例を全体的又は部分的に組み合わせたものでもよい。

【 0 0 7 7 】

10

20

30

40

50

また、本実施の形態は上記の実施の形態及び変形例に限定されるものではなく、技術的思想の趣旨を逸脱しない範囲において様々に変更、置換、変形されてもよい。さらに、技術の進歩又は派生する別技術によって、技術的思想を別の仕方を実現することができれば、その方法を用いて実施されてもよい。したがって、特許請求の範囲は、技術的思想の範囲内に含まれ得る全ての実施態様をカバーしている。

【0078】

下記に、上記実施の形態における特徴点を整理する。

上記実施の形態に記載の半導体モジュールは、放熱板の上面に絶縁層を配置し、前記絶縁層の上面に導電パターンを配置して構成される積層基板と、前記導電パターンの上面に配置される半導体素子と、前記半導体素子の駆動を制御する集積回路と、主面を有し、前記主面の上に前記集積回路が配置される制御側リードフレームと、前記積層基板、前記半導体素子、前記集積回路、及び前記制御側リードフレームをパッケージするモールド樹脂と、を備え、前記制御側リードフレームは、前記放熱板に向かって突出する棒状のピン部を有し、前記放熱板は、前記ピン部の先端が圧入される挿入孔を有することを特徴とする。

10

【0079】

また、上記実施の形態に記載の半導体モジュールは、前記半導体素子を挟んで前記制御側リードフレームの反対側に配置される主電流側リードフレームを更に備え、前記挿入孔は複数設けられ、前記主電流側リードフレームは、前記放熱板に向かって突出する棒状の前記ピン部を有することを特徴とする。

20

【0080】

また、上記実施の形態に記載の半導体モジュールにおいて、前記制御側リードフレーム及び/又は前記主電流側リードフレームに設けられた前記ピン部は、前記積層基板の外側に位置することを特徴とする。

【0081】

また、上記実施の形態に記載の半導体モジュールにおいて、前記制御側リードフレームに前記ピン部が形成されている端子は、共通端子であることを特徴とする。

【0082】

また、上記実施の形態に記載の半導体モジュールにおいて、前記主電流側リードフレームに前記ピン部が形成されている端子は、未接続端子であることを特徴とする。

30

【0083】

また、上記実施の形態に記載の半導体モジュールにおいて、前記挿入孔は、前記絶縁層を貫通するように形成され、前記絶縁層の上面には、前記挿入孔の周囲を囲うダミーパターンが形成されることを特徴とする。

【0084】

また、上記実施の形態に記載の半導体モジュールにおいて、前記ピン部は、径方向外側に突出する突起部を有し、前記挿入孔は、前記突起部の外形よりも小さい内径を有することを特徴とする。

【0085】

また、上記実施の形態に記載の半導体モジュールにおいて、前記挿入孔は、前記放熱板の所定深さまで形成されており、前記突起部は、前記放熱板に至るまで圧入されていることを特徴とする。

40

【0086】

また、上記実施の形態に記載の半導体モジュールにおいて、前記挿入孔は、前記放熱板を貫通するように形成され、前記突起部は、前記放熱板よりも上方に位置し、前記ピン部の先端は、前記放熱板の下面側でかきめられていることを特徴とする。

【0087】

また、上記実施の形態に記載の半導体モジュールにおいて、前記集積回路は、前記半導体素子よりも高い位置に配置されることを特徴とする。

【0088】

50

また、上記実施の形態に記載の半導体モジュールにおいて、前記モールド樹脂は、トランスファー成形により成形されることを特徴とする。

【0089】

また、上記実施の形態に記載の半導体モジュールの製造方法は、放熱板の上面に絶縁層を配置し、前記絶縁層の上面に導電パターンを配置して構成される積層基板と、前記積層基板に接合される制御側リードフレームと、を準備する準備工程と、前記積層基板に形成される挿入孔に、前記制御側リードフレームの一部を挿入して圧入する挿入工程と、前記積層基板に半導体素子を実装し、前記制御側リードフレームに前記半導体素子の駆動を制御する集積回路を実装するチップ実装工程と、前記積層基板、前記半導体素子、及び前記集積回路をトランスファー成形によりモールド樹脂でパッケージする成形工程と、を実施することを特徴とする。

10

【0090】

また、上記実施の形態に記載の半導体モジュールの製造方法は、前記挿入工程において、前記制御側リードフレームの先端を前記放熱板の下面から突出するまで挿入した後、突出した前記制御側リードフレームの先端をかしめる、かしめ工程を実施することを特徴とする。

【産業上の利用可能性】

【0091】

以上説明したように、本発明は、半導体モジュールを小型化しつつも容易に生産することができるという効果を有し、特に、半導体モジュール及び半導体モジュールの製造方法に有用である。

20

【符号の説明】

【0092】

- 1 : 半導体モジュール
- 2 : 積層基板
- 3 : パワーチップ（半導体素子）
- 4 : パワーチップ（半導体素子）
- 5 : パワーチップ（半導体素子）
- 6 : パワーチップ（半導体素子）
- 7 : 制御側リードフレーム
- 8 : 主電流側リードフレーム
- 9 : ICチップ（集積回路）
- 10 : ICチップ（集積回路）
- 11 : モールド樹脂
- 20 : 放熱板
- 21 : 絶縁層
- 22 : 導電パターン
- 23 : 導電パターン
- 24 : 導電パターン
- 25 : 導電パターン
- 26 : ダミーパターン
- 27 : 円形穴（挿入孔）
- 28 : 凹部
- 70 : 端子部
- 71 : タイパー
- 72 : タイパー
- 73 : 内部接続部
- 74 : ピン部
- 75 : 突起部
- 76 : ピン部

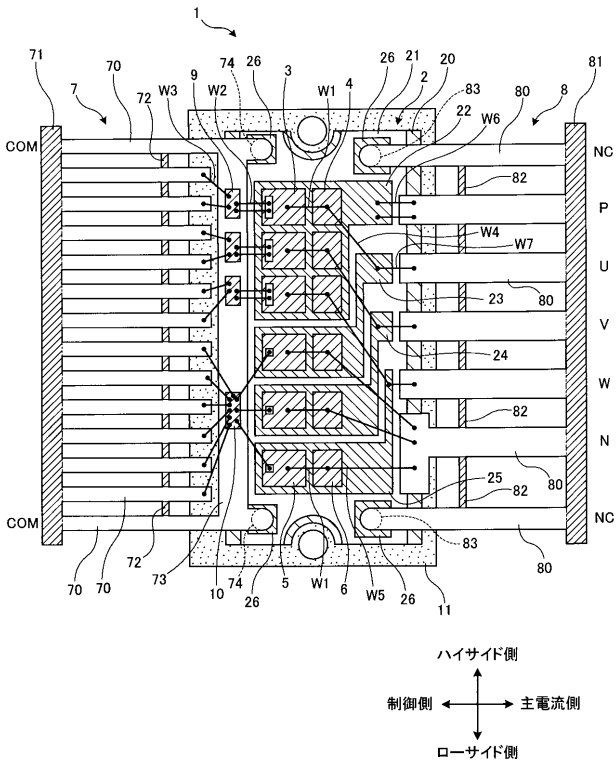
30

40

50

- 77 : 突起部
- 78 : かしめ部
- 80 : 端子部
- 81 : タイバー
- 82 : タイバー
- 83 : ピン部
- 84 : 突起部
- 85 : ピン部
- 86 : 突起部
- 87 : かしめ部
- S : 半田
- W1 : 配線部材
- W2 : 配線部材
- W3 : 配線部材
- W4 : 配線部材
- W5 : 配線部材
- W6 : 配線部材
- W7 : 配線部材

【 図 1 】



【 図 2 】

図2A

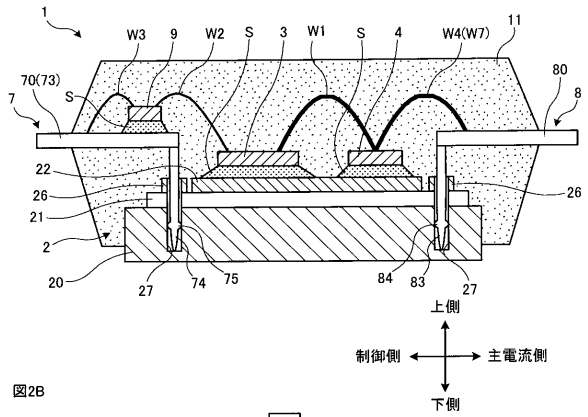
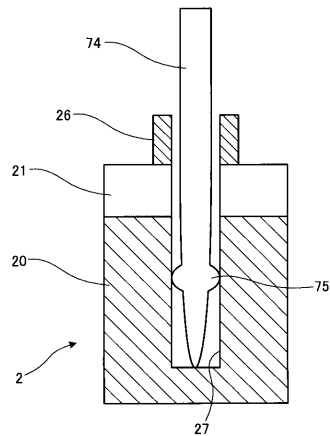


図2B



【 図 3 】

図3A

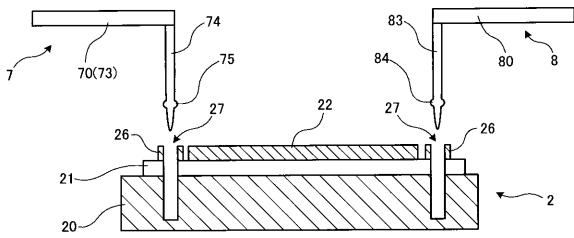


図3B

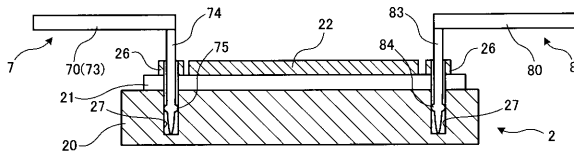


図3C

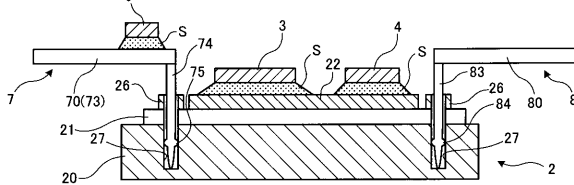
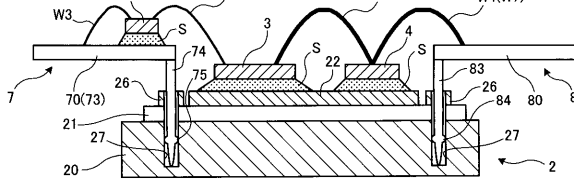


図3D



【 図 5 】

図5A

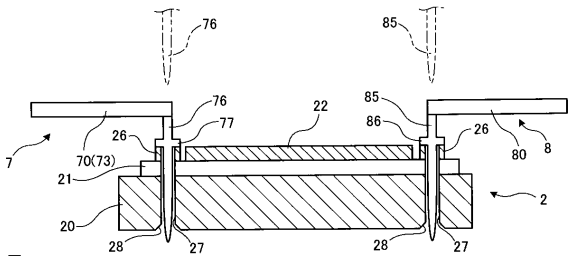


図5B

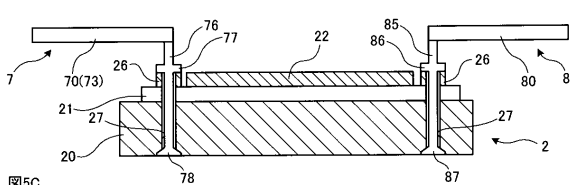


図5C

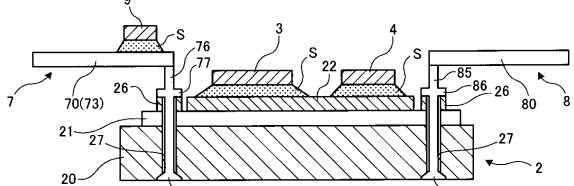
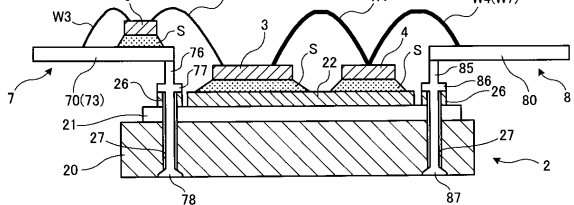


図5D



【 図 4 】

図4A

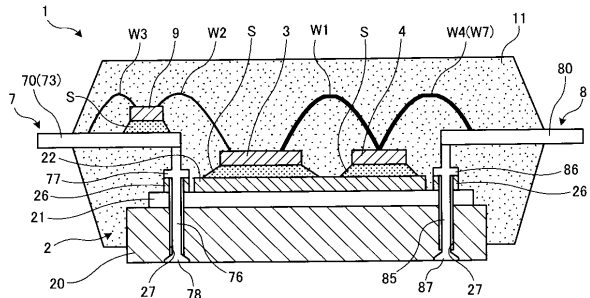
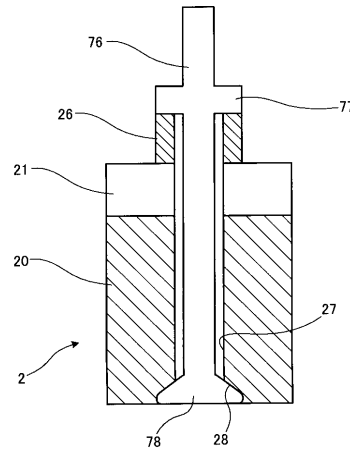


図4B



上側
 制御側 ← → 主電流側
 下側

フロントページの続き

(51)Int.Cl.

H 0 5 K 3/44 (2006.01)

F I

テーマコード(参考)