

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-241057

(P2014-241057A)

(43) 公開日 平成26年12月25日(2014.12.25)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00 564A	5B018
G06F 12/16 (2006.01)	G06F 12/16 320E	5B060
G06F 13/16 (2006.01)	G06F 13/16 510E	

審査請求 未請求 請求項の数 29 O L (全 51 頁)

(21) 出願番号	特願2013-123321 (P2013-123321)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成25年6月12日 (2013.6.12)	(74) 代理人	100112955 弁理士 丸島 敏一
		(72) 発明者	足立 直大 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	柴原 禎之 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	藤波 靖 東京都港区港南1丁目7番1号 ソニー株式会社内
		Fターム(参考)	5B018 GA02 HA14 MA23 NA06 5B060 CC01

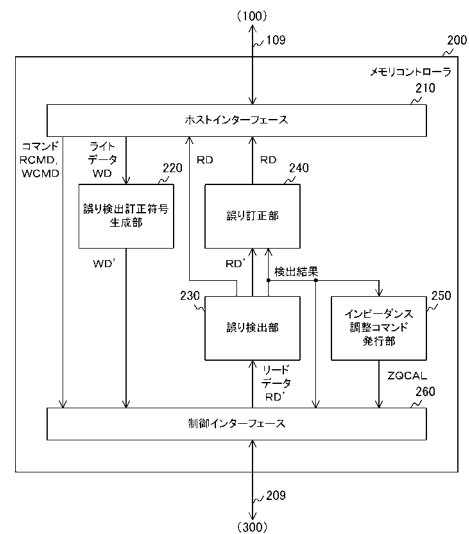
(54) 【発明の名称】 インターフェース制御回路、メモリシステム、および、インターフェース制御回路の制御方法

(57) 【要約】

【課題】メモリコントローラとメモリとの間の通信速度を向上させる。

【解決手段】インターフェース制御回路は、誤り検出部、誤り訂正部および調整制御部を具備する。インターフェースにより伝送された、誤り訂正符号化されたデータにおいて誤り検出部が、誤りが生じたか否かを検出する。誤りが生じた場合には、誤り訂正部が、誤りを訂正する誤り訂正処理を実行する。誤りが生じた場合には、調整制御部がインターフェースの伝送特性を調整する調整処理を開始させる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

インターフェースにより伝送された、誤り訂正符号化されたデータにおいて誤りが生じたか否かを検出する誤り検出部と、

前記誤りが生じた場合には前記誤りを訂正する誤り訂正処理を実行する誤り訂正部と、

前記誤りが生じた場合には前記インターフェースの伝送特性を調整する調整処理を開始させる調整制御部と

を具備するインターフェース制御回路。

【請求項 2】

前記調整制御部は、前記調整処理を前記誤り訂正処理が実行されている間に開始させる請求項 1 記載のインターフェース制御回路。

10

【請求項 3】

前記インターフェースは、

前記誤り訂正符号化されたデータを送信する送信回路と、

前記誤り訂正符号化されたデータを受信する受信回路とを含み、

前記調整制御部は、前記送信回路と前記受信回路とのインピーダンスを整合する処理を前記調整処理として開始させる請求項 1 記載のインターフェース制御回路。

【請求項 4】

前記調整制御部は、前記データの伝送タイミングを調整する処理を前記調整処理として開始させる請求項 1 記載のインターフェース制御回路。

20

【請求項 5】

前記調整制御部の制御に従って前記調整処理を実行する調整部をさらに具備する請求項 4 記載のインターフェース制御回路。

【請求項 6】

前記調整処理は、リファレンスクロック信号を基準として前記伝送タイミングを調整する処理である請求項 4 記載のインターフェース制御回路。

【請求項 7】

前記調整制御部の制御に従って前記伝送タイミングを遅延させる遅延回路をさらに具備し、

前記調整処理は、前記遅延回路を制御することにより前記伝送タイミングを調整する処理である請求項 4 記載のインターフェース制御回路。

30

【請求項 8】

前記調整処理は、前記伝送タイミングを制御する制御信号の位相を、リファレンスクロック信号を基準として調整することにより前記伝送タイミングを調整する処理である請求項 4 記載のインターフェース制御回路。

【請求項 9】

前記調整制御部の制御に従って前記伝送タイミングを制御する制御信号の位相を遅延させる遅延回路をさらに具備し、

前記調整処理は、前記遅延回路を制御することにより前記制御信号の位相を調整する処理である請求項 4 記載のインターフェース制御回路。

40

【請求項 10】

前記インターフェースは、

前記誤り訂正符号化されたデータを送信クロック信号に同期して送信する送信回路と、

前記誤り訂正符号化されたデータを受信クロック信号に同期して受信する受信回路とを含み、

前記調整処理は、前記送信クロック信号および前記受信クロック信号の少なくとも一方の位相を調整することにより前記伝送タイミングを調整する処理である請求項 4 記載のインターフェース制御回路。

【請求項 11】

前記調整処理は、前記送信クロック信号および前記受信クロック信号の一方を基準とし

50

て他方の位相を調整することにより前記伝送タイミングを調整する処理である請求項 10 記載のインターフェース制御回路。

【請求項 12】

前記データは、メモリセルから読み出されたリードデータを含み、
前記送信クロック信号は、前記リードデータを送信するためのリードデータ送信クロック信号を含み、
前記受信クロック信号は、前記リードデータを受信するためのリードデータ受信クロック信号を含み、
前記調整処理は、前記リードデータ送信クロック信号および前記リードデータ受信クロック信号の少なくとも一方の位相を調整する処理を含む請求項 10 記載のインターフェース制御回路。

10

【請求項 13】

前記データは、メモリセルに書き込まれるライトデータを含み、
前記送信クロック信号は、前記ライトデータを送信するためのライトデータ送信クロック信号を含み、
前記受信クロック信号は、前記ライトデータを受信するためのライトデータ受信クロック信号を含み、
前記調整処理は、前記ライトデータ送信クロック信号および前記ライトデータ受信クロック信号の少なくとも一方の位相を調整する処理を含む請求項 10 記載のインターフェース制御回路。

20

【請求項 14】

前記調整処理は、前記誤り訂正符号化されたデータの伝送タイミングを基準として前記位相を調整する処理である請求項 10 記載のインターフェース制御回路。

【請求項 15】

前記調整制御部は、
所定のテストデータを生成するテストデータ生成部と、
前記テストデータを前記インターフェースに送信させるとともに帰還させて前記送信させたテストデータと前記帰還したテストデータとが一致するか否かに基づいて前記位相を調整する処理を前記調整処理として開始させる位相制御部を備える請求項 14 記載のインターフェース制御回路。

30

【請求項 16】

前記インターフェースは、前記データを伝送するための複数のデータ線を含む請求項 1 記載のインターフェース制御回路。

【請求項 17】

前記調整処理は、前記データ線ごとに前記伝送特性を調整する処理である請求項 16 記載のインターフェース制御回路。

【請求項 18】

前記データ線の各々は、複数のグループのいずれかに属し、
前記調整処理は、前記グループごとに前記伝送特性を調整する処理である請求項 16 記載のインターフェース制御回路。

40

【請求項 19】

前記調整制御部は、前記データにおいて所定の閾値を超える個数の前記誤りが生じた場合には前記調整処理を開始させる請求項 1 記載のインターフェース制御回路。

【請求項 20】

前記誤りが訂正されたデータを当該データが読み出されたアドレスに書き戻すリフレッシュ処理を実行するリフレッシュ処理部をさらに具備する請求項 1 記載のインターフェース制御回路。

【請求項 21】

前記リフレッシュ処理部は、前記誤り検出訂正符号の誤り訂正能力未満の所定の許容値よりも前記訂正された誤りの個数が多い場合には前記リフレッシュ処理を実行する請求項

50

20記載のインターフェース制御回路。

【請求項22】

前記データにおいて前記誤り検出訂正符号の誤り訂正能力を超える個数の前記誤りが生じた場合には前記伝送特性を調整させた後に前記データおよび前記誤り検出訂正符号を再度読み出すリトライ処理を実行するリトライ処理部をさらに具備する請求項1記載のインターフェース制御回路。

【請求項23】

前記リトライ処理部は、所定のコマンドを発行して前記データおよび前記誤り検出訂正符号を再度読み出すとともに前記所定のコマンドをホストコンピュータに通知する請求項22記載のインターフェース制御回路。

【請求項24】

前記リトライ処理部は、前記データおよび前記誤り検出訂正符号を再度読み出すとともに前記データが読み出されたアドレスをホストコンピュータに通知する請求項22記載のインターフェース制御回路。

【請求項25】

前記リトライ処理部は、前記データおよび前記誤り検出訂正符号を再度読み出すとともに前記誤りが生じたことをホストコンピュータに通知する請求項22記載のインターフェース制御回路。

【請求項26】

前記調整制御部は、前記インターフェース制御回路に電源が供給された場合または前記誤りが生じた場合には前記調整処理を開始させる請求項1記載のインターフェース制御回路。

【請求項27】

前記データは、不揮発性のメモリセルから読み出されたデータである請求項1記載のインターフェース制御回路。

【請求項28】

誤り訂正符号化されたデータを伝送するインターフェースと、
前記データに誤りが生じたか否かを検出する誤り検出部と、
前記誤りが生じた場合には前記誤りを訂正する誤り訂正処理を実行する誤り訂正部と、
前記誤りが生じた場合には前記インターフェースの伝送特性を調整する調整処理を開始させる調整制御部と
を具備するメモリシステム。

【請求項29】

誤り検出部が、インターフェースにより伝送された、誤り訂正符号化されたデータにおいて誤りが生じたか否かを検出する誤り検出手順と、
誤り訂正部が、前記誤りが生じた場合には前記誤りを訂正する誤り訂正処理を実行する誤り訂正手順と、
調整制御部が、前記誤りが生じた場合には前記インターフェースの伝送特性を調整する調整処理を開始させる調整制御手順と
を具備するインターフェース制御回路の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、インターフェース制御回路、メモリシステム、および、インターフェース制御回路の制御方法に関する。詳しくは、データの誤りの検出および訂正を行うインターフェース制御回路、メモリシステム、および、インターフェース制御回路の制御方法に関する。

【背景技術】

【0002】

従来より、情報処理システムにおいては、データを保持するためにメモリが用いられて

10

20

30

40

50

いる。メモリは、不揮発性メモリと揮発性メモリとに分類することができ、不揮発性メモリとしては、NAND型フラッシュメモリやNOR型フラッシュメモリが広く使用されている。また、揮発性メモリとしては、DRAM (Dynamic Random Access Memory) やSRAM (Static Random Access Memory) などが用いられている。

【0003】

これらのメモリのうちNAND型フラッシュメモリやDRAMは、近年、微細化の限界が指摘されており、既存のメモリを代替するための次世代のメモリが積極的に提案および開発されている。次世代のメモリとしてはReRAM (Resistive RAM)、PCRAM (Phase-Change RAM)、MRAM (Magnetoresistive RAM) などが挙げられる。

【0004】

これらの次世代の不揮発性メモリの一つの特徴として、従来のNAND型フラッシュメモリやNOR型フラッシュメモリと比較してアクセス速度が高速であることが挙げられる。この高速性に対応するために、次世代メモリにおいては、DRAM等に用いられているDDR (Double-Data-Rate) インターフェースなどの高速インターフェースを用いる必要がある。標準化団体であるJEDEC (Joint Electron Device Engineering Council) においても、高速インターフェースを不揮発性メモリに適用するための新規格が提案および議論されている。具体的には、LPDDR (Low-Power Double DataRate) 2 - NVM (Non-Volatile Memory) やLPDDR 4 - NVMなどの新規格が提案等されている。

【0005】

これらの新規格では、インターフェースにおける転送クロックの位相やインピーダンスの調整を行うことが求められている。これは、製造プロセスのばらつきや使用温度の変動等に起因して位相やインピーダンスが基準値と異なる値になると、インターフェースを介してデータを転送する際に転送エラーが生じる可能性が高くなるためである。例えば、DRAMで広く採用されているDDR3インターフェースの規格では、インターフェースのインピーダンスの調整を行うために、ZQCALコマンドが用意されている(例えば、非特許文献1参照)。この規格では、メモリ初期化直後において、メモリシステムが、ZQCALロングコマンドにより、インピーダンスの調整を行うことが求められる。また、メモリ初期化後において、ZQCALロングコマンドやZQCALショートコマンドにより、一定間隔で、メモリシステムがインピーダンスの調整を行うことが推奨されている。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】"JEDEC STANDARD DDR3 SDRAM Specification JESD79-3B"、JEDEC SOLID STATE TECHNOLOGY ASSOCIATION、2008年4月

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上述の従来技術では、メモリコントローラとメモリとの間の通信速度が低下するおそれがある。位相やインピーダンスの調整には一定の期間を要し、その期間内において、メモリおよびメモリコントローラは、インターフェースを介してデータを送受信することができない。このため、調整を定期的に行う構成では、調整の頻度が高くなるほど、データを送受信することができない期間が長くなって通信速度が低下してしまう。

【0008】

調整の頻度が高いと、特に、不揮発性メモリにおいて通信速度が低下しやすい。DRAMでは、定期的なリフレッシュに同期して調整を行うことにより、ある程度、通信速度の低下を抑制することができるが、不揮発性メモリではリフレッシュを定期的に行う必要がないためである。

【0009】

本技術はこのような状況に鑑みて生み出されたものであり、メモリコントローラとメモリとの間の通信速度を向上させることを目的とする。

10

20

30

40

50

【課題を解決するための手段】**【0010】**

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、インターフェースにより伝送された、誤り訂正符号化されたデータにおいて誤りが生じたか否かを検出する誤り検出部と、上記誤りが生じた場合には上記誤りを訂正する誤り訂正処理を実行する誤り訂正部と、上記誤りが生じた場合には上記インターフェースの伝送特性を調整する調整処理を開始させる調整制御部とを具備するインターフェース制御回路、および、その制御方法である。これにより、誤りが生じた場合には調整処理が開始するという作用をもたらす。

【0011】

また、この第1の側面において、上記調整制御部は、上記調整処理を上記誤り訂正処理が実行されている間に開始させてもよい。これにより、誤り訂正処理が実行されている間に調整処理が開始するという作用をもたらす。

【0012】

また、この第1の側面において、上記インターフェースは、上記誤り訂正符号化されたデータを送信する送信回路と、上記誤り訂正符号化されたデータを受信する受信回路とを含み、上記調整制御部は、上記送信回路と上記受信回路とのインピーダンスを整合する処理を上記調整処理として開始させてもよい。これにより、送信回路と受信回路とのインピーダンスを整合する処理が調整処理として開始するという作用をもたらす。

【0013】

また、この第1の側面において、上記調整制御部は、上記データの伝送タイミングを調整する処理を上記調整処理として開始させてもよい。これにより、データの伝送タイミングが調整されるという作用をもたらす。

【0014】

また、この第1の側面において、上記調整制御部の制御に従って上記調整処理を実行する調整部をさらに具備してもよい。これにより、調整制御部の制御に従って調整処理が実行されるという作用をもたらす。

【0015】

また、この第1の側面において、上記調整処理は、リファレンスクロック信号を基準として上記伝送タイミングを調整する処理であってもよい。これにより、リファレンスクロック信号を基準として上記伝送タイミングが調整されるという作用をもたらす。

【0016】

また、この第1の側面において、上記調整制御部の制御に従って上記伝送タイミングを遅延させる遅延回路をさらに具備し、上記調整処理は、上記遅延回路を制御することにより上記伝送タイミングを調整する処理であってもよい。これにより、遅延回路を制御することにより上記伝送タイミングが調整されるという作用をもたらす。

【0017】

また、この第1の側面において、上記調整処理は、上記伝送タイミングを制御する制御信号の位相を、リファレンスクロック信号を基準として調整することにより上記伝送タイミングを調整する処理であってもよい。これにより、伝送タイミングを制御する制御信号のタイミングがリファレンスクロック信号を基準として調整されるという作用をもたらす。

【0018】

また、この第1の側面において、上記調整制御部の制御に従って上記伝送タイミングを制御する制御信号の位相を遅延させる遅延回路をさらに具備し、上記調整処理は、上記遅延回路を制御することにより上記制御信号の位相を調整する処理であってもよい。これにより、遅延回路を制御することにより制御信号の位相が調整されるという作用をもたらす。

【0019】

また、この第1の側面において、上記インターフェースは、上記誤り訂正符号化された

10

20

30

40

50

データを送信クロック信号に同期して送信する送信回路と、上記誤り訂正符号化されたデータを受信クロック信号に同期して受信する受信回路とを含み、上記調整処理は、上記送信クロック信号および上記受信クロック信号の少なくとも一方の位相を調整することにより上記伝送タイミングを調整する処理であってもよい。これにより、送信クロック信号および受信クロック信号の少なくとも一方の位相が調整されるという作用をもたらす。

【0020】

また、この第1の側面において、上記調整処理は、上記送信クロック信号および上記受信クロック信号の一方を基準として他方の位相を調整することにより上記伝送タイミングを調整する処理であってもよい。これにより、送信クロック信号および受信クロック信号の一方を基準として他方の位相が調整されるという作用をもたらす。

10

【0021】

また、この第1の側面において、上記データは、メモリセルから読み出されたリードデータを含み、上記送信クロック信号は、上記リードデータを送信するためのリードデータ送信クロック信号を含み、上記受信クロック信号は、上記リードデータを受信するためのリードデータ受信クロック信号を含み、上記調整処理は、上記リードデータ送信クロック信号および上記リードデータ受信クロック信号の少なくとも一方の位相を調整する処理を含むものであってもよい。これにより、ライトデータ送信クロック信号およびライトデータ受信クロック信号の少なくとも一方の位相を調整する処理が開始するという作用をもたらす。

【0022】

また、この第1の側面において、上記データは、メモリセルに書き込まれるライトデータを含み、上記送信クロック信号は、上記ライトデータを送信するためのライトデータ送信クロック信号を含み、上記受信クロック信号は、上記ライトデータを受信するためのライトデータ受信クロック信号を含み、上記調整処理は、上記ライトデータ送信クロック信号および上記ライトデータ受信クロック信号の少なくとも一方の位相を調整する処理を含むものであってもよい。これにより、ライトデータ送信クロック信号およびライトデータ受信クロック信号の少なくとも一方の位相を調整する処理が開始するという作用をもたらす。

20

【0023】

また、この第1の側面において、上記調整処理は、上記誤り訂正符号化されたデータの伝送タイミングを基準として上記位相を調整する処理であってもよい。これにより、誤り訂正符号化されたデータの伝送タイミングを基準として位相が調整されるという作用をもたらす。

30

【0024】

また、この第1の側面において、上記調整制御部は、所定のテストデータを生成するテストデータ生成部と、上記テストデータを上記インターフェースに送信させるとともに帰還させて上記送信させたテストデータと上記帰還したテストデータとが一致するか否かに基づいて上記位相を調整する処理を上記調整処理として開始させてもよい。これにより、送信させたテストデータと帰還したテストデータとが一致するか否かに基づいて位相が調整されるという作用をもたらす。

40

【0025】

また、この第1の側面において、上記インターフェースは、上記データを伝送するための複数のデータ線を含むものであってもよい。これにより、複数のデータ線の伝送特性が調整されるという作用をもたらす。

【0026】

また、この第1の側面において、上記調整処理は、上記データ線ごとに上記データの伝送タイミングを調整する処理であってもよい。これにより、データ線ごとに伝送特性が調整されるという作用をもたらす。

【0027】

また、この第1の側面において、上記データ線の各々は、複数のグループのいずれかに

50

属し、上記調整処理は、上記グループごとに上記伝送タイミングを調整する処理であってもよい。これにより、グループごとに伝送特性が調整されるという作用をもたらす。

【0028】

また、この第1の側面において、上記調整制御部は、上記データにおいて所定の閾値を超える個数の上記誤りが生じた場合には上記調整処理を開始させてもよい。これにより、データにおいて所定の閾値を超える個数の誤りが生じた場合には調整処理が開始するという作用をもたらす。

【0029】

また、この第1の側面において、上記誤りが訂正されたデータを当該データが読み出されたアドレスに書き戻すリフレッシュ処理を実行してもよい。これにより、リフレッシュ処理が実行されるという作用をもたらす。

10

【0030】

また、この第1の側面において、上記リフレッシュ処理部は、上記誤り検出訂正符号の誤り訂正能力未満の所定の許容値よりも上記訂正された誤りの個数が多い場合には上記リフレッシュ処理を実行してもよい。これにより、誤り検出訂正符号の誤り訂正能力未満の所定の許容値よりも訂正された誤りの個数が多い場合にはリフレッシュ処理が実行されるという作用をもたらす。

また、この第1の側面において、上記データにおいて上記誤り検出訂正符号の誤り訂正能力を超える個数の上記誤りが生じた場合には上記伝送特性を調整させた後に上記データおよび上記誤り検出訂正符号を再度読み出すリトライ処理を実行するリトライ処理部をさらに具備してもよい。これにより、誤り検出訂正符号の誤り訂正能力を超える個数の誤りが生じた場合にはリトライ処理が実行されるという作用をもたらす。

20

【0031】

また、この第1の側面において、上記リトライ処理部は、所定のコマンドを発行して上記データおよび上記誤り検出訂正符号を再度読み出すとともに上記所定のコマンドをホストコンピュータに通知してもよい。これにより、再度発行されたコマンドがホストコンピュータに通知されるという作用をもたらす。

【0032】

また、この第1の側面において、上記リトライ処理部は、上記データおよび上記誤り検出訂正符号を再度読み出すとともに上記データが読み出されたアドレスをホストコンピュータに通知してもよい。これにより、アドレスがホストコンピュータに通知されるという作用をもたらす。

30

【0033】

また、この第1の側面において、上記リトライ処理部は、上記データおよび上記誤り検出訂正符号を再度読み出すとともに上記誤りが生じたことをホストコンピュータに通知してもよい。これにより、誤りが生じたことをホストコンピュータに通知されるという作用をもたらす。

【0034】

上記調整制御部は、上記インターフェース制御回路に電源が供給された場合または上記誤りが生じた場合には上記調整処理を開始させてもよい。これにより、インターフェース制御回路に電源が供給された場合または誤りが生じた場合に調整処理を開始するという作用をもたらす。

40

【0035】

また、この第1の側面において、データは、不揮発性のメモリセルから読み出されたデータであってもよい。これにより、不揮発性のメモリセルから読み出されたデータの誤り訂正処理が実行されている間に調整処理が開始するという作用をもたらす。

【0036】

また、本技術の第2の側面は、誤り訂正符号化されたデータを伝送するインターフェースと、上記データに誤りが生じたか否かを検出する誤り検出部と、上記誤りが生じた場合には上記誤りを訂正する誤り訂正処理を実行する誤り訂正部と、上記誤りが生じた場合に

50

は上記インターフェースの伝送特性を調整する調整処理を開始させる調整制御部とを具備するメモリシステムである。これにより、これにより、誤りが生じた場合には調整処理が開始するという作用をもたらす。

【発明の効果】

【0037】

本技術によれば、メモリコントローラとメモリとの間の通信速度を向上させることができるといった優れた効果を奏し得る。

【図面の簡単な説明】

【0038】

【図1】第1の実施の形態におけるメモリシステムの一構成例を示すブロック図である。

10

【図2】第1の実施の形態におけるメモリコントローラの一構成例を示すブロック図である。

【図3】第1の実施の形態における制御インターフェースの一構成例を示すブロック図である。

【図4】第1の実施の形態における不揮発性メモリの一構成例を示すブロック図である。

【図5】第1の実施の形態におけるメモリインターフェースの一構成例を示すブロック図である。

【図6】第1の実施の形態におけるオリジナルバッファ回路の一構成例を示すブロック図である。

【図7】第1の実施の形態におけるレプリカバッファ回路の一構成例を示すブロック図である。

20

【図8】第1の実施の形態におけるインピーダンス調整部の一構成例を示すブロック図である。

【図9】第1の実施の形態における電源投入時のインピーダンスの制御方法の一例を示す図である。

【図10】第1の実施の形態における誤り検出時のインピーダンスの制御方法の一例を示す図である。

【図11】第1の実施の形態におけるメモリコントローラの動作の一例を示すフローチャートである。

【図12】第1の実施の形態におけるリード処理の一例を示すフローチャートである。

30

【図13】第1の実施の形態における調整処理の一例を示すフローチャートである。

【図14】第1の実施の形態における不揮発性メモリの動作の一例を示すフローチャートである。

【図15】第1の実施の形態におけるメモリシステムの動作の一例を示すタイミングチャートである。

【図16】第1の実施の形態の第1の変形例におけるメモリコントローラの動作の一例を示すフローチャートである。

【図17】第1の実施の形態の第2の変形例における電源投入時のインピーダンスの制御方法の一例を示す図である。

【図18】第2の実施の形態におけるメモリコントローラの一構成例を示すブロック図である。

40

【図19】第2の実施の形態における位相調整部の一構成例を示すブロック図である。

【図20】第2の実施の形態における制御インターフェースの一構成例を示すブロック図である。

【図21】第2の実施の形態における不揮発性メモリの一構成例を示すブロック図である。

【図22】第2の実施の形態におけるメモリインターフェースの一構成例を示すブロック図である。

【図23】第2の実施の形態におけるメモリコントローラの動作の一例を示すフローチャートである。

50

【図 2 4】第 2 の実施の形態における調整処理の一例を示すフローチャートである。

【図 2 5】第 2 の実施の形態における不揮発性メモリの動作の一例を示すフローチャートである。

【図 2 6】第 2 の実施の形態におけるメモリシステムの動作の一例を示すタイミングチャートである。

【図 2 7】第 2 の実施の形態の第 1 の変形例におけるメモリコントローラの動作の一例を示すフローチャートである。

【図 2 8】第 2 の実施の形態の第 1 の変形例における調整処理の一例を示すフローチャートである。

【図 2 9】第 2 の実施の形態の第 2 の変形例における不揮発性メモリの一構成例を示すブロック図である。

【図 3 0】第 2 の実施の形態の第 3 の変形例における制御インターフェースの一構成例を示すブロック図である。

【図 3 1】第 3 の実施の形態におけるメモリコントローラの動作の一例を示すフローチャートである。

【図 3 2】第 3 の実施の形態における調整処理の一例を示すフローチャートである。

【図 3 3】第 3 の実施の形態における不揮発性メモリの動作の一例を示すフローチャートである。

【図 3 4】第 4 の実施の形態におけるメモリコントローラの一構成例を示すブロック図である。

【図 3 5】第 4 の実施の形態におけるリード処理の一例を示すフローチャートである。

【図 3 6】第 4 の実施の形態におけるメモリシステムの動作の一例を示すタイミングチャートである。

【図 3 7】第 5 の実施の形態におけるメモリコントローラの一構成例を示すブロック図である。

【図 3 8】第 5 の実施の形態におけるリード処理の一例を示すフローチャートである。

【図 3 9】第 5 の実施の形態におけるリトライ処理の一例を示すフローチャートである。

【図 4 0】第 5 の実施の形態の第 1 の変形例におけるリトライ処理の一例を示すフローチャートである。

【図 4 1】第 5 の実施の形態の第 2 の変形例におけるリトライ処理の一例を示すフローチャートである。

【発明を実施するための形態】

【0039】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第 1 の実施の形態（誤り検出時にインピーダンスを調整する例）
2. 第 2 の実施の形態（誤り検出時に位相を調整する例）
3. 第 3 の実施の形態（誤り検出時にインピーダンスおよび位相を調整する例）
4. 第 4 の実施の形態（誤り検出時にインピーダンスを調整してリフレッシュ処理を行う例）
5. 第 5 の実施の形態（誤り検出時にインピーダンスを調整して再リードを行う例）

【0040】

< 1. 第 1 の実施の形態 >

[メモリシステムの構成例]

図 1 は、第 1 の実施の形態におけるメモリシステムの一構成例を示すブロック図である。このメモリシステムは、ホストコンピュータ 100、メモリコントローラ 200 および不揮発性メモリ 300 を備える。

【0041】

ホストコンピュータ 100 は、メモリシステム全体を制御するものである。具体的には、ホストコンピュータ 100 は、コマンド、論理アドレス、および、ライトデータを生成

10

20

30

40

50

してメモリコントローラ200に信号線109を介して送信する。また、ホストコンピュータ100は、リードデータおよびステータスを、信号線109を介してメモリコントローラ200から受信する。ここで、コマンドは、メモリシステムを制御するためのものであり、例えば、データのライト処理を指示するライトコマンドと、データのリード処理を指示するリードコマンドとを含む。論理アドレスは、ホストコンピュータ100が定義したアドレス空間におけるアドレスである。ステータスは、コマンドの実行結果やメモリシステムの状況を通知する情報である。

【0042】

メモリコントローラ200は、不揮発性メモリ300を制御するものである。このメモリコントローラ200は、ホストコンピュータ100から論理アドレスを受信すると、その論理アドレスを、不揮発性メモリ300においてメモリセルに割り当てられた物理アドレスに変換する。そして、メモリコントローラ200は、その物理アドレスを不揮発性メモリ300に信号線209を介して送信する。

10

【0043】

ここで、信号線209は、アドレスおよびコマンドを送信するためのコマンド/アドレス線と、データを送受信するためのデータ線とを含む。また、信号線209を介して、リファレンスクロック信号がメモリコントローラ200から不揮発性メモリ300へ送信される。クロック信号については後述する。なお、本実施形態では明示的にリファレンスクロックを独立した信号として記述したが、データ線にクロックを重畳した、エンベデッド・クロック方式を用いる構成であってもよい。また、コマンド/アドレス線およびデータ線の代わりに、NANDフラッシュメモリなどにおいて使用される、アドレス、コマンドおよびデータなどを多重化(マルチプレックス)して送受信するインターフェースを用いてもよい。

20

【0044】

メモリコントローラ200は、ホストコンピュータ100からライトコマンドおよびライトデータを受信すると、そのライトデータから誤り訂正符号(ECC: Error Check and Correction Code)を生成する。例えば、BCH(Bose-Chaudhuri-Hocquenghem)符号や、RS(Reed-Solomon)符号がECCとして用いられる。メモリコントローラ200は、生成したパリティをライトデータに付加し、ライトデータおよびパリティからなるECCを、データ線を介して不揮発性メモリ300に送信する。ライトコマンドは、コマンド/アドレス線を介して送信される。

30

【0045】

メモリコントローラ200は、リードコマンド等をホストコンピュータ100から受信すると、そのコマンドを解釈および翻訳し、翻訳したコマンドを不揮発性メモリ300にコマンド/アドレス線を介して転送する。例えば、ホストコンピュータ100からのリードコマンドは、メモリコントローラ200のアクセス単位に基づいて、複数のコマンドに分割(すなわち、翻訳)される。そして、メモリコントローラ200は、パリティが付加された(すなわち、誤り訂正符号化された)リードデータを不揮発性メモリ300からデータ線を介して受信すると、そのパリティを使用してリードデータに誤りが生じたか否かを検出する。誤りが生じた場合には、メモリコントローラ200は、パリティを使用してリードデータの誤りを訂正する。そして、メモリコントローラ200は、訂正したリードデータをホストコンピュータ100へ送信する。

40

【0046】

また、誤りが生じた場合には、メモリコントローラ200は、誤りの訂正処理の実行中において、メモリコントローラ200と不揮発性メモリ300との間のインターフェースの伝送特性の調整を行うための調整コマンドを発行する。例えば、インターフェースのインピーダンスを調整するためのインピーダンス調整コマンドが調整コマンドとして発行される。メモリコントローラ200は、そのインピーダンス調整コマンドを不揮発性メモリ300へコマンド/アドレス線を介して送信する。ここで、調整の対象となる「インターフェース」は、後述するメモリコントローラ200側の制御インターフェース(260)

50

と、後述する不揮発性メモリ側のメモリインターフェース(400)と、データ線等の信号線とのうちの少なくとも1つを含む。

【0047】

また、メモリコントローラ200は、信号線209を介して不揮発性メモリ300からステータスを受信し、必要に応じてステータスを更新してホストコンピュータ100に送信する。

【0048】

なお、メモリコントローラ200は、特許請求の範囲に記載のインターフェース制御回路の一例である。

【0049】

また、メモリコントローラ200は、誤りが検出された場合にインピーダンス調整コマンド以外の調整コマンドを発行してもよい。例えば、メモリコントローラ200は、インターフェースの転送クロックの位相(タイミング)を調整するための位相調整コマンドを発行してもよいし、位相調整コマンドおよびインピーダンス調整コマンドの両方を行ってもよい。

【0050】

不揮発性メモリ300は、メモリコントローラ200の制御に従って、データを記憶するものである。この不揮発性メモリ300は、メモリコントローラ200からコマンド、アドレス、および、データを受信する。不揮発性メモリ300はコマンドがライトコマンドである場合には、指定されたアドレスにデータを書き込み、リードコマンドである場合には、指定されたアドレスからデータを読み出す。そして、不揮発性メモリ300は、ステータスを生成してメモリコントローラ200に送信する。また、不揮発性メモリ300は、読み出したデータをメモリコントローラ200に送信する。

【0051】

また、コマンドがインピーダンス調整コマンドである場合には、不揮発性メモリ300は、インターフェースのインピーダンスの調整を行う。

【0052】

なお、メモリシステムにおけるメモリは、不揮発性メモリに限定されず、揮発性メモリであってもよい。

【0053】

また、メモリシステムにおいて、不揮発性メモリ300がインピーダンスの調整を行う構成としているが、不揮発性メモリ300の代わりにメモリコントローラ200がインピーダンスの調整を行ってもよい。

【0054】

また、メモリコントローラ200が誤り検出、誤り訂正および調整コマンドの発行を行う構成としているが、この構成に限定されない。例えば、メモリコントローラ200の代わりに、ホストコンピュータ100が、誤り検出、誤り訂正および調整コマンドの発行を行ってもよい。

【0055】

[メモリコントローラの構成例]

図2は、第1の実施の形態におけるメモリコントローラ200の一構成例を示すブロック図である。このメモリコントローラ200は、ホストインターフェース210、誤り検出訂正符号生成部220、誤り検出部230、誤り訂正部240、インピーダンス調整コマンド発行部250および制御インターフェース260を備える。

【0056】

ホストインターフェース210は、ホストコンピュータ100との間で、コマンド、アドレス、データおよびステータスを送受信するものである。ホストインターフェース210により受信されたコマンドは、解釈および翻訳されて制御インターフェース260に供給される。また、ホストインターフェース210により受信された論理アドレスは、物理アドレスに変換されて制御インターフェース260に供給される。なお、コマンドを解釈

10

20

30

40

50

および翻訳するデコーダと、論理アドレスを物理アドレスに変換するアドレス変換部と、ステータスを生成するステータス生成部とは、図2において省略されている。

【0057】

ホストインターフェース210は、ホストコンピュータ100から受信したライトデータWDを誤り検出訂正符号生成部220に供給する。また、ホストインターフェース210は、誤り検出部230または誤り訂正部240からリードデータRDを受け取る。誤り検出部230において誤りが検出されていなければ、ホストインターフェース210は、パリティを除いたリードデータRDをホストコンピュータ100へ送信する。一方、誤り検出部230において誤りが検出されていれば、ホストインターフェース210は、誤り訂正部240により誤りが訂正された後のリードデータRDをホストコンピュータ100へ送信する。

10

【0058】

誤り検出訂正符号生成部220は、ホストインターフェース210からライトデータWDを受け取ると、そのライトデータWDからパリティを生成する。そして、誤り検出訂正符号生成部220は、ライトデータWDにパリティを付加し、ライトデータWD'として制御インターフェース260に供給する。

【0059】

誤り検出部230は、リードデータにおいて誤りが生じたか否かを検出するものである。この誤り検出部230は、制御インターフェース260から、パリティが付加されたリードデータRD'を受け取る。誤り検出部230は、パリティを使用してリードデータにおいて誤りが生じたか否かを検出し、その検出結果を誤り訂正部240、インピーダンス調整コマンド発行部250および制御インターフェース260に供給する。また、誤り検出部230は、誤りが検出されなかった場合には、リードデータRD'からパリティを除いたデータを、リードデータRDとしてホストインターフェース210に供給する。一方、誤りが検出された場合には、誤り検出部230は、パリティの付加されたリードデータRD'を誤り訂正部240に供給する。なお、誤りの個数がECCの誤り訂正能力を超える場合には、後述する第5の実施の形態のように、インピーダンスの調整およびリードリトライを行うこともできる。

20

【0060】

誤り訂正部240は、誤りが検出されたときにパリティを使用してリードデータRDにおける誤りを訂正するものである。誤り訂正部240は、訂正したリードデータRDをホストインターフェース210に供給する。

30

【0061】

インピーダンス調整コマンド発行部250は、インピーダンス調整コマンドZQCALを発行するものである。インピーダンス調整コマンド発行部250は、メモリコントローラ200に電源が投入されたとき、または、誤りが検出されたときにインピーダンス調整コマンドZQCALを発行する。誤りが検出された場合には、インピーダンス調整コマンド発行部250は、例えば、リードコマンドが最後に送信されたときから、 $T_R - T_S + T_M$ に相当する期間が少なくとも経過したタイミングにおいて、インピーダンス調整コマンドZQCALを発行する。ここで、 T_R は、リードコマンドの送信から対応するリードデータの受信完了までのレイテンシであり、 T_S は、インピーダンス調整コマンドの送信からインピーダンスの調整開始までのレイテンシである。 T_M は、マージンの期間である。このタイミングでインピーダンス調整コマンドを送信することにより、リードデータの受信が完了した後にインピーダンスの調整が開始される。

40

【0062】

ここで、電源投入時に発行されるインピーダンス調整コマンドZQCALとしては、例えば、DDR3インターフェースにおけるZQCALロングコマンドが用いられる。また、誤り検出時に発行されるインピーダンス調整コマンドZQCALとしては、例えば、DDR3インターフェースにおけるZQCALロングコマンドまたはZQCALショートコマンドが用いられる。

50

【 0 0 6 3 】

なお、インピーダンス調整コマンド発行部 2 5 0 は、特許請求の範囲に記載の調整制御部の一例である。

【 0 0 6 4 】

制御インターフェース 2 6 0 は、不揮発性メモリ 3 0 0 との間で、コマンド、アドレス、データおよびステータスを送受信するものである。この制御インターフェース 2 6 0 は、コマンド、アドレス、および、ライトデータ W D ' を不揮発性メモリ 3 0 0 に信号線 2 0 9 を介して送信する。ただし、誤りが検出された場合には、誤りの訂正処理と、インピーダンスの調整処理との両方が完了するまで、制御インターフェース 2 6 0 は、データ転送を伴う新たなコマンドおよびアドレスの送信を中断する。具体的には、制御インターフェース 2 6 0 は、誤りが検出されたときから、次の式 1 に示す期間 T_i が経過するまで新たなコマンド等の送信を中断する。

【 0 0 6 5 】

$$T_i = \max \{ (T_R - T_S + T_M + T_Z), (T_C + T_M) \} - T_R \quad \cdot \cdot$$

・式 1

ここで、 T_Z は、インピーダンスの調整開始から終了までの期間である。 T_C は、訂正の開始から終了までの期間である。 $\max(A, B)$ は、A および B のうち値の大きい方を返す関数である。

【 0 0 6 6 】

また、制御インターフェース 2 6 0 は、リードデータ R D ' およびステータスを受信し、そのリードデータ R D ' を誤り検出部 2 3 0 に供給する。

【 0 0 6 7 】

[制御インターフェースの構成例]

図 3 は、第 1 の実施の形態における制御インターフェース 2 6 0 の一構成例を示すブロック図である。この制御インターフェース 2 6 0 は、シーケンサ 2 6 1 と、データバッファ 2 6 2 と、パラレル・シリアル変換部 2 6 3 乃至 2 6 5 と、バッファ回路 2 6 6 および 2 6 7 とを備える。バッファ回路 2 6 7 は、ドライバ 2 6 8 およびレシーバ 2 6 9 を備える。なお、バッファ回路 2 6 7 には終端抵抗が接続されているが、記載の便宜上、省略されている。

【 0 0 6 8 】

シーケンサ 2 6 1 は、コマンドの種類に基づいて、バッファ回路 2 6 7 の入出力動作を制御するものである。シーケンサ 2 6 1 は、ホストインターフェース 2 1 0 またはインピーダンス調整コマンド発行部 2 5 0 からコマンドおよびアドレスを受け取る。また、シーケンサ 2 6 1 は、検出結果を誤り検出部 2 3 0 から受け取る。そして、シーケンサ 2 6 1 は、そのコマンドがライトコマンド W C M D、リードコマンド R C M D、インピーダンス調整コマンド Z Q C A L のいずれであるかを判断する。なお、シーケンサ 2 6 1 は、ハードウェアにより実現してもよいし、ソフトウェアにより実現してもよい。もしくは、シーケンサ 2 6 1 をハードウェアおよびソフトウェアの組合せにより実現してもよい。

【 0 0 6 9 】

ライトコマンド W C M D である場合には、シーケンサ 2 6 1 は、コマンドおよびアドレスをパラレル・シリアル変換部 2 6 3 に供給し、入出力制御信号 I O C t r l によりバッファ回路 2 6 7 を制御して、ドライバ 2 6 8 を活性化させる。

【 0 0 7 0 】

リードコマンド R C M D またはインピーダンス調整コマンド Z Q C A L である場合には、シーケンサ 2 6 1 は、コマンドおよびアドレスをパラレル・シリアル変換部 2 6 3 に供給する。ただし、エラーが生じたことを検出結果が示す場合には、誤りの訂正処理と、インピーダンスの調整処理との両方が終了するまでの一定期間の間、データ転送を伴う新たなコマンド（リードコマンド R C M D など）の発行を中断する。また、シーケンサ 2 6 1 は、入出力制御信号 I O C t r l によりバッファ回路 2 6 7 を制御して、レシーバ 2 6 9 を活性化させる。

10

20

30

40

50

【 0 0 7 1 】

パラレル・シリアル変換部 2 6 3 は、パラレルデータであるコマンドおよびアドレスをクロック信号 C L K に同期してシリアルデータに変換するものである。パラレル・シリアル変換部 2 6 3 は、シリアルデータの各々を順にバッファ回路 2 6 6 に供給する。ここで、クロック信号 C L K は、制御インターフェース 2 6 0 において生成されたクロック信号である。また、クロック信号 C L K は、参照すべきリファレンスクロック信号として不揮発性メモリ 3 0 0 へ送信される。なお、クロック信号 C L K を生成するクロック生成回路は、図 3 において省略されている。

【 0 0 7 2 】

バッファ回路 2 6 6 は、パラレル・シリアル変換部 2 6 3 からのシリアルデータをコマンド/アドレス線 2 0 7 を介して送信するものである。

10

【 0 0 7 3 】

データバッファ 2 6 2 は、リードデータ R D ' またはライトデータ W D ' を保持するものである。保持されたライトデータ W D ' は、パラレル・シリアル変換部 2 6 4 へ供給され、保持されたリードデータ R D ' は、誤り検出部 2 3 0 へ供給される。

【 0 0 7 4 】

パラレル・シリアル変換部 2 6 4 は、送信クロック信号 T x C L K に同期して、パラレルデータであるライトデータ W D ' をシリアルデータに変換するものである。パラレル・シリアル変換部 2 6 4 は、シリアルデータの各々を順にドライバ 2 6 8 に供給する。

【 0 0 7 5 】

パラレル・シリアル変換部 2 6 5 は、クロック信号 C L K に同期してレシーバ 2 6 9 からのシリアルデータをパラレルデータであるリードデータ R D ' に変換するものである。パラレル・シリアル変換部 2 6 5 は、変換したリードデータ R D ' をデータバッファ 2 6 2 に保持させる。

20

【 0 0 7 6 】

ドライバ 2 6 8 は、パラレル・シリアル変換部 2 6 4 からのシリアルデータを、データ線 2 0 8 を介して送信するものである。

【 0 0 7 7 】

レシーバ 2 6 9 は、データ線 2 0 8 を介して受信したシリアルデータをパラレル・シリアル変換部 2 6 5 へ供給するものである。なお、データ線 2 0 8 は、必要な転送スループットを確保するために複数本で構成されてもよい。この場合、パラレル・シリアル変換部 2 6 4 および 2 6 5 とバッファ回路 2 6 7 とからなる組も、複数組設けられる。

30

【 0 0 7 8 】

[不揮発性メモリの構成例]

図 4 は、第 1 の実施の形態における不揮発性メモリ 3 0 0 の一構成例を示すブロック図である。この不揮発性メモリ 3 0 0 は、メモリインターフェース 4 0 0 、インピーダンス調整部 3 1 0 およびアクセス制御部 3 2 0 を備える。

【 0 0 7 9 】

メモリインターフェース 4 0 0 は、メモリコントローラ 2 0 0 との間でデータを送受信するものである。このメモリインターフェース 4 0 0 は、信号線 2 0 9 を介してコマンドおよびアドレスを受信する。また、メモリインターフェース 4 0 0 は、受信クロック信号に同期して、信号線 2 0 9 を介してライトデータ W D ' を受信する。メモリインターフェース 4 0 0 は、それらのコマンド等をアクセス制御部 3 2 0 に供給する。さらに、メモリインターフェース 4 0 0 は、アクセス制御部 3 2 0 からリードデータ R D ' を受け取る。そして、メモリインターフェース 4 0 0 は、送信クロック信号に同期して、信号線 2 0 9 を介してリードデータ R D ' を送信する。

40

【 0 0 8 0 】

また、メモリインターフェース 4 0 0 は、信号線 2 0 9 を介してインピーダンス調整コマンド Z Q C A L を受信し、そのコマンドに従って、インピーダンス調整部 3 1 0 との間で調整開始信号および調整終了通知などの信号をやりとりする。これらの信号の詳細につ

50

いては後述する。

【0081】

インピーダンス調整部310は、メモリインターフェース400においてインピーダンスの不整合を調整するものである。

【0082】

アクセス制御部320は、メモリセルアレイ330にアクセスしてデータの書込み、または、読出しを行うものである。このアクセス制御部320は、ライトコマンドWCMD、アドレスおよびライトデータWD'を受け取ると、そのコマンドに従って、メモリセルアレイ330内の指定されたアドレスにアクセスし、ライトデータWD'を書き込む。また、アクセス制御部320は、リードコマンドRCMDおよびアドレスを受け取ると、そのコマンドに従って、メモリセルアレイ330内の指定されたアドレスにアクセスし、リードデータRD'を読み出す。アクセス制御部320は、読み出したリードデータRD'をメモリインターフェース400に供給する。また、アクセス制御部320は、アクセス状況に基づいてステータスを生成し、メモリインターフェース400に供給する。

10

【0083】

メモリセルアレイ330は、マトリクス状に配列された複数のメモリセルを備える。各々のメモリセルとして、例えば、可変抵抗素子を用いるReRAMが用いられる。なお、ReRAM以外の不揮発性の記憶素子をメモリセルとして用いてもよい。例えば、NAND型フラッシュメモリやNOR型フラッシュメモリを用いてもよいし、ReRAM、PCRAM、または、MRAMなどを用いてもよい。

20

【0084】

[メモリインターフェースの構成例]

図5は、第1の実施の形態におけるメモリインターフェース400の一構成例を示すブロック図である。このメモリインターフェース400は、オリジナルバッファ回路410と、レプリカバッファ回路432と、バッファ回路451と、パラレル・シリアル変換部452乃至454と、シーケンサ455と、データバッファ456とを備える。

【0085】

オリジナルバッファ回路410は、データ線208を介してシリアルデータを送受信するものである。このオリジナルバッファ回路410は、受信したシリアルデータをパラレル・シリアル変換部453に供給し、送信対象のシリアルデータをパラレル・シリアル変換部454から受け取る。また、オリジナルバッファ回路410のインピーダンスは、インピーダンス調整部310からのインピーダンス制御信号ZQCtrlにより制御される。

30

【0086】

レプリカバッファ回路432は、オリジナルバッファ回路410と類似した回路である。このレプリカバッファ回路432のインピーダンスは、インピーダンス制御信号ZQCtrlにより制御される。また、レプリカバッファ回路432は、比較結果COMP1およびCOMP2をインピーダンス調整部310に供給する。これらの信号の詳細については後述する。

【0087】

バッファ回路451は、コマンド/アドレス線207を介してシリアルデータを受信し、パラレル・シリアル変換部452へ供給するものである。

40

【0088】

パラレル・シリアル変換部452は、バッファ回路451からのシリアルデータをパラレルデータである、コマンドおよびアドレスに変換するものである。パラレル・シリアル変換部452は、それらのコマンドおよびアドレスをシーケンサ455に供給する。

【0089】

シーケンサ455は、コマンドの種類に基づいて、オリジナルバッファ回路410の入出力動作を制御するものである。シーケンサ455は、パラレル・シリアル変換部452からコマンドおよびアドレスを受け取り、そのコマンドがライトコマンドWCMD、リー

50

ドコマンド R C M D、インピーダンス調整コマンド Z Q C A L のいずれであるかを判断する。

【 0 0 9 0 】

ライトコマンド W C M D である場合には、シーケンサ 4 5 5 は、コマンドおよびアドレスをアクセス制御部 3 2 0 に供給し、入出力制御信号 I O C t r l によりオリジナルバッファ回路 4 1 0 を制御して、ライトデータを受信させる。

【 0 0 9 1 】

リードコマンド R C M D である場合には、シーケンサ 4 5 5 は、コマンドおよびアドレスをアクセス制御部 3 2 0 に供給し、入出力制御信号 I O C t r l によりオリジナルバッファ回路 4 1 0 を制御して、リードデータを送信させる。

10

【 0 0 9 2 】

インピーダンス調整コマンド Z Q C A L である場合には、シーケンサ 4 5 5 は、調整開始信号を生成してインピーダンス調整部 3 1 0 に供給する。そして、シーケンサ 4 5 5 は、インピーダンス調整部 3 1 0 からの調整終了通知を受け付ける。シーケンサ 4 5 5 は、調整開始信号から、調整終了通知を受け取るまでの間、データ転送を伴う新たなコマンドの発行を中断する。

【 0 0 9 3 】

パラレル・シリアル変換部 4 5 3 は、リファレンスクロック信号 (C L K) に同期して、オリジナルバッファ回路 4 1 0 からのシリアルデータをパラレルデータであるライトデータ W D ' に変換するものである。パラレル・シリアル変換部 4 5 3 は、そのライトデータ W D ' をデータバッファ 4 5 6 に保持させる。

20

【 0 0 9 4 】

パラレル・シリアル変換部 4 5 4 は、パラレルデータであるリードデータ R D ' をデータバッファ 4 5 6 から取得し、リファレンスクロック信号 (C L K) に同期してシリアルデータに変換するものである。パラレル・シリアル変換部 4 5 4 は、そのシリアルデータをオリジナルバッファ回路 4 1 0 に順に供給する。

【 0 0 9 5 】

データバッファ 4 5 6 は、リードデータ R D ' またはライトデータ W D ' を保持するものである。保持されたライトデータ W D ' は、アクセス制御部 3 2 0 へ供給され、保持されたリードデータ R D ' は、パラレル・シリアル変換部 4 5 4 へ供給される。

30

【 0 0 9 6 】

[オリジナルバッファ回路の構成例]

図 6 は、第 1 の実施の形態におけるオリジナルバッファ回路 4 1 0 の一構成例を示すブロック図である。このオリジナルバッファ回路 4 1 0 は、プルアップ回路 4 1 1、プルダウン回路 4 1 6、レシーバ 4 2 1 およびドライバ 4 2 4 を備える。

【 0 0 9 7 】

プルアップ回路 4 1 1 は、電源電圧 V c c が印加された端子と外部端子 4 3 1 との間に挿入される電源側の回路である。このプルアップ回路 4 1 1 は、トランジスタ 4 1 2 と、抵抗 4 1 3 と、一定数のトランジスタ 4 1 3 および抵抗 4 1 4 とを備える。抵抗 4 1 5 の一端は、トランジスタ 4 1 2 に接続され、他端は、レシーバ 4 2 1、プルダウン回路 4 1 6 および外部端子 4 3 1 に接続されている。トランジスタ 4 1 3 および抵抗 4 1 4 は直列に接続されており、直列に接続されたトランジスタ 4 1 3 および抵抗 4 1 4 のそれぞれは、抵抗 4 1 5 に並列に接続されている。

40

【 0 0 9 8 】

トランジスタ 4 1 2 として、例えば、p M O S (Metal-Oxide-Semiconductor) トランジスタが用いられる。トランジスタ 4 1 2 のソース電極には電源電圧 V c c が印加され、ドレイン電極は抵抗 4 1 3 に接続され、ゲート電極には、プルアップ制御信号 P U _ O n が入力される。ここで、プルアップ制御信号 P U _ O n は、プルアップ抵抗を制御するためにハイレベルまたはローレベルが設定される信号であり、インピーダンス制御信号 Z Q C t r l に含まれる。

50

【 0 0 9 9 】

この構成により、プルアップ制御信号 P U _ O n がローレベルの場合には、トランジスタ 4 1 2 がオン状態に移行し、プルアップ抵抗として、抵抗 4 1 4 および 4 1 5 の合成抵抗が接続された状態となる。一方、プルアップ制御信号 P U _ O n がハイレベルの場合には、プルアップ抵抗が非接続の状態となる。

【 0 1 0 0 】

トランジスタ 4 1 3 として、例えば、p M O S トランジスタが用いられる。また、トランジスタ 4 1 3 のゲート電極には、プルアップ制御信号 P U [0 : 3] のいずれかのビットが入力される。プルアップ制御信号 P U [0 : 3] は 4 ビットのデータであり、インピーダンス制御信号 Z Q C t r l に含まれる。プルアップ制御信号 P U [0 : 3] が 4 ビットであるため、トランジスタ 4 1 3 および抵抗 4 1 4 からなる組を最大で 4 組設けることができる。

10

【 0 1 0 1 】

この構成により、プルアップ制御信号 P U [0 : 3] に従って、プルアップ回路 4 1 1 の抵抗値が制御される。具体的には、プルアップ制御信号 P U [0 : 3] において「 1 」のビット数が多いほど、オフ状態となるトランジスタ 4 1 3 が増加し、並列接続された抵抗 4 1 4 および抵抗 4 1 5 の合成抵抗（すなわち、プルアップ回路 4 1 1 の抵抗）が高くなる。

【 0 1 0 2 】

プルダウン回路 4 1 6 は、基準電圧 V s s が印加された端子と外部端子 4 3 1 との間に挿入される接地側の回路である。このプルダウン回路 4 1 6 は、一定数の抵抗 4 1 7 およびトランジスタ 4 1 8 と、抵抗 4 1 9 と、トランジスタ 4 2 0 とを備える。抵抗 4 1 9 の一端は、レシーバ 4 2 1、プルアップ回路 4 1 1 および外部端子 4 3 1 に接続され、他端はトランジスタ 4 2 0 に接続されている。抵抗 4 1 7 およびトランジスタ 4 1 8 は直列に接続されており、直列に接続された抵抗 4 1 7 およびトランジスタ 4 1 8 のそれぞれは、抵抗 4 1 9 に並列に接続されている。

20

【 0 1 0 3 】

トランジスタ 4 2 0 として、例えば、n M O S トランジスタが用いられる。トランジスタ 4 2 0 のソース電極は抵抗 4 1 9 に接続され、ドレイン電極には基準電圧 V s s が印加され、ゲート電極には、プルダウン制御信号 P D _ O n が入力される。ここで、プルダウン制御信号 P D _ O n は、プルダウン抵抗を制御するためにハイレベルまたはローレベルが設定される信号であり、インピーダンス制御信号 Z Q C t r l に含まれる。

30

【 0 1 0 4 】

この構成により、プルダウン制御信号 P D _ O n がハイレベルの場合には、トランジスタ 4 2 0 がオン状態に移行し、プルダウン抵抗として、抵抗 4 1 7 および 4 1 9 の合成抵抗が接続された状態となる。一方、プルダウン制御信号 P D _ O n がローレベルの場合には、プルダウン抵抗が非接続の状態となる。

【 0 1 0 5 】

トランジスタ 4 1 8 として、例えば、n M O S トランジスタが用いられる。また、トランジスタ 4 1 8 のゲート電極には、プルダウン制御信号 P D [0 : 3] のいずれかのビットが入力される。プルダウン制御信号 P D [0 : 3] は 4 ビットのデータであり、インピーダンス制御信号 Z Q C t r l に含まれる。プルダウン制御信号 P D [0 : 3] が 4 ビットであるため、抵抗 4 1 7 およびトランジスタ 4 1 8 からなる組を最大で 4 組設けることができる。

40

【 0 1 0 6 】

この構成により、プルダウン制御信号 P D [0 : 3] に従って、プルダウン回路 4 1 6 の抵抗値が制御される。具体的には、プルダウン制御信号 P D [0 : 3] において「 0 」のビット数が多いほど、オフ状態となるトランジスタ 4 1 8 が増加し、並列接続された抵抗 4 1 8 および抵抗 4 1 9 の合成抵抗（すなわち、プルダウン回路 4 1 6 の抵抗）が高くなる。

50

【 0 1 0 7 】

これらのプルアップ回路 4 1 1 およびプルダウン回路 4 1 6 の抵抗は、データ線 2 0 8 の終端に接続された終端抵抗として用いられる。この終端抵抗は、不揮発性メモリ 3 0 0 のチップ上に設けられているため、O D T (On Die Termination) とも呼ばれる。

【 0 1 0 8 】

レシーバ 4 2 1 は、メモリコントローラ 2 0 0 からのシリアルデータを受信するものである。このレシーバ 4 2 1 は、トランジスタ 4 2 2 および 4 2 3 を備える。トランジスタ 4 2 2 として、例えば、p M O S トランジスタが用いられ、トランジスタ 4 2 3 として、例えば、n M O S トランジスタが用いられる。

【 0 1 0 9 】

トランジスタ 4 2 2 のソース電極には電源電圧 V_{cc} が印加され、ドレイン電極はトランジスタ 4 2 3 のソース電極とパラレル・シリアル変換部 4 5 3 とに接続される。また、トランジスタ 4 2 2 のゲート電極は、外部端子 4 3 1 と接続される。

【 0 1 1 0 】

トランジスタ 4 2 3 のソース電極は、トランジスタ 4 2 2 のドレイン電極とパラレル・シリアル変換部 4 5 3 とに接続され、ドレイン電極には基準電圧 V_{ss} が印加される。また、トランジスタ 4 2 3 のゲート電極は、外部端子 4 3 1 と接続される。

【 0 1 1 1 】

この構成により、レシーバ 4 2 1 は、データ線 2 0 8 を介して送信されたシリアルデータを受信し、そのデータをパラレル・シリアル変換部 4 5 3 へ供給する。また、レシーバ 4 2 1 は、入出力制御信号 $I O C t r l$ に従って、活性化または非活性化する。なお、レシーバ 4 2 1 を活性化または非活性化するための素子や配線は、図 6 において省略されている。

【 0 1 1 2 】

ドライバ 4 2 4 は、プルアップ回路 4 2 5 およびプルダウン回路 4 2 6 を備える。プルアップ回路 4 2 5 の構成は、プルアップ回路 4 1 1 と同様である。ただし、プルアップ回路 4 2 5 において、トランジスタ 4 1 2 に相当するトランジスタのゲート電極は、パラレル・シリアル変換部 4 5 4 に接続される。プルダウン回路 4 2 6 の構成は、プルダウン回路 4 1 6 と同様である。ただし、プルアップ回路 4 2 6 において、トランジスタに相当するトランジスタのゲート電極は、パラレル・シリアル変換部 4 5 4 に接続される。

【 0 1 1 3 】

この構成により、ドライバ 4 2 4 は、パラレル・シリアル変換部 4 5 4 からのシリアルデータをメモリコントローラ 2 0 0 へ送信する。また、ドライバ 4 2 4 は、入出力制御信号 $I O C t r l$ に従って、活性化または非活性化する。なお、ドライバ 4 2 0 を活性化または非活性化するための素子や配線は、図 6 において省略されている。

【 0 1 1 4 】

[レプリカバッファ回路の構成例]

図 7 は、第 1 の実施の形態におけるレプリカバッファ回路 4 3 2 の一構成例を示すブロック図である。このレプリカバッファ回路 4 3 2 は、外部端子 4 4 0 と、プルアップ回路 4 3 3 と、抵抗 4 3 4 および 4 3 5 と、コンパレータ 4 3 6 とを備える。また、レプリカバッファ回路 4 3 2 は、プルアップ回路 4 3 7、プルダウン回路 4 3 8 およびコンパレータ 4 3 9 を備える。

【 0 1 1 5 】

外部端子 4 4 0 には、不揮発性メモリ 3 0 0 の外部に設けられた外部抵抗が接続されている。この外部抵抗の一端には基準電圧 V_{ss} が印加され、その抵抗値は、メモリコントローラ 2 0 0 側のプルダウン抵抗と略同一の値に設定される。

【 0 1 1 6 】

プルアップ回路 4 3 3 は、電源電圧 V_{cc} が印加された端子と、外部端子 4 4 0 との間に挿入される。プルアップ回路 4 3 3 の構成は、図 6 におけるプルアップ回路 4 1 1 と同様である。このプルアップ回路 4 3 3 の一端には電源電圧 V_{cc} が供給され、他端は、外

10

20

30

40

50

部端子440およびコンパレータ436の入力端子に接続される。

【0117】

この構成により、プルアップ制御信号PU_Onがローレベルの場合には、電源電圧Vccと基準電圧Vssとの電位差を、プルアップ回路433および外部抵抗の抵抗比により分圧した電圧Vq1がコンパレータ436の入力端子に印加される。一方、プルアップ制御信号PU_Onがハイレベルの場合には、プルアップ回路433が非接続の状態となり、電圧Vq1の値は、外部抵抗の値に応じた、所定の参照電圧Vref_extと同一になる。

【0118】

また、電源電圧Vccと基準電圧Vssの間には、直列に接続された抵抗434および435が挿入されている。そして、これらの抵抗の接続点は、コンパレータ436および439の入力端子に接続されている。この構成により、電源電圧Vccと基準電圧Vssとの電位差を、抵抗434および435の抵抗比により分圧した電圧が参照電圧Vref_intとしてコンパレータ436および439の入力端子に印加される。

10

【0119】

この参照電圧Vref_intの値は、この電圧に電圧Vq1を略一致させることで、メモリコントローラ200および不揮発性メモリ300の一方の送信回路と、他方の受信回路とのインピーダンスが整合するような値に設定される。送信回路は、ドライバなどであり、受信回路は、レシーバ、終端抵抗、および、信号線などである。

【0120】

コンパレータ436は、電圧Vq1と参照電圧Vref_intとを比較するものである。コンパレータ436は、比較した結果を比較結果COMP1としてインピーダンス調整部310に供給する。比較結果COMP1は、例えば、電圧Vq1が参照電圧Vref_intに満たない場合にハイレベルとなり、そうでない場合にローレベルとなる信号である。

20

【0121】

プルアップ回路437の構成は、図6におけるプルアップ回路411と同様である。このプルアップ回路437の一端には電源電圧Vccが供給され、他端は、プルダウン回路438とコンパレータ439の入力端子とに接続される。

【0122】

プルダウン回路438の構成は、図6におけるプルダウン回路416と同様である。このプルダウン回路438の一端は、プルアップ回路437とコンパレータ439の入力端子とに接続され、他端には基準電圧Vssが供給される。

30

【0123】

この構成により、プルアップ制御信号PU_Onがローレベルでプルダウン制御信号PD_Onがハイレベルの場合に、プルアップ回路437およびプルダウン回路438の抵抗比に応じた電圧Vq2がコンパレータ439の入力端子に印加される。

【0124】

コンパレータ439は、電圧Vq2と参照電圧Vref_intとを比較するものである。このコンパレータ439は、比較した結果を比較結果COMP2としてインピーダンス調整部310に供給する。比較結果COMP2は、例えば、参照電圧Vref_intが電圧Vq2に満たない場合にハイレベルとなり、そうでない場合にローレベルとなる信号である。

40

【0125】

[インピーダンス調整部の構成例]

図8は、第1の実施の形態におけるインピーダンス調整部310の一例を示すブロック図である。このインピーダンス調整部310は、ステートマシン311、制御信号保持部312および反転回数カウンタ313を備える。

【0126】

ステートマシン311は、メモリインターフェース400におけるインピーダンスを調

50

整するものである。このステートマシン 3 1 1 は、メモリインターフェース 4 0 0 から調整開始信号を受け取ると、インピーダンスの調整を開始する。

【 0 1 2 7 】

ステートマシン 3 1 1 は、まず、ローレベルのプルアップ制御信号 P U _ O n をメモリインターフェース 4 0 0 に出力する。これにより、プルアップ抵抗の値の調整が可能となる。

【 0 1 2 8 】

ステートマシン 3 1 1 は、内部クロック信号 C L K に同期して、比較結果 C O M P 1 の値に応じてプルアップ抵抗の値を制御する。抵抗値の制御量は、クロックサイクルごとに一定の値とする。具体的には、比較結果 C O M P 1 がハイレベルである場合には、制御対象の電圧 V q 1 が参照電圧 V r e f _ i n t に満たないことを意味する。このため、ステートマシン 3 1 1 は、プルアップ制御信号 P U [0 : 3] によりプルアップ抵抗の値を低くする。これにより、電圧 V q 1 が高くなる。一方、比較結果 C O M P 1 がローレベルである場合には、ステートマシン 3 1 1 は、プルアップ抵抗の値を高くする。

10

【 0 1 2 9 】

また、ステートマシン 3 1 1 は、比較結果 C O M P 1 の反転回数を反転回数カウンタに計数させる。そのカウンタ値 Z C N T が一定回数（例えば、「 4 」）になると、ステートマシン 3 1 1 は、プルアップ抵抗の調整が完了したと判断する。

【 0 1 3 0 】

プルアップ抵抗の調整が完了すると、ステートマシン 3 1 1 は、ローレベルのプルアップ制御信号 P U _ O n と、ハイレベルのプルダウン制御信号 P D _ O n とをメモリインターフェース 4 0 0 に出力する。これにより、プルダウン抵抗の値の調整が可能となる。また、ステートマシン 3 1 1 は、カウンタ値 Z C N T を初期値（例えば、「 0 」）にする。

20

【 0 1 3 1 】

ステートマシン 3 1 1 は、内部クロック信号 C L K に同期して、比較結果 C O M P 2 の値に応じてプルダウン抵抗の値を制御する。抵抗値の制御量は、クロックサイクルごとに一定の値とする。具体的には、比較結果 C O M P 2 がローレベルである場合には、制御対象の電圧 V q 2 が参照電圧 V r e f _ i n t 以下であることを意味する。このため、ステートマシン 3 1 1 は、プルダウン制御信号 P D [0 : 3] によりプルダウン抵抗の値を高くする。これにより、電圧 V q 2 が高くなる。一方、比較結果 C O M P 2 がハイレベルである場合には、ステートマシン 3 1 1 は、プルダウン抵抗の値を低くする。

30

【 0 1 3 2 】

また、ステートマシン 3 1 1 は、比較結果 C O M P 2 の反転回数を反転回数カウンタに計数させる。そのカウンタ値 Z C N T が一定回数（例えば、「 4 」）になると、ステートマシン 3 1 1 は、プルダウン抵抗の調整が完了したと判断する。

【 0 1 3 3 】

ステートマシン 3 1 1 は、プルアップ抵抗およびプルダウン抵抗の調整が完了したとき、または、調整期間が経過したときに調整終了通知を生成してメモリインターフェース 4 0 0 に出力する。ここで、調整期間は、例えば、Z Q C A L ショートコマンドでは、6 4 クロックに、Z Q C A L ロングコマンドでは、2 5 6 クロックに設定される。また、ステートマシン 3 1 1 は、カウンタ値 Z C N T を初期値にする。さらに、ステートマシン 3 1 1 は、インピーダンス制御信号 Z Q C t r l (P U _ O n 、 P D _ O n 、 P U [0 : 3] および P D [0 : 3]) を制御信号保持部に保持させる。そして、ステートマシン 3 1 1 は、その制御信号をメモリインターフェース 4 0 0 に継続して供給する。

40

【 0 1 3 4 】

なお、ステートマシン 3 1 1 は、プルアップ抵抗から先に調整しているが、逆にプルダウン抵抗から先に調整してもよい。また、ステートマシン 3 1 1 は、プルアップ抵抗およびプルダウン抵抗の両方を調整しているが、いずれか一方のみを調整してもよい。

【 0 1 3 5 】

制御信号保持部 3 1 2 は、インピーダンス制御信号 Z Q C t r l を保持するものである

50

。

【 0 1 3 6 】

反転回数カウンタ 3 1 3 は、比較結果 C O M P 1 または比較結果 C O M P 2 の反転回数を計数するものである。

【 0 1 3 7 】

図 9 は、第 1 の実施の形態における電源投入時のインピーダンスの制御方法の一例を示す図である。同図における縦軸は、電圧 V_{q2} の電圧であり、横軸は時間である。電源投入時には、不揮発性メモリ 3 0 0 側のプルダウン抵抗は最小値に設定される。その結果、制御対象の電圧 V_{q2} は、最小値となる。不揮発性メモリ 3 0 0 は、内部クロック信号 C L K に同期してプルダウン抵抗を制御して、参照電圧 V_{ref_int} に電圧 V_{q2} を略一致させる。具体的には、比較結果 C O M P 2 が一定回数（例えば、4 回）反転したときに略一致したと判断される。ここで、クロックサイクルごとのインピーダンスの制御量は、一定の値である。なお、プルダウン抵抗の調整の前に行われたプルアップ抵抗の調整は、図 9 において省略されている。

10

【 0 1 3 8 】

例えば、時刻 T_0 に電源が投入され、時刻 T_1 において、電圧 V_{q2} が参照電圧 V_{ref_int} を超えると、比較結果 C O M P 2 がローレベルからハイレベルに反転する。そして、時刻 T_2 において、不揮発性メモリ 3 0 0 は、電圧 V_{q2} が低くなるようにインピーダンスを制御し、電圧 V_{q2} が参照電圧 V_{ref_int} 未満となると、比較結果 C O M P 2 がハイレベルからローレベルに反転する。以下、時刻 T_3 および T_4 において、電圧 V_{q2} を増減することにより、比較結果 C O M P 2 が反転したとする。時刻 T_4 の時点において、反転回数が 4 回となったため、不揮発性メモリ 3 0 0 は、インピーダンスの調整が完了したと判断する。

20

【 0 1 3 9 】

参照電圧 V_{ref_int} は、インターフェースの送信側の回路と受信側の回路とでインピーダンスが整合するような値に設定されている。このため、この参照電圧 V_{ref_int} に基づいてインピーダンスを制御することにより、送信側と受信側とでインピーダンスが整合した状態となり、インターフェースにおける転送エラーが低減する。

【 0 1 4 0 】

図 1 0 は、第 1 の実施の形態における誤り検出時のインピーダンスの制御方法の一例を示す図である。同図における縦軸は、電圧 V_{q2} の電圧であり、横軸は時間である。電源投入後、温度変化などにより、インターフェースにおいてインピーダンスの値が変動する。この現象は、温度ドリフトと呼ばれる。この結果、インターフェースの送信側と受信側とでインピーダンスが整合しない状態となる。このインピーダンスの不整合により信号の反射が生じ、時刻 T_5 において誤りが検出される。メモリコントローラ 2 0 0 は、インピーダンス調整コマンド Z Q C A L を発行し、不揮発性メモリ 3 0 0 はインピーダンスの調整を開始する。ここで、クロックサイクルごとのインピーダンスの制御量は、一定の値である。時刻 T_6 において、比較結果 C O M P 2 の反転回数が一定回数に達すると、不揮発性メモリ 3 0 0 は、調整が完了したと判断し、インピーダンスの整合状態を維持する。

30

【 0 1 4 1 】

[メモリコントローラの動作例]

図 1 1 は、第 1 の実施の形態におけるメモリコントローラ 2 0 0 の動作の一例を示すフローチャートである。この動作は、例えば、メモリコントローラ 2 0 0 に電源が投入されたときに開始する。

40

【 0 1 4 2 】

メモリコントローラ 2 0 0 は、電源投入直後に、インピーダンス調整コマンドを発行して不揮発性メモリ 3 0 0 に送信する（ステップ S 9 0 1）。メモリコントローラ 2 0 0 は、一定サイクルが経過したか否かを判断する（ステップ S 9 0 2）。この期間は、インピーダンスの調整処理に要する期間である。一定サイクルが経過していなければ（ステップ S 9 0 2 : N o）、メモリコントローラ 2 0 0 は、ステップ S 9 0 2 に戻る。

50

【 0 1 4 3 】

一定サイクルが経過したのであれば（ステップ S 9 0 2 : Y e s ）、メモリコントローラ 2 0 0 は、ホストコンピュータ 1 0 0 からコマンドを受信して翻訳および解釈等を行って、各種のコマンドを発行する（ステップ S 9 0 3 ）。

【 0 1 4 4 】

メモリコントローラ 2 0 0 は、解釈したコマンドの処理（ライト処理やリード処理など）を実行する（ステップ S 9 0 4 ）。リード処理において、誤りが検出された場合には、図 1 3 および図 1 4 において後述するように、インピーダンス調整コマンドが発行される。

【 0 1 4 5 】

メモリコントローラ 2 0 0 は、コマンドの処理が完了したか否かを判断する（ステップ S 9 0 5 ）、処理が完了していなければ（ステップ S 9 0 5 ; N o ）、メモリコントローラ 2 0 0 は、ステップ S 9 0 4 に戻る。処理が完了したのであれば（ステップ S 9 0 5 : Y e s ）、メモリコントローラ 2 0 0 は、ステップ S 9 0 3 に戻る。

【 0 1 4 6 】

図 1 2 は、第 1 の実施の形態におけるリード処理の一例を示すフローチャートである。メモリコントローラ 2 0 0 は、リードコマンドおよびアドレスを不揮発性メモリ 3 0 0 に送信し、リードデータおよびパリティを受信する。そして、メモリコントローラ 2 0 0 は、パリティを使用してリードデータにおける誤りの有無を検出する（ステップ S 9 1 1 ）。

【 0 1 4 7 】

メモリコントローラ 2 0 0 は、パリティを使用して、リードデータに誤りが生じたか否かを判断する（ステップ S 9 1 2 ）。

【 0 1 4 8 】

誤りが生じた場合には（ステップ S 9 1 2 : Y e s ）、メモリコントローラ 2 0 0 は、調整処理（ステップ S 9 2 0 ）と、リードデータの訂正処理（ステップ S 9 1 7 ）とを並列に実行する。両方の処理が終了した後、または、誤りがなかった場合（ステップ S 9 1 2 : N o ）、メモリコントローラ 2 0 0 は、メモリコントローラ 2 0 0 は、リードデータをホストコンピュータ 1 0 0 に送信してリード処理を終了する。

【 0 1 4 9 】

図 1 3 は、第 1 の実施の形態における調整処理の一例を示すフローチャートである。メモリコントローラ 2 0 0 は、インピーダンス調整コマンドを発行可能なタイミングであるか否かを判断する（ステップ S 9 2 1 ）。このタイミングは、例えば、リードデータの全ての送信が完了するときにインピーダンスの調整が開始されるようなタイミングである。発行可能なタイミングが経過していなければ（ステップ S 9 2 1 : N o ）、メモリコントローラ 2 0 0 はステップ S 9 2 1 に戻る。

【 0 1 5 0 】

一方、発行可能なタイミングであれば（ステップ S 9 2 1 : Y e s ）、メモリコントローラ 2 0 0 は、インピーダンス調整コマンドを発行する（ステップ S 9 2 2 ）。そして、メモリコントローラ 2 0 0 は、一定サイクルが経過したか否かを判断する（ステップ S 9 2 3 ）。この一定サイクルは、インピーダンスの調整が完了するまでの期間である。一定サイクルが経過していなければ（ステップ S 9 2 3 : N o ）、メモリコントローラ 2 0 0 はステップ S 9 2 3 に戻る。一定サイクルが経過したのであれば（ステップ S 9 2 3 : Y e s ）、メモリコントローラ 2 0 0 は調整処理を終了する。

【 0 1 5 1 】

[不揮発性メモリの動作例]

図 1 4 は、第 1 の実施の形態における不揮発性メモリ 3 0 0 の動作の一例を示すフローチャートである。この動作は、例えば、不揮発性メモリ 3 0 0 に電源が投入されたときに開始する。

【 0 1 5 2 】

10

20

30

40

50

不揮発性メモリ300は、メモリコントローラ200から各種のコマンドを受信したか否かを判断する(ステップS951)。コマンドを受信していなければ(ステップS951:No)、不揮発性メモリ300は、ステップS951に戻る。コマンドを受信したのであれば(ステップS951:Yes)、不揮発性メモリ300は、そのコマンドがインピーダンス調整コマンドであるか否かを判断する(ステップS952)。インピーダンス調整コマンドであれば(ステップS952:Yes)、不揮発性メモリ300は、インターフェースのインピーダンスの調整を行う(ステップS953)。

【0153】

インピーダンス調整コマンドでなければ(ステップS952:No)、不揮発性メモリ300は、コマンドに従って、各種の処理(リード処理やライト処理)を行う(ステップS954)。ステップS953またはS954の後、不揮発性メモリ300は、ステップS951に戻る。

10

【0154】

図15は、第1の実施の形態におけるメモリシステムの動作の一例を示すタイミングチャートである。

【0155】

メモリコントローラ200は、4つのリードコマンドおよびアドレスをコマンド/アドレス線207を介して、順に不揮発性メモリ300へ送信したものとす。

【0156】

不揮発性メモリ300は、リードコマンドに従ってリードデータRD'を読み出し、データ線208を介してメモリコントローラ200へ送信する。

20

【0157】

メモリコントローラ200における誤り検出部230は、パリティを使用して、それぞれのリードデータにおける誤りの有無を検出する。ここで、2つ目のリードデータRD'の転送において、転送エラーが生じたものとする。この場合、メモリコントローラ200における誤り訂正部240は、誤りの訂正処理を実行する。

【0158】

メモリコントローラ200は、誤りを検出したときに、データ転送を伴う新たなコマンドの発行を中断する。しかし、この時点において、3つ目のリードコマンドを発行済であった場合、訂正処理の間において3つ目のリードデータRD'の転送が行われる。なお、中断のタイミングは、インピーダンス調整のため、データを中断することができるタイミングであれば、どのようなタイミングであってもよい。

30

【0159】

メモリコントローラ200におけるインピーダンス調整コマンド発行部250は、3つ目のリードデータRD'の転送が完了した後に、インピーダンスの調整が開始されるようなタイミングにおいて、インピーダンス調整開始コマンドを発行する。

【0160】

不揮発性メモリ300におけるインピーダンス調整部310は、インピーダンス調整コマンドに従って、インピーダンスの調整処理(ZQ調整処理)を開始する。このように、訂正処理と調整処理とが並列に実行されるため、訂正処理の期間に、調整処理の期間の少なくとも一部が隠蔽される。

40

【0161】

メモリコントローラ200は、両方の処理が終了した後に、次のリードデータRD'の読み出しが開始されるようなタイミングでリードコマンドおよびアドレスを不揮発性メモリ300へ送信する。

【0162】

なお、メモリコントローラ200は、誤りの訂正期間内に、インピーダンスの調整処理を開始させているが、この構成に限定されない。例えば、メモリコントローラ200は、誤り訂正を開始する前に、インピーダンスの調整処理を開始させてもよい。

【0163】

50

また、メモリコントローラ 200 は、データ転送を伴うコマンドの発行の前にインピーダンス調整コマンドを割り込ませているが、この構成に限定されない。例えば、メモリコントローラ 200 は、不揮発性メモリ 300 がリードデータを出力する前に、インピーダンス調整コマンドを割り込ませてもよい。具体的には、メモリコントローラ 200 は、リードコマンドによって読み出されたリードデータに誤りがあった場合には、そのリードコマンドより後のリードコマンドを破棄して、誤り訂正を行う。そして、誤り訂正の完了後に、メモリコントローラ 200 は、再度、破棄したリードコマンドを実行し、リードデータが読み出される前に、インピーダンス調整コマンドを発行する。

【0164】

また、メモリコントローラ 200 は、ライトコマンドを発行してライトデータを出力する前に、インピーダンス調整コマンドを割り込ませてもよい。具体的には、メモリコントローラ 200 は、リードコマンドによって読み出されたリードデータに誤りがあった場合には、そのリードコマンドより後のライトコマンドを破棄して、誤り訂正を行う。そして、誤り訂正の完了後に、メモリコントローラ 200 は、再度、破棄したライトコマンドを実行し、ライトデータを出力する前に、インピーダンス調整コマンドを発行する。

10

【0165】

また、メモリコントローラ 200 は、定期的にインピーダンス調整コマンドを発行する制御と、誤り検出時にインピーダンス調整コマンドを発行する図 12 に例示した制御とを切り替えてもよい。例えば、訂正不能な誤りが生じた場合や、誤りの個数が閾値を超えた場合などの所定の条件が満たされたときに、メモリコントローラ 200 が図 12 に例示した制御に切り替える。

20

【0166】

また、メモリコントローラ 200 は、一定回数のライトコマンドの受信のたびに、リードデータを読み出して誤りの有無の検出を行い、調整処理が必要か否かの確認を行ってもよい。

【0167】

このように、本技術の第 1 の実施の形態によれば、メモリコントローラ 200 は、誤りが生じると訂正処理を実行し、また、インピーダンスの調整処理を開始させるため、訂正期間に調整期間の少なくとも一部を隠蔽することができる。これにより、データを送受信することができない調整期間が短くなり、メモリコントローラ 200 と不揮発性メモリ 300 との間の通信速度が向上する。

30

【0168】

[第 1 の変形例]

第 1 の実施の形態では、誤りが検出された場合に、必ず、調整処理を実行していたが、誤りが比較的少ない場合には、調整処理を実行する必要性が低い。第 1 の変形例のメモリコントローラ 200 は、誤りの個数が閾値を超える場合に、調整処理を実行する点において第 1 の実施の形態と異なる。

【0169】

第 1 の変形例の誤り検出訂正符号生成部 220 は、パリティを使用して、リードデータ RD' における誤りの個数を求める。

40

【0170】

誤りの個数が、所定の閾値 T_{h1} を超える場合にインピーダンス調整コマンド発行部は、インピーダンス調整コマンドを発行する。ここで、閾値 T_{h1} として、パリティにより訂正することが可能な誤りの個数（すなわち、誤り訂正能力）に満たない数が設定される。

【0171】

図 16 は、第 1 の実施の形態の第 1 の変形例におけるメモリコントローラ 200 の動作の一例を示すフローチャートである。この動作は、ステップ S914、S915 および S916 をさらに実行する点において第 1 の実施の形態と異なる。

【0172】

50

エラーが生じた場合には(ステップS912: Yes)、メモリコントローラ200は、パリティを使用して、誤りの個数を取得する(ステップS914)。そして、メモリコントローラ200は、誤りの個数が閾値Th1を超えるか否かを判断する(ステップS915)。

【0173】

誤りの個数が閾値Th1を超える場合には(ステップS915: Yes)、メモリコントローラ200は、調整処理(ステップS920)および訂正処理(ステップS917)を並列に実行する。一方、誤りの個数が閾値Th1以下である場合には(ステップS915: No)、メモリコントローラ200は、訂正処理のみを実行する(ステップS916)。ステップS920およびS917の両方の処理の完了後、または、ステップS916の後、メモリコントローラ200は、リードデータをホストコンピュータ100へ送信してリード処理を終了する。

10

【0174】

このように、第1の変形例によれば、メモリコントローラ200は、誤りの個数が閾値を超える場合に調整処理を実行するため、調整処理の実行回数を低減することができる。これにより、データを送受信することができない調整期間が短くなり、メモリコントローラ200と不揮発性メモリ300との間の通信速度がさらに向上する。

【0175】

[第2の変形例]

第1の実施の形態では、クロックサイクルごとのインピーダンスの制御量を一定としていたが、調整中に制御量を変更してもよい。第2の変形例の不揮発性メモリ300は、インピーダンスの制御量を調整中に変更する点において第1の実施の形態と異なる。具体的には、電源投入後に行う調整処理において、メモリコントローラ200は、比較的大きな制御量で調整を開始し、徐々に制御量を小さくしていく。例えば、比較結果COMP1またはCOMP2が反転するたびに、インピーダンスの制御量を小さくする。これにより、調整開始から終了までの時間が短縮される。

20

【0176】

図17は、第1の実施の形態の第2の変形例における電源投入時のインピーダンスの制御方法の一例を示す図である。同図における縦軸は、電圧Vq2の電圧であり、横軸は時間である。時刻T0に電源が投入された後、不揮発性メモリ300は、クロックサイクルごとのインピーダンスの制御量を最大にして、調整を開始する。そして、時刻T11において比較結果COMP2が反転すると、不揮発性メモリ300は、制御量を小さくする。その後の時刻T12において比較結果COMP2が再度反転すると、不揮発性メモリ300は、さらに制御量を小さくする。時刻T13において、比較結果COMP2が再度反転すると、不揮発性メモリ300は、制御量を小さくし、その結果、制御量は最小となる。そして、時刻T14において反転回数が一定回数に達すると、不揮発性メモリ300は、調整が完了したと判断する。

30

【0177】

なお、誤りが検出されたときにおいては、第1の実施の形態と同様に、クロックサイクルごとに一定の制御量で調整が行われる。

40

【0178】

このように、第2の変形例によれば、不揮発性メモリ300は、インピーダンスの制御量を最大値から徐々に小さくするため、調整開始から終了までの時間を短縮することができる。

【0179】

<2. 第2の実施の形態>

[メモリコントローラの構成例]

第1の実施の形態では、メモリシステムは、誤り検出時にインピーダンスを調整していたが、インターフェースにおいてインピーダンス以外の伝送特性を調整してもよい。インピーダンス以外の伝送特性としては、データの伝送タイミングなどが挙げられる。ここで

50

、データの伝送タイミングは、メモリコントローラ200および不揮発性メモリ300の一方が他方へデータを送出するタイミング、または、その送出了れたデータを他方が受信するタイミングを示す。第2の変形例のメモリシステムは、誤り検出時にデータの伝送タイミングを調整する点において第1の実施の形態と異なる。メモリシステムは、例えば、受信クロック信号の位相を調整することにより、データの伝送タイミングを調整する。

【0180】

図18は、第2の実施の形態におけるメモリコントローラ200の一構成例を示すブロック図である。第2の実施の形態のメモリコントローラ200は、インピーダンス調整コマンド発行部250の代わりに、位相調整部280を備える点において第1の実施の形態と異なる。

10

【0181】

位相調整部280は、制御インターフェース260の転送クロック信号の位相を調整するものである。制御インターフェース260の転送クロック信号には、ライトデータを送信する際の送信クロック信号と、リードデータを受信する際の受信クロック信号とがある。位相調整部280は、例えば、これらのうち受信クロック信号の位相を調整する。

【0182】

位相調整部280は、誤りの検出結果を誤り検出部230から受け取る。誤りが検出された場合に位相調整部280は、受信クロック信号の位相の調整を行う。ここで、データ線が複数ある場合には、位相調整部280は、データ線ごとに受信クロック信号の位相を調整してもよい。また、データ線のそれぞれが複数のグループに属する場合には、位相調整部280は、グループごとに受信クロック信号の位相を調整してもよい。不揮発性メモリ300から出力される送信クロック信号に同期したリードデータには、メモリコントローラ200で受信されるまでの伝送遅延が付加される。このため、メモリコントローラ200の受信クロック信号は、不揮発性メモリ300の送信クロック信号に対して、その伝送遅延の分、遅らせる必要がある。位相調整部280は、この伝送遅延に基づいて、受信クロック信号の位相を調整する。

20

【0183】

なお、転送クロック信号の位相の調整をメモリコントローラ200が実行する構成としているが、この構成に限定されない。メモリコントローラ200の代わりに不揮発性メモリ300が、不揮発性メモリ300側のインターフェースにおいて転送クロック信号の位相を調整してもよい。

30

【0184】

[位相調整部の構成例]

図19は、第2の実施の形態における位相調整部280の一構成例を示すブロック図である。この位相調整部280は、位相調整コマンド発行部281、テストデータ生成部282、位相制御部283および一致判定部284を備える。

【0185】

位相調整コマンド発行部281は、位相調整コマンドPHCALを発行するものである。この位相調整コマンド発行部281は、メモリコントローラ200に電源が投入されたとき、または、誤りが検出されたときに位相調整コマンドPHCALを発行する。誤りが検出された場合の位相調整コマンドの発行タイミングは、例えば、第1の実施の形態のインピーダンス調整コマンドの発行タイミングと同一とする。位相調整コマンド発行部281は、発行した位相調整コマンドPHCALをテストデータ生成部282、位相制御部283および制御インターフェース260へ供給する。

40

【0186】

テストデータ生成部282は、テストデータを生成するものである。このテストデータは、ループバックテストを行うためのデータであり、例えば、PRBS (Pseudo-random bit sequence) が用いられる。ループバックテストは、インターフェースに、既知のデータを送信させるとともに帰還(すなわち、ループバック)させて、送信したデータと、帰還したデータとを比較することにより、インターフェースが正常に動作しているか否かを

50

確認するものである。

【0187】

テストデータ生成部282は、位相調整コマンドPHCALを受け取ると、内部クロック信号CLKに同期してテストデータをN回生成する。Nは、ループバックテストを行う回数であり、例えば、2以上の整数が設定される。テストデータ生成部282は、テストデータを生成するたびに、そのデータを送信テストデータTxDataとして制御インターフェース260および一致判定部284に供給する。

【0188】

一致判定部284は、送信されたテストデータと、帰還したテストデータとが一致するか否かを判定するものである。この一致判定部284は、送信テストデータTxDataをテストデータ生成部282から受け取り、制御インターフェース260から受信テストデータRxDataを受け取る。受信テストデータRxDataは、帰還したテストデータである。

10

【0189】

一致判定部284は、送信テストデータTxDataと受信テストデータRxDataとをビット単位で比較し、それらが一致するか否かを判定する。一致判定部284は、その判定結果を位相制御部283に供給する。テストデータがN回生成されるため、N個の判定結果が生成される。

【0190】

位相制御部283は、判定結果に基づいて受信クロック信号の位相を制御するものである。位相制御部283は、位相調整コマンドPHCALを受け取ると、位相の調整を開始する。位相の調整において、位相制御部283は、位相を制御するための位相制御信号により、内部クロック信号CLKに同期して、受信クロック信号の位相を、N個の異なる位相に順に制御する。そして、位相制御部283は、それぞれの位相における判定結果を参照し、送信テストデータTxDataと受信テストデータRxDataとが一致する位相のいずれかを選択する。一致する位相が複数ある場合には、位相制御部283は、例えば、それらの位相の中間の位相を選択する。位相制御部283は、選択した位相に受信クロック信号の位相を固定し、位相の調整を完了する。

20

【0191】

[制御インターフェースの構成例]

図20は、第2の実施の形態における制御インターフェース260の一構成例を示すブロック図である。第2の実施の形態の制御インターフェース260は、多相クロック生成回路270をさらに備える点において第1の実施の形態と異なる。

30

【0192】

多相クロック生成回路270は、位相の異なる複数のクロック信号を生成するものである。多相クロック生成回路270は、例えば、PLL(Phase Locked Loop)およびマルチプレクサなどにより、位相の異なるN個のクロック信号を生成する。これらのクロック信号は、内部クロック信号CLKより周波数の大きな信号であり、例えば、内部クロック信号CLKを逡倍することにより生成される。

【0193】

多相クロック生成回路270は、位相制御信号に従ってN個のクロック信号のいずれかをマルチプレクサなどにより受信クロック信号RxCLKとして選択し、パラレル・シリアル変換部265へ送信する。また、多相クロック生成回路270は、所定の位相の送信クロック信号TxCLKを生成し、パラレル・シリアル変換部264に供給するとともに、参照すべきリファレンスクロック信号として不揮発性メモリ300へ送信する。このリファレンスクロック信号やライトデータは、不揮発性メモリ300への送信において、同程度、遅延する。不揮発性メモリ300は、遅延したリファレンスクロック信号に同期してリードデータを送信するため、リードデータの受信においてリファレンスクロック信号の伝搬遅延に、さらにリードデータの伝搬遅延が加わる。位相制御部283は、これらの遅延分を、受信クロック信号RxCLKの位相の制御により、調整する。なお、送信クロ

40

50

ック信号をリファレンスクロック信号としているが、送信クロックとリファレンスクロックは別々に多相クロック生成回路 270 から供給されてもよい。また、送信クロック信号とリファレンスクロック信号の位相を別々に調整することができる構成であってもよい。

【0194】

なお、PLL およびマルチプレクサ以外の構成により、多相クロック生成回路 270 を実現することもできる。例えば、複数の位相の異なる入力クロック信号を混合して、それらと異なる位相の出力クロック信号を生成するフェイズミキサーを用いて多相クロック生成回路 270 を実現してもよい。

【0195】

[不揮発性メモリの構成例]

図 21 は、第 2 の実施の形態における不揮発性メモリ 300 の一構成例を示すブロック図である。第 2 の実施の形態の不揮発性メモリ 300 の構成は、インピーダンス調整部 310 を備えない点以外は第 1 の実施の形態と同様である。

【0196】

図 22 は、第 2 の実施の形態におけるメモリインターフェース 400 の一構成例を示すブロック図である。第 2 の実施の形態のメモリインターフェース 400 は、オリジナルバッファ回路 410 およびレプリカバッファ回路 432 の代わりに、バッファ回路 460 を備える点において第 1 の実施の形態と異なる。

【0197】

バッファ回路 460 は、レシーバ 461 およびドライバ 462 を備える。これらの構成は、第 1 の実施の形態におけるメモリコントローラ 200 側のドライバ 268 およびレシーバ 269 と同様である。

【0198】

また、パラレル・シリアル変換部 453 は、リファレンスクロック信号（送信クロック信号 T x C L K ）に同期して、シリアルデータをライトデータ W D ' に変換する。また、パラレル・シリアル変換部 454 は、リファレンスクロック信号（送信クロック信号 T x C L K ）に同期して、リードデータ R D ' から変換したシリアルデータを順に送信する。

【0199】

また、シーケンサ 455 は、コマンドが位相調整コマンド P H C A L である場合には、入出力制御信号 I O C t r l によりバッファ回路 460 を制御して、送信されたテストデータを書き込ませずに、そのまま帰還させる。

【0200】

なお、不揮発性メモリ 300 は、位相調整コマンド P H C A L に従ってループバックを行っているが、この構成に限定されない。例えば、メモリコントローラ 200 が位相調整コマンドとともにループバックコマンドを発行し、そのループバックコマンドに従って不揮発性メモリ 300 がループバックを行う構成としてもよい。

【0201】

[メモリコントローラの動作例]

図 23 は、第 2 の実施の形態におけるメモリコントローラ 200 の動作の一例を示すフローチャートである。第 2 の実施の形態のメモリコントローラ 200 の動作は、ステップ S 901 および S 902 の代わりにステップ S 906 および S 908 を実行する点において第 1 の実施の形態と異なる。

【0202】

電源が投入されると、メモリコントローラ 200 は、位相調整コマンド P H C A L を発行する（ステップ S 906）。そして、メモリコントローラ 200 は、受信クロック信号の位相の調整を行う（ステップ S 908）。ステップ S 908 の後、メモリコントローラ 200 は、ステップ S 903 乃至 S 905 の処理を実行する。

【0203】

図 24 は、第 2 の実施の形態における調整処理の一例を示すフローチャートである。メモリコントローラ 200 は、位相調整コマンドを発行可能なタイミングであるか否かを判

10

20

30

40

50

断する(ステップS921)。このタイミングは、例えば、リードデータの全ての送信が完了するときに位相の調整が開始されるようなタイミングである。発行可能なタイミングが経過していなければ(ステップS921:No)、メモリコントローラ200はステップS921に戻る。

【0204】

一方、発行可能なタイミングであれば(ステップS921:Yes)、メモリコントローラ200は、位相調整コマンドを発行する(ステップS924)。そして、メモリコントローラ200は、受信クロックの位相の調整処理を実行する(ステップS926)。ステップS926の後、メモリコントローラ200は調整処理を終了する。

【0205】

[不揮発性メモリの動作例]

図25は、第2の実施の形態における不揮発性メモリ300の動作の一例を示すフローチャートである。第2の実施の形態の不揮発性メモリ300の動作は、ステップS952およびS953の代わりにステップS955およびS956を実行する点において第1の実施の形態と異なる。

【0206】

不揮発性メモリ300は、コマンドを受信したのであれば(ステップS951:Yes)、そのコマンドが位相調整コマンドであるか否かを判断する(ステップS955)。位相調整コマンドであれば(ステップS955:Yes)、不揮発性メモリ300は、テストデータのループバックを行う(ステップS956)。

【0207】

位相調整コマンドでなければ(ステップS955:No)、不揮発性メモリ300は、ステップS954を実行する。ステップS954またはS956の後、不揮発性メモリ300は、ステップS951に戻る。

【0208】

図26は、第2の実施の形態におけるメモリシステムの動作の一例を示すタイミングチャートである。

【0209】

メモリコントローラ200における位相調整コマンド発行部281は、3つ目のリードデータRD'の転送が完了した後に、位相の調整が開始されるようなタイミングにおいて、位相調整開始コマンドを発行する。

【0210】

メモリコントローラ200における位相制御部283は、位相調整コマンドに従って、受信クロック信号の位相の調整処理を開始する。

【0211】

このように、第2の実施の形態によれば、メモリコントローラ200は、誤りが生じると訂正処理を実行し、また、位相の調整処理を開始させるため、訂正期間に調整期間の少なくとも一部を隠蔽することができる。これにより、データを送受信することができない調整期間が短くなり、メモリコントローラ200と不揮発性メモリ300との間の通信速度が向上する。

【0212】

[第1の変形例]

第2の実施の形態では、メモリコントローラ200は、リードデータの受信クロックの位相のみを調整していたが、ライトデータの送信クロック信号の位相をさらに調整してもよい。第2の実施の形態の第1の変形例のメモリコントローラ200は、ライトデータの送信クロック信号の位相をさらに調整する点において第2の実施の形態と異なる。

【0213】

第1の変形例の位相制御部283は、送信クロック信号の位相を位相制御信号により制御し、次に、受信クロック信号の位相を位相制御信号により制御する。なお、位相制御部283は、送信クロック信号の位相の次に受信クロック信号の位相を制御しているが、逆

10

20

30

40

50

に、受信クロック信号の位相の次に送信クロック信号の位相を制御してもよい。さらにデータ線が複数ある場合には、位相制御部 283 は、各データ線の送信クロックを独立に位相制御してもよい。例えば、リファレンスクロックのメモリインターフェースへの到達タイミングに合わせるように複数のデータの送出タイミングを調整する方法でもよい。

【0214】

第1の変形例の多相クロック生成回路は、位相制御信号に従って受信クロック信号 RxC L K を生成するとともに、位相制御信号に従って送信クロック信号 T x C L K をさらに生成する点において、第2の実施の形態と異なる。

【0215】

[メモリコントローラの動作例]

図27は、第2の実施の形態の第1の変形例におけるメモリコントローラ200の動作の一例を示すフローチャートである。第1の変形例のメモリコントローラ200の動作は、ステップS907をさらに実行する点において第1の実施の形態と異なる。

【0216】

位相調整コマンドを発行すると(ステップS906)、メモリコントローラ200は、送信クロック信号の位相の調整を行う(ステップS907)。そして、メモリコントローラ200は、受信クロック信号の位相の調整を行う(ステップS908)。ステップS908の後に、メモリコントローラ200は、ステップS903乃至S905を実行する。

【0217】

図28は、第2の実施の形態の変形例における調整処理の一例を示すフローチャートである。変形例の調整処理は、ステップS925をさらに実行する点において第2の実施の形態と異なる。

【0218】

位相調整コマンドを発行すると(ステップS924)、メモリコントローラ200は、送信クロックの位相の調整処理を実行する(ステップS925)。そして、メモリコントローラ200は、受信クロックの位相の調整処理を実行する(ステップS926)。ステップS926の後、メモリコントローラ200は調整処理を終了する。

【0219】

このように、第1の変形例によれば、メモリコントローラ200は、受信クロック信号の位相に加えて送信クロック信号の位相も調整するため、受信クロック信号の位相のみを調整する場合よりも柔軟性のある位相調整を行うことができる。

【0220】

[第2の変形例]

第2の実施の形態では、メモリコントローラ200のみが位相の調整を行っていたが、不揮発性メモリ300も位相の調整を行ってもよい。第2の変形例のメモリシステムは、メモリコントローラ200および不揮発性メモリ300の両方が位相の調整を行う点において第2の実施の形態と異なる。

【0221】

[不揮発性メモリの構成例]

図29は、第2の変形例の不揮発性メモリ300の一構成例を示すブロック図である。第2の変形例の不揮発性メモリ300の構成は、インピーダンス調整部310の代わりに、位相調整部315を備える点において第1の実施の形態と異なる。位相調整部315の構成は、メモリコントローラ200側の位相調整部280と同様である。また、第2の変形例のメモリインターフェース400は、メモリコントローラ200側の多相クロック生成回路270と同様の回路をさらに備える点において第1の実施の形態と異なる。

【0222】

ここで、エンベデッドクロック方式では、図示はしないが、不揮発性メモリ300側において、重畳されたクロックとデータを分離する再生のためのクロック・データ・リカバリ回路がさらに必要になる。不揮発性メモリ300側におけるタイミング調整は、この再生されたデータまたは再生されたクロックに対して行うことになる。このように本発明

10

20

30

40

50

の主旨を逸脱しない範囲で変更が可能である。

【0223】

このように、第2の変形例によれば、メモリコントローラ200に加えて、不揮発性メモリ300も位相の調整を行うため、メモリコントローラ200のみが調整する場合よりも転送エラーを低減することができる。

【0224】

[第3の変形例]

第2の実施の形態では、メモリシステムは、データ線において送受信するデータの転送クロックの位相を調整していたが、他の信号の位相を調整することもできる。例えば、メモリシステムは、ストロブ信号などの制御信号の位相を調整してもよい。ここで、ストロブ信号は、レシーバがデータを受け取るタイミングを制御するための信号である。第3の変形例のメモリシステムは、ストロブ信号の位相を調整する点において第2の実施の形態と異なる。

【0225】

図30は、第3の変形例の制御インターフェース260の一構成例を示すブロック図である。第3の変形例の制御インターフェース260は、ストロブ信号送受信回路271と、パラレル・シリアル変換部271および272と、バッファ回路274とをさらに備える点において第2の実施の形態と異なる。

【0226】

ストロブ信号送受信回路271は、ストロブ信号を送受信するものである。このストロブ信号送受信回路271は、位相制御信号により指示された位相のストロブ信号を生成する。また、ストロブ信号生成回路271は、不揮発性メモリ300へのデータの送信時においてストロブ信号を生成し、パラレル・シリアル変換部272およびバッファ回路274を介して不揮発性メモリ300に送信する。一方、不揮発性メモリ300からのデータの受信時においてストロブ信号生成回路271は、パラレル・シリアル変換部273およびバッファ回路274を介して、不揮発性メモリ300からのストロブ信号を受信する。不揮発性メモリ300からのデータ(リードデータなど)の受信のタイミングは、このストロブ信号により制御される。

【0227】

パラレル・シリアル変換部272は、メモリコントローラから送信されるストロブ信号を、送信クロック信号TxCLOCK(リファレンスクロック信号)に同期してシリアル信号に変換し、バッファ回路274に供給するものである。パラレル・シリアル変換部273は、不揮発性メモリ300からのシリアル信号を、受信クロック信号RxCLOCKに同期してストロブ信号に変換し、ストロブ信号送受信回路271に供給するものである。バッファ回路274は、ドライバ275およびレシーバ276を備える。これらのドライバ275およびレシーバ276の構成は、ドライバ268およびレシーバ269と同様である。

【0228】

ストロブ信号送受信回路271等を設けることにより、リード時などにおける厳しいタイミング条件が緩和され、メモリシステムにおける基板やLSI(Large Scale Integration)の設計が容易となる。なお、メモリコントローラ200に加えて、不揮発性メモリ300もストロブ信号の位相を調整することもできる。また、ストロブ信号線206に、パラレル・シリアル変換部およびバッファ回路をさらに接続してもよい。また、メモリシステムは、ストロブ信号以外の制御信号の位相を調整することもできる。

【0229】

また、メモリシステムは、送信クロック信号や受信クロック信号の位相を調整することによりデータの伝送タイミングや制御信号の位相を調整しているが、この構成に限定されない。例えば、メモリシステムは、信号線にバッファ等を挿入することによりデータや制御信号を遅延させる遅延回路を備えてもよい。その場合、メモリコントローラ200または不揮発性回路300は、その遅延回路を制御することにより、リファレンスクロック信

10

20

30

40

50

号に対して、データの伝送タイミングや制御信号の位相を調整する。

【0230】

このように、第3の変形例によれば、メモリコントローラ200は、ストローク信号の位相を調整するため、ストローク信号によりデータの送受信を制御するメモリシステムにおいて、転送エラーを低減することができる。

【0231】

< 3 . 第3の実施の形態 >

[メモリコントローラの動作例]

第1の実施の形態では、メモリシステムは、誤り検出時にインピーダンスを調整していたが、インピーダンスの調整に加えて、インターフェースの転送クロックの位相の調整をさらに行ってもよい。第3の実施の形態のメモリシステムは、誤り検出時に、インピーダンスと転送クロックの位相との両方を調整する点において第1の実施の形態と異なる。

10

【0232】

第3の実施の形態のメモリコントローラ200は、第2の実施の形態の位相調整部280をさらに備える点において第1の実施の形態と異なる。

【0233】

第3の実施の形態の位相調整部280は、インピーダンス調整コマンドの発行後、インピーダンスの調整が終了してから、位相の調整が開始されるようなタイミングで、位相調整コマンドを発行する。具体的には、最後のリードコマンドが発行されたときから、 $T_R - T_S + T_M + T_Z$ の期間が経過したときに、位相調整コマンドを発行する。

20

【0234】

また、第3の実施の形態の制御インターフェース260の構成は、第2の実施の形態の制御インターフェース260と同様である。

【0235】

[メモリコントローラの動作例]

図31は、第3の実施の形態におけるメモリコントローラ200の動作の一例を示すフローチャートである。第3の実施の形態のメモリコントローラ200の動作は、ステップS902の後に、第2の実施の形態のステップS906およびS908をさらに実行する点以外は、第1の実施の形態と同様である。

【0236】

図32は、第3の実施の形態における調整処理の一例を示すフローチャートである。第3の実施の形態の調整処理は、ステップS923の後に、第2の実施の形態のステップS924およびS926をさらに実行する点以外は、第1の実施の形態と同様である。

30

【0237】

[不揮発性メモリの動作例]

図33は、第3の実施の形態における不揮発性メモリ300の動作の一例を示すフローチャートである。第3の実施の形態の不揮発性メモリ300は、インピーダンス調整コマンドでない場合(ステップS952:No)またはステップS953の後に、ステップS955、S956およびS954をさらに実行する。

【0238】

このように、本技術の第3の実施の形態によれば、メモリコントローラ200は、誤りが生じると訂正処理を実行し、また、位相およびインピーダンスの調整処理を開始させるため、訂正期間に調整期間の少なくとも一部を隠蔽することができる。これにより、データを送受信することができない調整期間が短くなり、メモリコントローラ200と不揮発性メモリ300との間の通信速度が向上する。

40

【0239】

< 4 . 第4の実施の形態 >

第1の実施の形態では、メモリコントローラ200は、訂正したリードデータをホストコンピュータ100へ送信していた。しかし、その訂正したリードデータを、読み出したアドレスに書き戻すリフレッシュ処理を実行することにより、書き戻されたデータの信頼

50

性が向上する。第4の実施の形態のメモリコントローラ200は、リフレッシュ処理をさらに実行する点において第1の実施の形態と異なる。

【0240】

[メモリコントローラの構成例]

図34は、第4の実施の形態におけるメモリコントローラ200の一構成例を示すブロック図である。第4の実施の形態のメモリコントローラ200の構成は、リフレッシュ処理部290をさらに備える点において第1の実施の形態と異なる。

【0241】

リフレッシュ処理部290は、リフレッシュ処理を実行するものである。このリフレッシュ処理部290は、発行されたリードコマンドRCMDの各々を保持しておく。そして、リフレッシュ処理部290は、誤り訂正部240から、訂正されたリードデータRDを受け取る。リフレッシュ処理部290は、保持しておいたリードコマンドRCMDに基づいて、リードデータRDが読み出されたアドレスを指定したライトコマンドWCMDを再発行する。そして、リフレッシュ処理部290は、訂正されたリードデータRDをライトデータWDとしてライトコマンドWCMDとともに制御インターフェース260へ供給する。ライトコマンドWCMDの再発行のタイミングは、式1などにより求められる。これにより、訂正されたリードデータRDが、そのデータが読み出されたアドレスに書き戻される。

10

【0242】

[メモリコントローラの動作例]

図35は、第4の実施の形態におけるリード処理の一例を示すフローチャートである。第4の実施の形態のリード処理は、ステップS934をさらに実行する点において第1の実施の形態と異なる。メモリコントローラ200は、調整処理(ステップS920)および訂正処理(ステップS917)の両方が終了すると、訂正したデータの書戻しを行う(ステップS934)。誤りがなかった場合(ステップS912:No)、または、ステップS934の後、メモリコントローラ200は、リードデータをホストシステムへ送信し、リード処理を終了する。

20

【0243】

図36は、第4の実施の形態におけるメモリシステムの動作の一例を示すタイミングチャートである。

30

【0244】

メモリコントローラ200におけるリフレッシュ処理部290は、訂正処理および調整処理が完了した後に、リフレッシュ処理が開始されるタイミングでライトコマンドWCMDを再発行する。訂正されたリードデータRDは、ライトデータWDとしてデータ線208を介して不揮発性メモリ300へ供給され、読み出されたアドレスに書き戻される。

【0245】

このように、第4の実施の形態によれば、メモリコントローラ200は、訂正したリードデータを、そのデータが読み出されたアドレスに書き戻すため、データの信頼性を向上させることができる。

【0246】

<5. 第5の実施の形態>

第4の実施の形態では、パリティにより訂正不可能な個数の誤りが生じないことを前提としていたが、そのような個数の誤りが生じる場合もある。この場合、訂正不可能なリードデータを再度読み出すリトライ処理を行うことにより、誤りの個数が低減させることができる。第5の実施の形態のメモリコントローラ200は、リトライ処理をさらに実行する点において第4の実施の形態と異なる。

40

【0247】

[メモリコントローラの構成例]

図37は、第5の実施の形態におけるメモリコントローラ200の一構成例を示すブロック図である。第5の実施の形態のメモリコントローラ200は、リトライ処理部291

50

をさらに備える点において第4の実施の形態と異なる。

【0248】

リトライ処理部291は、リトライ処理を実行するものである。このリトライ処理部291は、発行されたリードコマンドR CMDの各々を保持しておく。リトライ処理部291は、誤り検出部230から、リードデータにおいて検出されたエラー数を受け取る。リトライ処理部291は、エラー数が、ECCの誤り訂正能力以下であるか否かを判断する。

【0249】

ここで、誤り訂正能力は、ECCからなる符号の最小ハミング距離 d_{min} により決定される。符号の最小ハミング距離 d_{min} は、その符号に属する任意の異なる符号語間のハミング距離の最小値である。 $2t + 1 \leq d_{min}$ を満たす t (t は整数)の最大値を t_{max} とすると、パリティにより、 t_{max} 個までの符号要素を訂正することができる。この規則は、限界距離復号則と呼ばれる。

10

【0250】

エラー数が誤り訂正能力 t_{max} を超える場合には、リトライ処理部291は、保持しておいたリードコマンドR CMDのうち、誤りが検出されたリードデータRDに対応するコマンドを制御インターフェース260に供給する。このリトライ処理は、リトライ回数が一定回数に達するまで、訂正不可能な個数の誤りが生じるたびに繰り返し実行される。

【0251】

なお、リトライ処理部291は、リトライ処理において実行したコマンドをホストコンピュータ100に通知してもよい。ホストコンピュータ100は、通知されたコマンドを問題のある可能性のコマンドとして扱い、実行中の処理の中断などの所定の処理を実行する。

20

【0252】

また、第5の実施の形態の誤り訂正部240は、エラー数が誤り訂正能力 t_{max} を超える場合には、誤りの訂正処理を実行しない。一方、インピーダンス調整コマンド発行部250は、エラー数に関わらず、誤り検出時にインピーダンス調整コマンドを発行する。

【0253】

また、第5の実施の形態のリフレッシュ処理部290は、訂正された誤りの個数である訂正数を誤り訂正部240から、さらに受け取る。リフレッシュ処理部290は、訂正数が所定の閾値 $Th2$ を超える場合に、リフレッシュ処理を実行する。ここで、閾値 $Th2$ には、ECCの誤り訂正能力未満の値が設定される。

30

【0254】

[メモリコントローラの動作例]

図38は、第5の実施の形態におけるリード処理の一例を示すフローチャートである。第5の実施の形態のリード処理は、ステップS914、S931、S932、S933、S934、S935およびS940をさらに実行する点において第4の実施の形態と異なる。

【0255】

誤りが生じた場合には(ステップS912: Yes)、メモリコントローラ200は、誤りの個数を取得し(ステップS914)、訂正可能であるか否かを判断する(ステップS931)。

40

【0256】

訂正可能である場合には(ステップS931: Yes)、メモリコントローラ200は、調整処理(ステップS920)および訂正処理(ステップS917)を並列に実行する。

【0257】

一方、訂正不可能である場合には(ステップS931: No)、メモリコントローラ200は、リトライ回数が一定回数に満たないか否かを判断する(ステップS932)。リトライ回数が一定回数に満たない場合には、メモリコントローラ200は、リトライ処理

50

を実行する（ステップ S 9 4 0）。リトライ回数が一定回数以上である場合には（ステップ S 9 3 2：No）、メモリコントローラ 2 0 0 は、リードエラーを設定したステータスを生成してホストコンピュータ 1 0 0 へ送信する。このステータスには、リードエラーが ECC 訂正不能によるエラーであること、エラーが発生したコマンドの種類、および、コマンドに係るアドレスなどが含まれる。このアドレスは、論理アドレスと物理アドレスとの変換をメモリコントローラ 2 0 0 が行う場合には論理アドレスであり、そうでない場合には物理アドレスである。ステップ S 9 3 5 の後、メモリコントローラ 2 0 0 は、リード処理を終了する。

【 0 2 5 8 】

また、調整処理（ステップ S 9 2 0）および訂正処理（ステップ S 9 1 7）の両方が実行された後、メモリコントローラ 2 0 0 は、訂正数が閾値 Th_2 を超えたか否かを判断する（ステップ S 9 3 3）。訂正数が閾値 Th_2 を超えた場合には（ステップ S 9 3 3：Yes）、メモリコントローラ 2 0 0 は、訂正したデータの書戻しを行う（ステップ S 9 3 4）。

10

【 0 2 5 9 】

誤りが生じなかった場合（ステップ S 9 1 2：No）、訂正数が閾値 Th_2 以下である場合（ステップ S 9 3 3：No）、または、ステップ S 9 3 4 の後、メモリコントローラ 2 0 0 は、リードデータをホストコンピュータ 1 0 0 へ送信してリード処理を終了する。

【 0 2 6 0 】

図 3 9 は、第 5 の実施の形態におけるリトライ処理の一例を示すフローチャートである。メモリコントローラ 2 0 0 は、インピーダンス調整コマンドを発行可能なタイミングであるか否かを判断する（ステップ S 9 4 1）。発行可能なタイミングが経過していなければ（ステップ S 9 4 1：No）、メモリコントローラ 2 0 0 はステップ S 9 4 1 に戻る。

20

【 0 2 6 1 】

一方、発行可能なタイミングであれば（ステップ S 9 4 1：Yes）、メモリコントローラ 2 0 0 は、インピーダンス調整コマンドを発行する（ステップ S 9 4 2）。そして、メモリコントローラ 2 0 0 は、一定サイクルが経過したか否かを判断する（ステップ S 9 4 3）。一定サイクルが経過していなければ（ステップ S 9 4 3：No）、メモリコントローラ 2 0 0 はステップ S 9 4 3 に戻る。一定サイクルが経過したのであれば（ステップ S 9 4 3：Yes）、メモリコントローラ 2 0 0 はリードコマンドを再発行する（ステップ S 9 4 6）。ステップ S 9 4 6 の後、メモリコントローラ 2 0 0 は、リトライ処理を終了する。

30

【 0 2 6 2 】

このように、本技術の第 5 の実施の形態によれば、メモリコントローラ 2 0 0 は、訂正不可能であれば、インピーダンスを調整するとともにリードデータを再度読み出すため、正常なリードデータを読み出す可能性を高くすることができる。

【 0 2 6 3 】

[第 1 の変形例]

第 5 の実施の形態では、メモリシステムは、誤り検出時にインピーダンスを調整していたが、インターフェースの転送クロックの位相を調整してもよい。第 1 の変形例のメモリシステムは、誤り検出時に転送クロックの位相を調整する点において第 5 の実施の形態と異なる。

40

【 0 2 6 4 】

第 1 の変形例のメモリコントローラ 2 0 0 の動作は、図 3 8 に例示した第 5 の実施の形態のメモリコントローラ 2 0 0 の動作と同様である。また、第 1 の変形例の調整処理は、第 2 の実施の形態と同様である。

【 0 2 6 5 】

[メモリコントローラの動作例]

図 4 0 は、第 5 の実施の形態の第 1 の変形例におけるリトライ処理の一例を示すフローチャートである。第 1 の変形例のリトライ処理は、ステップ S 9 4 2 および S 9 4 3 の代

50

わりに、ステップ S 9 4 4 および S 9 4 5 を実行する点において第 5 の実施の形態と異なる。

【 0 2 6 6 】

発行可能なタイミングであれば（ステップ S 9 4 1 : Y e s ）、メモリコントローラ 2 0 0 は、位相調整コマンドを発行する（ステップ S 9 4 4 ）。そして、メモリコントローラ 2 0 0 は、受信クロック信号の位相の調整処理を実行し（ステップ S 9 4 5 ）、ステップ S 9 4 6 を実行する。

【 0 2 6 7 】

このように、第 1 の変形例によれば、メモリコントローラ 2 0 0 は、訂正不可能であれば、位相を調整するとともにリードデータを再度読み出すため、正常なリードデータを読み出す可能性を向上させることができる。

10

【 0 2 6 8 】

[第 2 の変形例]

第 5 の実施の形態では、メモリシステムは、誤り検出時にインピーダンスのみを調整していたが、インピーダンスおよび位相の両方を調整してもよい。第 2 の変形例のメモリシステムは、誤り検出時にインピーダンスおよび位相の両方を調整する点において第 5 の実施の形態と異なる。

【 0 2 6 9 】

第 2 の変形例のメモリコントローラ 2 0 0 の動作は、図 3 8 に例示した第 5 の実施の形態のメモリコントローラ 2 0 0 の動作と同様である。また、第 2 の変形例の調整処理は、第 3 の実施の形態と同様である。

20

【 0 2 7 0 】

[メモリコントローラの動作例]

図 4 1 は、第 5 の実施の形態の第 2 の変形例におけるリトライ処理の一例を示すフローチャートである。第 2 の変形例のリトライ処理は、ステップ S 9 4 3 の後に、第 1 の変形例のステップ S 9 4 4 および S 9 4 5 をさらに実行する点において第 5 の実施の形態と異なる。

【 0 2 7 1 】

このように、第 2 の変形例によれば、メモリコントローラ 2 0 0 は、訂正不可能であれば、位相およびインピーダンスを調整するとともにリードデータを再度読み出すため、正常なリードデータを読み出す可能性を向上させることができる。

30

【 0 2 7 2 】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

【 0 2 7 3 】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

40

【 0 2 7 4 】

また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)

50

、メモリカード、ブルーレイディスク（Blu-ray（登録商標）Disc）等を用いることができる。

【0275】

なお、本技術は以下のような構成もとることができる。

（１）インターフェースにより伝送された、誤り訂正符号化されたデータにおいて誤りが生じたか否かを検出する誤り検出部と、

前記誤りが生じた場合には前記誤りを訂正する誤り訂正処理を実行する誤り訂正部と、

前記誤りが生じた場合には前記インターフェースの伝送特性を調整する調整処理を開始させる調整制御部と

を具備するインターフェース制御回路。

10

（２）前記調整制御部は、前記調整処理を前記誤り訂正処理が実行されている間に開始させる前記（１）記載のインターフェース制御回路。

（３）前記インターフェースは、

前記誤り訂正符号化されたデータを送信する送信回路と、

前記誤り訂正符号化されたデータを受信する受信回路とを含み、

前記調整制御部は、前記送信回路と前記受信回路とのインピーダンスを整合する処理を前記調整処理として開始させる前記（１）または（２）記載のインターフェース制御回路

。

（４）前記調整制御部は、前記データの伝送タイミングを調整する処理を前記調整処理として開始させる前記（１）から（３）のいずれかに記載のインターフェース制御回路。

20

（５）前記調整制御部の制御に従って前記調整処理を実行する調整部をさらに具備する前記（４）記載のインターフェース制御回路。

（６）前記調整処理は、リファレンスクロック信号を基準として前記伝送タイミングを調整する処理である前記（４）または（５）に記載のインターフェース制御回路。

（７）前記調整制御部の制御に従って前記伝送タイミングを遅延させる遅延回路をさらに具備し、

前記調整処理は、前記遅延回路を制御することにより前記伝送タイミングを調整する処理である前記（４）から（６）のいずれかに記載のインターフェース制御回路。

（８）前記調整処理は、前記伝送タイミングを制御する制御信号の位相を、リファレンスクロック信号を基準として調整することにより前記伝送タイミングを調整する処理である前記（４）から（７）のいずれかに記載のインターフェース制御回路。

30

（９）前記調整制御部の制御に従って前記伝送タイミングを制御する制御信号の位相を遅延させる遅延回路をさらに具備し、

前記調整処理は、前記遅延回路を制御することにより前記制御信号の位相を調整する処理である前記（４）から（８）のいずれかに記載のインターフェース制御回路。

（１０）前記インターフェースは、

前記誤り訂正符号化されたデータを送信クロック信号に同期して送信する送信回路と、

前記誤り訂正符号化されたデータを受信クロック信号に同期して受信する受信回路とを

含み、

前記調整処理は、前記送信クロック信号および前記受信クロック信号の少なくとも一方の位相を調整することにより前記伝送タイミングを調整する処理である前記（４）から（９）のいずれかに記載のインターフェース制御回路。

40

（１１）前記調整処理は、前記送信クロック信号および前記受信クロック信号の一方を基準として他方の位相を調整することにより前記伝送タイミングを調整する処理である前記（１０）記載のインターフェース制御回路。

（１２）前記データは、メモリセルから読み出されたリードデータを含み、

前記送信クロック信号は、前記リードデータを送信するためのリードデータ送信クロック信号を含み、

前記受信クロック信号は、前記リードデータを受信するためのリードデータ受信クロック信号を含み、

50

前記調整処理は、前記リードデータ送信クロック信号および前記リードデータ受信クロック信号の少なくとも一方の位相を調整する処理を含む前記(9)または(11)に記載のインターフェース制御回路。

(13) 前記データは、メモリセルに書き込まれるライトデータを含み、

前記送信クロック信号は、前記ライトデータを送信するためのライトデータ送信クロック信号を含み、

前記受信クロック信号は、前記ライトデータを受信するためのライトデータ受信クロック信号を含み、

前記調整処理は、前記ライトデータ送信クロック信号および前記ライトデータ受信クロック信号の少なくとも一方の位相を調整する処理を含む前記(10)から(12)のいずれかに記載のインターフェース制御回路。

10

(14) 前記調整処理は、前記誤り訂正符号化されたデータの伝送タイミングを基準として前記位相を調整する処理である前記(10)から(11)のいずれかに記載のインターフェース制御回路。

(15) 前記調整制御部は、

所定のテストデータを生成するテストデータ生成部と、

前記テストデータを前記インターフェースに送信させるとともに帰還させて前記送信させたテストデータと前記帰還したテストデータとが一致するか否かに基づいて前記位相を調整する処理を前記調整処理として開始させる位相制御部を備える前記(14)に記載のインターフェース制御回路。

20

(16) 前記インターフェースは、前記データを伝送するための複数のデータ線を含む前記(1)から(15)のいずれかに記載のインターフェース制御回路。

(17) 前記調整処理は、前記データ線ごとに前記伝送特性を調整する処理である前記(16)に記載のインターフェース制御回路。

(18) 前記データ線の各々は、複数のグループのいずれかに属し、

前記調整処理は、前記グループごとに前記伝送特性を調整する処理である前記(16)または(17)に記載のインターフェース制御回路。

(19) 前記調整制御部は、前記データにおいて所定の閾値を超える個数の前記誤りが生じた場合には前記調整処理を開始させる前記(1)から(18)のいずれかに記載のインターフェース制御回路。

30

(20) 前記誤りが訂正されたデータを当該データが読み出されたアドレスに書き戻すリフレッシュ処理を実行するリフレッシュ処理部をさらに具備する前記(1)から(19)のいずれかに記載のインターフェース制御回路。

(21) 前記リフレッシュ処理部は、前記誤り検出訂正符号の誤り訂正能力未満の所定の許容値よりも前記訂正された誤りの個数が多い場合には前記リフレッシュ処理を実行する前記(20)に記載のインターフェース制御回路。

(22) 前記データにおいて前記誤り検出訂正符号の誤り訂正能力を超える個数の前記誤りが生じた場合には前記伝送特性を調整させた後に前記データおよび前記誤り検出訂正符号を再度読み出すリトライ処理を実行するリトライ処理部をさらに具備する前記(1)から(21)のいずれかに記載のインターフェース制御回路。

40

(23) 前記リトライ処理部は、所定のコマンドを発行して前記データおよび前記誤り検出訂正符号を再度読み出すとともに前記所定のコマンドをホストコンピュータに通知する前記(22)に記載のインターフェース制御回路。

(24) 前記リトライ処理部は、前記データおよび前記誤り検出訂正符号を再度読み出すとともに前記データが読み出されたアドレスをホストコンピュータに通知する前記(22)または(23)に記載のインターフェース制御回路。

(25) 前記リトライ処理部は、前記データおよび前記誤り検出訂正符号を再度読み出すとともに前記誤りが生じたことをホストコンピュータに通知する前記(22)から(24)のいずれかに記載のインターフェース制御回路。

(26) 前記調整制御部は、前記インターフェース制御回路に電源が供給された場合また

50

は前記誤りが生じた場合には前記調整処理を開始させる前記(1)から(25)のいずれかに記載のインターフェース制御回路。

(27)前記データは、不揮発性のメモリセルから読み出されたデータである前記(1)から(26)のいずれかに記載のインターフェース制御回路。

(28)誤り訂正符号化されたデータを伝送するインターフェースと、
前記データに誤りが生じたか否かを検出する誤り検出部と、
前記誤りが生じた場合には前記誤りを訂正する誤り訂正処理を実行する誤り訂正部と、
前記誤りが生じた場合には前記インターフェースの伝送特性を調整する調整処理を開始させる調整制御部と
を具備するメモリシステム。

10

(29)誤り検出部が、インターフェースにより伝送された、誤り訂正符号化されたデータにおいて誤りが生じたか否かを検出する誤り検出手順と、

誤り訂正部が、前記誤りが生じた場合には前記誤りを訂正する誤り訂正処理を実行する誤り訂正手順と、

調整制御部が、前記誤りが生じた場合には前記インターフェースの伝送特性を調整する調整処理を開始させる調整制御手順と

を具備するインターフェース制御回路の制御方法。

【符号の説明】

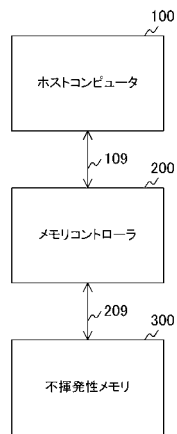
【0276】

100	ホストコンピュータ	20
200	メモリコントローラ	
210	ホストインターフェース	
220	誤り検出訂正符号生成部	
230	誤り検出部	
240	誤り訂正部	
250	インピーダンス調整コマンド発行部	
260	制御インターフェース	
261、455	シーケンサ	
262、456	データバッファ	
263、264、265、272、273、452、453、454	パラレル・シリアル変換部	30
266、267、274、451	バッファ回路	
268、275、420、462	ドライバ	
269、276、417、461	レシーバ	
270	多相クロック生成回路	
271	ストロブ信号送受信回路	
280、315	位相調整部	
281	位相調整コマンド発行部	
282	テストデータ生成部	
283	位相制御部	40
284	一致判定部	
290	リフレッシュ処理部	
291	リトライ処理部	
300	不揮発性メモリ	
310	インピーダンス調整部	
311	ステートマシン	
312	制御信号保持部	
313	反転回数カウンタ	
320	アクセス制御部	
330	メモリセルアレイ	40

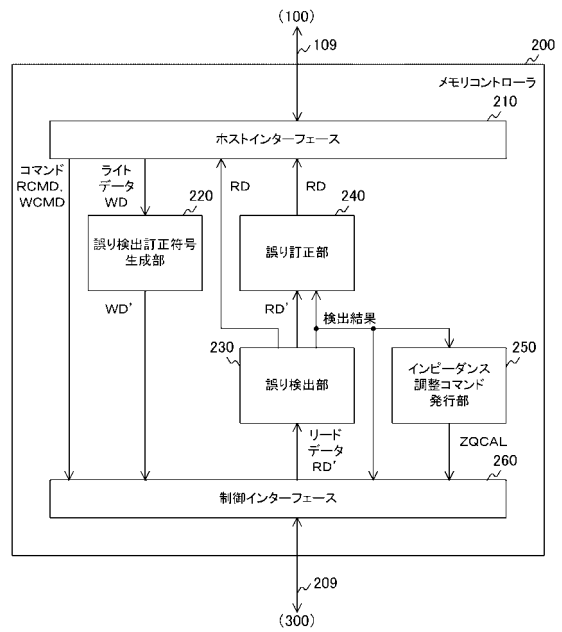
40

- 4 0 0 メモリインターフェース
- 4 1 0 オリジナルバッファ回路
- 4 1 2、4 1 3、4 1 8、4 2 0、4 2 2、4 2 3 トランジスタ
- 4 1 4、4 1 5、4 1 7、4 1 9 抵抗
- 4 1 1、4 2 5、4 3 3、4 3 7 プルアップ回路
- 4 1 6、4 2 6、4 3 8 プルダウン回路
- 4 3 1 外部端子
- 4 3 2 レプリカバッファ回路
- 4 3 6、4 3 9 コンパレータ
- 4 4 0 外部端子
- 4 6 0 バッファ回路

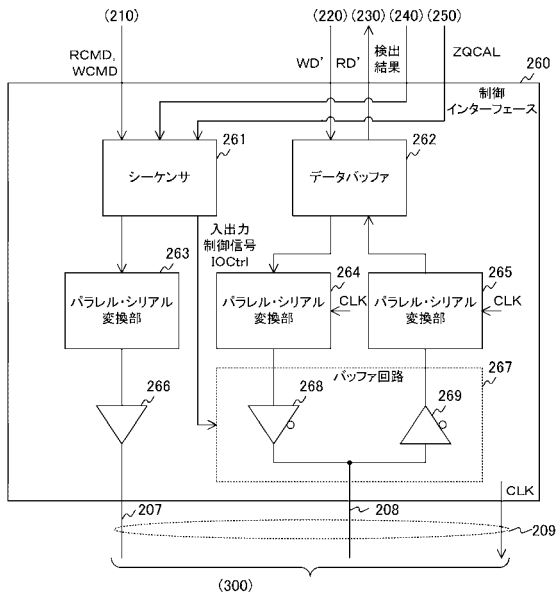
【 図 1 】



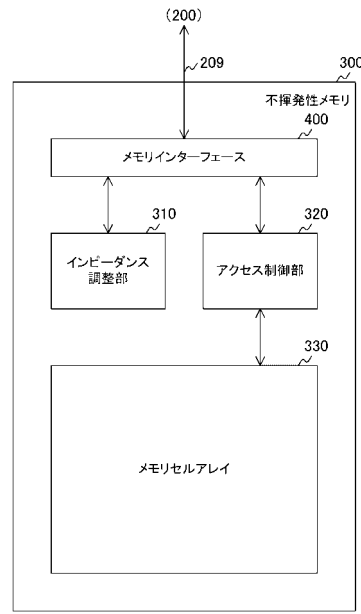
【 図 2 】



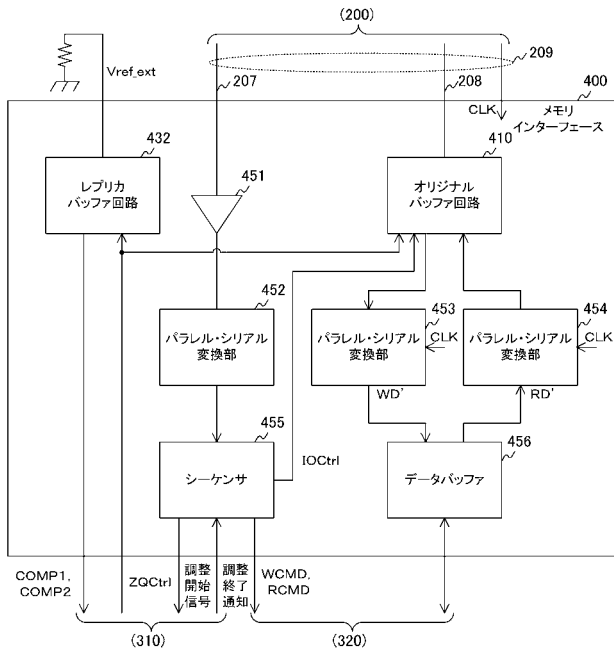
【 図 3 】



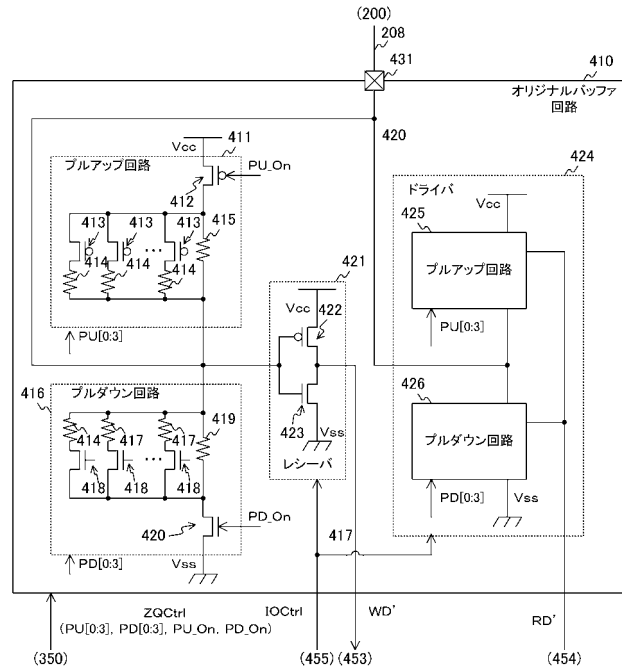
【 図 4 】



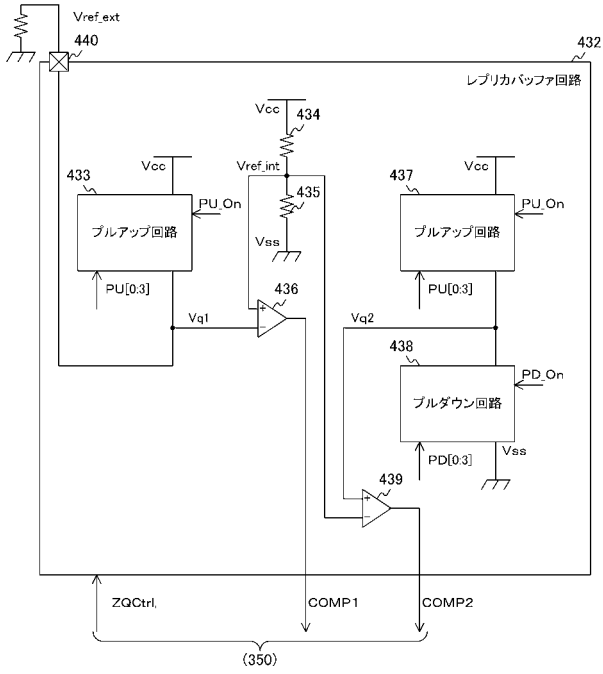
【 図 5 】



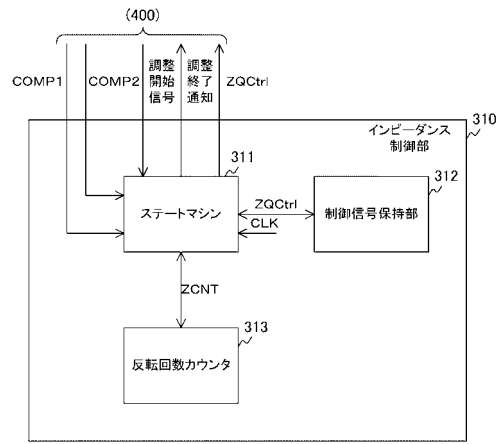
【 図 6 】



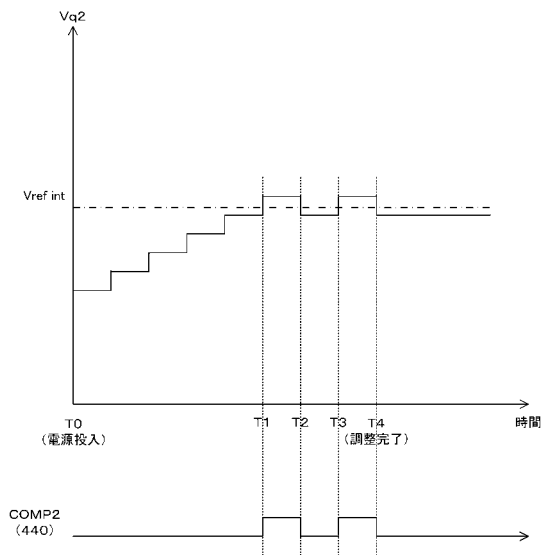
【図7】



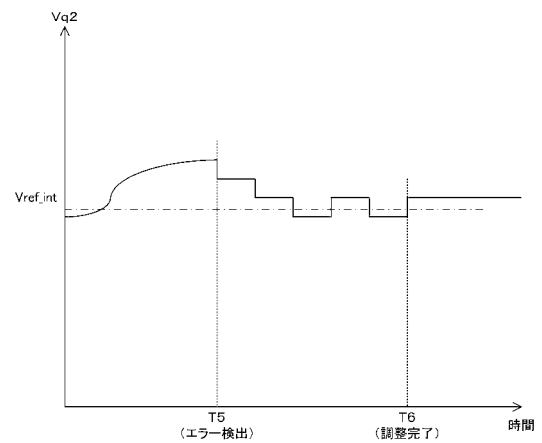
【図8】



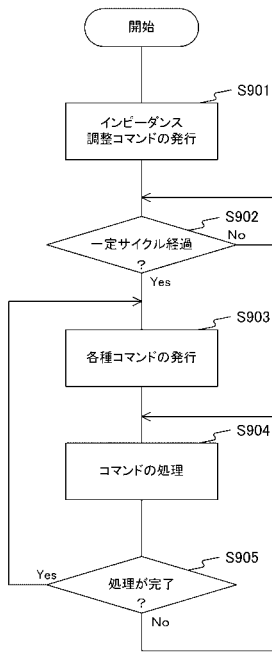
【図9】



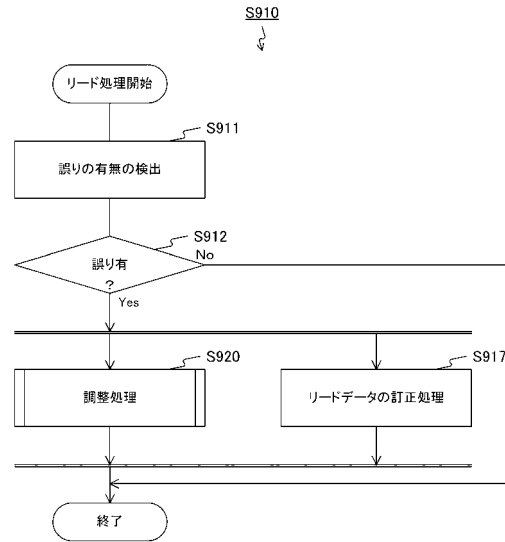
【図10】



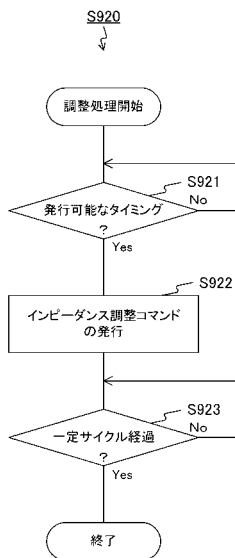
【 図 1 1 】



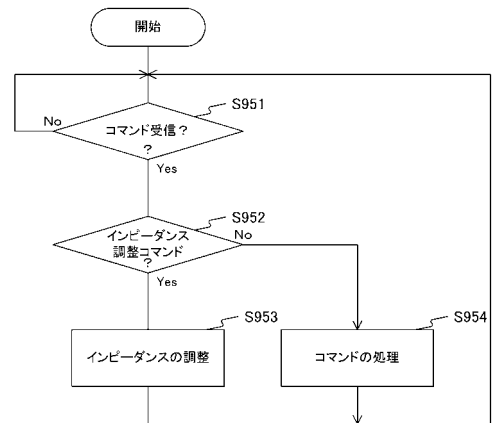
【 図 1 2 】



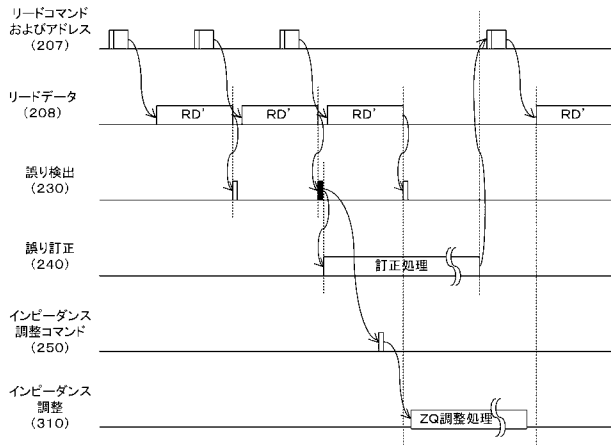
【 図 1 3 】



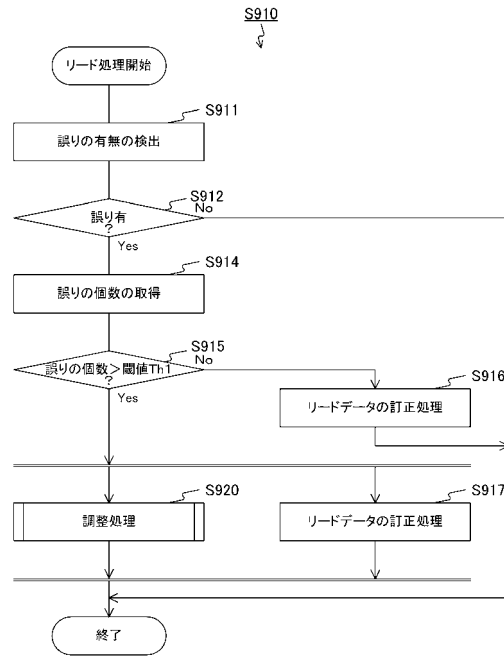
【 図 1 4 】



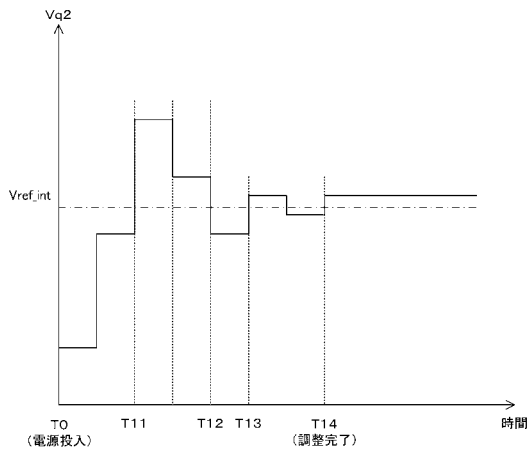
【図15】



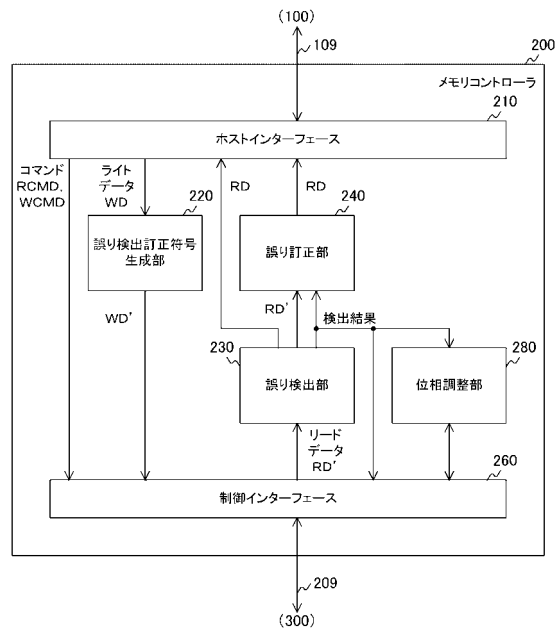
【図16】



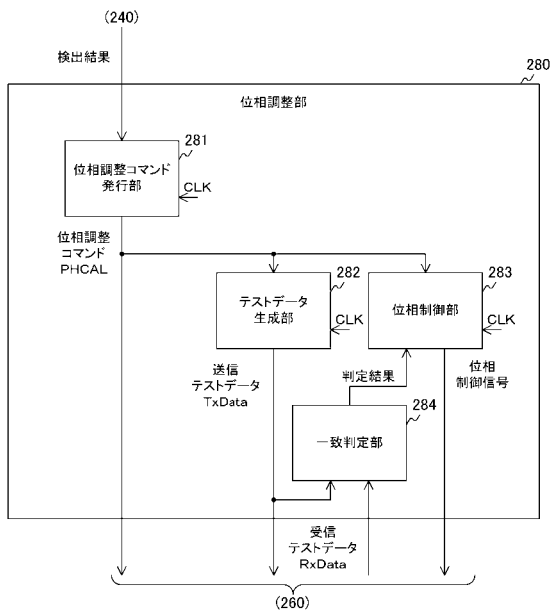
【図17】



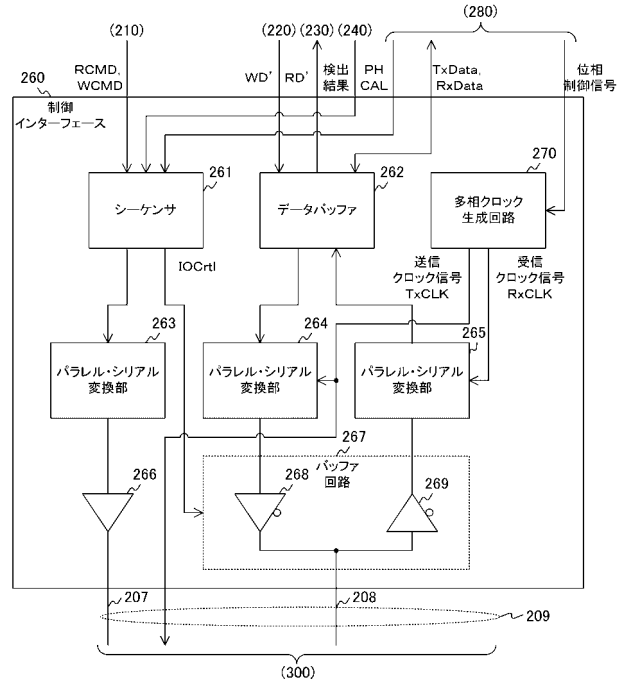
【図18】



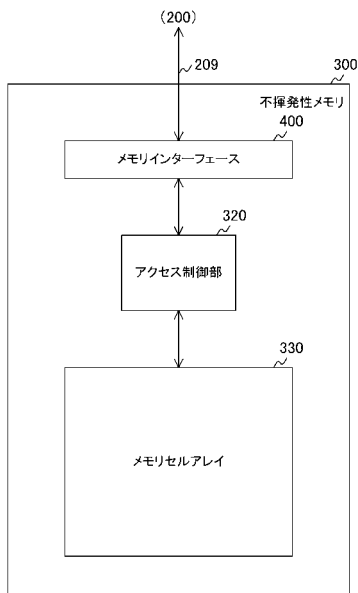
【図19】



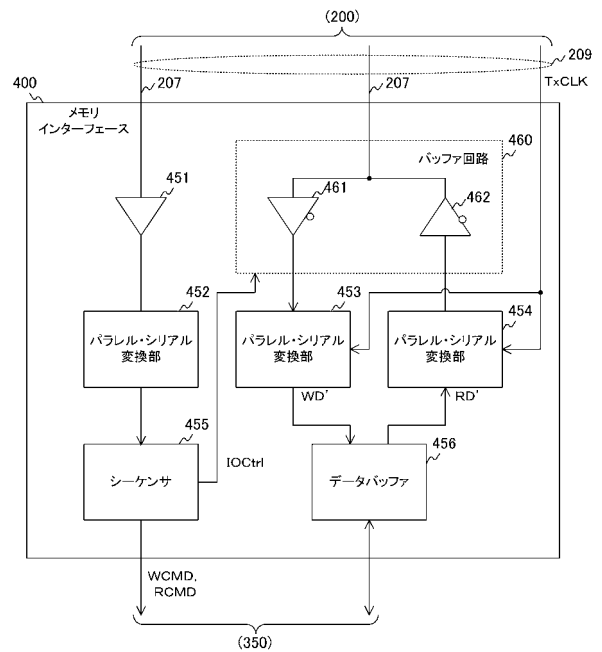
【図20】



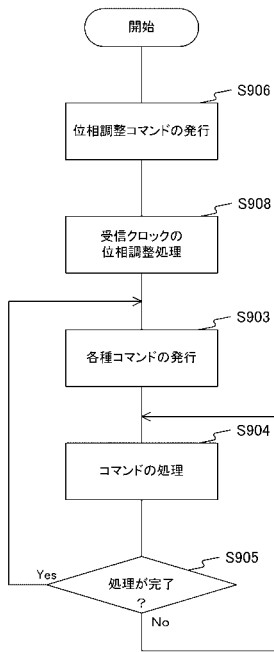
【図21】



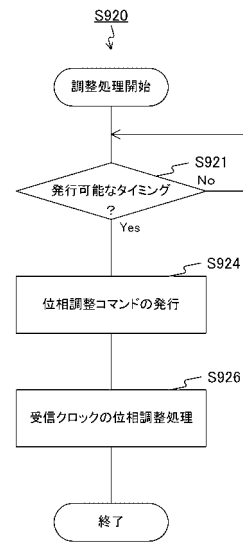
【図22】



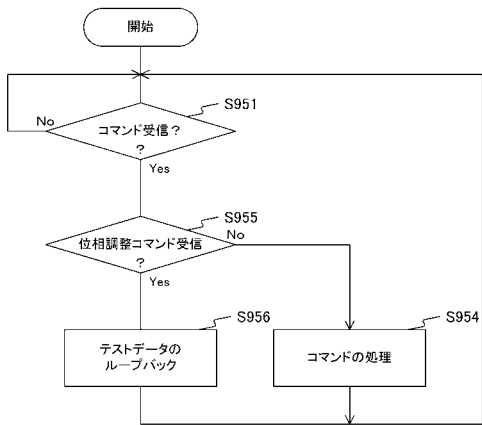
【 図 2 3 】



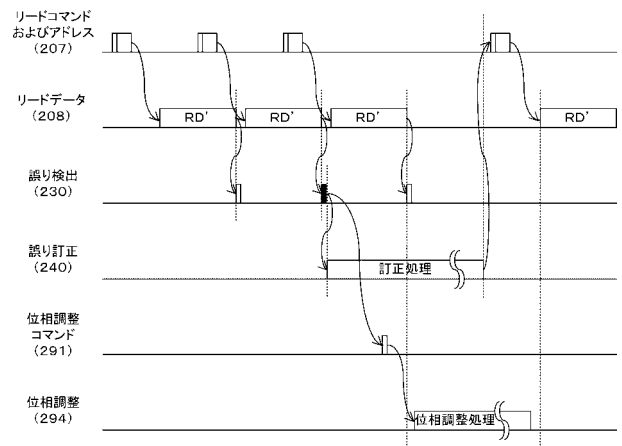
【 図 2 4 】



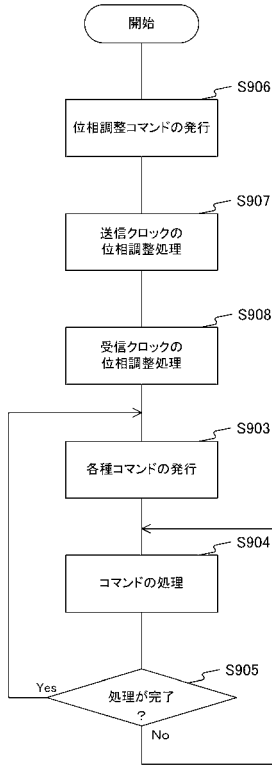
【 図 2 5 】



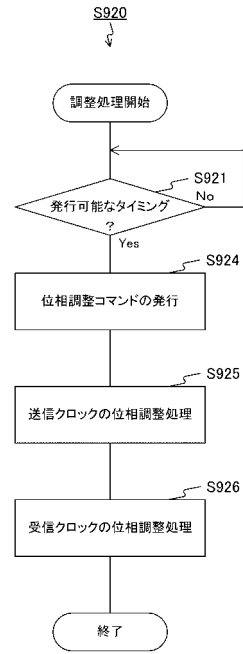
【 図 2 6 】



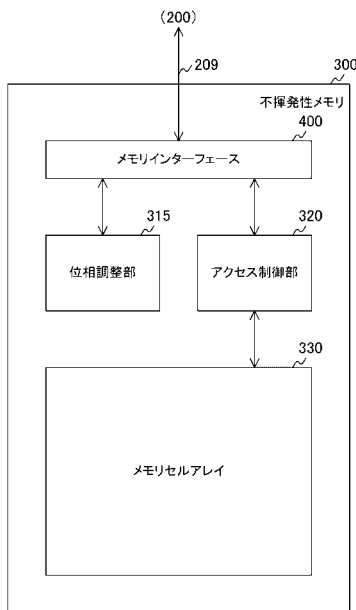
【図 27】



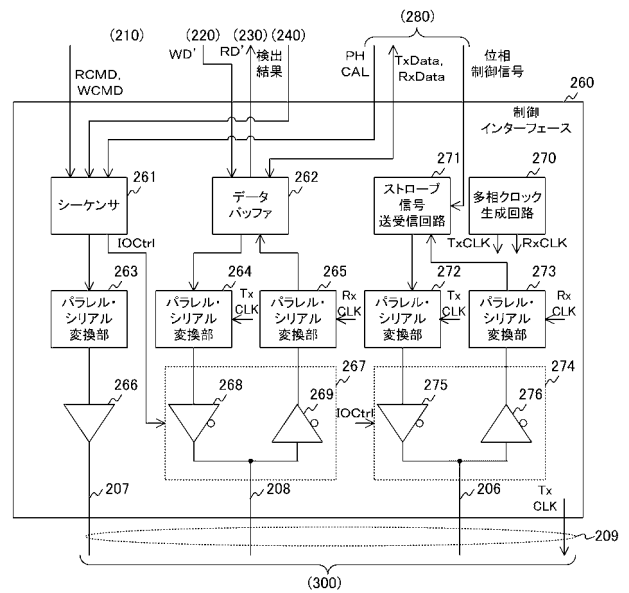
【図 28】



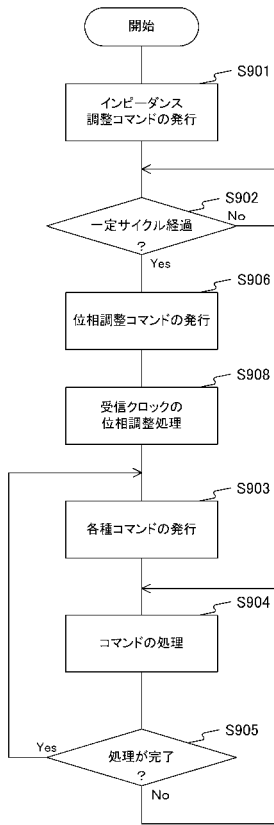
【図 29】



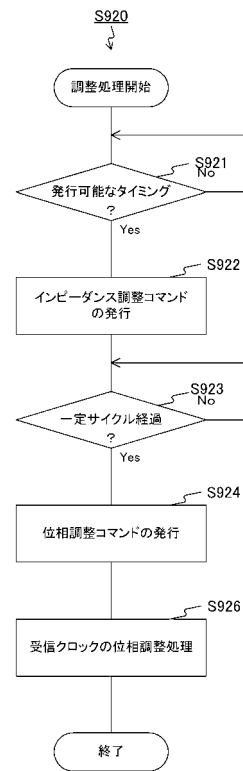
【図 30】



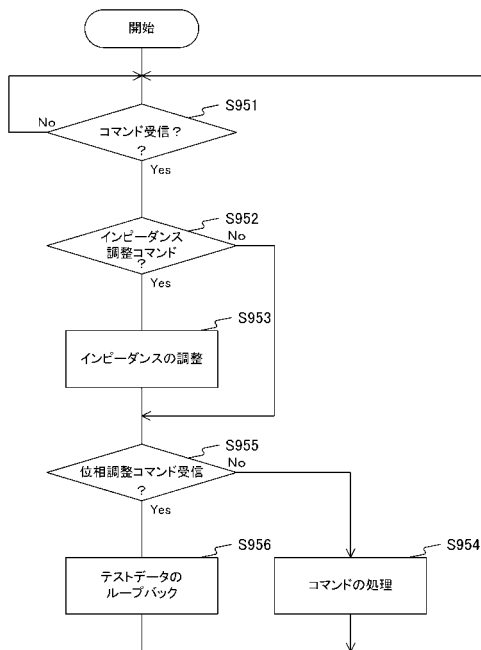
【図 3 1】



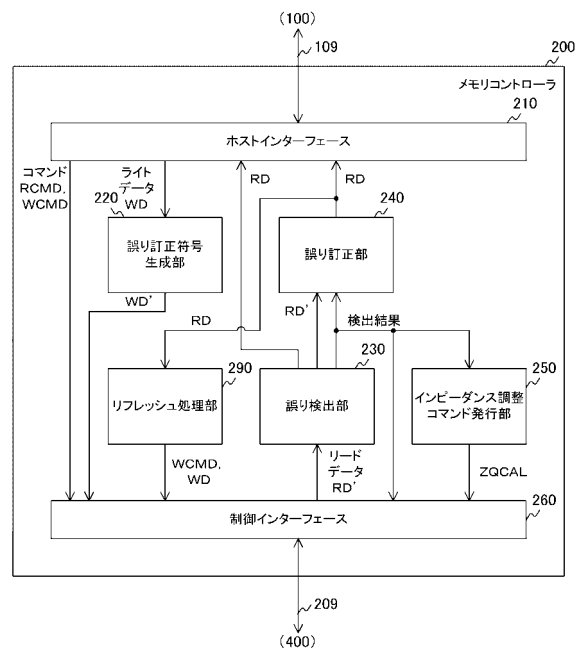
【図 3 2】



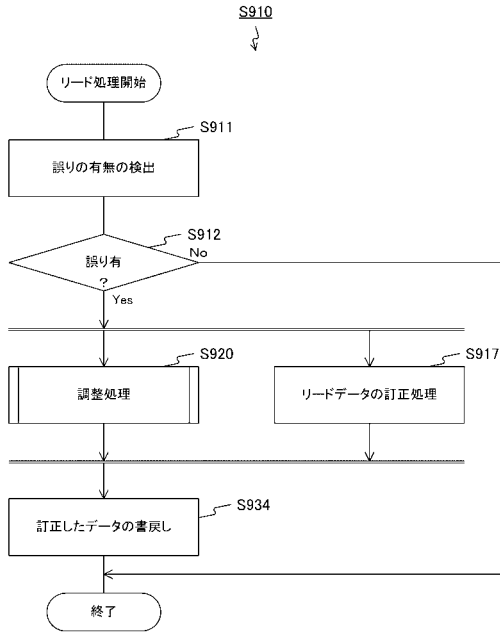
【図 3 3】



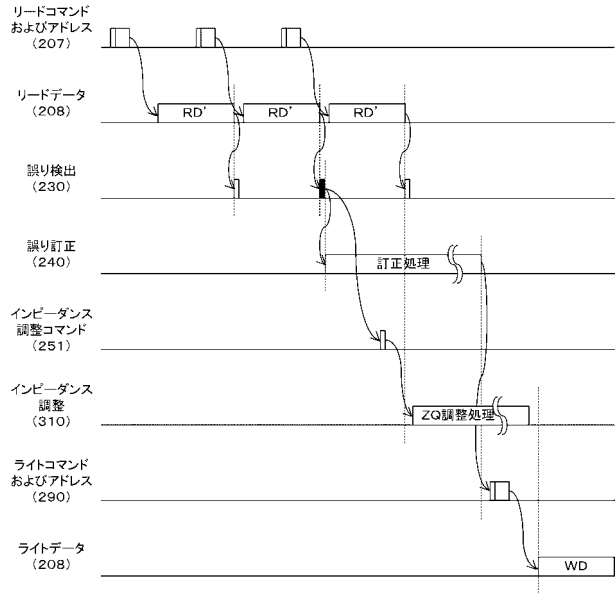
【図 3 4】



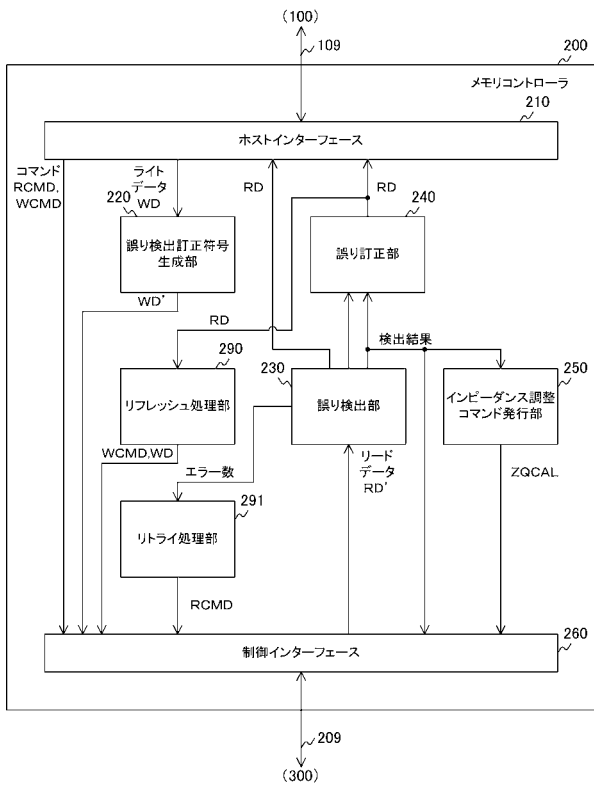
【図35】



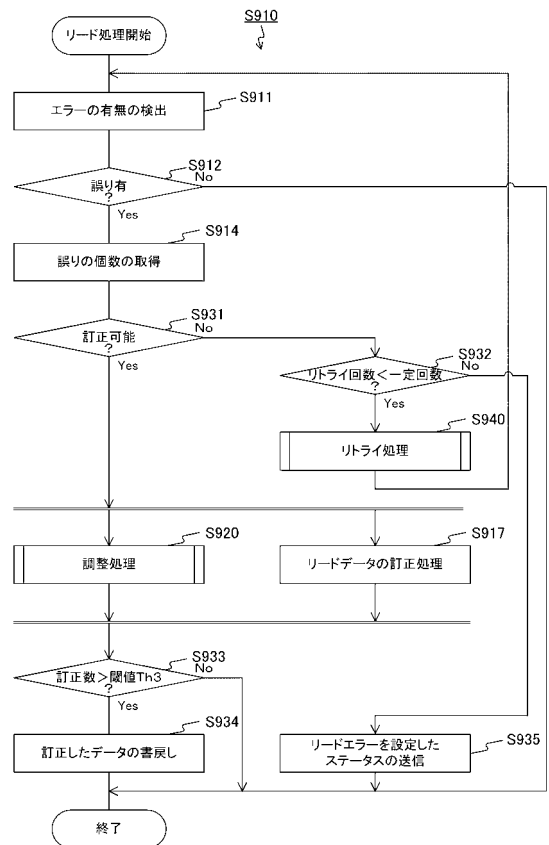
【図36】



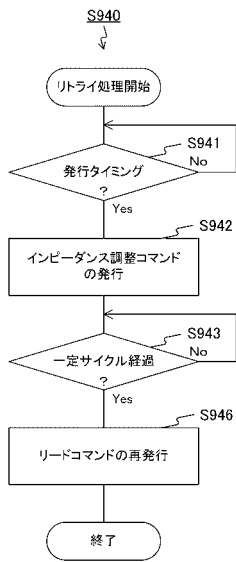
【図37】



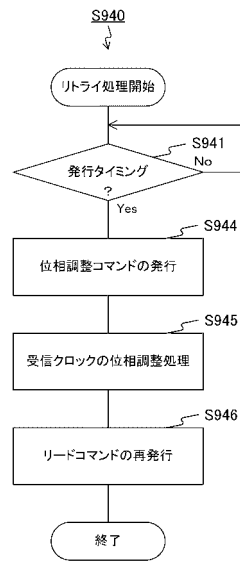
【図38】



【 図 3 9 】



【 図 4 0 】



【 図 4 1 】

